



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월17일
(11) 등록번호 10-1942850
(24) 등록일자 2019년01월22일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01) G02F 1/133 (2006.01)
(21) 출원번호 10-2013-0020990
(22) 출원일자 2013년02월27일
심사청구일자 2018년01월29일
(65) 공개번호 10-2014-0106851
(43) 공개일자 2014년09월04일
(56) 선행기술조사문헌
US20020105263 A1*
US20040152320 A1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정성훈
경북 구미시 고아읍 들성로 121 구미원호푸르지오
106동 506호
(74) 대리인
특허법인로알

전체 청구항 수 : 총 18 항

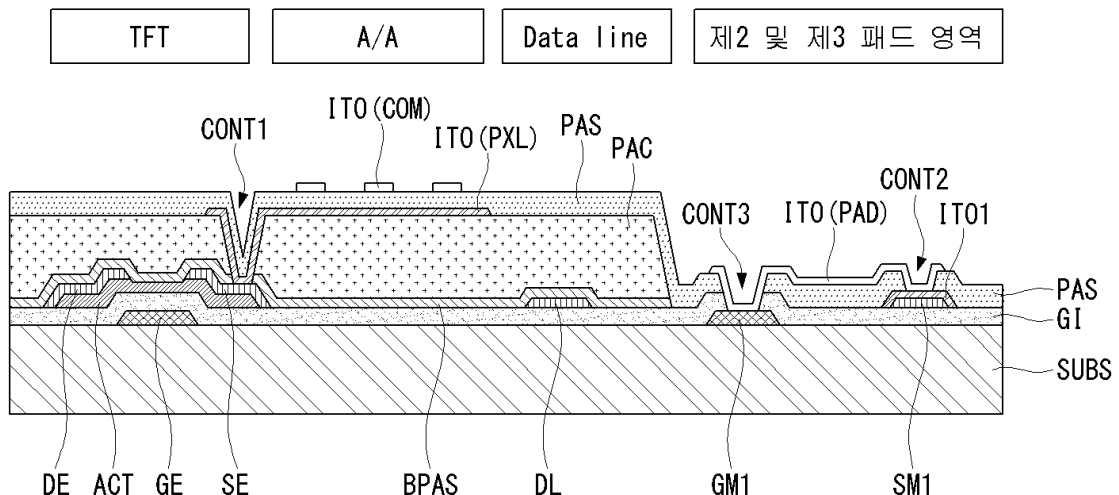
심사관 : 박정근

(54) 발명의 명칭 액정표시장치와 그 제조 방법

(57) 요약

본 발명은 유기 보호막이 부분적으로 제거된 액정표시장치와 그 제조 방법에 관한 것으로, 그 액정표시장치는 데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치되는 액티브 영역; 및 상기 액티브 영역에 신호를 공급하기 위한 드라이브 IC와 FPC가 접합되는 패드 영역을 포함한다. 상기 패드 영역은 상기 데이터라인들에 연결되고 상기 드라이브 IC의 출력 단자들과 접합되는 제1 패드들이 형성된 제1 패드 영역; 상기 드라이브 IC의 입력 단자들과 접합되는 제2 패드들이 형성된 제2 패드 영역; 및 상기 FPC의 출력 단자들과 접합되는 제3 패드들이 형성된 제3 패드 영역을 포함한다. 상기 제2 패드들과 상기 제3 패드들은 배선들을 통해 연결된다. 상기 제1 패드 영역, 상기 제2 패드 영역, 및 상기 제3 패드 영역을 제외한 패드 영역의 일부 영역과 상기 액티브 영역에 유기 보호막이 덮여진다.

대표도 - 도9h



명세서

청구범위

청구항 1

데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치되는 액티브 영역; 및
 상기 액티브 영역에 신호를 공급하기 위한 드라이브 IC와 FPC가 접합되는 패드 영역을 포함하고,
 상기 패드 영역은,
 상기 데이터 라인들에 연결되고 상기 드라이브 IC의 출력 단자들과 접합되는 제1 패드들이 형성된 제1 패드 영역;
 상기 드라이브 IC의 입력 단자들과 접합되는 제2 패드들이 형성된 제2 패드 영역; 및
 상기 FPC의 출력 단자들과 접합되는 제3 패드들이 형성된 제3 패드 영역을 포함하고,
 상기 제2 패드들과 상기 제3 패드들은 배선들을 통해 연결되고,
 상기 제1 패드 영역, 상기 제2 패드 영역, 및 상기 제3 패드 영역을 제외한 패드 영역의 일부 영역과 상기 액티브 영역에 유기 보호막이 덮여지고,
 상기 제1 패드 영역은 기판 상에 형성되어 상기 제1 패드들과 연결된 게이트 금속 패턴, 상기 게이트 금속 패턴을 덮는 게이트 절연막, 상기 게이트 절연막 상에 형성된 상부 보호막, 상기 상부 보호막 상에 형성되고 상기 상부 보호막과 상기 게이트 절연막을 관통하는 제1 콘택홀을 통해 상기 게이트 금속 패턴들의 일부에 접촉되는 제1 투명전극 패턴을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,
 상기 제2 패드 영역과 상기 제3 패드 영역 사이에는 금속 점핑부가 형성되고,
 상기 금속 점핑부는 상기 게이트 절연막 상에 형성된 소스-드레인 금속 패턴, 상기 소스-드레인 금속 패턴을 덮는 제2 투명전극 패턴, 상기 게이트 금속 패턴과 상기 제2 투명전극 패턴을 연결하는 제3 투명전극 패턴을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서
 상기 제2 및 상기 제3 패드 영역 각각은,
 상기 소스-드레인 금속 패턴을 덮도록 상기 게이트 절연막 상에 형성된 제4 투명전극 패턴, 및 상기 상부 보호막을 관통하는 제2 콘택홀을 통해 상기 제4 투명전극 패턴의 일부에 접촉되고 상기 상부 보호막과 상기 게이트 절연막을 관통하는 제3 콘택홀을 통해 상기 게이트 금속 패턴의 일부에 접촉되는 제5 투명전극 패턴을 포함하고,
 상기 제2 및 상기 제3 패드 영역 각각에 형성된 상부 보호막은 상기 제4 투명전극 패턴을 덮도록 상기 게이트 절연막 상에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 3 항 또는 제 4 항에 있어서,
 상기 유기 보호막의 두께는 상기 게이트 절연막과 상기 상부 보호막 각각의 두께보다 큰 것을 특징으로 하는 액

정표시장치.

청구항 6

제 3 항 또는 제 4 항에 있어서,

상기 패드 영역은,

상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인을 따라 상기 상부 보호막에 형성되어 상기 상부 보호막의 하부막을 노출하는 홀들을 포함하고,

상기 홀들은 상기 패드 영역에 형성된 배선들 사이 마다 형성되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 3 항 또는 제 4 항에 있어서,

상기 패드 영역 내의 상기 투명전극 패턴들은,

상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인으로부터 이격되는 것을 특징으로 하는 액정표시장치.

청구항 8

데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치되는 액티브 영역, 및 상기 액티브 영역에 신호를 공급하기 위한 드라이브 IC와 FPC가 접합되는 패드 영역을 포함하는 액정표시장치의 제조 방법에 있어서,

상기 액티브 영역에 유기 보호막을 형성함과 동시에 상기 패드 영역의 일부에 유기 보호막을 형성하는 단계를 포함하고,

상기 패드 영역은,

상기 데이터 라인들에 연결되고 상기 드라이브 IC의 출력 단자들과 접합되는 제1 패드들이 형성된 제1 패드 영역;

상기 드라이브 IC의 입력 단자들과 접합되는 제2 패드들이 형성된 제2 패드 영역; 및

상기 FPC의 출력 단자들과 접합되는 제3 패드들이 형성된 제3 패드 영역을 포함하고,

상기 제2 패드들과 상기 제3 패드들은 배선들을 통해 연결되고,

상기 유기 보호막은 상기 제1 패드 영역, 상기 제2 패드 영역, 및 상기 제3 패드 영역을 제외한 상기 패드 영역의 일부 영역과 상기 액티브 영역에 덮여지고,

상기 제1 패드 영역은 기판 상에 형성되어 상기 제1 패드들과 연결된 게이트 금속 패턴, 상기 게이트 금속 패턴을 덮는 게이트 절연막, 상기 게이트 절연막 상에 형성된 상부 보호막, 상기 상부 보호막 상에 형성되고 상기 상부 보호막과 상기 게이트 절연막을 관통하는 제1 콘택홀을 통해 상기 게이트 금속 패턴들의 일부에 접촉되는 제1 투명전극 패턴을 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 9

삭제

청구항 10

제 8 항에 있어서,

상기 제2 패드 영역과 상기 제3 패드 영역 사이에 금속 점핑부를 형성하는 단계를 더 포함하고,

상기 금속 점핑부는,

상기 게이트 절연막 상에 형성된 소스-드레인 금속 패턴, 상기 소스-드레인 금속 패턴을 덮는 제2 투명전극 패턴, 상기 게이트 금속 패턴과 상기 제2 투명전극 패턴을 연결하는 제3 투명전극 패턴을 포함하는 것을 특징으로

하는 액정표시장치의 제조 방법.

청구항 11

제 10 항에 있어서,

상기 제2 및 상기 제3 패드 영역 각각은,

상기 소스-드레인 금속 패턴을 덮도록 상기 게이트 절연막 상에 형성된 제4 투명전극 패턴, 및 상기 상부 보호막을 관통하는 제2 콘택홀을 통해 상기 제4 투명전극 패턴의 일부에 접촉되고 상기 상부 보호막과 상기 게이트 절연막을 관통하는 제3 콘택홀을 통해 상기 게이트 금속 패턴의 일부에 접촉되는 제5 투명전극 패턴을 포함하고,

상기 제2 및 상기 제3 패드 영역 각각에 형성된 상부 보호막은 상기 제4 투명전극 패턴을 덮도록 상기 게이트 절연막 상에 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 12

제 10 항 또는 제 11 항에 있어서,

상기 유기 보호막의 두께는 상기 게이트 절연막과 상기 상부 보호막 각각의 두께보다 큰 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 13

제 10 항 또는 제 11 항에 있어서,

상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인을 따라 상기 상부 보호막에 홀들을 형성하여 상기 상부 보호막의 하부막을 노출하는 단계를 더 포함하고,

상기 홀들은 상기 패드 영역에 형성된 배선들 사이 마다 형성되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 14

제 10 항 또는 제 11 항에 있어서,

상기 패드 영역 내의 상기 투명전극 패턴들은,

상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인으로부터 이격되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 15

데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치되는 액티브 영역, 및 상기 액티브 영역에 신호를 공급하기 위한 드라이브 IC와 FPC가 접합되는 패드 영역을 포함하는 액정표시장치의 제조 방법에 있어서,

상기 액티브 영역과 상기 패드 영역 상에서 기판에 게이트 금속을 형성하고 패터닝하여 상기 액티브 영역 내의 게이트 금속 패턴들과 상기 패드 영역 내의 게이트 금속 패턴들을 형성하는 제1 단계;

상기 액티브 영역 내의 게이트 금속 패턴들과 상기 패드 영역 내의 게이트 금속 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 게이트 절연막을 형성하고, 그 위에 반도체층을 형성하고 패터닝하여 상기 게이트 절연막 상에 반도체 패턴들을 형성하는 제2 단계;

상기 반도체 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 소스-드레인 금속을 형성하고 패터닝하여 상기 액티브 영역 내의 소스-드레인 금속 패턴들과 상기 패드 영역 내의 소스-드레인 금속 패턴들을 형성하는 제3 단계;

상기 액티브 영역 내의 소스-드레인 금속 패턴들과 상기 패드 영역 내의 소스-드레인 금속 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 버퍼 보호막을 형성하고, 그 위에 유기 보호막을 형성하고 패터닝하여 상기 패드 영역의 일부에서 상기 유기 보호막을 제거하고 나머지 패드 영역과 상기 액티브 영역에서 상기 유기 보호

막을 잔류시키는 제4 단계;

상기 액티브 영역과 상기 패드 영역에 투명전극 물질을 형성하고 패터닝하여 상기 액티브 영역 내의 제1 투명전극 패턴들과 상기 패드 영역 내의 제1 투명전극 패턴들을 형성하는 제5 단계;

상기 액티브 영역 내의 제1 투명전극 패턴들과 상기 패드 영역 내의 제1 투명전극 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 상부 보호막을 형성하고 패터닝하는 제6 단계; 및

상기 액티브 영역과 상기 패드 영역에 투명전극 물질을 형성하고 패터닝하여 상기 액티브 영역 내의 제2 투명전극 패턴들과 상기 패드 영역 내의 제2 투명전극 패턴들을 형성하는 제7 단계를 포함하고,

상기 패드 영역은,

상기 데이터 라인들에 연결되고 상기 드라이브 IC의 출력 단자들과 접합되는 제1 패드들이 형성된 제1 패드 영역;

상기 드라이브 IC의 입력 단자들과 접합되는 제2 패드들이 형성된 제2 패드 영역; 및

상기 FPC의 출력 단자들과 접합되는 제3 패드들이 형성된 제3 패드 영역을 포함하고,

상기 제2 패드들과 상기 제3 패드들은 배선들을 통해 연결되고,

상기 제1 패드 영역, 상기 제2 패드 영역, 및 상기 제3 패드 영역에서 상기 유기 보호막이 완전히 제거되고,

상기 제1 패드 영역, 상기 제2 패드 영역, 및 상기 제3 패드 영역을 제외한 나머지 패드 영역과 상기 액티브 영역은 상기 유기 보호막에 의해 덮여지는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 16

제 15 항에 있어서,

상기 제4 단계는,

상기 제1 패드 영역, 상기 제2 패드 영역, 및 상기 제3 패드 영역에서 상기 유기 보호막과 그 아래의 상기 버퍼 보호막을 제거하고, 그 외 나머지 패드 영역과 상기 액티브 영역에서 상기 유기 보호막과 상기 버퍼 보호막을 잔류시키는 단계를 포함하고,

상기 액티브 영역에서 상기 유기 보호막과 상기 버퍼 보호막을 관통하는 제1 콘택홀을 통해 박막트랜지스터(TFT)의 소스 전극이 노출되고, 상기 제2 및 제3 패드 영역의 소스-드레인 금속 패턴들이 노출되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 17

제 16 항에 있어서,

상기 제5 단계에서 상기 액티브 영역에 형성되는 제1 투명전극 패턴들은 상기 제1 콘택홀을 통해 상기 박막트랜지스터(TFT)의 소스 전극과 접촉되는 화소전극을 포함하고,

상기 제5 단계에서 상기 패드 영역에 형성되는 제1 투명전극 패턴들은 상기 제2 및 제3 패드 영역의 소스 드레인 금속 패턴들을 덮는 투명전극 패턴들을 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 18

제 17 항에 있어서,

상기 제6 단계는,

상기 상부 보호막을 관통하여 상기 제2 및 제3 패드 영역의 투명전극 패턴들을 노출하는 제2 콘택홀과, 상기 상부 보호막과 상기 게이트 절연막을 관통하여 상기 제2 및 제3 패드 영역의 게이트 금속 패턴들을 노출하는 제3 콘택홀을 형성함과 동시에, 상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인을 따라 상기 상부 보호막에 홀들을 형성하여 상기 상부 보호막의 하부막을 노출하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 19

제 18 항에 있어서,

상기 제7 단계에서 상기 액티브 영역에 형성된 제2 투명전극 패턴들은 공통전압이 공급되는 공통전극을 포함하고,

상기 제7 단계에서 상기 패드 영역에 형성된 제2 투명전극 패턴들은 상기 제2 및 제3 패드 영역 내에서 상기 제2 콘택홀을 통해 상기 제1 투명전극 패턴들에 접촉되고 상기 제3 콘택홀을 통해 상기 게이트 금속 패턴들과 접촉되는 투명전극 패턴들을 포함하고,

상기 제7 단계에서 상기 패드 영역 내에 형성된 제2 투명전극 패턴들은 상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인으로부터 이격되는 것을 특징으로 하는 액정표시장치의 제조 방법.

청구항 20

제 15 항 내지 제19 항 중 어느 한 항에 있어서,

상기 유기 보호막의 두께는 상기 게이트 절연막, 상기 버퍼 보호막, 상기 상부 보호막 각각의 두께보다 큰 것을 특징으로 하는 액정표시장치의 제조 방법.

발명의 설명**기술 분야**

[0001] 본 발명은 패드 영역에서 유기 보호막이 부분적으로 제거된 액정표시장치와 그 제조 방법에 관한 것이다.

배경 기술

[0002] 고해상도의 액정표시장치는 보호막으로서 유기 보호막을 적용하고 있다. 유기 보호막은 일반적으로 무기 보호막에 비하여 유전율이 낮고 두껍게 형성되기 때문에 표시패널의 기생 용량(parastic capacitance)을 줄일 수 있다.

[0003] 일반적으로 유기 보호막은 표시패널에서 영상이 표시되는 액티브 영역(Active area) 뿐만 아니라, 패드 영역에도 덮여 있다. 액티브 영역에는 데이터라인들과 게이트라인들이 교차되고 그 교차 구조에 의해 정의되는 매트릭스 형태로 픽셀들이 배치된다.

[0004] 표시패널의 패드 영역은 드라이브 IC(Integrated Circuit)의 출력 단자들이 접합되는 제1 패드 영역, 드라이브 IC의 입력 단자들이 접합되는 제2 패드 영역, FPC(Flexible printed Circuit)의 출력 단자들이 접합되는 제3 패드 영역으로 나뉘어질 수 있다. 데이터 패드들은 제1 패드 영역에 형성된다. 데이터 패드들은 데이터 라인들과 1:1로 연결되고 드라이브 IC의 출력 단자들에 접합되어 드라이브 IC로부터 출력되는 데이터 전압을 데이터 라인들에 전달한다. 제3 패드 영역에 형성된 패드들은 배선들의 끝단에 연결되어 FPC의 출력 단자들과 접합된다. 배선들은 제2 패드 영역과 제3 패드 영역 사이를 가로 지르는 라인 패턴으로 형성된다. 배선들은 드라이브 IC의 입력 단자들과 FPC의 출력 단자들을 1:1로 연결한다. FPC에서 N(N은 1 이상의 양의 정수) 개의 출력 단자들을 통해 같은 신호가 M(M은 1 이상의 양의 정수) 개의 드라이브 IC 입력 단자들에 공급될 수 있다. 이 경우에 배선들은 드라이브 IC의 입력 단자들과 FPC의 출력 단자들을 M:N로 연결한다.

[0005] 드라이브 IC의 입/출력 단자들과 FPC의 출력 단자들은 ACF(aniso-tropic conductive film)로 패드 영역에 접촉된다. ACF 본딩 공정은 패드 영역에 ACF를 올려 놓고 그 위에 드라이브 IC 또는 FPC를 정렬한 다음, ACF에 열을 가하고 드라이브 IC 또는 FPC의 단자들을 ACF에 가압한다. 드라이브 IC 또는 FPC의 단자들과 패드들의 접촉 불량 여부는 패드에 형성되는 압흔(indentation)을 바탕으로 판단될 수 있다. ACF 본딩 공정에서 ACF를 사이에 두고 패드들 상에 드라이브 IC 또는 FPC의 단자들이 가압되기 때문에 ACF 내의 금속 분말(또는 도전볼)이 데이터 패드들의 접합부분에서 압흔을 형성한다.

[0006] 패드 영역에 유기 보호막이 형성된 표시패널에서, 도 1 및 도 2와 같이 패드들의 일부를 개방하기 위하여 패드 영역에서 유기 보호막(PAC)이 부분적으로 제거된다. 그런데 패드 영역에 잔류하는 유기 보호막(PAC)이 패드들 사이에서 두껍게 형성되어 있기 때문에 드라이브 IC 본딩 공정 후에 압흔이 형성되지 않거나 약하게 형성되어

패드들과 드라이브 IC의 단자들 간의 접합이 정상적으로 되었다고 보장할 수 없다.

- [0007] 압흔이 형성되지 않거나 약하게 형성되면, 데이터 패드들과 드라이브 IC 또는 FPC 간의 접합 불량으로 판단하여 리페어 공정이 수행될 수 있다. 리페어 공정은 표시패널의 패드 영역에 열을 가한 후에 스틱으로 드라이브 IC나 FPC를 밀어서 표시패널의 패드 영역으로부터 드라이브 IC나 FPC를 분리한다. 그런데 리페어 공정에서 드라이브 IC 또는 FPC를 표시패널의 패드 영역으로부터 분리할 때 패드들 상에 형성된 투명전극 패턴이나 그 아래의 금속 패턴이 뜯겨 유실될 수 있다. 이 경우에 리페어가 불가능하기 때문에 그 표시패널을 폐기하여야 한다. 투명전극 물질은 ITO(Indium Tin Oxide)일 수 있다.
- [0008] 도 1은 드라이브 IC가 접합되는 데이터 패드와 그와 이웃하는 유기 보호막을 보여 주는 단면도이다.
- [0009] 도 1을 참조하면, 데이터 패드는 기관(SUBS) 상에 형성된 게이트 금속 패턴(GM)과, 그 위에 형성된 투명전극 패턴(ITO)을 포함한다. 패드들 사이에는 유기 보호막(PAC)이 두껍게 형성된다. 도 1에서 'GI'는 게이트 금속 패턴(GM)을 덮도록 기관 상에 형성되는 게이트 절연막이다. 게이트 금속 패턴은 표시패널의 데이터 라인과 연결된다. 'BPAS'는 게이트 절연막(GI)과 유기 보호막(PAC) 사이에 무기 절연물질로 형성되는 버퍼 보호막이다. 'PAS'는 무기 절연물질로 형성되어 유기 보호막(PAC)을 덮는 상부 보호막이다. 'DBUMP'는 드라이브 IC의 출력 단자이다. 드라이브 IC의 출력 단자는 ACF를 통해 투명전극 패턴(ITO)에 접촉된다.
- [0010] 드라이브 IC 본딩 공정에서, 드라이브 IC의 출력 단자(DBUMP)와 패드가 조금이라도 정렬 오차(misalign)가 있으면, 두꺼운 유기 보호막(PAC)으로 인하여 압흔이 형성되지 않거나 약하게 되어 접합 불량으로 판정된다. 리페어 공정에서 드라이브 IC를 데이터 패드로부터 박리할 때, 투명전극 패턴(ITO)과 게이트 금속 패턴(GM)이 뜯겨 도 2와 같이 유실될 수 있다. 이 경우에, 표시패널은 리페어가 불가능하기 때문에 폐기된다.
- [0011] FPC의 출력 단자가 접합되는 패드는 게이트 금속 패턴과 소스-드레인 금속 패턴이 연결되는 병렬 구조로 FPC의 출력 영역에 형성될 수 있다. FPC의 출력 단자와 병렬 구조의 패드가 조금이라도 정렬 오차가 있으면 두꺼운 유기 보호막으로 인하여 압흔이 형성되지 않거나 약하게 되어 접합 불량으로 판정된다. 리페어 공정에서 FPC를 병렬 구조의 패드로부터 박리할 때, 투명전극 패턴과 게이트 금속 패턴 및 소스-드레인 금속 패턴이 뜯겨 유실될 수 있다. 이 경우에, 표시패널은 리페어가 불가능하기 때문에 폐기된다.

발명의 내용

해결하려는 과제

- [0012] 본 발명은 유기 보호막으로 덮여 있는 액티브 영역을 포함한 표시패널에 있어서 드라이브 IC와 FPC가 안정적으로 접합되는 액정표시장치와 그 제조 방법을 제공한다.

과제의 해결 수단

- [0013] 본 발명의 액정표시장치는 데이터라인들과 게이트라인들이 교차되고 픽셀들이 매트릭스 타입으로 배치되는 액티브 영역; 및 상기 액티브 영역에 신호를 공급하기 위한 드라이브 IC와 FPC가 접합되는 패드 영역을 포함한다. 상기 패드 영역은 상기 데이터 라인들에 연결되고 상기 드라이브 IC의 출력 단자들과 접합되는 제1 패드들이 형성된 제1 패드 영역; 상기 드라이브 IC의 입력 단자들과 접합되는 제2 패드들이 형성된 제2 패드 영역; 및 상기 FPC의 출력 단자들과 접합되는 제3 패드들이 형성된 제3 패드 영역을 포함한다. 상기 제2 패드들과 상기 제3 패드들은 배선들을 통해 연결된다. 상기 제1 패드 영역, 상기 제2 패드 영역, 및 상기 제3 패드 영역을 제외한 패드 영역의 일부 영역과 상기 액티브 영역에 유기 보호막이 덮여진다.
- [0014] 상기 제1 패드 영역 내에서 제1 패드들과 연결된 모든 배선들은 기관 상에 형성된 게이트 금속 패턴으로 형성된다. 상기 제1 패드 영역은 상기 게이트 금속 패턴을 덮는 게이트 절연막, 상기 게이트 절연막 상에 형성된 상부 보호막, 상기 상부 보호막 상에 형성되고 상기 상부 보호막과 상기 게이트 절연막을 관통하는 제1 콘택홀을 통해 상기 게이트 금속 패턴들의 일부에 접촉되는 제1 투명전극 패턴을 포함한다.
- [0015] 상기 제2 패드 영역과 상기 제3 패드 영역 사이에는 금속 점핑부가 형성된다. 상기 금속 점핑부는 상기 게이트 절연막 상에 형성된 소스-드레인 금속 패턴, 상기 소스-드레인 금속 패턴을 덮는 제2 투명전극 패턴, 상기 게이트 금속 패턴과 상기 제2 투명전극 패턴을 연결하는 제3 투명전극 패턴을 포함한다.

- [0016] 상기 제2 및 상기 제3 패드 영역 각각은 상기 소스-드레인 금속 패턴을 덮도록 상기 게이트 절연막 상에 형성된 제4 투명전극 패턴, 및 상기 상부 보호막을 관통하는 제2 콘택홀을 통해 상기 제4 투명전극 패턴의 일부에 접촉되고 상기 상부 보호막과 상기 게이트 절연막을 관통하는 제3 콘택홀을 통해 상기 게이트 금속 패턴의 일부에 접촉되는 제5 투명전극 패턴을 포함한다. 상기 제2 및 상기 제3 패드 영역 각각에 형성된 상부 보호막은 상기 제4 투명전극 패턴을 덮도록 상기 게이트 절연막 상에 형성된다.
- [0017] 상기 유기 보호막의 두께는 상기 게이트 절연막과 상기 상부 보호막 각각의 두께보다 크다.
- [0018] 상기 패드 영역은 상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인을 따라 상기 상부 보호막에 형성되어 상기 상부 보호막의 하부막을 노출하는 홀들을 포함한다. 상기 홀들은 상기 패드 영역에 형성된 배선들 사이 마다 형성된다.
- [0019] 상기 패드 영역 내의 상기 투명전극 패턴들은 상기 유기 보호막이 있는 부분과 상기 유기 보호막이 없는 부분 간의 경계 라인으로부터 이격된다.
- [0020] 상기 액정표시장치의 제조 방법은 액티브 영역에 유기 보호막을 형성함과 동시에 상기 패드 영역의 일부에 유기 보호막을 형성하는 단계를 포함한다.
- [0021] 상기 액정표시장치의 제조 방법은 액티브 영역과 패드 영역 상에서 기판에 게이트 금속을 형성하고 패터닝하여 상기 액티브 영역 내의 게이트 금속 패턴들과 상기 패드 영역 내의 게이트 금속 패턴들을 형성하는 제1 단계; 상기 액티브 영역 내의 게이트 금속 패턴들과 상기 패드 영역 내의 게이트 금속 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 게이트 절연막을 형성하고, 그 위에 반도체층을 형성하고 패터닝하여 상기 게이트 절연막 상에 반도체 패턴들을 형성하는 제2 단계; 상기 반도체 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 소스-드레인 금속을 형성하고 패터닝하여 상기 액티브 영역 내의 소스-드레인 금속 패턴들과 상기 패드 영역 내의 소스-드레인 금속 패턴들을 형성하는 제3 단계; 상기 액티브 영역 내의 소스-드레인 금속 패턴들과 상기 패드 영역 내의 소스-드레인 금속 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 버퍼 보호막을 형성하고, 그 위에 유기 보호막을 형성하고 패터닝하여 상기 패드 영역의 일부에서 상기 유기 보호막을 제거하고 나머지 패드 영역과 상기 액티브 영역에서 상기 유기 보호막을 잔류시키는 제4 단계; 상기 액티브 영역과 상기 패드 영역에 투명전극 물질을 형성하고 패터닝하여 상기 액티브 영역 내의 제1 투명전극 패턴들과 상기 패드 영역 내의 제1 투명전극 패턴들을 형성하는 제5 단계; 상기 액티브 영역 내의 제1 투명전극 패턴들과 상기 패드 영역 내의 제1 투명전극 패턴들을 덮도록 상기 액티브 영역과 상기 패드 영역에 상부 보호막을 형성하고 패터닝하는 제6 단계; 및 상기 액티브 영역과 상기 패드 영역에 투명전극 물질을 형성하고 패터닝하여 상기 액티브 영역 내의 제2 투명전극 패턴들과 상기 패드 영역 내의 제2 투명전극 패턴들을 형성하는 제7 단계를 포함한다.

발명의 효과

- [0022] 본 발명의 액정표시장치는 드라이브 IC와 FPC가 접합되는 패드 영역에서 유기 보호막을 완전히 제거함으로써 유기 보호막으로 덮여 있는 표시패널에서 드라이브 IC와 FPC의 접합 불량을 방지하고 수율을 높일 수 있다. 나아가, 본 발명은 유기 보호막이 있는 부분과 없는 부분 사이의 경계 라인에서 상부 보호막에 홀을 형성하거나 그 경계 라인으로부터 투명전극 패턴을 이격시키는 단락 방지 구조를 적용함으로써 상기 경계 라인에서 배선들 간의 단락 문제를 예방할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 드라이브 IC가 접합되는 데이터 패드와 그와 이웃하는 유기 보호막을 보여 주는 단면도이다.
- 도 2는 리페어 공정에서 드라이브 IC를 데이터 패드로부터 박리할 때 투명전극 패턴과 게이트 금속 패턴이 유실된 예를 보여 주는 광학 현미경의 사진 이미지이다.
- 도 3은 본 발명의 실시예에 따른 액정표시장치를 나타내는 블록도이다.
- 도 4 내지 도 6은 다양한 TFT 어레이의 구조를 보여 주는 도면들이다.
- 도 7은 모바일 정보 단말기의 디스플레이 구조를 보여 주는 평면도이다.
- 도 8은 도 7에 도시된 패드 영역을 상세히 보여 주는 평면도이다.

도 9a 내지 도 9h는 본 발명의 실시예에 따른 액정표시장치의 하판 제조 방법을 단계적으로 보여 주는 단면도이다.

도 10는 도 8에서 제1 패드 영역과 그 주변의 일부를 자세히 보여 주는 평면도이다.

도 11은 도 10에서 A 부분을 확대하여 보여 주는 평면도이다.

도 12는 도 11에서 선 I-I'을 따라 절취하여 보여 주는 단면도이다.

도 13은 도 10에서 B 부분을 확대하여 보여 주는 평면도이다.

도 14는 도 13에서 선 II-II'을 따라 절취하여 보여 주는 단면도이다.

도 15는 도 8에서 제3 패드 영역과 그 주변의 일부를 자세히 보여 주는 평면도이다.

도 16은 도 15에서 선 III-III'을 따라 절취하여 보여 주는 단면도이다.

도 17은 유기 보호막이 있는 부분과 유기 보호막이 없는 부분 사이의 경계에서 이웃한 배선들 간에 단락이 발생하는 일 예를 보여 주는 평면도이다.

도 18은 도 17에서 선 IV-IV'을 따라 절취하여 보여 주는 단면도이다.

도 19는 도 17에서 C 부분에서 이웃한 배선들이 도전성 이물질에 의해 합선된 예를 보여 주는 사시도이다.

도 20은 상부 보호막에 형성된 홀을 이용한 단락 방지 구조의 일 예를 보여 주는 평면도이다.

도 21은 도 20에서 선 V-V'을 따라 절취하여 보여 주는 단면도이다.

도 22는 상부 보호막에 형성된 홀을 보여 주는 사시도이다.

도 23은 유기 보호막이 있는 부분과 유기 보호막이 없는 부분 사이의 경계에서 이웃한 배선들 간에 단락이 발생하는 다른 예를 보여 주는 평면도이다.

도 24는 도 23에서 선 VI-VI'을 따라 절취하여 보여 주는 단면도이다.

도 25는 배선들이 도 24에 도시된 도전성 이물질에 의해 합선된 예를 보여 주는 사시도이다.

도 26은 경계 라인과 투명 전극 패턴 간의 거리를 이격시킨 구조를 이용한 단락 방지 구조의 다른 예를 보여 주는 평면도이다.

도 27은 도 26에서 선 VII-VII'을 따라 절취하여 보여 주는 단면도이다.

도 28은 도 26에 도시된 이격 거리를 보여 주는 사시도이다.

발명을 실시하기 위한 구체적인 내용

[0024] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.

[0025] 도 3을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 타이밍 컨트롤러(101), 데이터 구동부(102), 및 게이트 구동부(103)를 구비한다.

[0026] 액정표시패널(100)의 액정층은 두 장의 기판 사이에 형성된다. 액정표시패널(100)의 액티브 영역은 데이터라인들(DL)과 게이트라인들(GL)의 교차 구조에 의해 매트릭스 형태로 배치된 픽셀들을 포함한다. 픽셀들 각각은 액정셀들(C1c)을 포함한다.

[0027] 액정표시패널(100)의 하판에서 액티브 영역에는 TFT 어레이가 형성된다. TFT 어레이는 데이터라인들(DL)과 게이트라인들(GL)의 교차부에 형성된 액정셀들(C1c), 액정셀들의 화소전극(1)에 접속된 TFT들, 스토리지 커패시터(Cst) 등을 포함한다. 데이터 라인들(DL)에는 데이터 링크들(DLINK)에 1:1로 연결된다. 데이터 링크들(DLINK)의 끝단에는 도시하지 않은 데이터 패드가 연결된다. 게이트 라인들(GL)에는 게이트 링크들(GLINK)에 1:1로 연결되고, 게이트 링크들(GLINK) 각각의 끝단에는 도시하지 않은 게이트 패드가 연결된다.

[0028] 액정표시패널(100)의 하판에서 패드 영역은 모바일 정보 단말기의 경우에 도 7 및 도 8과 같이 액티브 영역의

아래에 배치될 수 있다. 액정표시패널(100)의 적용 제품에 따라 패드 영역의 위치와 크기는 달라질 수 있다.

- [0029] TFT 어레이는 도 4 내지 도 6과 같이 다양한 형태로 구현될 수 있으며 공지의 어떠한 구조로도 구현 가능하다. 액정셀들(Clc)은 TFT에 접속되어 화소전극들(1)과 공통전극(2) 사이의 전계에 의해 구동된다. 액정표시패널(100)의 상판 상에는 블랙매트릭스, 컬러필터 등을 포함한 컬러 필터 어레이가 형성된다. 액정표시패널(100)의 상판과 하판 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0030] 공통전극(2)은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 상판 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극(1)과 함께 하판 상에 형성된다.
- [0031] 본 발명에서 적용 가능한 액정표시패널(100)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드으로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0032] 타이밍 콘트롤러(timing controller, TCON)(101)는 호스트 시스템(Host system, SYSTEM)(104)로부터 입력된 입력 영상의 디지털 비디오 데이터(RGB)를 데이터 구동부(102)에 공급한다. 타이밍 콘트롤러(101)는 호스트 시스템(104)으로부터 수직 동기신호(Vsync), 수평 동기신호(Hsync), 데이터 인에이블 신호(Data Enable, DE), 클럭(CLK) 등의 타이밍신호를 입력 받는다.
- [0033] 타이밍 콘트롤러(101)는 호스트 시스템(104)으로부터 수신된 타이밍신호를 바탕으로 데이터 구동부(102)와 게이트 구동부(103)의 동작 타이밍을 제어하기 위한 타이밍 제어신호들을 발생한다. 타이밍 제어신호들은 게이트 구동부(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호와, 데이터 구동부(102)의 동작 타이밍과 데이터전압의 극성을 제어하기 위한 데이터 타이밍 제어신호를 포함한다. 게이트 타이밍 제어신호는 게이트 스타트 펄스(GSP), 게이트 시프트 클럭(GSC), 게이트 출력 인에이블신호(GOE) 등을 포함한다. 게이트 스타트 펄스(GSP)는 게이트 구동부(103)의 스타트 타이밍을 제어한다. 게이트 시프트 클럭(GSC)은 게이트 펄스의 시프트 타이밍을 제어한다. 게이트 출력 인에이블신호(GOE)는 게이트 구동부(103)의 출력 타이밍을 제어한다.
- [0034] 데이터 타이밍 제어신호는 소스 스타트 펄스(SSP), 소스 샘플링 클럭(SSC), 극성제어신호(POL), 및 소스 출력 인에이블신호(SOE) 등을 포함한다. 소스 스타트 펄스(SSP)는 데이터 구동부(102)의 데이터 샘플링 스타트 타이밍을 제어한다. 소스 샘플링 클럭(SSC)은 데이터의 샘플링 타이밍을 제어하는 클럭신호이다. 소스 출력 인에이블신호(SOE)는 데이터 구동부(102)의 출력 타이밍을 제어한다. 데이터 구동부(102)에 입력될 디지털 비디오 데이터가 mini LVDS(Low Voltage Differential Signaling) 인터페이스 규격으로 전송된다면, 소스 스타트 펄스(SSP)와 소스 샘플링 클럭(SSC)은 생략될 수 있다.
- [0035] 데이터 구동부(102)는 시프트 레지스터, 래치, 디지털-아날로그 변환기, 출력 버퍼 등을 포함한다. 데이터 구동부(102)는 타이밍 콘트롤러(101)의 제어 하에 디지털 비디오 데이터(RGB)를 래치한다. 데이터 구동부(102)는 디지털 비디오 데이터(RGB)를 아날로그 정극성/부극성 감마보상전압으로 변환하여 데이터전압을 발생하고 극성 제어신호(POL)에 응답하여 그 데이터 전압의 극성을 반전시킨다. 데이터 구동부(102)는 소스 출력 인에이블 신호(SOE)에 응답하여 데이터전압을 데이터라인들(DL)로 출력한다.
- [0036] 게이트 구동부(103)는 시프트 레지스터와 레벨 쉬프터를 포함한다. 게이트 구동부(103)는 게이트 타이밍 제어신호에 응답하여 데이터전압에 동기되는 게이트펄스를 게이트라인들(GL)에 순차적으로 공급한다.
- [0037] 호스트 시스템(104)은 텔레비전 시스템, 홈 시어터 시스템, 셋톱박스, 네비게이션 시스템, DVD 플레이어, 블루레이 플레이어, 개인용 컴퓨터(PC), 폰 시스템(Phone system) 중 어느 하나로 구현될 수 있다. 호스트 시스템(104)은 입력 영상의 디지털 비디오 데이터(RGB)를 액정표시패널(100)의 해상도에 맞게 스케일링한다. 호스트 시스템(104)은 입력 영상의 디지털 비디오 데이터(RGB)와 함께 타이밍 신호들(Vsync, Hsync, DE, MCLK)을 타이밍 콘트롤러(101)로 전송한다.
- [0038] 도 4 내지 도 6은 TFT 어레이의 다양한 예들을 보여 주는 등가 회로들이다. 도 4 내지 도 6에는 TFT 어레이의 일부를 보여 준다. 도 4 내지 도 6에 있어서, D1~D6은 데이터라인, G1~G6은 게이트 라인, LINE#1~LINE#6은 액

티브 어레이(A/A)의 라인 번호를 각각 나타낸다.

- [0039] 도 4에 도시된 TFT 어레이는 대부분의 액정표시장치에서 적용되는 TFT 어레이이다. 이 TFT 어레이에는 데이터라인들(D1~D6)과 게이트라인들(G1~G4)이 교차된다. 이 TFT 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. TFT 각각은 게이트라인(G1~G4)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 4에 도시된 TFT 어레이에서 1 픽셀은 컬럼 방향과 직교하는 로우 방향(또는 라인 방향)을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 4에 도시된 TFT 어레이의 해상도가 $M \times N$ (M 및 N 각각은 2 이상의 양의 정수) 일 때, $M \times 3$ 개의 데이터라인들과 N 개의 게이트라인들이 필요하다. $M \times 3$ 에서, 3은 1 픽셀에 포함된 서브픽셀들의 개수이다.
- [0040] 도 5에 도시된 TFT 어레이는 도 4에 도시된 TFT 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/2로 줄인 구조의 TFT 어레이이다. 이 TFT 어레이의 구동 주파수는 도 4에서 도시된 TFT 어레이에 비하여 2 배 높다. 이 때문에 도 5에 도시된 TFT 어레이를 가지는 액정표시패널을 DRD(Double rate driving) 패널로 칭하기도 한다. 이 액정표시패널의 TFT 어레이에서 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 컬럼 방향을 따라 배치된다. 1 픽셀은 컬럼 방향과 직교하는 라인방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 좌우로 이웃하는 액정셀들은 동일한 데이터라인을 공유하여 그 데이터라인을 통해 시분할 방식으로 공급되는 데이터전압을 연속으로 충전한다. 데이터라인(D1~D4)의 좌측에 배치된 액정셀과 TFT를 각각 제1 액정셀과 제1 TFT(T1)라 하고, 데이터라인(D1~D4)의 우측에 배치된 액정셀과 TFT를 각각 제2 액정셀과 제2 TFT(T2)라 하여 TFT 어레이의 구조를 설명하면 다음과 같다. 제1 TFT(T1)는 기수 게이트라인(G1, G3, G5, G7)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제1 액정셀의 화소전극에 공급한다. 제1 TFT(T1)의 게이트전극은 기수 게이트라인(G1, G3, G5, G7)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제1 TFT(T1)의 소스전극은 제1 액정셀의 화소전극에 접속된다. 제2 TFT(T2)는 우수 게이트라인(G2, G4, G6, G8)로부터의 게이트펄스에 응답하여 데이터라인(D1~D4)으로부터의 데이터전압을 제2 액정셀의 화소전극에 공급한다. 제2 TFT(T2)의 게이트전극은 우수 게이트라인(G2, G4, G6, G8)에 접속되고, 드레인전극은 데이터라인(D1~D4)에 접속된다. 제2 TFT(T2)의 소스전극은 제2 액정셀의 화소전극에 접속된다. 도 5에 도시된 액정표시패널의 TFT 어레이는 해상도가 $M \times N$ 일 때, $(M \times 3)/2$ 개의 데이터라인들과 $2N$ 개의 게이트라인들이 필요하다.
- [0041] 도 6에 도시된 TFT 어레이는 도 4에 도시된 TFT 어레이에 비하여 동일 해상도에서 필요한 데이터라인들의 개수를 1/3로 줄인 구조의 TFT 어레이이다. 이 TFT 어레이의 구동 주파수는 도 4에서 도시된 TFT 어레이에 비하여 3 배 높다. 이 때문에 도 6에 도시된 TFT 어레이를 가지는 액정표시패널을 TRD(Triple rate driving) 패널로 칭하기도 한다. 도 6에 도시된 TFT 어레이에서, 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(B) 각각은 라인 방향을 따라 배치된다. 도 6에 도시된 TFT 어레이에서 1 픽셀은 컬럼 방향을 따라 이웃하는 적색 서브픽셀(R), 녹색 서브픽셀(G) 및 청색 서브픽셀(G)을 포함한다. 도 6에 도시된 TFT 어레이에서, TFT 각각은 게이트라인(G1~G6)으로부터의 게이트펄스에 응답하여 데이터라인(D1~D6)으로부터의 데이터전압을 데이터라인(D1~D6)의 좌측(또는 우측)에 배치된 액정셀의 화소전극에 공급한다. 도 6에 도시된 TFT 어레이는 해상도가 $M \times N$ 일 때, $M/3$ 개의 데이터라인들과 $3N$ 개의 게이트라인들이 필요하다.
- [0042] 휴대가 용이한 소형 크기의 모바일 정보 단말기에서도 디스플레이의 고해상도가 요구되고 있다. 모바일 정보 단말기의 디스플레이로는 대부분 액정표시장치로 구현되고 있고 일부 제품에서 유기발광다이오드 표시장치가 적용되고 있다. 모바일 정보 단말기에서, 고해상도 디스플레이에는 표시패널의 기생 용량을 줄이기 위하여 유기 보호막(PAC)이 적용되고 있다.
- [0043] 도 7은 모바일 정보 단말기의 디스플레이 구조를 보여 주는 평면도이다. 도 8은 도 7에 도시된 패드 영역을 상세히 보여 주는 평면도이다.
- [0044] 도 7 및 도 8을 참조하면, 모바일 정보 단말기는 영상이 표시되는 액티브 영역(A/A)과, 패드 영역(PAD)을 포함한다.
- [0045] 패드 영역(PAD)에는 드라이브 IC(D-IC)와 FPC가 집합된다. 드라이브 IC(D-IC) 내에는 도 3에 도시된 데이터 구동부(102)와 타이밍 콘트롤러(101)가 집적된다. FPC의 출력단자는 배선들(FLINK)을 통해 드라이브 IC(D-IC)의 입력 단자들과 연결된다. FPC의 입력 단자들은 도시하지 않은 커넥터를 통해 폰 시스템의 출력 단자들에 연결된다. 드라이브 IC(D-IC)는 FPC를 통해 폰 시스템으로부터 입력 영상의 디지털 비디오 데이터와 타이밍 신호들을 수신하여 액티브 영역(A/A)에 신호를 공급한다. 게이트 구동부(103)는 GIP(Gate In Panel) 공정으로 TFT 어

레이와 함께 표시패널의 기관 상에 직접 형성될 수 있다.

- [0046] 패드 영역(PAD)은 제1 패드 영역(10), 제2 패드 영역(12), 및 제3 패드 영역(14)으로 나뉘어질 수 있다. 제1 패드 영역(10)에는 제1 패드들(11)이 3 단으로 형성될 수 있다. 제1 패드들(11)은 데이터 링크들(DLINK)을 경유하여 데이터 라인들(DL)에 연결된 데이터 패드들이다. 제1 패드들(11)에는 드라이브 IC(D-IC)의 출력 단자들이 ACF로 접합된다. 제2 패드 영역(12)에 형성된 제2 패드들(12)에는 드라이브 IC(D-IC)의 입력 단자들이 ACF로 접합된다. 제3 패드 영역(14)에 형성된 제3 패드들(15)에는 FPC의 출력 단자들이 ACF로 접합된다. 배선들(FLINK)의 일측 끝단에는 제2 패드들(12)이 연결되고, 배선들(FLINK)의 타측 끝단에는 제3 패드들(15)이 연결된다. 배선들(FLINK)은 드라이브 IC(D-IC)의 입력 단자들과 FPC의 출력 단자들을 1:1로 연결한다.
- [0047] 본 발명은 드라이브 IC와 FPC를 패드 영역(PAD)에 안정하게 접합하기 위하여, 도 8에서 점선 박스로 표시된 제1 패드 영역(10), 제2 패드 영역(12), 및 제3 패드 영역(14) 각각에서 유기 보호막(PAC)을 완전히 제거한다. 이렇게 패드 영역들(10, 12, 14)에서 유기 보호막(PAC)이 완전히 제거되면 두꺼운 유기 보호막(PAC)의 패턴들로 인한 단차가 없어지므로 드라이브 IC와 FPC 본딩 공정에서 압흔을 뚜렷이 형성할 수 있을 정도로 드라이브 IC와 FPC를 패드들(11, 13, 14)에 접합할 수 있다.
- [0048] 액티브 영역(A/A)에는 유기 보호막(PAC)이 덮여진다. 패드 영역(PAC)에서 제1 패드 영역(10), 제2 패드 영역(12), 및 제3 패드 영역(14)을 제외한 일부 영역에 유기 보호막(PAC)이 덮여진다. 액티브 영역(A/A)과 제1 패드 영역(10) 사이에는 유기 보호막(PAC)이 형성된다. 그리고 제1 패드 영역(10)과 제2 패드 영역(12) 사이에 유기 보호막(PAC)이 형성되고, 제2 패드 영역(12)과 제3 패드 영역(14) 사이에 유기 보호막(PAC)이 형성된다.
- [0049] 도 9a 내지 도 9h는 본 발명의 실시예에 따른 액정표시장치의 하판 제조 방법을 단계적으로 보여 주는 단면도이다. 전술한 바와 같이, 패드 영역(PAD)은 유기 보호막(PAC)이 제거된 제1 내지 제3 패드 영역(10, 12, 14)으로 나뉘어질 수 있다. 이 중에서 제2 및 제3 패드 영역은 실질적으로 같은 구조를 가지며 도 9a 내지 도 9h에 도시되어 있다. 제1 패드 영역은 도 9a 내지 도 9h에서 생략되었고, 도 10 내지 도 12에 도시되어 있다. 도 9a 내지 도 9h에 도시된 하판 구조는 FFS 모드(또는 AH-IPS 모드)에 적용된 예이지만 본 발명은 전술한 바와 같이 FFS 모드에 한정되지 않는다.
- [0050] 본 발명은 도 9a와 같이 먼저, 액티브 영역(A/A)과 패드 영역(PAD) 상에서 기관(SUBS)에 게이트 금속을 증착하고 제1 포토리소그래피(photolithography) 공정으로 게이트 금속을 패터닝한다. 제1 포토리소그래피 공정은 게이트 금속 위에 포토레지스트(photoresist)를 도포하고 그 위에 제1 포토 마스크(photo mask)를 정렬한 후에 노광, 현상 및 습식 식각 공정을 거쳐 게이트 금속 패턴들을 기관(SUBS) 상에 형성한다. 게이트 금속은 구리(Cu), 알루미늄(Al), 알루미늄 네오듐(AlNd), 몰리브덴(Mo) 중 어느 하나의 단일 금속 또는 Cu/MoTi의 이중 금속층일 수 있다. 게이트 금속 패턴들은 게이트 라인(GL), 게이트 라인(GL)과 연결된 TFT의 게이트 전극(GE), 패드 영역(PAD) 내의 게이트 금속 패턴(GM1) 등을 포함한다.
- [0051] 이어서, 본 발명은 도 9b와 같이 액티브 영역(A/A)과 패드 영역(PAD) 상에서 게이트 금속 패턴들을 덮도록 기관(SUB) 상에 게이트 절연막(GI)을 증착하고, 그 위에 반도체층을 증착한 후에 제2 포토리소그래피 공정으로 반도체층을 패터닝한다. 게이트 절연막(GI)은 질화 실리콘(SiNx)과 같은 무기 절연물질로 형성될 수 있다. 반도체층은 비정질 실리콘(a-Si)으로 형성될 수 있다. 제2 포토리소그래피 공정은 반도체층 위에 포토레지스트를 도포하고 그 위에 제2 포토 마스크를 정렬한 후에 노광, 현상 및 건식 식각 공정을 거쳐 반도체 패턴을 게이트 절연막(GI) 상에 형성한다. 반도체 패턴은 TFT의 게이트 전극(GE)과 중첩되는 액티브층(ACT)을 포함한다.
- [0052] 이어서, 본 발명은 도 9c와 같이 액티브 영역(A/A)과 패드 영역(PAD) 상에서 반도체 패턴들을 덮도록 게이트 절연막(GI) 상에 소스-드레인 금속을 증착하고, 제3 포토 리소그래피 공정으로 그 소스-드레인 금속을 패터닝한다. 제3 포토 리소그래피 공정은 소스-드레인 금속 위에 포토레지스트를 도포하고 그 위에 제3 포토 마스크를 정렬한 후에 노광, 현상 및 습식 식각 공정을 거쳐 소스-드레인 금속 패턴들을 기관(SUBS) 상에 형성한다. 소스-드레인 금속은 구리, 알루미늄, 알루미늄 네오듐, 몰리브덴, 크롬 등에서 선택되거나 그 금속들이 적층된 이중층 혹은 삼중층 구조의 금속으로 형성될 수 있다. 소스-드레인 금속 패턴들은 데이터 라인(DL), 데이터 라인(DL)과 연결된 TFT의 드레인 전극(DE), TFT의 소스 전극(SE), 데이터 라인(DL)에 연결된 데이터 링크(DLINK), 패드 영역(PAD) 내의 소스-드레인 금속 패턴(SM1) 등을 포함한다.
- [0053] 이어서, 본 발명은 도 9d와 같이 액티브 영역(A/A)과 패드 영역(PAD) 상에서 소스-드레인 금속 패턴들을 덮도록 버퍼 보호막(BPAS)을 게이트 절연막(GI)의 전면에 증착한 후에, 그 위에 두꺼운 유기 보호막(PAC)을 도포한 다음, 제4 포토 리소그래피 공정으로 유기 보호막(PAC)을 패터닝한다. 버퍼 보호막(BPAS)은 질화 실리콘(SiNx)과

같은 무기 절연물질로 형성될 수 있다. 유기 보호막(PAC)은 포토 아크릴(Photo-acryl)로 형성될 수 있다. 게이트 절연막(GI)은 대략 3,000Å ~ 4,000Å 사이의 두께로 형성되고, 버퍼 보호막(BPAS)은 대략 1,000Å 정도의 두께로 형성된다. 이에 비하여, 유기 보호막(PAC)은 대략 20,000Å (= 2μm) 정도로 두껍게 형성된다. 제4 포토 리스그래피 공정은 포토 아크릴 위에 제4 포토 마스크를 정렬한 후에 노광, 현상 및 건식 식각 공정을 실시한다. 건식 식각 공정은 도 9e와 같이 포토 아크릴 이전에 형성된 버퍼 보호막(BPAS)을 제거하기 위하여 진행된다. 이 건식 식각 공정은 기판(SUBS) 전체에 대한 건식 식각 정도가 다르므로 기판 전면에서 모두 버퍼 보호막(BPAS)이 제거될 수 있도록 과식각한다. 제4 포토 마스크는 패드 영역(PAD)의 제1 패드 영역(10), 제2 패드 영역(12), 및 제3 패드 영역(14)에서 유기 보호막(PAC)을 노출하고 그 외 나머지 패드 영역(PAD)과 액티브 영역(A/A)에서 유기 보호막(PAC)을 가린다. 그 결과, 제4 포토리스그래피 공정과 식각 공정에 의해 패드 영역(PAD)의 제1 패드 영역(10), 제2 패드 영역(12), 및 제3 패드 영역(14)에서 버퍼 보호막(BPAS)이 제거되고, 그 외 나머지 패드 영역(PAD)과 액티브 영역(A/A)에서 유기 보호막(PAC)과 버퍼 보호막(BPAS)이 잔류한다. 도 9e와 같이 유기 보호막(PAC)과 버퍼 보호막(BPAS)을 관통하는 콘택홀(CONT1)을 통해 TFT의 소스 전극(SE)이 노출되고, 제2 및 제3 패드 영역의 소스-드레인 금속 패턴들(SM1)이 노출된다.

[0054] 이어서, 본 발명은 도 9f와 같이 액티브 영역(A/A)과 패드 영역(PAD)에 ITO와 같은 투명전극 물질을 증착하고, 제5 포토 리스그래피 공정으로 투명전극 물질을 패터닝한다. 제5 포토 리스그래피 공정은 투명전극 물질 위에 제5 포토 마스크를 정렬한 후에 노광, 현상 및 습식 식각 공정을 실시하여 유기 보호막(PAC) 상에 제1 투명전극 패턴들을 형성한다. 제1 투명전극 패턴들은 TFT의 소스 전극(SE)과 접촉되는 화소전극(ITO(PXL)), 제2 및 제3 패드 영역(12, 14)의 소스-드레인 금속 패턴들(SM1)을 덮는 투명전극 패턴(ITO1) 등을 포함한다.

[0055] 이어서, 본 발명은 도 9g와 같이 액티브 영역(A/A)과 패드 영역(PAD)에 제1 투명전극 패턴들을 덮도록 상부 보호막(PAS)을 증착한 후에 제6 포토 리스그래피 공정으로 상부 보호막(PAS)을 패터닝한다. 상부 보호막(PAS)은 질화 실리콘(SiNx)과 같은 무기 절연물질로 형성될 수 있고 대략 3,000Å 정도의 두께로 형성된다. 제6 포토 리스그래피 공정은 상부 보호막(PAS) 위에 제6 포토 마스크를 정렬한 후에 노광, 현상 및 건식 식각 공정을 실시한다. 그 결과, 상부 보호막(PAS)을 관통하여 제2 및 제3 패드 영역(12, 14)의 투명전극 패턴(ITO1)을 노출하는 제2 콘택홀(CONT2)과, 상부 보호막(PAS)과 게이트 절연막(GI)을 관통하여 제2 및 제3 패드 영역(12, 14)의 게이트 금속 패턴들(GM1)을 노출하는 제3 콘택홀(CONT3)이 형성된다.

[0056] 이어서, 본 발명은 도 9h와 같이 액티브 영역(A/A)과 패드 영역(PAD)에 ITO와 같은 투명전극 물질을 증착하고, 제7 포토 리스그래피 공정으로 투명전극 물질을 패터닝한다. 제7 포토 리스그래피 공정은 투명전극 물질 위에 제7 포토 마스크를 정렬한 후에 노광, 현상 및 습식 식각 공정을 실시하여 상부 보호막(PAS) 상에 제2 투명전극 패턴들을 형성한다. 제2 투명전극 패턴들은 공통전극(ITO(COM)), 제2 및 제3 패드 영역(12, 14)의 투명전극 패턴(ITO(PAD)) 등을 포함한다. 공통전극(ITO(COM))은 상부 보호막(PAS)을 사이에 두고 화소전극(ITO(PXL))과 중첩된다. 제2 및 제3 패드 영역(12, 14)의 투명전극 패턴(ITO(PAD))은 제2 콘택홀(CONT2)을 통해 투명전극 패턴(ITO1)에 접촉되고 또한, 제3 콘택홀(CONT3)을 통해 게이트 금속 패턴들(GM1)과 접촉된다.

[0057] TFT가 게이트 펄스에 따라 턴-온될 때 화소전극(ITO(PXL))에 데이터 라인(DL)과 TFT를 통해 데이터 전압이 공급된다. 공통전극(ITO(COM))에는 공통전압(Vcom)이 공급된다. 액정셀들의 액정 분자들은 화소전극(ITO(PXL))과 공통전극(ITO(COM)) 간의 전위차에 의해 형성되는 전기장에 따라 구동한다.

[0058] 도 10은 도 7에서 제1 패드 영역(10)의 일부를 자세히 보여 주는 평면도이다. 도 11은 도 10에서 A 부분을 확대하여 보여 주는 평면도이다. 도 12는 도 11에서 선 I-I'을 따라 절취하여 보여 주는 단면도이다.

[0059] 도 10 내지 도 12를 참조하면, 제1 패드 영역(10)에는 유기 보호막(PAC)이 제거된다. 드라이브 IC(D-IC)의 출력 단자들을 제1 패드 영역(10)의 제1 패드들(11)에 접합하는 드라이브 IC 본딩 공정에서, 제1 패드 영역(10)의 단차가 작기 때문에 압흔 미형성 문제와 드라이브 IC의 리페어 공정 문제 없이 드라이브 IC(D-IC)를 제1 패드들(11)에 접합할 수 있다.

[0060] 제1 패드 영역(10)의 단면 구조를 살펴 보면, 제1 패드 영역(10)의 제1 패드들(11)과 그와 연결된 배선들은 모두 게이트 금속 패턴들(GM1)로 형성된다. 게이트 절연막(GI)은 게이트 금속 패턴들(GM1)을 덮도록 기판(SUBS) 상에 형성된다. 상부 보호막(PAS)은 게이트 절연막(GI) 상에 직접 형성된다. 투명전극 패턴(ITO2)은 상부 보호막(PAS) 상에 형성되고 상부 보호막(PAS)과 게이트 절연막(GI)을 관통하는 콘택홀(CONT4)을 통해 게이트 금속 패턴들(GM1)의 일부에 접촉된다. 투명전극 패턴(ITO2)은 제7 포토 리스그래피 공정(도 9h)으로 형성되는 제2 투명전극 패턴들과 동시에 형성된다.

- [0061] 한편, 제1 패드 영역(10)에 형성되는 제1 패드들(11)과 그와 연결된 배선을 소스-드레인 금속으로 형성하면, 제1 패드 영역(10)에서 유기 보호막(PAC)을 제거하는 공정에서 소스-드레인 금속이 손상되어 라인 단선 문제가 초래될 수 있다. 이를 상세히 하면, TFT의 소스 전극(SE)을 노출하기 위하여 유기 보호막(PAC)과 그 아래의 버퍼 보호막(BPAS)을 제거하기 위하여, 유기 보호막(PAC)에 대하여 건식 식각 공정이 진행될 때 버퍼 보호막(BPAS)이 제거된다. 표시패널의 기판 위치에 따라 건식 식각 균일도가 다르기 때문에 식각 깊이가 낮은 부분을 고려하여 버퍼 보호막(BPAS)을 과식각하게 된다. 이 경우에, 식각 깊이가 상대적으로 깊은 부분에서 소스-드레인 금속까지 식각될 수 있다. 콘택홀을 통해 노출된 소스-드레인 금속은 투명전극의 습식 식각 공정에서 에chant(etchant)에 의해 유실될 수 있다. 따라서, 유기 보호막(PAC)의 건식 식각 공정과 그 이후의 투명전극 물질의 습식 식각 공정에서 에chant에 의해 제1 패드 영역(10)의 패드들(11)을 연결하는 배선들이 단선되지 않도록 제1 패드 영역(10) 내의 금속 패턴을 모두 게이트 절연막(GI)에 의해 덮여진 게이트 금속으로 형성하는 것이 바람직하다.
- [0062] 오토 프로브(Auto probe, A/P) 검사를 위하여, 표시패널에는 오토 프로브가 접촉되는 A/P 검사 패드들(도시하지 않음)이 형성된다. A/P 검사 패드들은 소스-드레인 금속 패턴들로 형성된다. 따라서, A/P 검사 패드들과 연결된 소스-드레인 금속 패턴들과 제1 패드 영역(10)의 게이트 금속 패턴들(GM1)을 연결하는 금속 점핑부가 필요하다. 이를 위하여, 도 10의 B 부분과 같이 제1 패드 영역(10)과 제2 패드 영역(12) 사이에는 유기 보호막(PAC)으로 덮여 있는 금속 점핑부(17)가 형성된다.
- [0063] 금속 점핑부(17)는 도 13 및 도 14와 같이, 게이트 금속 패턴(GM1), 게이트 절연막(GI) 상에 형성된 소스-드레인 금속 패턴(SM1), 소스-드레인 금속 패턴(SM1), 소스-드레인 금속 패턴(SM1)을 덮는 투명전극 패턴(ITO1), 게이트 금속 패턴(GM1)과 투명전극 패턴(ITO1)을 연결하는 투명전극 패턴(ITO3)을 포함한다.
- [0064] 투명전극 패턴(ITO3)은 상부 보호막(PAS)과 게이트 절연막(GI)을 관통하는 콘택홀(CONT5)을 통해 게이트 금속 패턴(GM1)의 일부에 접촉되고, 유기 보호막(PAC)과 상부 보호막(PAS)을 관통하는 콘택홀(CONT6)을 통해 소스-드레인 금속 패턴(SM1)의 일부에 접촉된다. 투명전극 패턴(ITO1)은 제5 포토리소그래피 공정(도 9f)에서 제1 투명전극 패턴들과 동시에 형성된다. 투명전극 패턴(ITO3)은 제7 포토리소그래피 공정(도 9h)에서 제2 투명전극 패턴들과 동시에 형성된다. 소스-드레인 금속 패턴(SM1)에는 도 9f 및 도 14와 같이 제5 포토리소그래피 공정에 의해 제1 투명전극 패턴들(ITO(PXL), ITO1)과 동시에 형성되는 투명전극 패턴(ITO1)이 덮여 있기 때문에 투명전극 물질의 습식 식각 공정에서 초래되는 소스-드레인 금속 패턴(SM1)의 손상 문제가 없다. 금속 점핑부(17)의 크기는 유기 보호막(PAC)이 제거된 제1 패드 영역(10)의 제1 패드들(11)의 크기에 비하여 1/2 정도의 크기로 형성될 수 있다. 제1 패드 영역(10)과 제2 패드 영역(12) 사이의 영역은 드라이브 IC(D-IC)나 FPC가 접촉되지 않는 영역이다. 따라서, 금속 점핑부(17)가 형성되는 영역은 압흔이나 드라이브 IC(D-IC) 및 FPC의 리페어 공정과는 무관하다.
- [0065] 도 15는 FPC가 접합되는 제3 패드 영역(14)과 그 주변의 일부를 자세히 보여 주는 평면도이다. 도 16은 도 15에서 선 III-III'을 따라 절취하여 보여 주는 단면도이다.
- [0066] 도 15 및 도 16을 참조하면, 제3 패드들(15)은 배선들(FLINK)에 연결되고 ACF를 통해 FPC의 출력 단자들에 접합된다.
- [0067] 제3 패드(15)에서, 게이트 금속 패턴(GM1)과 소스-드레인 금속 패턴(SM1)은 투명전극 패턴들(ITO1, ITO(PAD))을 통해 병렬 구조로 서로 연결된다. 투명전극 패턴(ITO1)은 제5 포토리소그래피 공정(도 9f)에 의해 제1 투명전극 패턴들과 동시에 형성되어 소스-드레인 금속 패턴(SM1)을 덮는다. 투명전극 패턴(ITO(PAD))은 제7 포토리소그래피 공정(도 9h)에 의해 제2 투명전극 패턴들과 동시에 형성된다. 투명전극 패턴(ITO(PAD))은 상부 보호막(PAS)과 게이트 절연막(GI)을 관통하는 콘택홀(CONT3)을 통해 게이트 금속 패턴(GM1)의 일부에 접촉되고, 상부 보호막(PAS)을 관통하는 콘택홀(CONT2)을 통해 투명전극 패턴(ITO1)의 일부에 접촉된다.
- [0068] 제3 패드 영역(14)은 유기 보호막(PAC)이 없으므로 FPC 본딩 공정에서 FPC의 출력 단자들에 안정되게 접합할 수 있다. 따라서, 제3 패드 영역(14)에서 압흔 미형성 문제와 FPC 리페어의 리페어 문제가 없다.
- [0069] 제2 패드 영역(12)은 제3 패드 영역(14)과 실질적으로 동일한 단면 구조를 갖는다. 따라서, 제2 패드 영역(12)에서도 압흔 미형성 문제와 FPC 리페어의 리페어 문제 없이 드라이브 IC의 입력 단자들이 제2 패드들(13)에 접합될 수 있다.
- [0070] 제2 및 제3 패드 영역들(12, 14) 각각에서 소스-드레인 금속 패턴(SM1)이 투명전극 패턴(ITO1)에 의해 덮여진다. 이는 제5 포토리소그래피 공정(도 9f)에서 제1 투명전극 패턴들이 습식 식각될 때 에chant에 의해 소

스-드레인 금속 패턴(SM1)이 손상되거나 유실되는 현상을 방지하기 위함이다.

- [0071] 유기 보호막(PAC)이 있는 부분과 유기 보호막(PAC)이 없는 부분 사이의 경계에서 배선들 간의 단락(또는 합선, short)이 발생될 수 있다. 이러한 단락 문제를 방지하기 위하여, 본 발명은 패드 영역(PAD) 내에서 유기 보호막(PAC)이 있는 부분과 유기 보호막(PAC)이 없는 부분 사이의 경계 부분에 도 20 ~ 도 22, 도 26 ~ 도 28 등에서 보여 주고 있는 단락 방지 구조를 적용한다. 단락 방지 구조의 설명에 앞서, 도 17 및 도 18을 결부하여 기술한 단락 문제가 발생하는 일 예를 설명하기로 한다.
- [0072] 제5 포토리소그래피 공정(도 9f)에서, 투명전극 물질을 증착하고 포토레지스트를 기판 상에 도포한 후에 노광 및 현상 공정을 진행하면 유기 보호막(PAC)이 있는 부분과 유기 보호막(PAC)이 없는 경계 라인(이하, "PAC 경계 라인"이라 약칭함)을 따라 도 17 및 도 18과 같이 원치 않는 포토레지스트의 잔막(PR')이 남을 수 있다. 유기 보호막(PAC)의 두께가 두껍기 때문에 PAC 경계 라인에서 단차가 커진다. 단차가 큰 PAC 경계 라인에서 포토레지스트가 충분히 노광되지 않는다. 이 때문에 PAC 경계 라인에서 포토레지스트의 현상 공정 후에 포토레지스트의 잔막(PR')이 남게 된다.
- [0073] 포토레지스트의 잔막(PR')이 PAC 경계 라인에 잔류하는 상태에서 투명전극 물질을 식각하면 포토레지스트의 잔막(PR')에 의해 가려진 투명전극 물질이 식각되지 않고 경계 라인을 따라 잔류한다. 이렇게 PAC 경계 라인을 따라 잔류하는 투명전극 물질의 잔류물이 패드 영역 내의 배선들을 단락시키는 도전성 이물질(ITO1')로 작용한다. 도전성 이물질(ITO1')은 도 19와 PAC 경계 라인을 따라 다수의 배선들(FLINK)과 교차하고 그 배선들(FLINK) 상의 투명전극 패턴(ITO1)과 합선된다. 포토레지스트에 조사되는 자외선의 노광량을 높이면, PAC 경계 라인에 도포된 포토레지스트의 노광량을 높일 수 있으나 다른 부분의 포토레지스트를 과도하게 노광하여 제1 투명전극 패턴들(ITO1)로 형성되는 배선의 선풍이 가늘어지고 유실될 수 있다.
- [0074] 본 발명은 도 20 ~ 도 22, 도 26 ~ 도 28 등에서 보여 주고 있는 단락 방지 구조를 패드 영역(PAD) 내의 PAC 경계 라인에 적용한다. 이러한 단락 방지 구조는 패드 영역(PAD)에서 PAC 경계 라인들 어디에도 적용 가능하다. 도 20 ~ 도 22, 도 26 ~ 도 28는 제3 패드 영역의 상단 에지(edge)의 PAC 경계 라인에 적용된 단락 방지 구조이지만, 다른 PAC 경계 라인들에도 적용될 수 있다.
- [0075] 도 20은 상부 보호막(PAS)에 형성된 홀(이하 "PAS 홀(HPAS)"이라 함)을 이용한 단락 방지 구조의 일예를 보여주는 평면도이다. 도 21은 도 20에서 선 V-V'을 따라 절취하여 보여 주는 단면도이다. 도 22는 PAS 홀(HPAS)을 보여 주는 사시도이다.
- [0076] 도 20 내지 도 22를 참조하면, 본 발명은 단차가 큰 경계 라인을 따라 다수의 PAS 홀(HPAS)을 형성한다. PAS 홀(HPAS)은 PAC 경계 라인을 가로 지르는 신호 배선들 예컨대, 배선들(FLINK) 사이에 배치되어 상부 보호막(PAS)의 하부막을 노출한다.
- [0077] 제5 포토리소그래피 공정(도 9f)에서, 투명전극 물질을 증착하고 포토레지스트를 기판 상에 도포한 후에 노광 및 현상 공정을 진행하면 PAC 경계 라인을 따라 포토레지스트의 잔막(PR')이 남고, 그 결과 도전성 이물질(ITO1')이 PAC 경계 라인을 따라 잔류한다.
- [0078] 본 발명은 제6 포토리소그래피 공정(도 9g)에서 상부 보호막(PAS)을 패터닝할 때 상부 보호막(PAS)에 경계 라인을 따라 PAS 홀(HPAS)을 형성한다. PAS 홀(HPAS)은 제6 포토리소그래피 공정에서 포토레지스트 패턴에 의해 가려지지 않은 상부 보호막(PAS)을 건식 식각하는 방법으로 형성되어 도 21 및 도 22와 같이 PAC 경계 라인을 따라 잔류하는 도전성 이물질(ITO1')을 노출한다. 이어서, 본 발명은 제7 포토리소그래피 공정(도 9h)에서 제2 투명전극 패턴들을 패터닝한다. 제7 포토리소그래피 공정에서, 투명전극 패턴을 습식 식각하기 위한 에천트는 상부 보호막(PAS) 상에 형성된 투명전극 물질을 식각하고 또한, PAS 홀(HPAS) 내로 침투되어 합선을 유발하는 도전성 이물질(ITO1')을 식각한다.
- [0079] 도 23 내지 도 25와 같이, 제7 포토리소그래피 공정(도 9h)에 의해 형성되는 제2 투명전극 패턴들에 의해서도 단차가 큰 PAC 경계 라인에서 단락 문제가 초래될 수 있다.
- [0080] 도 23은 PAC 경계 라인에서 이웃한 배선들(FLINK) 간에 단락이 발생하는 다른 예를 보여주는 평면도이다. 도 24는 도 23에서 선 VI-VI'을 따라 절취하여 보여 주는 단면도이다. 도 25는 배선들(FLINK)이 도 24에 도시된 도전성 이물질(ITO(PAD'))에 의해 합선된 예를 보여주는 사시도이다.
- [0081] 도 23 내지 도 25를 참조하면, 제7 포토리소그래피 공정(도 9h)에서 투명전극 물질을 증착하고 포토레지스트를 기판 상에 도포한 후에 노광 및 현상 공정을 진행하면 PAC 경계 라인을 따라 원치 않는 포토레지스트의 잔막

(PR')이 남을 수 있다. 포토레지스트의 잔막(PR')으로 인하여, PAC 경계 라인을 따라 투명전극 물질이 식각되지 않고 잔류된다. 도전성 이물질(ITO(PAD)')은 도 25와 PAC 경계 라인을 따라 다수의 배선들(FLINK)과 교차하고 그 배선들(FLINK) 상의 투명전극 패턴(ITO(PAD))과 합선된다. 포토레지스트에 조사되는 자외선의 노광량을 높이면, PAC 경계 라인에 도포된 포토레지스트의 노광량을 높일 수 있으나 다른 부분의 포토레지스트를 과도하게 노광하여 투명전극 패턴들(ITO(PAD))로 형성되는 배선의 선폭이 가늘어지고 유실될 수 있다.

[0082] 도 26은 경계 라인과 투명 전극 패턴 간의 거리를 이격시킨 구조를 이용한 단락 방지 구조의 다른 예를 보여 주는 평면도이다. 도 27은 도 26에서 선 VII-VIII'을 따라 절취하여 보여 주는 단면도이다. 도 28은 도 26에 도시된 이격 거리를 보여 주는 사시도이다.

[0083] 도 26 내지 도 28을 참조하면, 제7 포토리소그래피 공정(도 9h)에서 투명전극 물질을 패터닝할 때, PAC 경계 라인과 소정의 이격 거리(GITO)로 이격되도록 투명전극 패턴(ITO(PAD))을 형성한다. 이격 거리(GITO)는 설계 마진을 고려하여 적절히 설정될 수 있다. 제7 포토리소그래피 공정(도 9h)에서 PAC 경계 라인을 따라 원치 않는 도전성 이물질(ITO1(PAD)')이 형성되더라도, 그 도전성 이물질(ITO(PAD)')과 정상적인 투명전극 패턴(ITO(PAD)')이 이격 거리(GITO)만큼 떨어져 단락 문제를 예방할 수 있다.

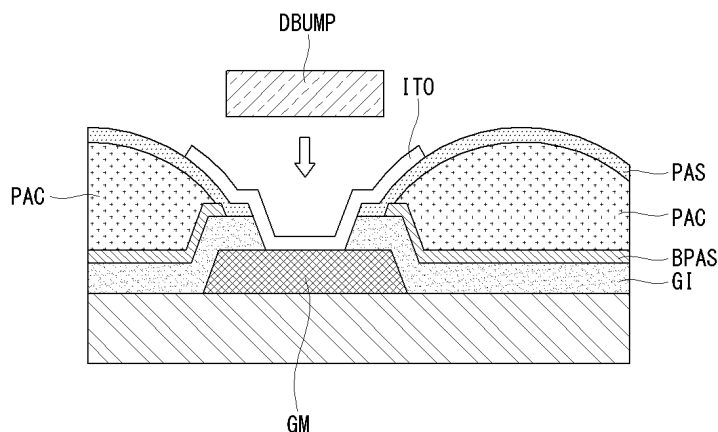
[0084] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

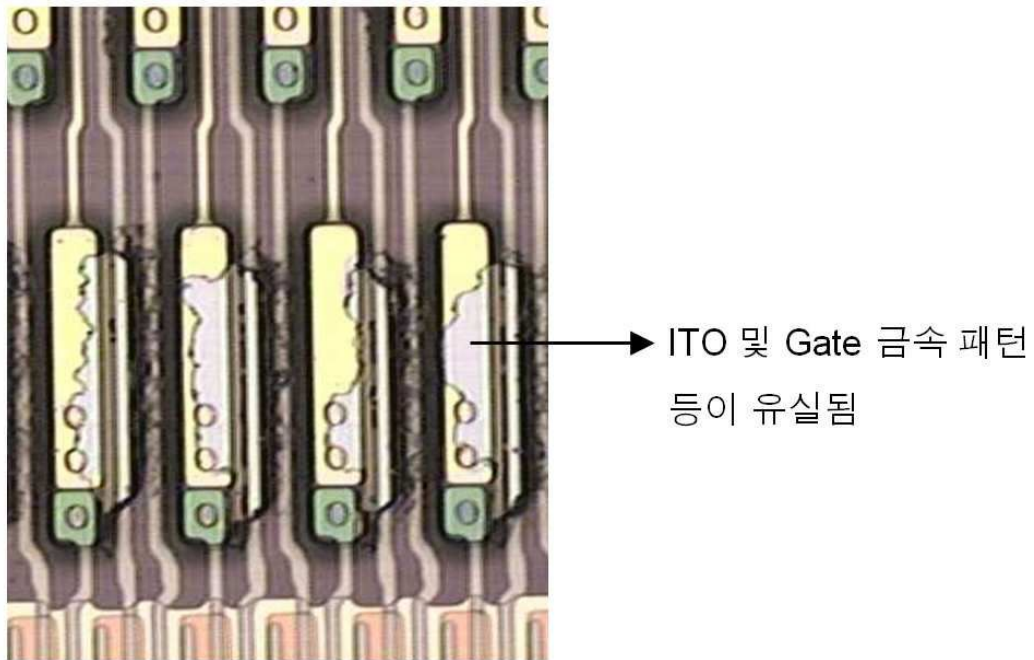
[0085]	100 : 액정표시패널	101 : 타이밍 컨트롤러
	102 : 데이터 구동부	103 : 게이트 구동부
	104 : 호스트 시스템	SUBS : 기판
	GI : 게이트 절연막	GE, GM, GM1 : 게이트 금속 패턴
	ACT : 액티브층	SE, DE, DL, SM : 소스-드레인 금속 패턴
	BPAS : 버퍼 보호막	PAC : 유기 보호막
	PAS : 상부 보호막	ITO(PXL), ITO(PAD), ITO1 : 투명전극 패턴
	ITO1', ITO(PAD)' : 도전성 이물질	HPAS : 상부 보호막의 홀
	GIPO : PAC 경계 라인과 정상적인 투명전극 패턴 간의 이격 거리	

도면

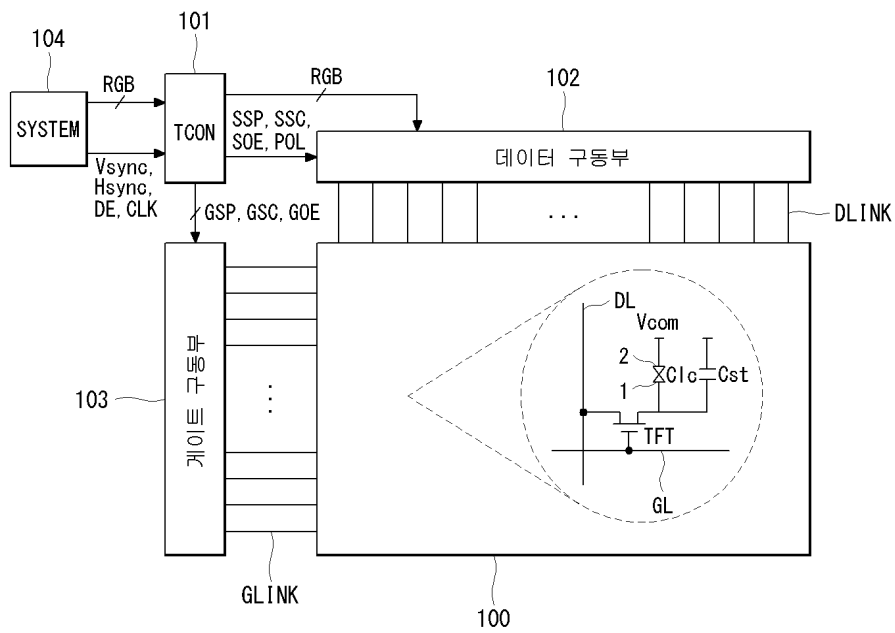
도면1



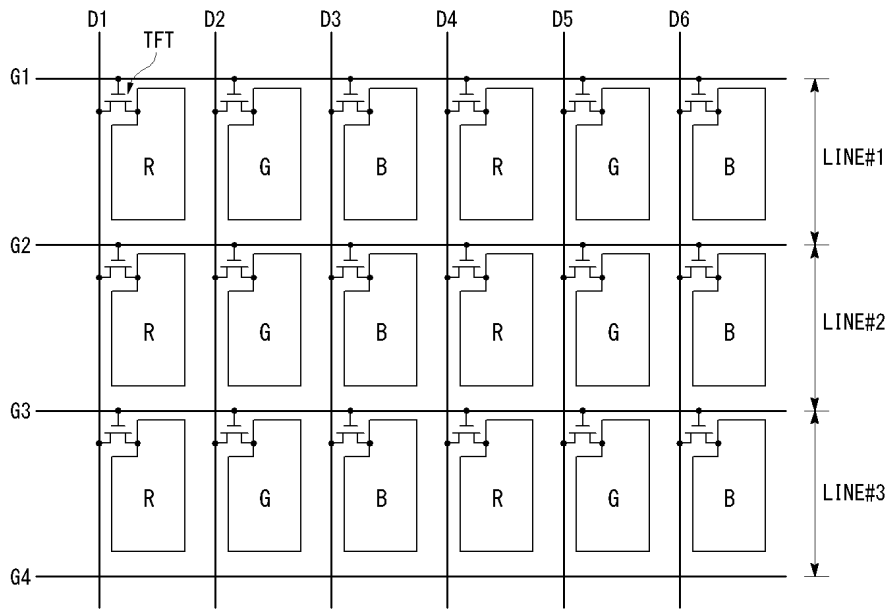
도면2



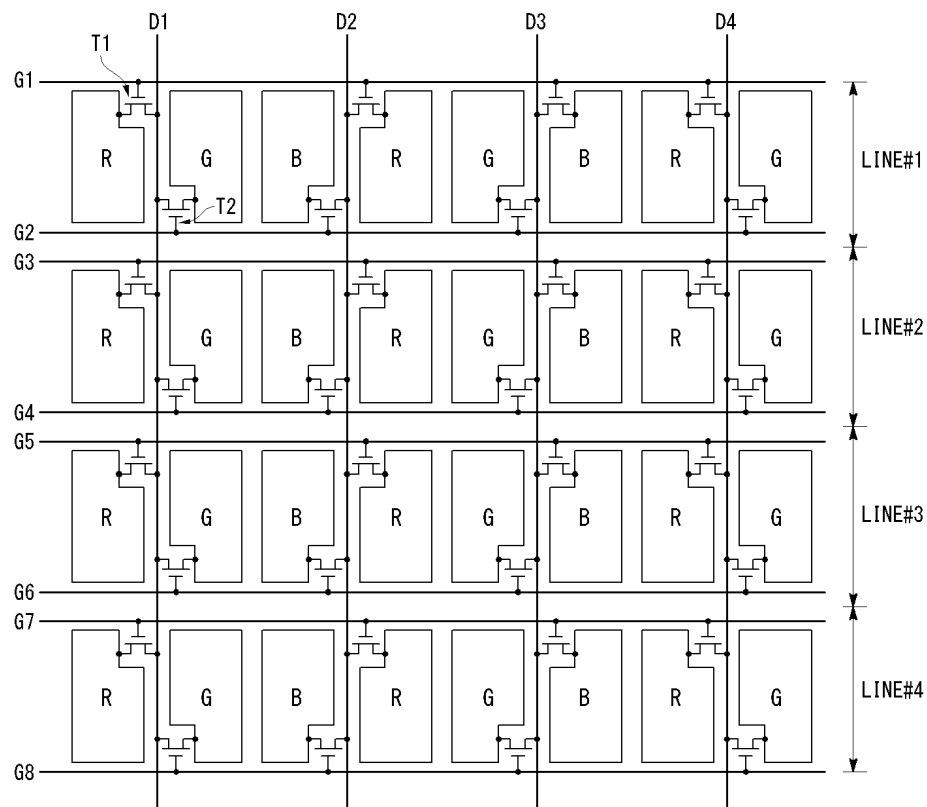
도면3



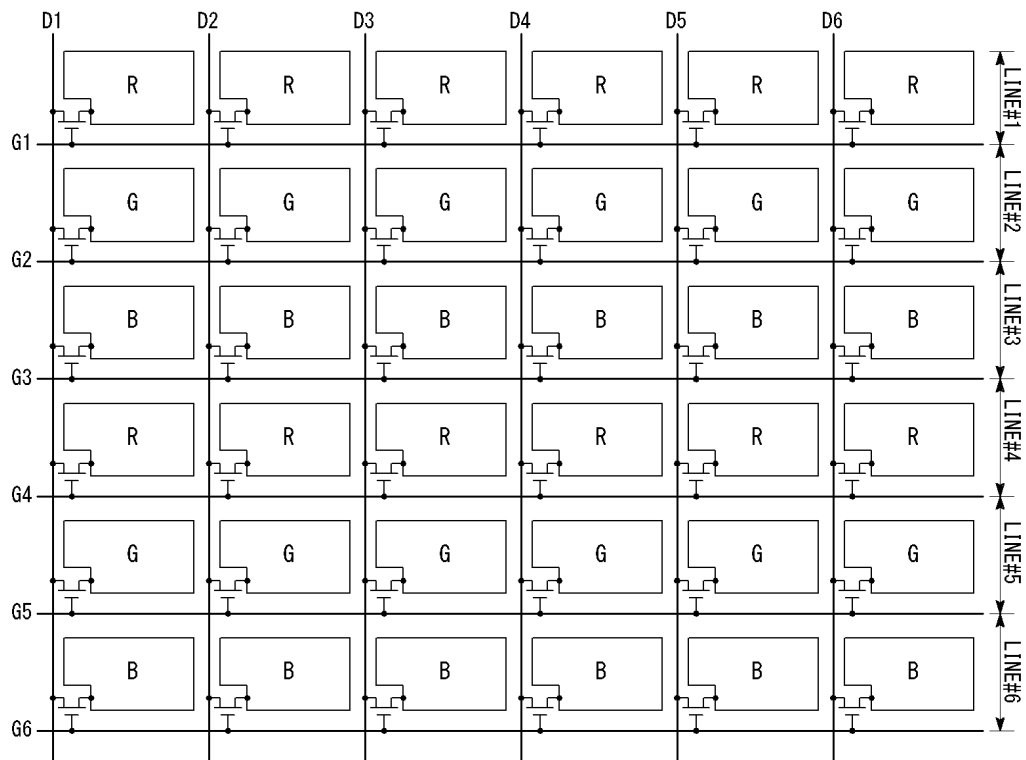
도면4



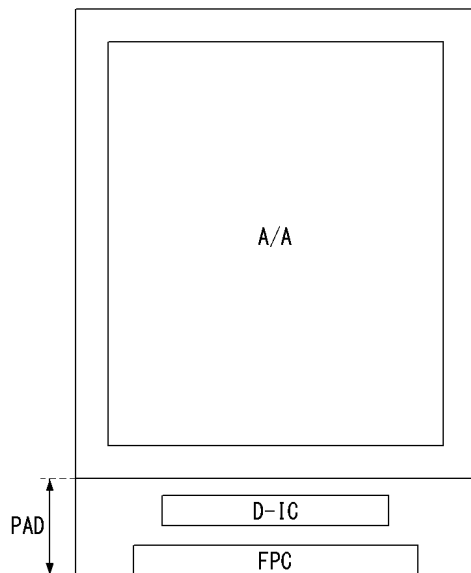
도면5



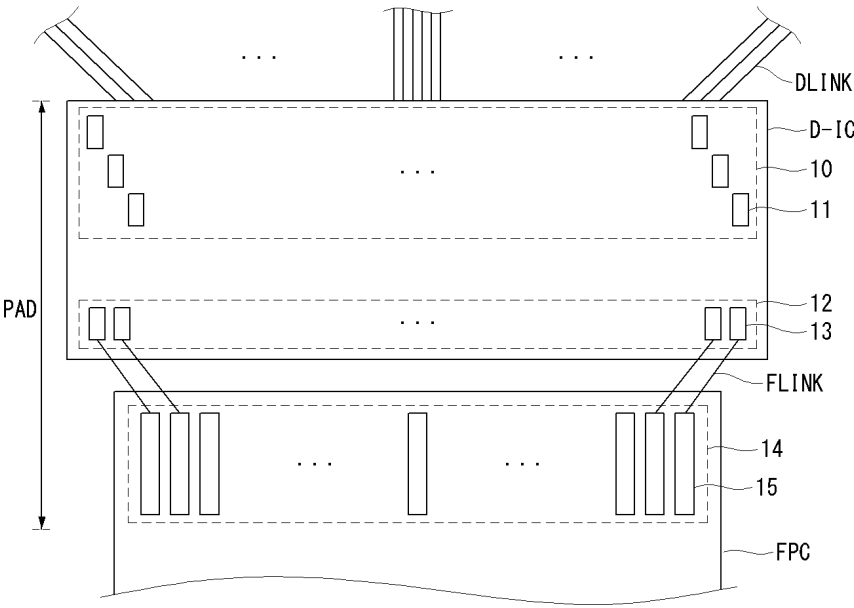
도면6



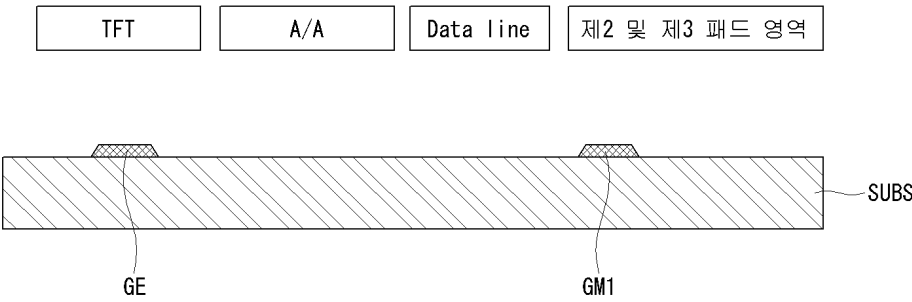
도면7



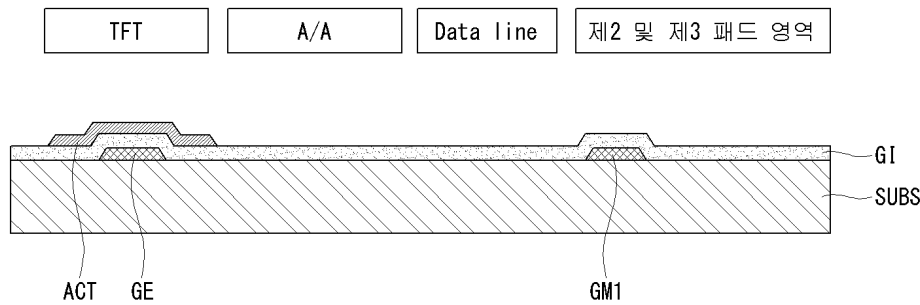
도면8



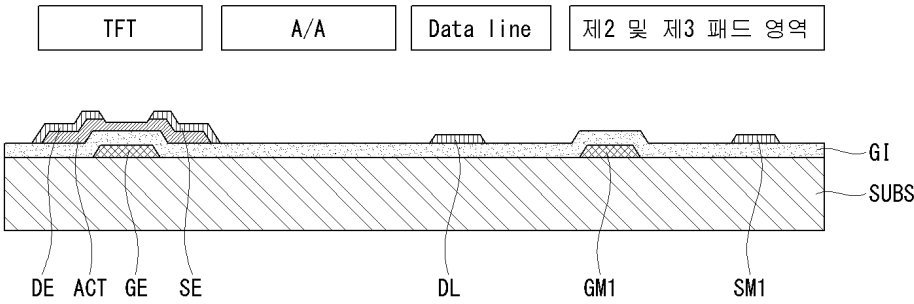
도면9a



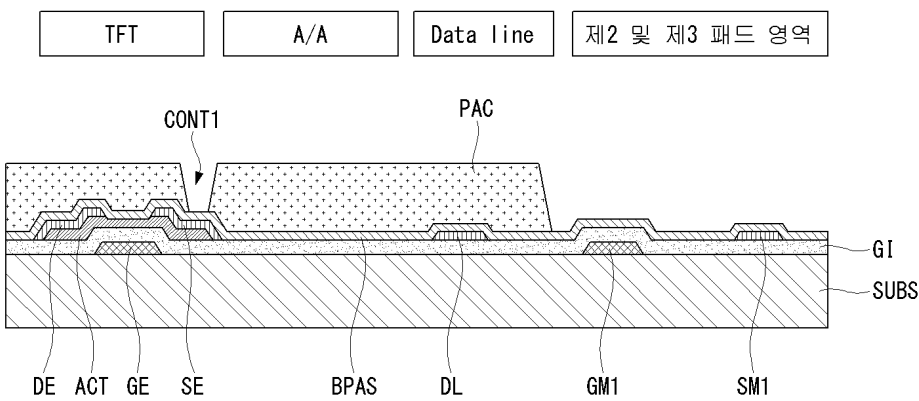
도면9b



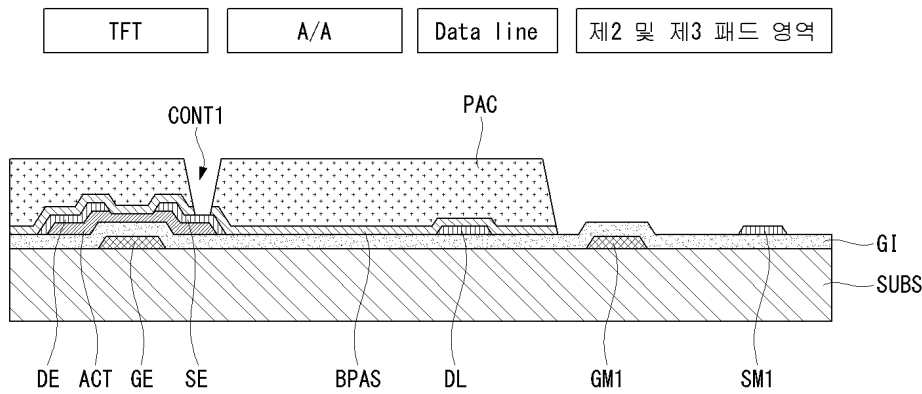
도면9c



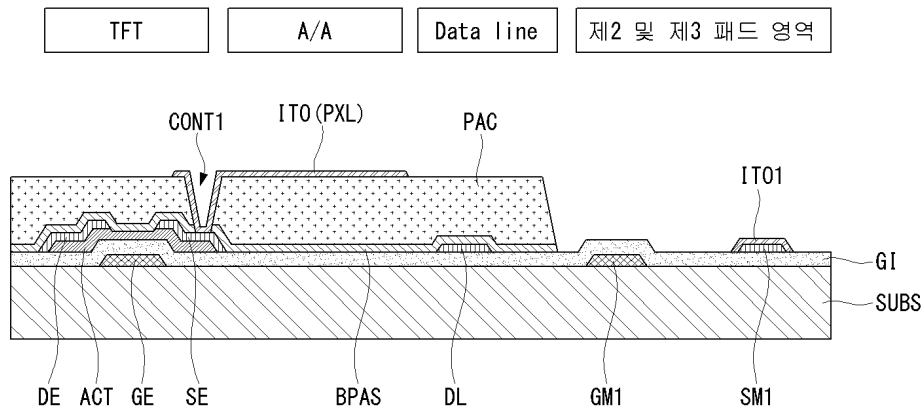
도면9d



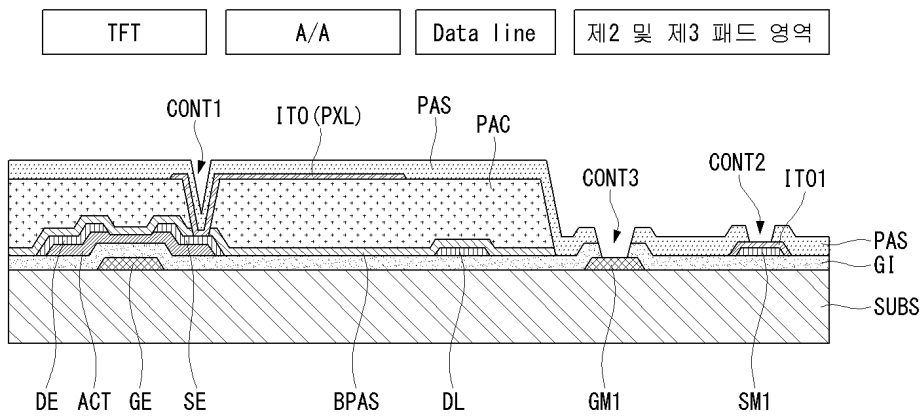
도면9e



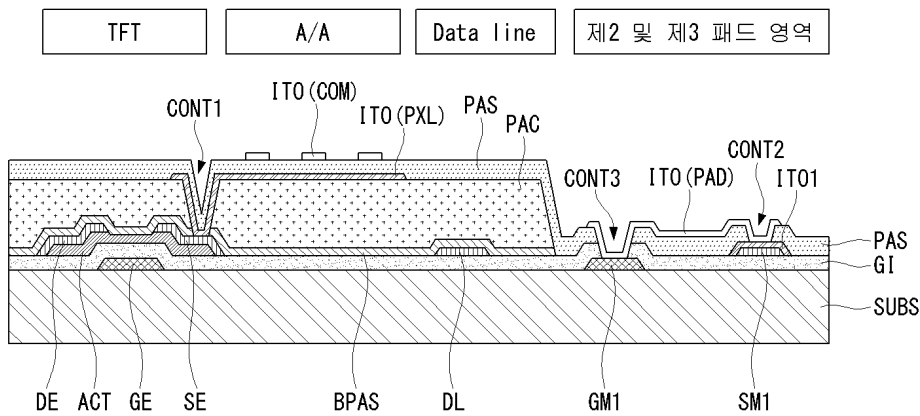
도면9f



도면9g



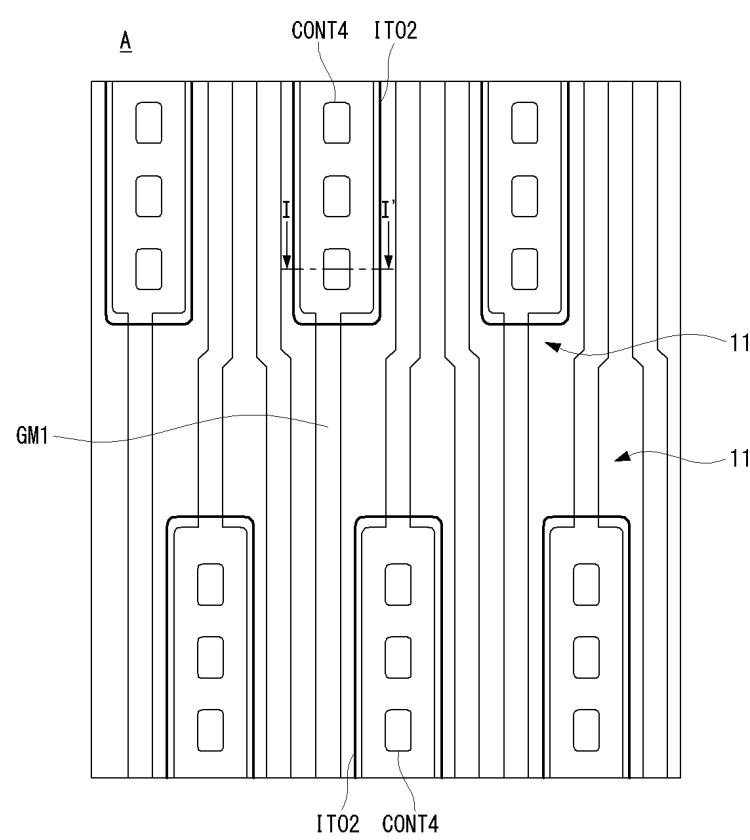
도면9h



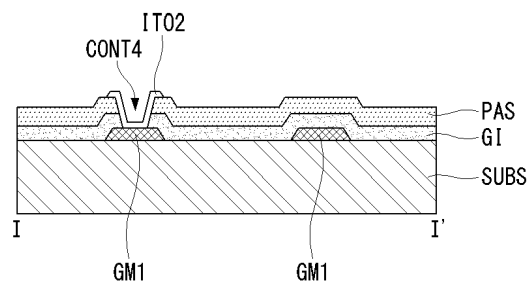
도면10



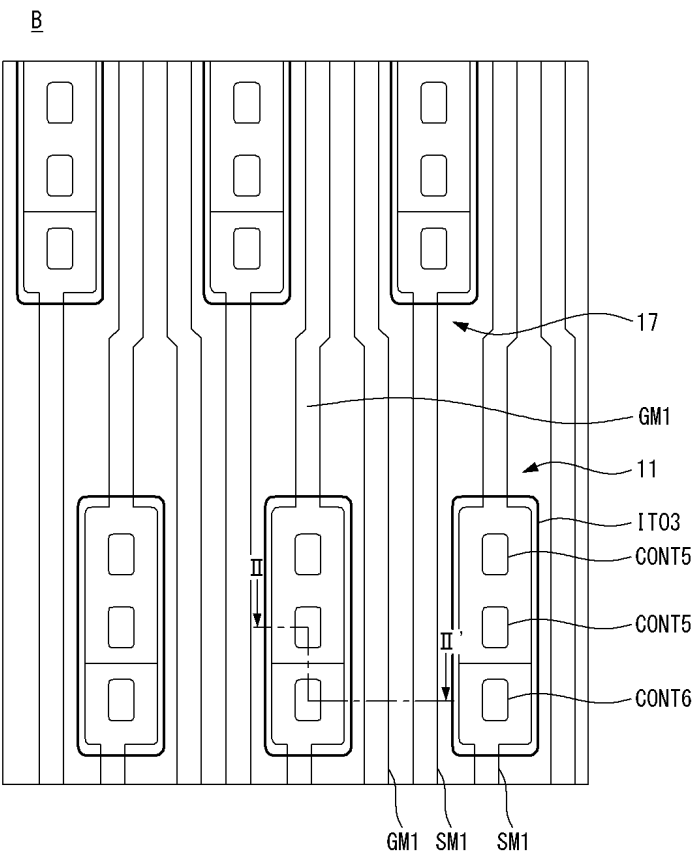
도면11



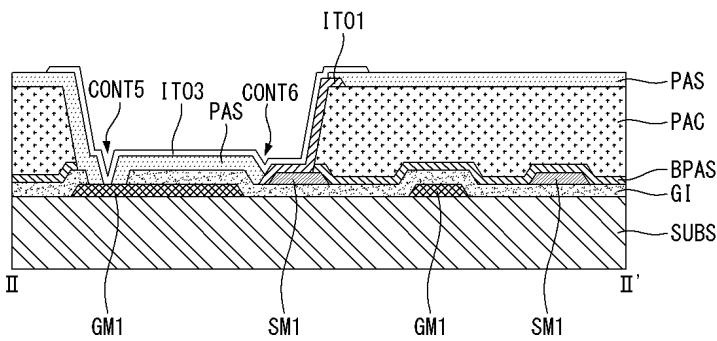
도면12



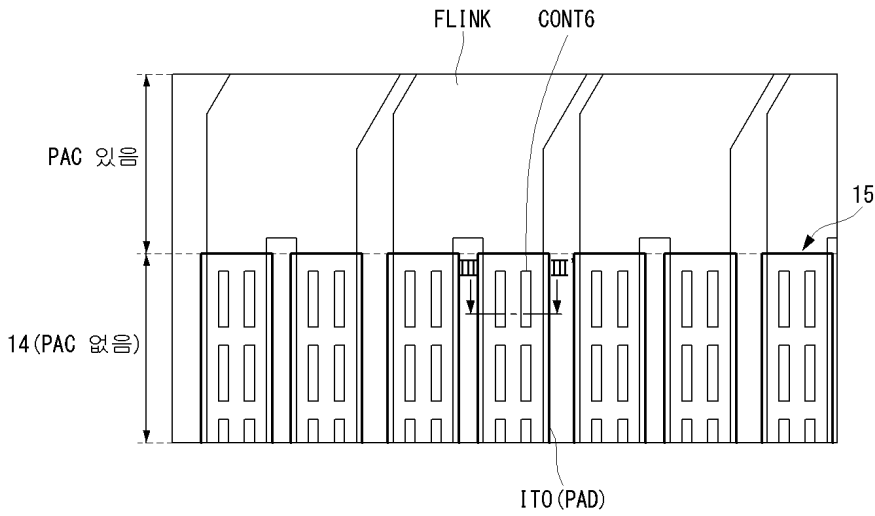
도면13



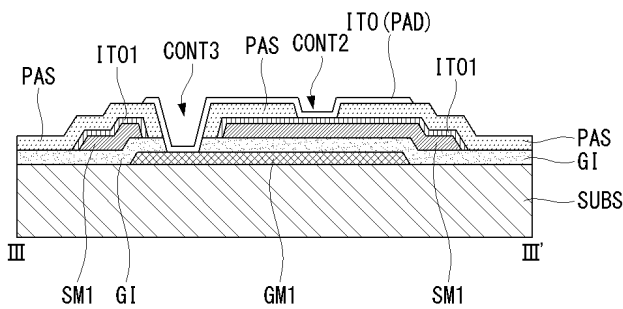
도면14



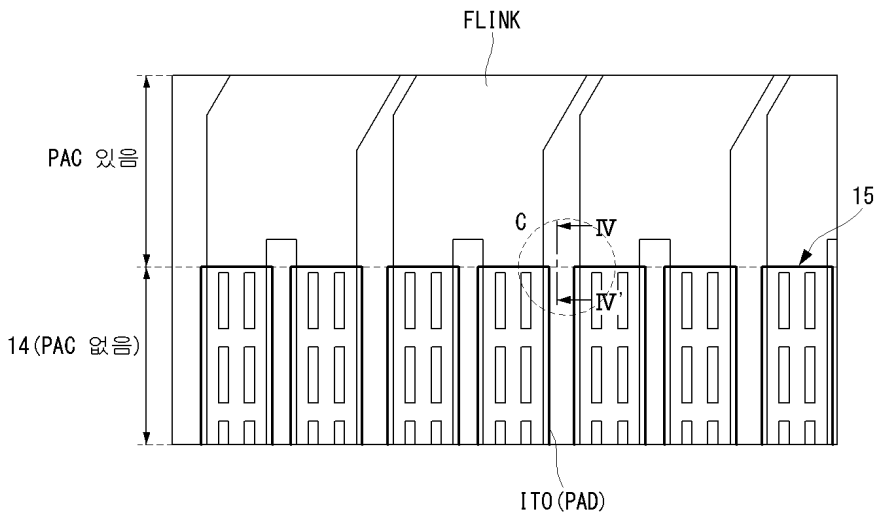
도면15



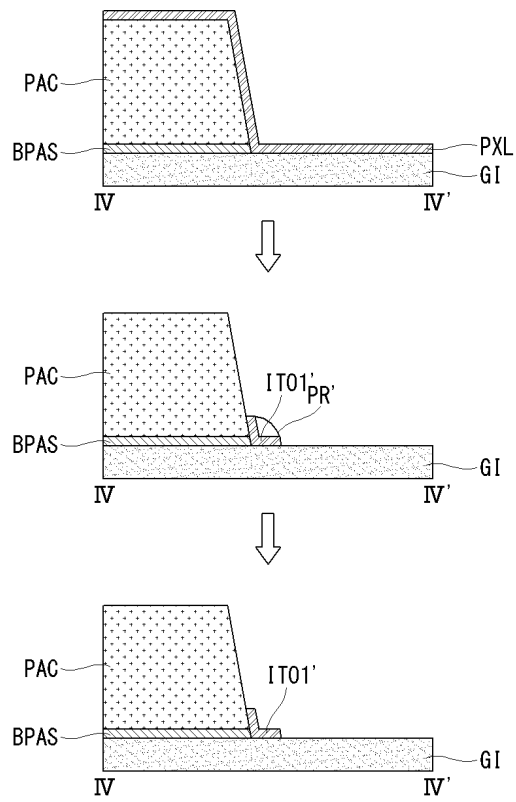
도면16



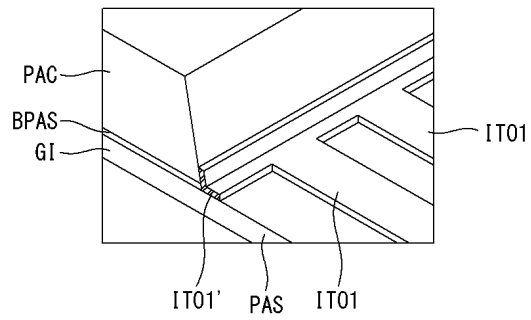
도면17



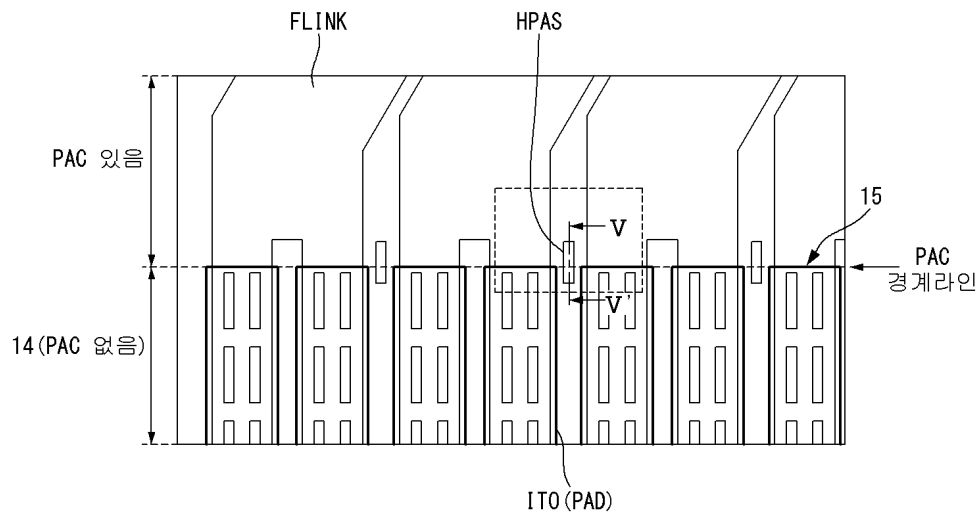
도면18



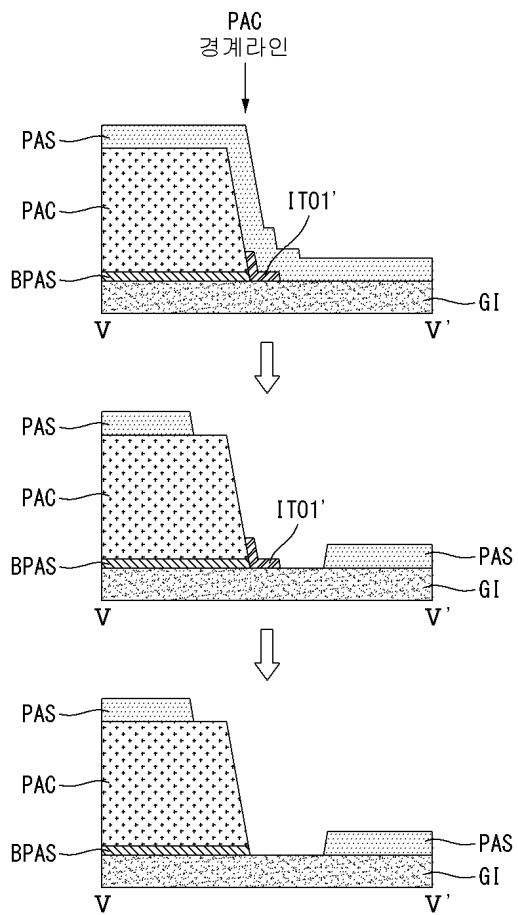
도면19



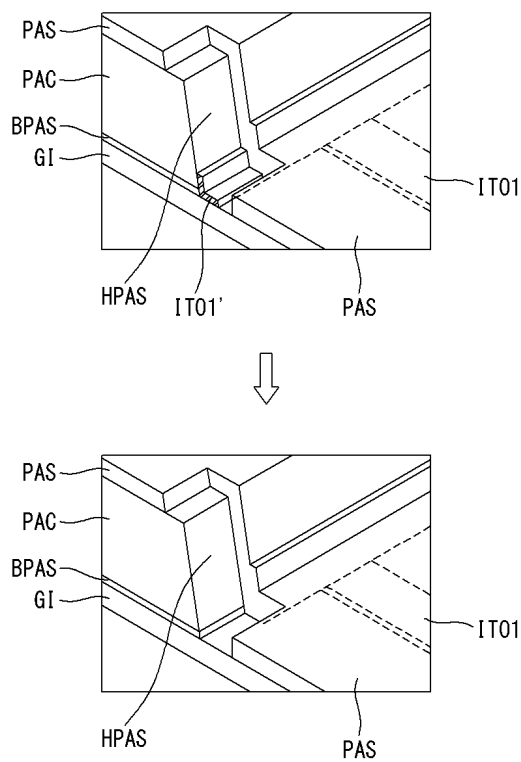
도면20



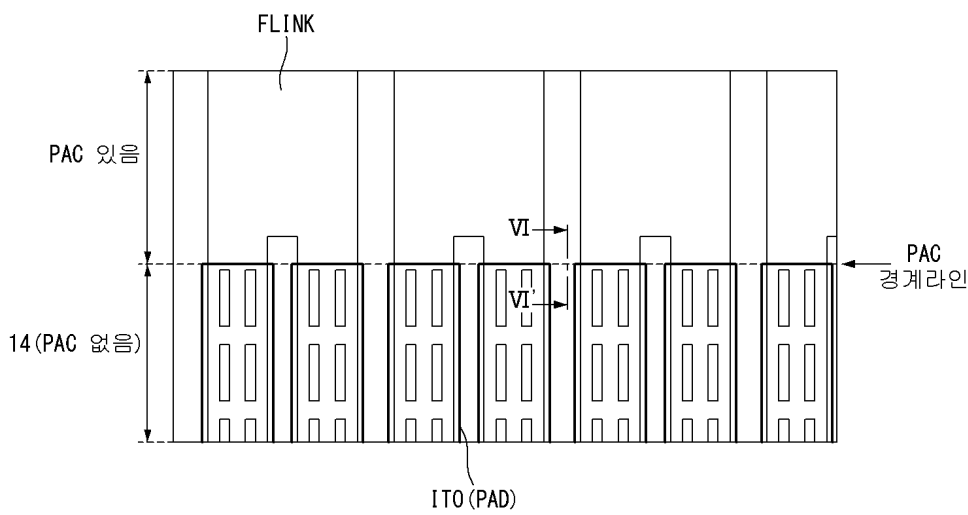
도면21



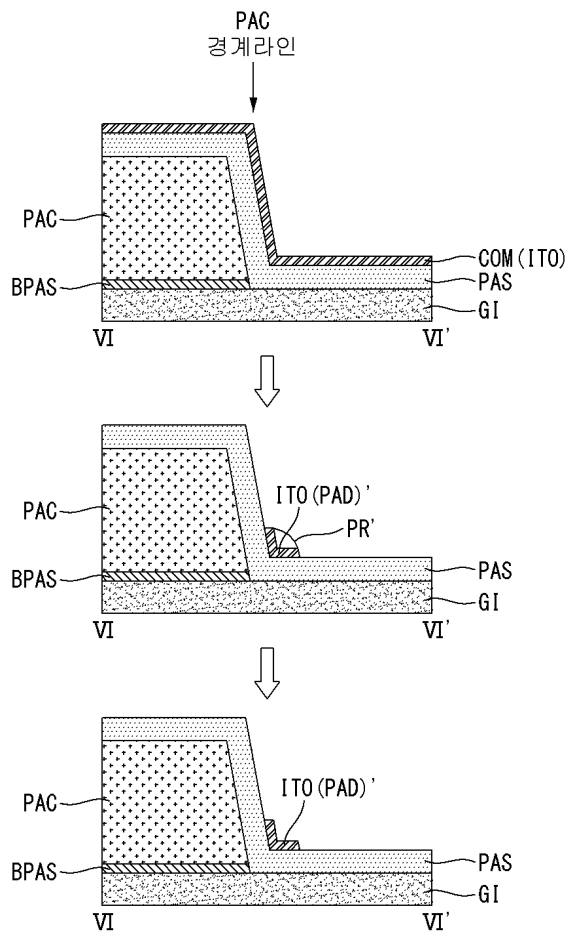
도면22



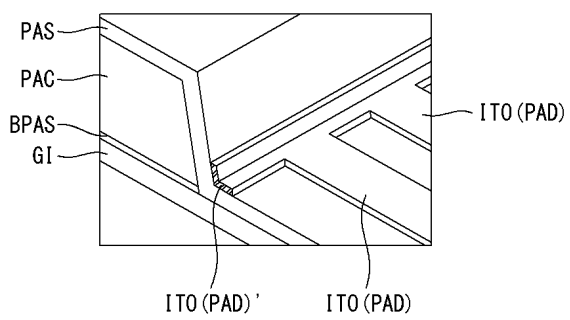
도면23



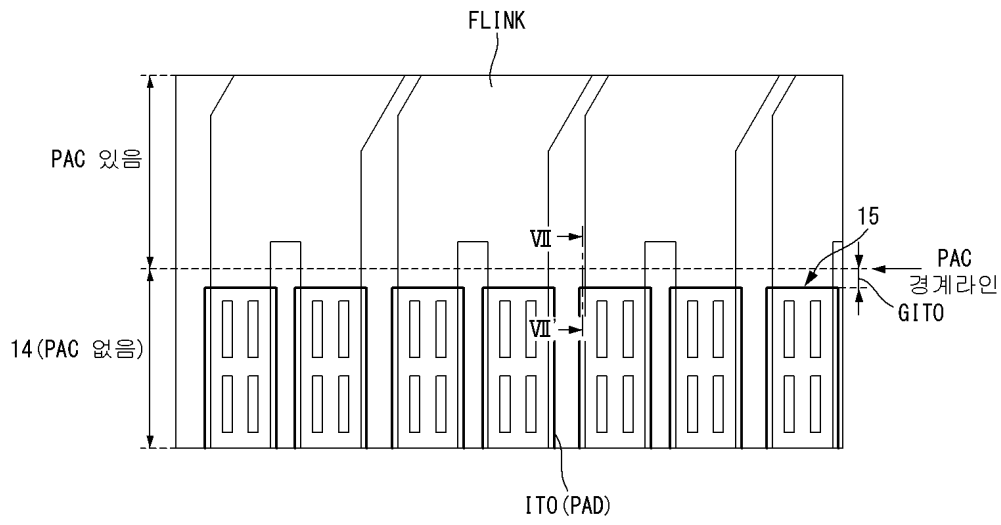
도면24



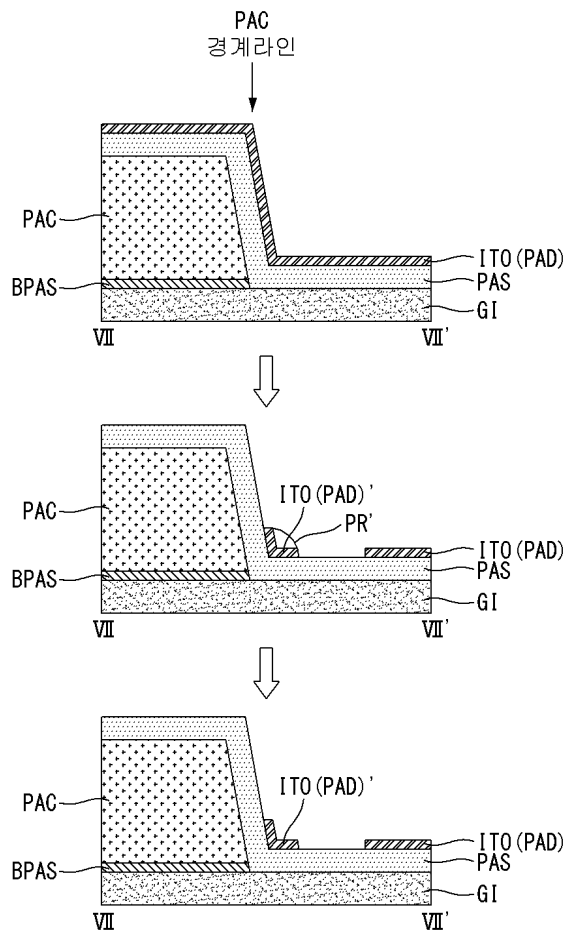
도면25



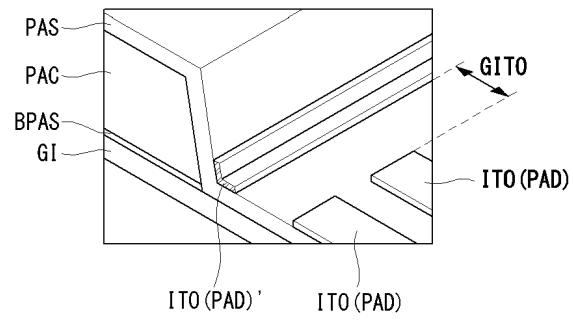
도면26



도면27



도면28



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 4, 1째줄

【변경전】

제 1 항에 있어서,

【변경후】

제 3 항에 있어서

专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR101942850B1	公开(公告)日	2019-04-17
申请号	KR1020130020990	申请日	2013-02-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정성훈		
发明人	정성훈		
IPC分类号	G02F1/1345 G02F1/133		
CPC分类号	G02F1/136286 G02F1/1345 G02F1/13452 G02F1/13458 G02F2001/133357 G02F2001/133388		
审查员(译)	朴贞根		
其他公开文献	KR1020140106851A		
外部链接	Espacenet		

摘要(译)

提供一种其中部分地去除了有机钝化层的液晶显示器及其制造方法。液晶显示器包括：有源区和焊盘区。焊盘区域包括：第一焊盘区域，在该第一焊盘区域中形成有连接到数据线并结合到驱动IC的输出端子的第一焊盘；第二焊盘区域，其中，第二焊盘接合至驱动IC的输入端子；第三焊盘区域，其中形成了与FPC的输出端子结合的第三焊盘。

