



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년11월22일
(11) 등록번호 10-1677992
(24) 등록일자 2016년11월15일

(51) 국제특허분류(Int. Cl.)
G02F 1/1345 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2009-0100428
(22) 출원일자 2009년10월21일
심사청구일자 2014년10월16일
(65) 공개번호 10-2011-0043351
(43) 공개일자 2011년04월27일
(56) 선행기술조사문헌
KR1020070002901 A*
KR1020030082144 A*
KR1020060080758 A
KR1020060053513 A
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
이성민
강원도 강릉시 경강로 1898-14 (홍제동)
오충완
경기도 오산시 은여울로17번길 8, 205호 (궐동, 신흥연립)
(74) 대리인
(뒷면에 계속)
박장원

전체 청구항 수 : 총 7 항

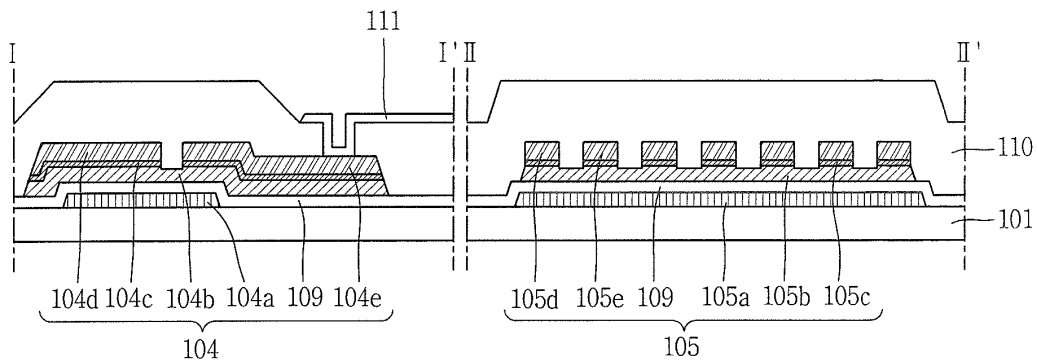
심사관 : 신영교

(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은 액정표시장치 및 그 제조 방법에 관한 것으로서, 오토 프로브 검사를 위한 박막 트랜지스터에 있어서 게이트 전극을 서로 이격되도록 형성하고 라인을 통해 연결하여 게이트 전극의 크기를 최소화함으로써, 화소 내의 박막 트랜지스터와 오토 프로브 검사를 위한 박막 트랜지스터를 함께 형성하는 과정에서 슬릿 마스크를 적용한 경우에 화소 내의 박막 트랜지스터와 오토 프로브 검사를 위한 박막 트랜지스터 간의 크기 차이 및 게이트 전극 면적 차이로 인하여 슬릿 마스크의 슬릿 영역 적용 부위가 오버(over) 에칭되거나 다운(down) 에칭되는 문제를 최소화한 액정표시장치 및 그 제조 방법에 관한 것이다.

대표도 - 도4



(72) 발명자

조현국

경북 칠곡군 석적읍 서중리5길 66-6, 105동 1501호
(중리금호어울림)

이충훈

충청북도 청주시 흥덕구 직지대로639번길 86 (봉명동)

명세서

청구범위

청구항 1

화소 영역과 오토 프로브 영역이 정의된 기관;

상기 기관의 화소 영역에 서로 교차하여 다수의 화소를 정의하는 다수의 게이트 라인과 데이터 라인;

상기 화소의 게이트 라인과 데이터 라인이 교차하는 영역에 구비된 다수의 제 1 박막 트랜지스터;

상기 기관의 오토 프로브 영역에 상기 게이트 라인마다 하나씩 연결되어 오토 프로브 검사에 이용되는 다수의 제 2 박막 트랜지스터; 및

상기 기관의 오토 프로브 영역에 상기 데이터 라인마다 하나씩 연결되어 오토 프로브 검사에 이용되는 제 3 박막 트랜지스터; 를 포함하며,

상기 다수의 제 2 박막 트랜지스터의 게이트 전극은 제 2 박막 트랜지스터마다 서로 이격되어 상기 데이터 라인과 평행하게 배치된 제 1 라인을 통해 연결되며, 상기 다수의 제 3 박막 트랜지스터의 게이트 전극은 제 3 박막 트랜지스터마다 서로 이격되어 상기 게이트 라인과 평행하게 배치된 제 2 라인을 통해 연결된 액정표시장치.

청구항 2

제 1 항에 있어서, 상기 제 1 라인은 상기 제 2 박막 트랜지스터의 게이트 전극과 동일 물질로 동일 층에 배치된 액정표시장치.

청구항 3

제 2 항에 있어서, 상기 제 1 라인은 상기 제 1 박막 트랜지스터의 게이트 전극 및 게이트 라인과 동일 물질로 동일 층에 배치된 액정표시장치.

청구항 4

제 1 항에 있어서, 상기 제 2 라인은 상기 제 3 박막 트랜지스터의 게이트 전극 및 게이트 라인과 동일 물질로 동일 층에 배치된 액정표시장치.

청구항 5

제 1 항에 있어서, 상기 제 2 라인은 상기 제 1 박막 트랜지스터의 게이트 전극 및 게이트 라인과 동일 물질로 동일 층에 배치된 액정표시장치.

청구항 6

삭제

청구항 7

삭제

청구항 8

삭제

청구항 9

기관 상의 화소 영역에 다수의 제 1 박막 트랜지스터의 게이트 전극을 형성하고, 기관 상의 오토 프로브 영역에 다수의 제 2 박막 트랜지스터의 서로 이격된 게이트 전극 및 화소 영역의 데이터 라인과 평행하고 상기 다수의 제 2 박막 트랜지스터의 게이트 전극을 서로 연결하는 제 1 라인과, 다수의 제 3 박막 트랜지스터의 서로 이격된 게이트 전극 및 화소 영역의 게이트 라인과 평행하고 상기 다수의 제 3 박막 트랜지스터의 게이트 전극을 서로 연결하는 제 2 라인을 형성하는 단계;

게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 액티브층 형성용 층, n+층 형성용 층, 소스/드레인 형성용 층 및 감광막을 형성하는 단계;

후에 형성될 제 1 내지 제 3 박막 트랜지스터의 소스 전극과 드레인 전극에 대응되는 영역에 차단 영역이 마련되고 후에 형성될 소스 전극과 드레인 전극의 사이에 대응되는 영역에 슬릿 영역이 마련된 마스크를 이용한 포토리소그래피를 수행하여 마스크의 투과 영역에 대응되는 영역이 제거된 제 1 감광막 패턴을 형성하는 단계;

상기 제 1 감광막 패턴을 이용하여 액티브층 형성용 층, n+층 형성용 층, 소스/드레인 형성용 층을 선택적으로 제거하여 액티브 층과 n+층을 형성하는 단계;

상기 제 1 감광막 패턴 중에 마스크의 슬릿 영역에 대응된 영역을 제거하여 제 2 감광막 패턴을 형성하는 단계; 및

상기 제 2 감광막 패턴을 이용하여 소스/드레인 형성용 층을 선택적으로 제거하여 소스 전극과 드레인 전극을 형성하고, n+층 중에서 소스 전극과 드레인 전극 사이에 대응되는 영역 전체를 제거하는 단계;

를 포함하는 액정표시장치의 제조 방법.

청구항 10

제 9 항에 있어서, 상기 n+층 중에서 소스 전극과 드레인 전극 사이에 대응되는 영역 전체를 제거하는 단계에서는, 액티브 층 중에 소스 전극과 드레인 전극 사이에 대응되는 영역이 소정 두께 함께 제거되는 액정표시장치의 제조 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치 및 그 제조 방법에 관한 것으로서, 오토 프로브 검사를 위한 박막 트랜지스터에 있어서 게이트 전극을 서로 이격되도록 형성하고 라인을 통해 연결하여 게이트 전극의 크기를 최소화함으로써, 화소 내의 박막 트랜지스터와 오토 프로브 검사를 위한 박막 트랜지스터를 함께 형성하는 과정에서 슬릿 마스크를 적용한 경우에 화소 내의 박막 트랜지스터와 오토 프로브 검사를 위한 박막 트랜지스터 간의 크기 차이 및 게이트 전극 면적 차이로 인하여 슬릿 마스크의 슬릿 영역 적용 부위가 오버(over) 에칭되거나 다운(down) 에칭되는 문제가 발생하지 않는 액정표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 그 응용범위가 점차 넓어지고 있는 추세에 있다. 이에 따라 액정표시장치는 휴대용 컴퓨터, 휴대폰, 사무 자동화 기기 등에 있어서 화면을 디스플레이하기 위한 수단으로서 널리 이용되고 있다.

[0003] 통상적으로 액정표시장치는 매트릭스형태로 배열된 다수의 제어용 스위칭 소자에 인가되는 영상신호에 따라 광의 투과량이 조절되어 화면에 원하는 화상을 표시하게 된다.

[0004] 이러한 액정표시장치는 상부기관인 컬러필터 기관과 하부기관인 박막 트랜지스터 어레이 기관이 서로 대향하고 상기 두 기관 사이에 액정층이 형성된 액정패널과, 상기 액정패널에 주사신호 및 화상정보를 공급하여 액정패널을 동작시키는 구동부를 포함하여 구성된다.

[0005] 이와 같은 구성을 가지는 액정표시장치는 컬러필터 기관과 박막 트랜지스터 어레이 기관 상에 다수의 소자 및 배선을 형성하는 공정과, 상기 컬러필터 기관과 박막 트랜지스터 어레이 기관을 합착하고 액정을 주입하여 액정패널을 형성하는 공정과, 상기 액정패널을 검사하는 오토 프로브(auto probe) 검사를 포함하는 다수의 공정 및 검사를 통해 제조된다.

[0006] 상기 오토 프로브 검사에는 피검사체인 액정패널에 소정의 신호를 인가하여 화소의 정상 구동 및 불량 유무를 판별하며, 액정패널에는 소정의 신호를 인가하기 위한 박막 트랜지스터가 게이트 라인 및 데이터 라인마다 형성되는데, 이와 같은 오토 프로브 검사와 관련하여 도면을 참조하여 상세히 설명하면 다음과 같다.

- [0007] 도 1에는 오토 프로브 검사용 박막 트랜지스터가 형성된 종래의 일반적인 액정표시장치에 구비된 박막 트랜지스터 어레이 기관의 회로도를 도시하였으며, 도 2에는 도 1의 일부 영역의 평면도를 확대하여 도시하였으며, 도 2에 있어서 제 1 내지 제 3 박막 트랜지스터의 액티브 층 및 n+층의 도시는 생략하였다.
- [0008] 도 1에 도시한 바와 같이 종래의 일반적인 액정표시장치는, 화소 영역과 오토 프로브 영역이 정의된 박막 트랜지스터 어레이 기관(1)과, 상기 박막 트랜지스터 어레이 기관(1)의 화소 영역에 서로 교차하도록 형성되어 다수의 화소를 정의하는 게이트 라인(2) 및 데이터 라인(3)과, 상기 화소의 게이트 라인(2)과 데이터 라인(3)이 교차하는 영역에 게이트 라인(2) 및 데이터 라인(3)과 연결되도록 형성된 다수의 제 1 박막 트랜지스터(4)와, 상기 제 1 박막 트랜지스터(4)의 드레인 전극(4e)과 접속되도록 각 화소마다 형성된 화소전극(11)과, 드레인 전극(6e)이 게이트 라인(2)과 연결되도록 오토 프로브 영역에 형성된 다수의 제 2 박막 트랜지스터(6)와, 드레인 전극(5e)이 데이터 라인(3)과 연결되도록 오토 프로브 영역에 형성된 다수의 제 3 박막 트랜지스터(5)와, 상기 박막 트랜지스터 어레이 기관(1)과 대향하도록 배치되어 박막 트랜지스터 어레이 기관(1)의 각 화소에 대응되는 컬러필터를 포함하는 컬러필터 층(미도시)이 형성된 컬러필터 기관(미도시), 및 상기 박막 트랜지스터 어레이 기관(1)과 컬러필터 기관 사이에 형성된 액정층(미도시)으로 구성된다.
- [0009] 도 2를 참조하면, 상기 박막 트랜지스터 어레이 기관(1)의 오토 프로브 영역에 형성된 다수의 제 2 박막 트랜지스터(6)의 게이트 전극(6a)은 모두 서로 연결되어 게이트 라인(2)과 평행하도록 라인 형상으로 형성되고, 다수의 제 3 박막 트랜지스터(5)의 게이트 전극(5a)도 모두 서로 연결되어 데이터 라인(3)과 평행하도록 라인 형상으로 형성되며, 상기와 같이 서로 연결되어 라인 형상을 가지는 제 2 박막 트랜지스터(6)의 게이트 전극(6a)과 제 3 박막 트랜지스터(5)의 게이트 전극(5a)은 화소 내의 제 1 박막 트랜지스터(4)의 게이트 전극(4a)에 비교하여 매우 큰 크기를 가지고 있다.
- [0010] 상기와 같은 일반적인 액정표시장치는 제조 과정에서 박막 트랜지스터 어레이 기관(1)과 컬러필터 기관을 합착하고 액정을 주입하여 액정패널을 형성한 후에 오토 프로브 검사가 수행되는데, 이와 같은 오토 프로브 검사 시에는 게이트 라인(2)에 제 2 박막 트랜지스터(6)를 통해 제 1 검사 신호를 입력하고 데이터 라인(3)에 제 3 박막 트랜지스터(5)를 통해 제 2 검사 신호를 입력한 후에 화소의 정상 구동 여부 등을 검사하게 된다. 그리고, 액정표시장치의 제조 과정이 완료된 이후에 상기 제 2 박막 트랜지스터(6)와 제 3 박막 트랜지스터(5)는 어느 신호도 입력되지 않고 구동되지 않는 상태를 유지하게 된다.
- [0011] 상술한 바와 같은 종래의 일반적인 액정표시장치는 제 1 내지 제 3 박막 트랜지스터(4, 6, 5)를 함께 형성하는 과정에서 슬릿 마스크(미도시)를 적용하는 경우에 제 1 박막 트랜지스터(4)와 제 2 및 제 3 박막 트랜지스터(6, 5) 간의 크기 차이 및 게이트 전극(4a, 6a, 5a) 크기 차이로 인하여 슬릿 마스크(또는 하프톤 마스크)의 슬릿 영역 적용 부위가 오버(over) 에칭(etching)되거나 다운(down) 에칭되는 문제점이 있어왔다.
- [0012] 즉, 상기 슬릿 마스크의 슬릿 영역의 투과율을 제 2 및 제 3 박막 트랜지스터(5, 6)에 맞출 경우에는 제 1 박막 트랜지스터(4)의 n+층(미도시) 중에 슬릿 마스크의 슬릿 영역 적용 부위인 소스 전극(6d, 5d)과 드레인 전극(6e, 5e) 사이의 영역을 제거하기 위한 에칭 시에 n+층의 제거와 함께 n+층의 제거에 의해 노출된 액티브층(미도시)이 과하게 제거가 되는 문제가 발생하며, 슬릿 마스크의 슬릿 영역의 투과율을 제 1 박막 트랜지스터(4)에 맞출 경우에는 제 2 및 제 3 박막 트랜지스터(6, 5)의 n+층(미도시) 중에 슬릿 마스크의 슬릿 영역 적용 부위인 소스 전극(4d)과 드레인 전극(4e) 사이의 영역을 제거하기 위한 에칭 시에 n+층이 목적치보다 적게 에칭되는 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

- [0013] 이에 본 발명은 상기와 같은 문제점을 해결하기 위한 것으로, 본 발명의 목적은 오토 프로브 검사를 위한 제 2 및 제 3 박막 트랜지스터에 있어서 게이트 전극을 서로 이격되도록 형성한 후 각각 제 1 및 제 2 라인을 통해 연결함으로써, 화소 내의 제 1 박막 트랜지스터와 오토 프로브 검사를 위한 제 2 및 제 3 박막 트랜지스터를 함께 형성하는 과정에서 슬릿 마스크를 적용한 경우에 제 1 내지 제 3 박막 트랜지스터 간의 크기 차이 및 게이트 전극 크기 차이로 인하여 슬릿 마스크의 슬릿 영역 적용 부위가 오버(over) 에칭되거나 다운(down) 에칭되는 문제가 발생하지 않는 액정표시장치 및 그 제조 방법을 제공하는 것이다.

과제 해결수단

[0014] 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 액정표시장치는, 화소 영역과 오토 프로브 영역이 정의된 기판; 상기 기판의 화소 영역에 서로 교차하도록 형성되어 다수의 화소를 정의하는 다수의 게이트 라인과 데이터 라인; 상기 화소의 게이트 라인과 데이터 라인이 교차하는 영역에 게이트 라인 및 데이터 라인과 연결되도록 형성된 다수의 제 1 박막 트랜지스터; 상기 기판의 오토 프로브 영역에 형성되며, 드레인 전극이 게이트 라인과 연결되도록 게이트 라인마다 하나씩 형성되어 오토 프로브 검사에 이용되는 다수의 제 2 박막 트랜지스터; 및 상기 기판의 오토 프로브 영역에 형성되며, 드레인 전극이 데이터 라인과 연결되도록 데이터 라인마다 하나씩 형성되어 오토 프로브 검사에 이용되는 다수의 제 3 박막 트랜지스터; 를 포함하여 구성된 것을 특징으로 한다. 그리고, 상기 다수의 제 2 박막 트랜지스터의 게이트 전극은 제 2 박막 트랜지스터마다 서로 이격되어 패터닝되고 제 1 라인을 통해 서로 연결되며, 상기 다수의 제 3 박막 트랜지스터의 게이트 전극은 제 3 박막 트랜지스터마다 서로 이격되어 패터닝되고 제 2 라인을 통해 서로 연결된다.

[0015] 상기와 같은 목적을 달성하기 위한 본 발명의 바람직한 실시예에 따른 액정표시장치의 제조 방법은, 기판 상의 화소 영역에 다수의 제 1 박막 트랜지스터의 게이트 전극을 형성하고, 기판 상의 오토 프로브 영역에 다수의 제 2 박막 트랜지스터의 서로 이격된 게이트 전극과, 다수의 제 2 박막 트랜지스터의 서로 이격된 게이트 전극과, 상기 다수의 제 2 박막 트랜지스터의 게이트 전극을 서로 연결하는 제 1 라인과, 다수의 제 3 박막 트랜지스터의 서로 이격된 게이트 전극과, 상기 제 3 박막 트랜지스터의 게이트 전극을 서로 연결하는 제 2 라인을 형성하는 단계; 게이트 절연막을 형성하는 단계; 상기 게이트 절연막 상에 액티브층 형성용 층, n+층 형성용 층, 소스/드레인 형성용 층 및 감광막을 형성하는 단계; 후에 형성될 제 1 내지 제 3 박막 트랜지스터의 소스 전극과 드레인 전극에 대응되는 영역에 차단 영역이 마련되고 후에 형성될 소스 전극과 드레인 전극의 사이에 대응되는 영역에 슬릿 영역이 마련된 마스크를 이용한 포토리소그라피를 수행하여 마스크의 투과 영역에 대응되는 영역이 제거된 제 1 감광막 패턴을 형성하는 단계; 상기 제 1 감광막 패턴을 이용하여 액티브층 형성용 층, n+층 형성용 층, 소스/드레인 형성용 층을 선택적으로 제거하여 액티브 층과 n+층을 형성하는 단계; 상기 제 1 감광막 패턴 중에 마스크의 슬릿 영역에 대응된 영역을 제거하여 제 2 감광막 패턴을 형성하는 단계; 및 상기 제 2 감광막 패턴을 이용하여 소스/드레인 형성용 층을 선택적으로 제거하여 소스 전극과 드레인 전극을 형성하고, n+층 중에서 소스 전극과 드레인 전극 사이에 대응되는 영역 전체를 제거하는 단계; 를 포함하여 이루어진다.

효 과

[0016] 상기와 같은 구성을 가지는 본 발명의 바람직한 실시예에 따른 액정표시장치 및 그 제조 방법은, 오토 프로브 검사를 위한 제 2 박막 트랜지스터의 게이트 전극을 서로 이격되도록 형성하여 게이트 전극의 크기를 최소화하고 제 3 박막 트랜지스터의 게이트 전극을 서로 이격되도록 형성하여 게이트 전극의 크기를 최소화함으로써, 제 1 내지 제 3 박막 트랜지스터를 함께 형성하는 과정에서 제 1 박막 트랜지스터와 제 2 및 제 3 박막 트랜지스터 간의 크기 차이 및 게이트 전극 크기 차이로 인하여 마스크의 슬릿 영역 적용 부위가 예칭 시에 목적치보다 많이 제거되거나 적게 제거되는 문제가 최소화된다.

[0017] 이에 따라, 제 1 내지 제 3 박막 트랜지스터를 형성하는 과정에서 투과율이 다른 다수의 슬릿 영역을 포함하는 멀티 톤 마스크(multi-ton mask)를 사용하지 않고 동일한 투과율을 가지는 다수의 슬릿 영역을 포함하는 슬릿 마스크(또는 하프톤 마스크; half-tone mask)를 사용하면 되므로, 제조 비용이 절감되는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0018] 이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치 및 그 제조 방법에 대하여 상세히 설명한다.

[0019] 먼저, 도 3과 도 4를 참조하여 본 발명의 바람직한 실시예에 따른 액정표시장치에 대하여 설명하면 다음과 같다.

[0020] 도 3과 도 4에 도시한 바와 같이 본 발명의 바람직한 실시예에 따른 액정표시장치는, 화소 영역과 오토 프로브 영역이 정의된 제 1 기판(101); 상기 제 1 기판(101)의 화소 영역에 서로 교차하도록 형성되어 다수의 화소를 정의하는 다수의 게이트 라인(102)과 데이터 라인(103); 상기 화소의 게이트 라인(102)과 데이터 라인(103)이 교차하는 영역에 게이트 라인(102) 및 데이터 라인(103)과 연결되도록 형성된 다수의 제 1 박막 트랜지스터(104); 상기 제 1 기판(101)의 오토 프로브 영역에 형성되며, 드레인 전극(106e)이 게이트 라인(102)과 연결되도록 게이트 라인(102)마다 하나씩 형성되어 오토 프로브 검사에 이용되는 다수의 제 2 박막 트랜지스터(106); 및 상기 기판의 오토 프로브 영역에 형성되며, 드레인 전극(105e)이 데이터 라인(103)과 연결되도록 데이터 라인(103)마다 하나씩 형성되어 오토 프로브 검사에 이용되는 다수의 제 3 박막 트랜지스터(105); 를 포함하여 구

성된 것을 특징으로 한다. 그리고, 상기 다수의 제 2 박막 트랜지스터(106)의 게이트 전극(106a)은 제 2 박막 트랜지스터(106)마다 서로 이격되어 패터닝되고 제 1 라인(108)을 통해 서로 연결되며, 상기 다수의 제 3 박막 트랜지스터(105)의 게이트 전극(105a)은 제 3 박막 트랜지스터(105)마다 서로 이격되어 패터닝되고 제 2 라인(107)을 통해 서로 연결된다.

- [0021] 이와 같은 구성을 가지는 본 발명의 바람직한 실시예에 따른 액정표시장치의 각 구성요소에 대하여 상세히 설명하면 다음과 같다.
- [0022] 본 발명의 바람직한 실시예에 따른 액정표시장치는 박막 트랜지스터 어레이 기관인 제 1 기관(101)과 컬러필터 기관인 제 2 기관(미도시)으로 구성된 액정패널이 구비되며, 상기 액정패널의 제 1 기관과 제 2 기관 사이에는 액정층(미도시)이 형성된다
- [0023] 상기 제 1 기관(101) 상에는 화소 영역과 오토 프로브 영역이 정의되며, 상기 제 1 기관(101) 중에 화소 영역에는 다수의 게이트 라인(102)과 다수의 데이터 라인(103)이 서로 교차하여 다수의 화소가 마련된다.
- [0024] 그리고, 상기 각 화소의 게이트 라인(102)과 데이터 라인(103)이 교차하는 영역에는 제 1 박막 트랜지스터(104)가 형성된다.
- [0025] 상기 제 1 박막 트랜지스터(104)는 제 1 기관(101) 상에 형성된 게이트 전극(104a)과, 상기 게이트 전극(104a) 상에 형성된 게이트 절연막(109)과, 상기 게이트 절연막(109) 상에 형성된 액티브층(104b)과, 상기 액티브층(104b) 상에 형성된 n+층(104c)과, 상기 n+층(104c) 상에 형성되며 서로 이격된 소스 전극(104d) 및 드레인 전극(104e)을 포함하여 구성되며, 이와 같은 구성의 제 1 박막 트랜지스터(104) 상에는 보호층(110)이 형성된다.
- [0026] 상기 제 1 박막 트랜지스터(104) 및 보호층(110)이 형성된 제 1 기관(101) 상에는 보호층(110)에 형성된 콘택홀을 통해 제 1 박막 트랜지스터(104)의 드레인 전극(104e)과 접속된 화소전극(111)이 각 화소마다 형성된다.
- [0027] 그리고, 도면에는 도시하지 않았지만, 제 2 기관(미도시)에는 공통전압이 공급되는 공통전극이 형성되는데, 상기 공통전극에 공급되는 공통전압은 화소전극(111)에 공급되는 화소 신호와 함께 수직 전계를 형성하여 액정층을 구동한다. 이때, 상기 공통전극이 제 2 기관 상에 형성된 것을 예로 한 것은 설명의 편의를 위한 것이며, 상기 공통전극은 제 1 기관 상에 형성됨으로써 공통전극에 인가된 공통전압이 화소전극(111)에 인가된 화소 신호와 함께 수평 전계를 형성함으로써 액정을 구동할 수도 있을 것이다.
- [0028] 상기 제 1 기관(101)의 오토 프로브 영역에는 드레인 전극(106e)이 게이트 라인(102)과 연결되도록 게이트 라인(102)마다 하나씩 구비되는 제 2 박막 트랜지스터(106)가 형성된다.
- [0029] 상기 제 2 박막 트랜지스터(106)는 제 1 기관(101) 상에 형성된 게이트 전극(106a)과, 상기 게이트 전극(106a) 상에 형성된 게이트 절연막(109)과, 상기 게이트 절연막(109) 상에 형성된 액티브층(106b)과, 상기 액티브층(106b) 상에 형성된 n+층(106c)과, 상기 n+층(106c) 상에 형성되며 서로 이격된 소스 전극(106d) 및 드레인 전극(106e)을 포함하여 구성된다.
- [0030] 상기 다수의 제 2 박막 트랜지스터(106)의 게이트 전극(106a)은 제 2 박막 트랜지스터(106)마다 서로 이격되어 패터닝되며, 상기 다수의 제 2 박막 트랜지스터(106)의 게이트 전극(106a)은 제 1 라인(108)을 통해 서로 연결된다.
- [0031] 상기 제 1 라인(106)은 데이터 라인(103)과 나란한 방향으로 형성되고, 제 2 박막 트랜지스터(106)의 게이트 전극(106a)과는 동일 층에 동일 물질로 서로 연결되도록 형성되며, 제 1 박막 트랜지스터(104)의 게이트 전극(104a), 게이트 라인(102)과 동일 층에 동일 물질로 형성된다.
- [0032] 그리고, 상기 제 2 박막 트랜지스터(106)의 소스 전극(106d) 및 드레인 전극(106e)은 제 1 박막 트랜지스터(104)의 소스 전극(104d) 및 드레인 전극(104e), 제 2 박막 트랜지스터(106)의 소스 전극(106d) 및 드레인 전극(106e), 데이터 라인(103)과 동일 층에 동일 물질로 형성되며, 게이트 라인(102)과는 게이트 절연막(109)에 형성된 콘택홀을 통해 접속된다.
- [0033] 상기 제 1 기관(101)의 오토 프로브 영역에는 드레인 전극(105e)이 데이터 라인(103)과 연결되도록 데이터 라인(103)마다 하나씩 구비되는 제 3 박막 트랜지스터(105)가 형성된다.
- [0034] 상기 제 3 박막 트랜지스터(105)는 제 1 기관(101) 상에 형성된 게이트 전극(105a)과, 상기 게이트 전극(105a)

상에 형성된 게이트 절연막(109)과, 상기 게이트 절연막(109) 상에 형성된 액티브층(105b)과, 상기 액티브층(105b) 상에 형성된 n+층(105c)과, 상기 n+층(105c) 상에 형성되며 서로 이격된 소스 전극(105d) 및 드레인 전극(105e)을 포함하여 구성된다.

[0035] 상기 다수의 제 3 박막 트랜지스터(105)의 게이트 전극(105a)은 제 3 박막 트랜지스터(105)마다 서로 이격되어 패터닝되며, 상기 다수의 제 3 박막 트랜지스터(105)의 게이트 전극(105a)은 제 2 라인(107)을 통해 서로 연결된다.

[0036] 상기 제 2 라인(107)은 게이트 라인(102)과 나란한 방향으로 형성되고, 제 3 박막 트랜지스터(105)의 게이트 전극(105a)과는 동일 층에 동일 물질로 서로 연결되도록 형성되며, 제 1 박막 트랜지스터(104)의 게이트 전극(104a), 게이트 라인(102)과 동일 층에 동일 물질로 형성된다.

[0037] 그리고, 상기 제 3 박막 트랜지스터(105)의 소스 전극(105d) 및 드레인 전극(105e)은 제 1 박막 트랜지스터(104)의 소스 전극(104d) 및 드레인 전극(104e), 제 1 박막 트랜지스터(104)의 소스 전극(104d) 및 드레인 전극(104e), 데이터 라인(103)과 동일 층에 동일 물질로 형성된다.

[0038] 도면에는 상세히 도시하지 않았지만, 상기와 같은 구성을 가지는 제 1 기판(101)과 대향하는 제 2 기판(미도시) 상에는 제 1 기판(101) 상에 정의된 화소에 대응되는 컬러필터를 포함하는 컬러필터층(미도시)이 형성되며, 적어도 제 1 기판(101) 상의 게이트 라인(102), 데이터 라인(103), 제 1 박막 트랜지스터(104) 및 오토 프로브 영역에 블랙 매트릭스(미도시)가 형성된다.

[0039] 이상에서 본 발명의 바람직한 실시예에 따른 액정표시장치를 설명함에 있어서 오토 프로브 검사를 위해 게이트 라인(102) 측의 제 2 박막 트랜지스터(106) 및 데이터 라인(103) 측의 제 3 박막 트랜지스터(105)가 모두 구비된 경우를 그 예로 하였지만, 본 발명이 이에 한정되는 것은 아니며, 게이트 라인(102)을 구동하기 위한 게이트 구동부가 제 1 기판(101) 상에 직접 게이트 인 패널(gate in panel; GIP) 방법으로 실장되어 있어 여유 면적이 확보되지 않는 경우 등에 있어서 게이트 라인(102) 측의 제 2 박막 트랜지스터(106)는 형성하지 않고 데이터 라인(103) 측의 제 3 박막 트랜지스터(105)만을 형성하는 등 본 발명의 요지를 벗어나지 않는 범위 내에서 다양한 실시예가 가능할 것이다.

[0040] 이하, 본 발명의 바람직한 실시예에 따른 액정표시장치를 제조하는 방법을 도 5a 내지 도 5f를 참조하여 설명하면 다음과 같다.

[0041] 도 5a 내지 도 5f에는 도 4의 제 1 박막 트랜지스터(104)와 제 3 박막 트랜지스터(105)의 제조 과정의 일부를 단면도로 나타내었으며, 제 2 박막 트랜지스터(106)는 드레인 전극(106e)이 콘택홀을 통해 게이트 라인(102)과 연결된다는 것을 제외하고는 나머지 구조가 제 3 박막 트랜지스터(105)와 동일하므로 도시하지 않았다. 따라서, 이하에서 본 발명의 바람직한 실시예에 따른 액정표시장치는 제조하는 과정을 설명함에 있어서 제 2 박막 트랜지스터(106)와 관련한 사항은 도 3을 참조하도록 한다.

[0042] 먼저, 다수의 제 1 박막 트랜지스터(104)의 게이트 전극(104a), 다수의 제 2 박막 트랜지스터(106)의 서로 이격된 게이트 전극(106a), 상기 다수의 제 2 박막 트랜지스터(106)의 게이트 전극(106a)을 서로 연결하는 제 1 라인(108), 다수의 제 3 박막 트랜지스터(105)의 서로 이격된 게이트 전극(105a), 상기 다수의 제 3 박막 트랜지스터(105)의 게이트 전극(105a)을 서로 연결하는 제 2 라인(107), 게이트 라인(102) 및, 게이트 절연막(109)이 형성된 제 1 기판(101)을 준비한다.

[0043] 다음으로, 도 5a에 도시한 바와 같이, 제 1 박막 트랜지스터(104)의 게이트 전극(104a), 제 2 박막 트랜지스터(106)의 게이트 전극(106a), 제 1 라인(108), 제 3 박막 트랜지스터(105)의 게이트 전극(105a), 제 2 라인(107), 게이트 라인(102) 및, 게이트 절연막(109)이 형성된 상기 제 1 기판(101) 상에 액티브층 형성용 층(121), n+층 형성용 층(122), 소스/드레인 형성용(123) 층 및 감광막(124)을 차례로 형성한 후에, 차단 영역, 슬릿 영역(또는, 반투과 영역) 및 노출 영역이 마련된 마스크(125)를 이용한 포토리소그라피(photo lithography)를 수행하여 도 5b에 도시한 바와 같은 제 1 감광막 패턴(124a)을 형성한다. 여기서, 상기 제 1 감광막 패턴(124a)은 마스크(125) 중에 노출 영역에 대응되었던 부분은 전체가 제거되고 슬릿 영역에 대응되었던 부분은 소정 두께 만큼만 제거 되어 있다.

[0044] 상기 마스크(125)는 이후의 단계에서 형성될 제 1 내지 제 3 박막 트랜지스터(104, 106, 105)의 소스 전극

(104d, 106d, 105d)과 드레인 전극(104e, 106e, 105e) 및 데이터 라인(103)에 대응되는 영역에는 차단 영역이 마련되고 소스 전극(104d, 106d, 105d)과 드레인 전극(104e, 106e, 105e) 사이 영역에는 회절 영역이 마련되고 나머지 영역에는 노출 영역이 마련되어 있다.

[0045] 다음으로, 도 5c에 도시한 바와 같이, 상기 제 1 감광막 패턴(124a)을 이용하여 액티브층 형성용 층(121), n+층 형성용 층(122), 소스/드레인 형성용 층(123)을 에칭을 통해 선택적으로 제거하여 액티브층(104b)과 n+층(104c)을 형성한다.

[0046] 다음으로, 도 5d에 도시한 바와 같이, 상기 제 1 감광막 패턴(124a) 중에서 마스크(125)의 슬릿 영역에 대응되었던 영역을 제거하여 제 2 감광막 패턴(124b)을 형성한다.

[0047] 다음으로, 도 5e에 도시한 바와 같이, 상기 제 2 감광막 패턴(124b)을 이용하여 소스/드레인 형성용 층(123)을 에칭을 통해 선택적으로 제거하여 제 1 박막 트랜지스터(104)의 소스 전극(104d) 및 드레인 전극(104e), 제 2 박막 트랜지스터(106)의 소스 전극(106d) 및 드레인 전극(106e), 제 3 박막 트랜지스터(105)의 소스 전극(105d) 및 드레인 전극(105e), 데이터 라인(103)을 형성하고, n+층(106c, 105c) 중에서 소스 전극(104d, 106d, 105d)과 드레인 전극(104e, 106e, 105e) 사이에 위치하는 영역을 에칭을 통해 선택적으로 제거한 후에 제 2 감광막 패턴(124b)을 제거한다. 이때, 상기 액티브층 형성용 층(121) 중에서 소스 전극(104d, 106d, 105d)과 드레인 전극(104e, 106e, 105e) 사이에 위치하는 영역이 소정 두께 함께 제거될 수도 있다.

[0048] 다음으로, 도 5f에 도시한 바와 같이 게이트 라인(102), 데이터 라인(103) 및 제 1 내지 제 3 박막 트랜지스터(104, 106, 105)가 형성된 제 1 기판(101) 상에 보호층(110)을 형성하고 제 1 박막 트랜지스터(104)의 드레인 전극(104e)을 노출하는 콘택홀을 보호층(110)에 형성한 후에, 보호층(110) 상에 화소전극(111)을 형성하여 보호층(110)의 콘택홀을 통해 제 1 박막 트랜지스터(104)의 드레인 전극(104e)에 접속되도록 한다.

[0049] 상술한 바와 같은 본 발명은 오토 프로브 검사를 위한 제 2 박막 트랜지스터(106)의 게이트 전극(106a)을 서로 이격되도록 형성하여 게이트 전극(106a)의 크기를 최소화하고 제 3 박막 트랜지스터(105)의 게이트 전극(105a)을 서로 이격되도록 형성하여 게이트 전극(105a)의 크기를 최소화함으로써, 제 1 내지 제 3 박막 트랜지스터(104, 106, 105)를 함께 형성하는 과정에서 제 1 박막 트랜지스터(104)와 제 2 및 제 3 박막 트랜지스터(106, 105) 간의 크기 차이 및 게이트 전극(104a, 106a, 105a) 크기 차이로 인하여 마스크(125)의 슬릿 영역 적용 부위가 에칭 시에 오버(over) 에칭되거나 다운(down) 에칭되는 문제가 최소화되며, 이로 인해 투과율이 다른 다수의 슬릿 영역을 포함하는 멀티 톤 마스크(multi-tone mask)를 사용하지 않고, 동일한 투과율을 가지는 다수의 슬릿 영역을 포함하는 슬릿 마스크(또는 하프톤 마스크)를 사용하면 되므로, 제조 비용이 절감되게 된다.

도면의 간단한 설명

[0050] 도 1은 종래의 일반적인 액정표시장치에 구비된 박막 트랜지스터 어레이 기판의 회로도.

[0051] 도 2는 도 2의 박막 트랜지스터 어레이 기판의 일부를 확대하여 나타낸 평면도.

[0052] 도 3은 본 발명의 바람직한 실시예에 따른 액정표시장치에 구비된 제 1 기판을 도시한 평면도.

[0053] 도 4는 도 3의 I-I', II-II'선을 따라 절단한 단면의 모습을 도시한 단면도.

[0054] 도 5a 내지 도 5f는 도 4의 제 1 기판을 제조하는 방법의 일부를 도시한 단면도.

[0055] **도면의 주요 부분에 대한 부호의 설명**

[0056] 101 : 제 1 기판 102 : 게이트 라인

[0057] 103 : 데이터 라인 104 ; 제 1 박막 트랜지스터

[0058] 105 : 제 3 박막 트랜지스터 106 : 제 2 박막 트랜지스터

[0059] 107 : 제 2 라인 108 : 제 1 라인

[0060] 109 : 게이트 절연막 110 : 보호층

[0061] 111 : 화소전극 121 : 액티브층 형성용 층

[0062] 122 : n+층 형성용 층 123 : 소스/드레인 형성용 층

- [0063]

124 : 감광막

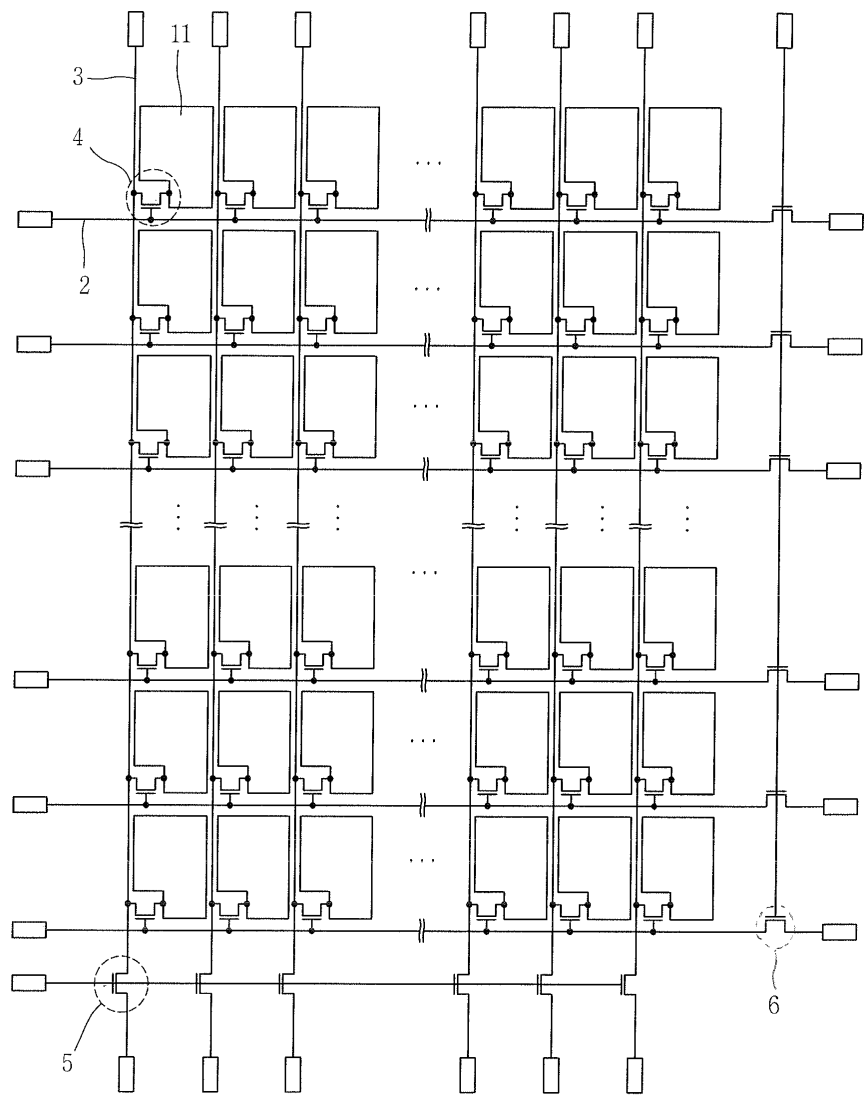
124a : 제 1 감광막 패턴
- [0064]

124b : 제 2 감광막 패턴

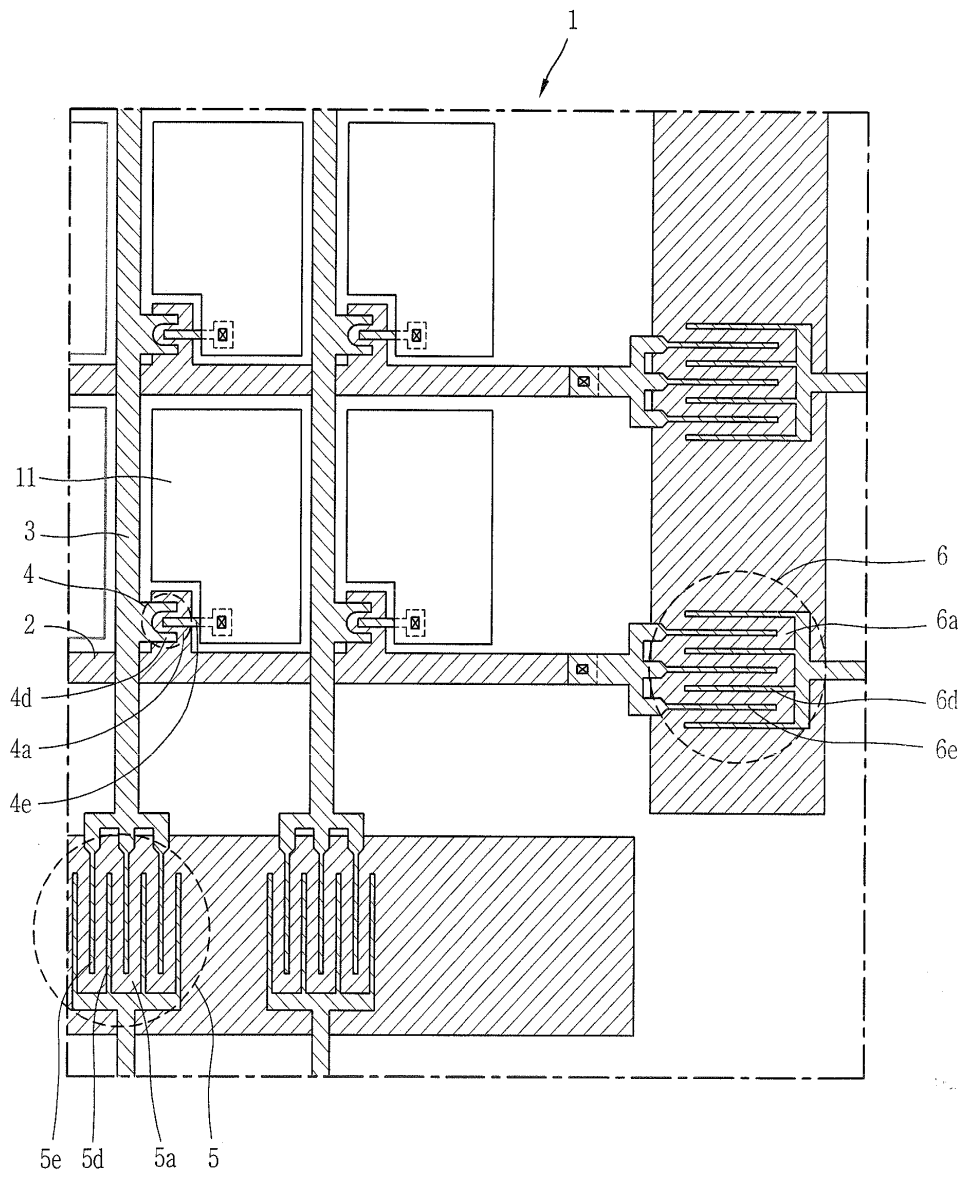
125 : 마스크

도면

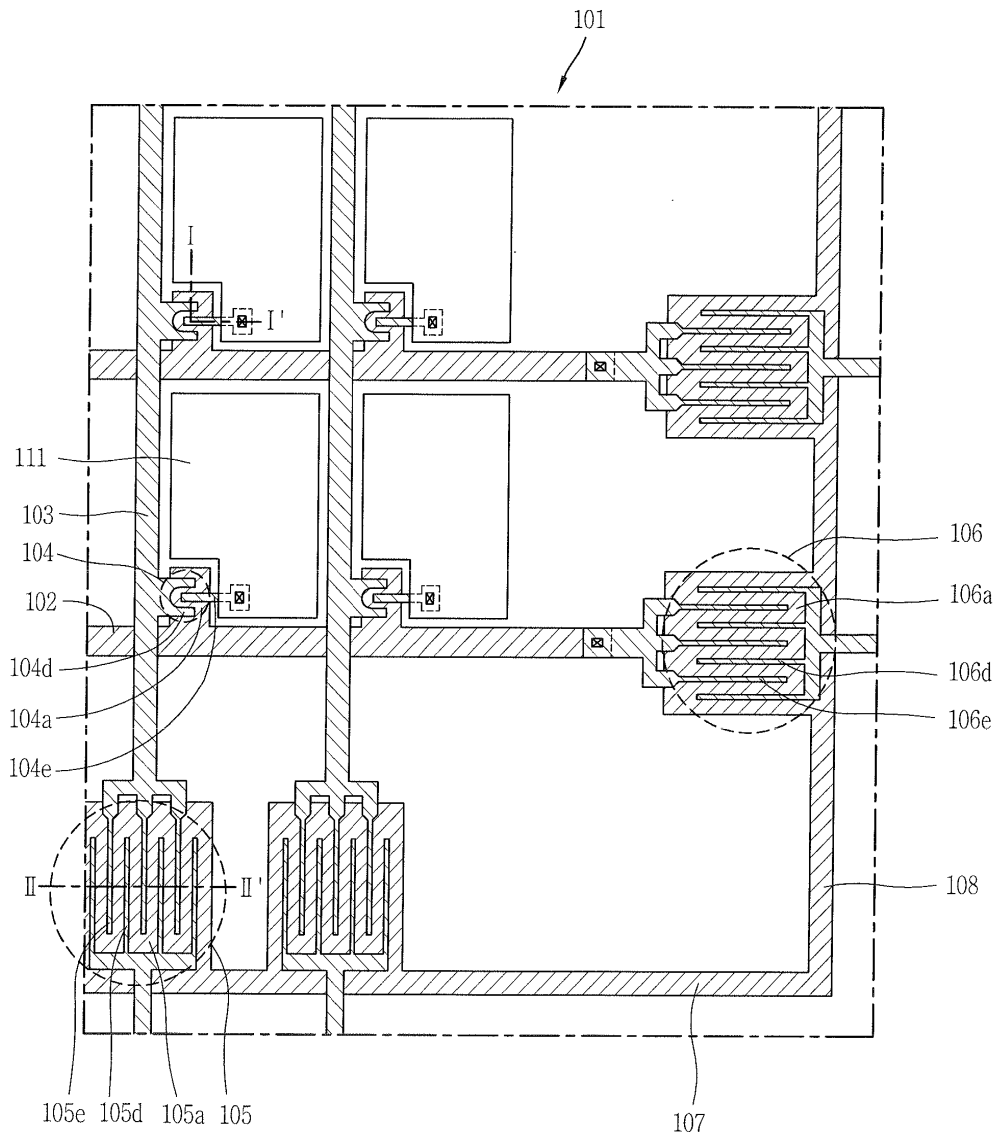
도면1



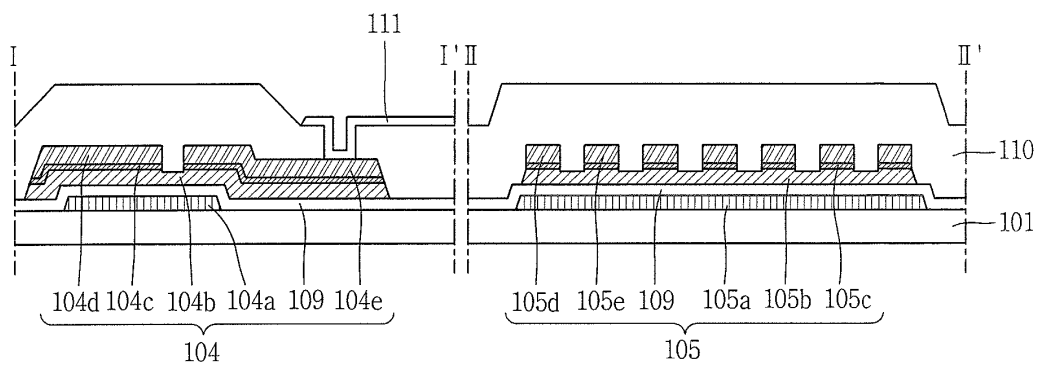
도면2



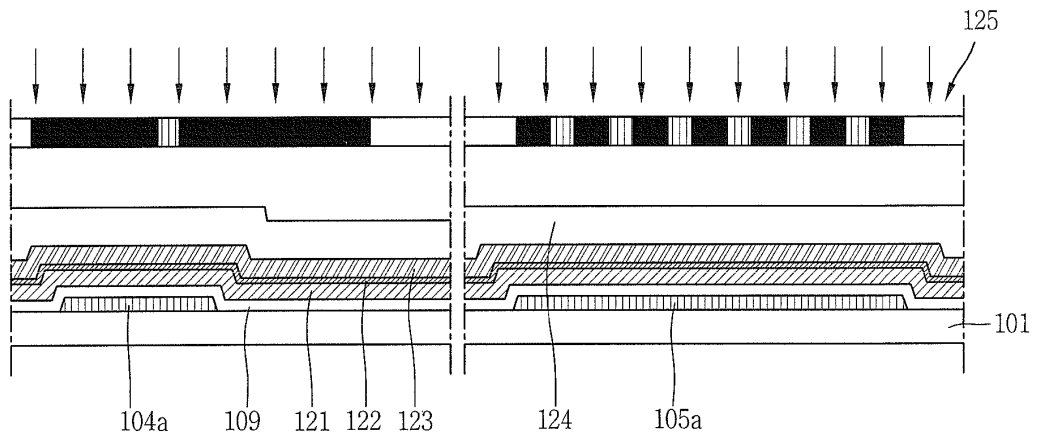
도면3



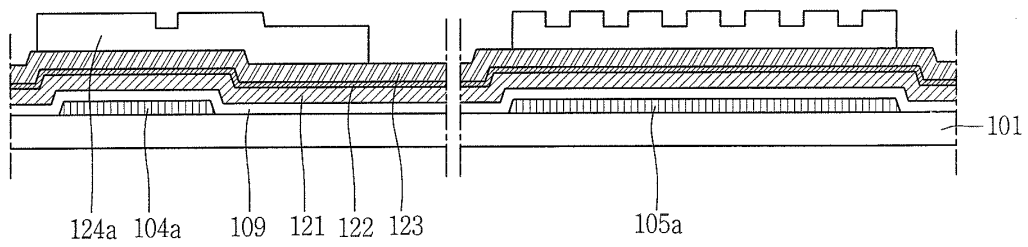
도면4



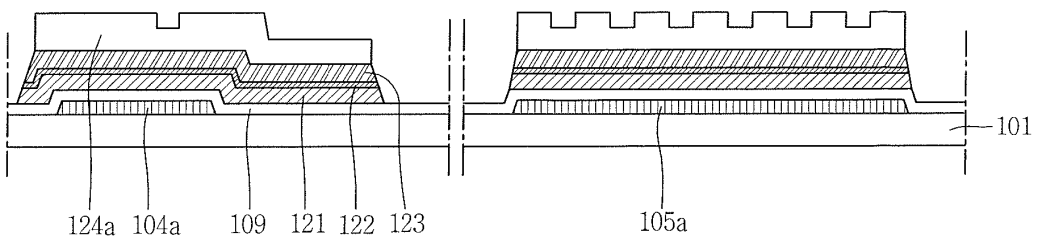
도면5a



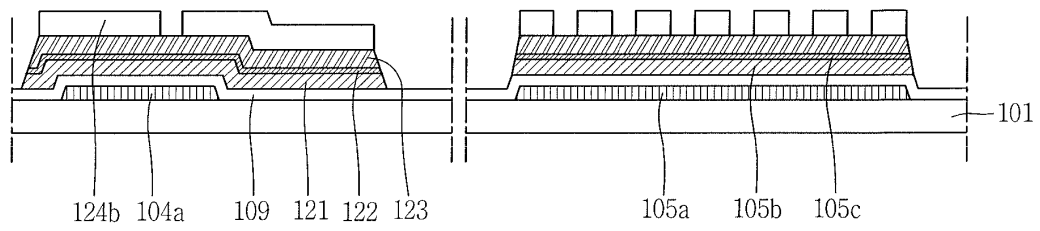
도면5b



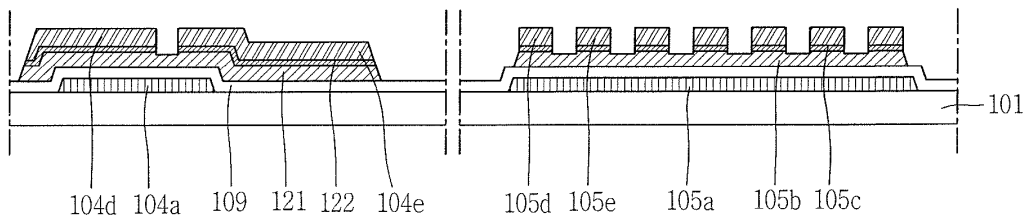
도면5c



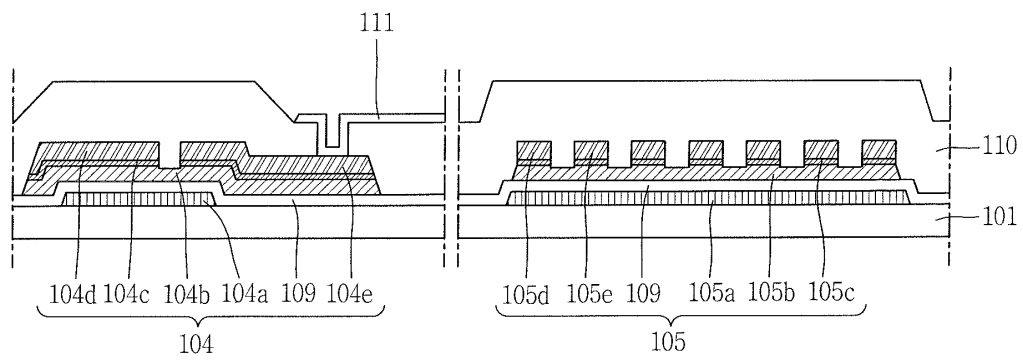
도면5d



도면5e



도면5f



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101677992B1	公开(公告)日	2016-11-22
申请号	KR1020090100428	申请日	2009-10-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SUNG MIN 이성민 OH CHANG WAN 오창완 CHO HYUN GUK 조현국 LEE CHOONG HOON 이충훈		
发明人	이성민 오창완 조현국 이충훈		
IPC分类号	G02F1/1345 G02F1/136		
CPC分类号	G02F1/1345 G02F1/136286 G09G3/006 H01L27/1288		
代理人(译)	박장원		
其他公开文献	KR1020110043351A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，以减少制造成本而不刻蚀缝隙掩模的缝隙面积或在缝隙掩模的上方或下方蚀刻。组成：基板包括在像素区域和自动探测区域中。在基板的像素区域中形成多条栅极线和数据线。在栅极线和数据线中形成薄膜晶体管（104）。形成在基板的自动探测域中的多个第二薄膜晶体管连接至漏极。第三薄膜晶体管（105）用于自动探针检查。

