



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년10월04일
(11) 등록번호 10-1661540
(24) 등록일자 2016년09월26일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G09G 3/20 (2006.01)
(21) 출원번호 10-2009-0123490
(22) 출원일자 2009년12월11일
심사청구일자 2014년11월26일
(65) 공개번호 10-2011-0066725
(43) 공개일자 2011년06월17일
(56) 선행기술조사문헌
KR1020080059010 A
KR101352473 B1
KR1020080086207 A
KR1020090070324 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한광희
인천광역시 부평구 백범로442번길 17-7, 무지개빌라 303호 (십정동)
이선용
대구광역시 달서구 감삼길 146-3, 청심빌라 302호 (감삼동)
심유리
경상북도 구미시 임수동 LG필립스엘시디동락원기숙사 C동 1003호
(74) 대리인
특허법인에이트

전체 청구항 수 : 총 6 항

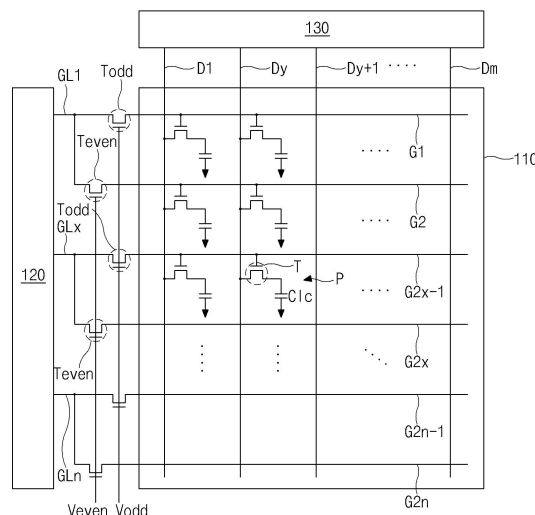
심사관 : 추장희

(54) 발명의 명칭 액정표시장치 및 그 구동방법

(57) 요약

본 발명은 2n개의 게이트 배선과 다수의 데이터 배선이 교차하여 화소영역을 정의하고, 각 화소영역에 상기 게이트 배선 및 상기 데이터 배선에 연결되어 있는 액정 캐패시터를 포함하는 액정패널과; 상기 액정패널의 일측에 위치하며 상기 다수의 데이터 배선에 연결되어 데이터 전압을 인가하는 데이터 구동부와; 상기 액정패널의 타측에 위치하며 상기 다수의 게이트 배선에 게이트 전압을 인가하기 위한 게이트 구동부와; 각각의 일측이 상기 2n개의 게이트 배선 중 (2x-1)번째 게이트 배선 및 2x번째 게이트 배선을 연결되고, 타측이 상기 게이트 구동부에 연결된 n개의 게이트 링크 배선과; 상기 게이트 링크 배선과 상기 (2x-1)번째 게이트 배선 사이에 위치하는 제1 박막트랜지스터와; 상기 게이트 링크 배선과 상기 2x-1번째 게이트 배선 사이에 위치하는 제2 박막트랜지스터를 포함하고, 상기 n과 x는 양의 정수이며, 상기 n은 상기 x보다 큰 것이 특징인 액정표시장치를 제공한다.

대표도 - 도3



명세서

청구범위

청구항 1

2n개의 게이트 배선과 다수의 데이터 배선이 교차하여 화소영역을 정의하고, 각 화소영역에 상기 게이트 배선 및 상기 데이터 배선에 연결되어 있는 액정 캐패시터를 포함하는 액정패널;

상기 액정패널의 일측에 위치하며 상기 다수의 데이터 배선에 연결되어 데이터 전압을 인가하는 데이터 구동부;

상기 액정패널의 타측에 위치하며 n개(n은 양의정수)의 게이트 링크 배선을 통해 상기 2n개의 게이트 배선에 게이트 전압을 인가하기 위한 게이트 구동부;

상기 n개의 게이트 링크 배선 중 x번째(x는 양의정수, $n > x$) 게이트 링크 배선과 상기 2n개의 게이트 배선 중 $(2x-1)$ 번째 게이트 배선 사이에 위치하는 제1 박막트랜지스터; 및

상기 x번째 게이트 링크 배선과 상기 2n개의 게이트 배선 중 2x번째 게이트 배선 사이에 위치하는 제 2 박막트랜지스터를 포함하고,

상기 $(2x-1)$ 번째 게이트 배선 및 상기 2x번째 게이트 배선은 상기 x번째 게이트 링크 배선을 통해 상기 게이트 구동부와 연결되는 것이 특징인 액정표시장치.

청구항 2

2n개의 게이트 배선과 다수의 데이터 배선이 교차하여 화소영역을 정의하고, 각 화소영역에 상기 게이트 배선 및 상기 데이터 배선에 연결되어 있는 액정 캐패시터를 포함하는 액정패널;

상기 액정패널의 일측에 위치하며 상기 다수의 데이터 배선에 연결되어 데이터 전압을 인가하는 데이터 구동부;

상기 액정패널의 타측에 위치하며 n개(n은 양의정수)의 게이트 링크 배선을 통해 상기 2n개의 게이트 배선에 게이트 전압을 인가하기 위한 게이트 구동부;

상기 n개의 게이트 링크 배선 중 x번째(x는 양의정수, $n > x$) 게이트 링크 배선과 상기 2n개의 게이트 배선 중 x번째 게이트 배선 사이에 위치하는 제 1 박막트랜지스터; 및

상기 x번째 게이트 링크 배선과 상기 2n개의 게이트 배선 중 $(n+x)$ 번째 게이트 배선 사이에 위치하는 제2박막트랜지스터 포함하고,

상기 x번째 게이트 배선 및 상기 $(n+x)$ 번째 게이트 배선은 상기 x번째 게이트 링크 배선을 통해 상기 게이트 구동부를 연결되는 것이 특징인 액정표시장치.

청구항 3

제 1 항 또는 제 2 항에 있어서,

상기 게이트 구동부는 상기 액정패널의 일 기관 상에 위치하는 집적 회로이거나 상기 제 1 및 제 2 박막트랜지스터와 동일층에 위치하는 다수의 박막트랜지스터로 이루어진 쉬프트 레지스터인 것이 특징인 액정표시장치.

청구항 4

2n개의 게이트 배선과 다수의 데이터 배선에 의해 정의된 화소영역과, 상기 화소영역 내에 위치하는 액정 캐패시터를 포함하는 액정패널과, 상기 게이트 배선에 게이트 전압을 인가하기 위한 게이트 구동부와, 상기 데이터 배선에 전압을 인가하기 위한 데이터 드라이브 IC와, 상기 게이트 배선 중 $(2x-1)$ 번째 게이트 배선과 2x번째 게이트 배선을 상기 게이트 구동부에 연결하기 위한 x번째 게이트 링크 배선을 포함하는 n개의 게이트 링크 배선을 포함하는 액정표시장치의 구동방법에 있어서,

$(2x-1)$ 번째 수평 주기 동안, 제 1 전압을 상기 x번째 게이트 링크 배선에 인가하고 상기 x번째 게이트 링크 배선에 연결되어 있는 제 1 박막트랜지스터에 하이 레벨의 제 2 전압을 인가하며 상기 x번째 게이트 링크 배선에 상기 제 1 박막트랜지스터와 병렬로 연결되어 있는 제 2 박막트랜지스터에 로우 레벨의 제 3 전압을 인가하는

단계와;

2x번째 수평 주기 동안, 상기 제 1 전압을 상기 x번째 게이트 링크 배선에 인가하고 상기 제 1 박막트랜지스터에 로우 레벨의 제 4 전압을 인가하며 상기 제 2 박막트랜지스터에 하이 레벨의 제 5 전압을 인가하는 단계를 포함하고,

상기 n과 x는 양의 정수이며, 상기 n은 상기 x보다 큰 것이 특징인 액정표시장치의 구동방법.

청구항 5

2n개의 게이트 배선과 다수의 데이터 배선에 의해 정의된 화소영역과, 상기 화소영역 내에 위치하는 액정 캐패시터를 포함하는 액정패널과, 상기 게이트 배선에 게이트 전압을 인가하기 위한 게이트 구동부와, 상기 데이터 배선에 전압을 인가하기 위한 데이터 드라이브 IC와, 상기 게이트 배선 중 x번째 게이트 배선과 (n+x)번째 게이트 배선을 상기 게이트 구동부에 연결하기 위한 x번째 게이트 링크 배선을 포함하는 n개의 게이트 링크 배선을 포함하는 액정표시장치의 구동방법에 있어서,

x번째 수평 주기 동안, 제 1 전압을 상기 x번째 게이트 링크 배선에 인가하고 상기 x번째 게이트 링크 배선에 연결되어 있는 제 1 박막트랜지스터에 하이 레벨의 제 2 전압을 인가하며 상기 x번째 게이트 링크 배선에 상기 제 1 박막트랜지스터와 병렬로 연결되어 있는 제 2 박막트랜지스터에 로우 레벨의 제 3 전압을 인가하는 단계와;

(n+x)번째 수평 주기 동안, 상기 제 1 전압을 상기 x번째 게이트 링크 배선에 인가하고 상기 제 1 박막트랜지스터에 로우 레벨의 제 4 전압을 인가하며 상기 제 2 박막트랜지스터에 하이 레벨의 제 5 전압을 인가하는 단계를 포함하고,

상기 n과 x는 양의 정수이며, 상기 n은 상기 x보다 큰 것이 특징인 액정표시장치의 구동방법.

청구항 6

제 4 항 또는 제 5 항에 있어서,

상기 게이트 구동부는 상기 액정패널의 일 기판 상에 위치하는 집적 회로이거나 상기 제 1 및 제 2 박막트랜지스터와 동일층에 위치하는 다수의 박막트랜지스터로 이루어진 쉬프트 레지스터인 것이 특징인 액정표시장치의 구동 방법.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 게이트 드라이빙 집적 회로(integrated circuit, IC)의 수를 줄이거나 또는 게이트 드라이빙 IC의 증가 없이 해상도를 증가시킬 수 있는 액정표시장치 및 그 구동방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치(liquid crystal display device)의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 액정표시장치는 박형, 경량, 저소비전력 등의 장점을 지니고 있어, 컴퓨터 모니터, 노트북, 텔레비전 등에 널리 사용되고 있다.

[0005] 액정표시장치는 화상을 표시하는 액정 패널(liquid crystal panel)과, 상기 액정 패널에 빛을 공급하는 백라이

트 유닛(backlight unit)과, 상기 액정패널 및 상기 백라이트 유닛에 신호를 공급하는 구동부를 포함한다.

- [0006] 도면을 참조하여, 액정표시장치에 대해 보다 자세히 설명한다.
- [0007] 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 도면이다. 도시한 바와 같이, 액정표시장치는 영상을 표시하는 액정 패널(10)과, 상기 액정 패널(10)의 소자들을 구동시키기 위한 신호를 공급하는 게이트 드라이빙 IC(20)와 데이터 드라이빙 IC(30)를 포함하는 구동부로 이루어진다.
- [0008] 상기 액정패널(10)은 서로 교차하여 화소영역(P)을 정의하는 다수의 게이트 배선(G1, G2, G3,...Gn-1, Gn)과 다수의 데이터 배선(D1, D2, D3, D4,...Dn-1, Dm)을 포함한다. 각 화소영역(P)에는 상기 게이트 배선(G1, G2, G3,...Gn-1, Gn) 및 상기 데이터 배선(D1, D2, D3, D4,...Dn-1, Dn)에 연결된 박막트랜지스터(T)와, 상기 박막트랜지스터(Tr)에 연결된 액정 캐패시터(CLC)가 위치한다.
- [0009] 상기 게이트 드라이빙 IC(20)는 상기 다수의 게이트 배선(G1, G2, G3,...Gn-1, Gn)에 연결되며, 상기 게이트 배선(G1, G2, G3,...Gn-1, Gn)을 통해 신호를 인가함으로써, 상기 박막트랜지스터(T)를 스위칭하게 된다. 즉, 상기 제 1 게이트 배선(G1)은 제 1 게이트 링크 배선(GL1)을 통해 상기 게이트 드라이빙 IC(20)에 연결되며, 이와 유사하게 다른 게이트 배선(G2, G3,...Gn-1, Gn) 역시 게이트 링크 배선(GL2, GL3...GLn-1, GLn)을 통해 상기 게이트 드라이빙 IC(20)에 연결된다.
- [0010] 또한, 상기 데이터 드라이빙 IC(30)는 상기 데이터 배선(D1, D2, D3, D4,...Dn-1, Dm)에 연결되며 상기 데이터 배선(D1, D2, D3, D4,...Dn-1, Dm)을 통해 신호를 인가함으로써, 상기 박막트랜지스터(T)를 통해 상기 액정 캐패시터(CLC)에 전압을 인가하게 된다.
- [0011] 종래 액정표시장치에서 게이트 배선에 인가되는 신호 파형을 도시한 도 2를 참조하면, 제 1 수평주기(H1)에 상기 게이트 드라이빙 IC(20)로부터 상기 제 1 게이트 링크 배선(GL1)으로 제 1 전압(V1)이 인가되면 상기 제 1 게이트 배선(G1)에 제 1 게이트 전압(VG1)이 인가된다.
- [0012] 다음, 제 2 수평주기(H2)에는 상기 게이트 드라이빙 IC(20)로부터 상기 제 2게이트 링크 배선(GL2)으로 제 2 전압(V2)이 인가되면 상기 제 2 게이트 배선(G2)에 제 2 게이트 전압(VG2)이 인가되며, 제 n번째 수평주기(Hn)에는 상기 게이트 드라이빙 IC(20)로부터 상기 제 n번째 게이트 링크 배선(GLn)으로 제 n번째 전압(Vn)이 인가되면 상기 제 n번째 게이트 배선(Gn)에 제 n번째 게이트 전압(VGn)이 인가된다.
- [0013] 한편, 도면에서 액정패널(10)의 모든 게이트 배선(G1, G2, G3,...Gn-1, Gn)이 하나의 게이트 드라이빙 IC(20)에 연결된 것으로 보여지나, 게이트 배선(G1, G2, G3,...Gn-1, Gn)의 수에 따라 필요한 게이트 드라이빙 IC(20)의 수가 결정된다. 예를 들어, 게이트 배선의 수가 n개에서 2n개로 늘어난다면 2개의 게이트 드라이빙 IC(20)가 필요하게 된다.
- [0014] 따라서, 게이트 배선의 수를 증가시켜 해상도를 높이하고자 할 경우, 게이트 드라이빙 IC의 개수 증가가 필연적으로 요구되며, 이는 제조원가 증가 등의 문제를 발생시킨다.
- [0015] 또한, 게이트 드라이빙 IC를 사용하지 않는 게이트-인-패널(gate-in-panel) 구조에 있어서, 게이트 배선의 수가 증가될 경우 신뢰성을 확보하기 어려운 문제가 발생한다.

발명의 내용

해결 하고자하는 과제

- [0016] 본 발명은 위와 같이, 게이트 배선 수의 증가에 따른 비용 증가 또는 신뢰성 저하의 문제를 해결하고자 한다.
- [0017] 즉, 게이트 드라이빙 IC의 증가 없이 게이트 배선 수를 증가시켜 고해상도의 액정표시장치를 제공하고자 한다.

과제 해결수단

- [0018] 위와 같은 과제의 해결을 위해, 본 발명은 2n개의 게이트 배선과 다수의 데이터 배선이 교차하여 화소영역을 정의하고, 각 화소영역에 상기 게이트 배선 및 상기 데이터 배선에 연결되어 있는 액정 캐패시터를 포함하는 액정 패널과; 상기 액정패널의 일측에 위치하며 상기 다수의 데이터 배선에 연결되어 데이터 전압을 인가하는 데이터

구동부와; 상기 액정패널의 타측에 위치하며 상기 다수의 게이트 배선에 게이트 전압을 인가하기 위한 게이트 구동부와; 각각의 일측이 상기 $2n$ 개의 게이트 배선 중 $(2x-1)$ 번째 게이트 배선 및 $2x$ 번째 게이트 배선을 연결되고, 타측이 상기 게이트 구동부에 연결된 n 개의 게이트 링크 배선과; 상기 게이트 링크 배선과 상기 $(2x-1)$ 번째 게이트 배선 사이에 위치하는 제1 박막트랜지스터와; 상기 게이트 링크 배선과 상기 $2x-1$ 번째 게이트 배선 사이에 위치하는 제 2 박막트랜지스터를 포함하고, 상기 n 과 x 는 양의 정수이며, 상기 n 은 상기 x 보다 큰 것이 특징인 액정표시장치를 제공한다.

[0019] 다른 관점에서, 본 발명은 $2n$ 개의 게이트 배선과 다수의 데이터 배선이 교차하여 화소영역을 정의하고, 각 화소 영역에 상기 게이트 배선 및 상기 데이터 배선에 연결되어 있는 액정 캐패시터를 포함하는 액정패널과; 상기 액정패널의 일측에 위치하며 상기 다수의 데이터 배선에 연결되어 데이터 전압을 인가하는 데이터 구동부와; 상기 액정패널의 타측에 위치하며 상기 다수의 게이트 배선에 게이트 전압을 인가하기 위한 게이트 구동부와; 각각의 일측이 상기 $2n$ 개의 게이트 배선 x 번째 게이트 배선 및 $(n+x)$ 번째 게이트 배선을 연결되고, 타측이 상기 게이트 구동부에 연결된 n 개의 게이트 링크 배선과; 상기 게이트 링크 배선과 상기 x 번째 게이트 배선 사이에 위치하는 제 1 박막트랜지스터와; 상기 게이트 링크 배선과 상기 $(n+x)$ 번째 게이트 배선 사이에 위치하는 제2박막트랜지스터 포함하고, 상기 n 과 x 는 양의 정수이며, 상기 n 은 상기 x 보다 큰 것이 특징인 액정표시장치를 제공한다.

[0020] 상기 게이트 구동부는 상기 액정패널의 일 기관 상에 위치하는 집적 회로이거나 상기 제 1 및 제 2 박막트랜지스터와 동일층에 위치하는 다수의 박막트랜지스터로 이루어진 쉬프트 레지스터인 것이 특징이다.

[0021] 또 다른 관점에서, 본 발명은 $2n$ 개의 게이트 배선과 다수의 데이터 배선에 의해 정의된 화소영역과, 상기 화소 영역 내에 위치하는 액정 캐패시터를 포함하는 액정패널과, 상기 게이트 배선에 게이트 전압을 인가하기 위한 게이트 드라이브 IC와, 상기 데이터 배선에 전압을 인가하기 위한 데이터 드라이브 IC와, 상기 게이트 배선 중 $(2x-1)$ 번째 게이트 배선과 $2x$ 번째 게이트 배선을 상기 게이트 드라이브IC에 연결하기 위한 x 번째 게이트 링크 배선을 포함하는 n 개의 게이트 링크 배선을 포함하는 액정표시장치의 구동방법에 있어서, $(2x-1)$ 번째 수평 주기 동안, 제 1 전압을 상기 x 번째 게이트 링크 배선에 인가하고 상기 x 번째 게이트 링크 배선에 연결되어 있는 제 1 박막트랜지스터에 하이 레벨의 제 2 전압을 인가하며 상기 x 번째 게이트 링크 배선에 상기 제 1 박막트랜지스터와 병렬로 연결되어 있는 제 2 박막트랜지스터에 로우 레벨의 제 3 전압을 인가하는 단계와; $2x$ 번째 수평 주기 동안, 상기 제 1 전압을 상기 x 번째 게이트 링크 배선에 인가하고 상기 제 1 박막트랜지스터에 로우 레벨의 제 4 전압을 인가하며 상기 제 2 박막트랜지스터에 하이 레벨의 제 5 전압을 인가하는 단계를 포함하고, 상기 n 과 x 는 양의 정수이며, 상기 n 은 상기 x 보다 큰 것이 특징인 액정표시장치의 구동방법을 제공한다.

[0022] 또 다른 관점에서, 본 발명은 $2n$ 개의 게이트 배선과 다수의 데이터 배선에 의해 정의된 화소영역과, 상기 화소 영역 내에 위치하는 액정 캐패시터를 포함하는 액정패널과, 상기 게이트 배선에 게이트 전압을 인가하기 위한 게이트 드라이브 IC와, 상기 데이터 배선에 전압을 인가하기 위한 데이터 드라이브 IC와, 상기 게이트 배선 중 x 번째 게이트 배선과 $(n+x)$ 번째 게이트 배선을 상기 게이트 드라이브IC에 연결하기 위한 x 번째 게이트 링크 배선을 포함하는 n 개의 게이트 링크 배선을 포함하는 액정표시장치의 구동방법에 있어서, x 번째 수평 주기 동안, 제 1 전압을 상기 x 번째 게이트 링크 배선에 인가하고 상기 x 번째 게이트 링크 배선에 연결되어 있는 제 1 박막트랜지스터에 하이 레벨의 제 2 전압을 인가하며 상기 x 번째 게이트 링크 배선에 상기 제 1 박막트랜지스터와 병렬로 연결되어 있는 제 2 박막트랜지스터에 로우 레벨의 제 3 전압을 인가하는 단계와; $(n+x)$ 번째 수평 주기 동안, 상기 제 1 전압을 상기 x 번째 게이트 링크 배선에 인가하고 상기 제 1 박막트랜지스터에 로우 레벨의 제 4 전압을 인가하며 상기 제 2 박막트랜지스터에 하이 레벨의 제 5 전압을 인가하는 단계를 포함하고, 상기 n 과 x 는 양의 정수이며, 상기 n 은 상기 x 보다 큰 것이 특징인 액정표시장치의 구동방법을 제공한다.

[0023] 상기 게이트 구동부는 상기 액정패널의 일 기관 상에 위치하는 집적 회로이거나 상기 제 1 및 제 2 박막트랜지스터와 동일층에 위치하는 다수의 박막트랜지스터로 이루어진 쉬프트 레지스터인 것이 특징이다.

효 과

[0024] 본 발명은 하나의 게이트 드라이빙 IC로 구동할 수 있는 게이트 배선의 수를 증가시킬 수 있기 때문에, 게이트

드라이빙 IC의 증가 없이 고해상도를 구현할 수 있는 장점을 갖는다.

[0025] 또한, 게이트-인-패널 구조에서는 게이트 배선 수의 증가에도 신뢰성 저하를 방지할 수 있게 된다.

발명의 실시를 위한 구체적인 내용

[0026] 이하, 도면을 참조하여 본 발명에 대해 자세히 설명한다.

[0027] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 구성을 개략적으로 도시한 도면이다.

[0028] 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 액정표시장치는 영상을 표시하는 액정 패널(110)과, 상기 액정 패널(110)의 소자들을 구동시키기 위한 신호를 공급하는 게이트 드라이빙 IC(120)와 데이터 드라이빙 IC(130)를 포함하는 구동부로 이루어진다.

[0029] 상기 액정패널(110)은 서로 교차하여 화소영역(P)을 정의하는 다수의 게이트 배선(G1, G2, ..., G2x-1, G2x, ..., G2n-1, G2n)과 다수의 데이터 배선(D1, Dy, Dy+1, ..., Dm)을 포함한다. 각 화소영역(P)에는 상기 게이트 배선(G1, G2, G2x-1, G2x, ..., G2n-1, G2n) 및 상기 데이터 배선(D1, Dy, Dy+1, ..., Dm)에 연결된 박막트랜지스터(T)와, 상기 박막트랜지스터(Tr)에 연결된 액정 캐패시터(CLC)가 위치한다.

[0030] 상기 게이트 드라이빙 IC(120)는 상기 다수의 게이트 배선(G1, G2, G2x-1, G2x, ..., G2n-1, G2n)에 연결되며, 상기 게이트 배선(G1, G2, G2x-1, G2x, ..., G2n-1, G2n)을 통해 신호를 인가함으로써, 상기 박막트랜지스터(T)를 스위칭하게 된다.

[0031] 본 발명의 특징적 구성 중 하나는, 상기 게이트 배선(G1, G2, G2x-1, G2x, ..., G2n-1, G2n)과 상기 게이트 드라이빙 IC(120)의 위치 관계 및 신호 인가 방법에 있다.

[0032] 즉, 홀수번째 게이트 배선(G1, ..., G2x-1, ..., G2n-1)과 짝수번째 게이트 배선(G2, ..., G2x, ..., G2n)이 짝을 이루어 게이트 링크 배선(GL1, ..., GLx, ..., GLn)에 연결된다. 예를 들어, 제 1 게이트 배선(G1)과 제 2 게이트 배선(G2)은 제 1 게이트 링크 배선(GL1)에 연결되어 상기 게이트 드라이빙 IC(120)로부터 신호를 인가받으며, (2x-1)번째 게이트 배선(G2x-1)과 2x번째 게이트 배선(G2x)은 x번째 게이트 링크 배선(GLx)에 연결되어 상기 게이트 드라이빙 IC(120)로부터 신호를 인가받고, (2n-1)번째 게이트 배선(G2n-1)과 2n번째 게이트 배선(G2n)은 n번째 게이트 링크 배선(GLn)에 연결되어 상기 게이트 드라이빙 IC(120)로부터 신호를 인가받는다.

[0033] 이때, 상기 게이트 링크 배선(GL1, ..., GLx, ..., GLn)과 상기 게이트 배선(G1, G2, G2x-1, G2x, ..., G2n-1, G2n) 사이에는 홀수번째 박막트랜지스터(Todd)와 짝수번째 박막트랜지스터(Teven)이 위치하고 있다.

[0034] 즉, x번째 게이트 링크 배선(GLx)은 홀수번째 박막트랜지스터(Todd)를 통해 x번째 홀수 게이트 배선인 상기 (2x-1)번째 게이트 배선(G2x-1)에 연결되고, 또한 상기 x번째 게이트 링크 배선(GLx)은 짝수번째 박막트랜지스터(Teven)를 통해 x번째 짝수 게이트 배선인 상기 2x번째 게이트 배선(G2x)에 연결된다. 다시 말해, 상기 홀수번째 박막트랜지스터(Todd)와 상기 짝수번째 박막트랜지스터(Teven)는 상기 x번째 게이트 링크 배선(GLx)에 병렬로 연결되어 있으며, 상기 (2x-1)번째 게이트 배선(G2x-1)은 상기 홀수번째 박막트랜지스터(Todd)에 연결되고, 상기 2x번째 게이트 배선(G2x)은 상기 짝수번째 박막트랜지스터(Teven)에 연결되어 있다.

[0035] 결과적으로, 2n개의 게이트 배선(G1, G2, G2x-1, G2x, ..., G2n-1, G2n)이 상기 액정패널(110) 상에 위치하여 해상도를 높리게 되는데, 상기 게이트 배선(G1, G2, ..., G2x-1, G2x, ..., G2n-1, G2n)은 n개의 게이트 링크 배선(GL1, ..., GLx, ..., GLn)을 통해 상기 게이트 드라이빙 IC(120)에 연결되기 때문에, 게이트 드라이빙 IC의 수를 증가시킬 필요가 없다. 다시 말해, 게이트 드라이빙 IC의 개수 증가 없이 고해상도의 액정표시장치를 얻을 수 있다.

[0036] 이러한 특징은 게이트 드라이빙 IC를 필요로 하지 않는 게이트-인-패널 구조에도 동일하게 적용된다. 게이트-인-패널 구조에서는 게이트 배선에 신호를 인가하기 위한 쉬프트 레지스터가 다수의 박막트랜지스터로 형성되는데, 상기 쉬프트 레지스터의 박막트랜지스터는 상기 액정패널 내 화소영역(P)에 위치하는 박막트랜지스터(T) 및 상기 짝수/홀수번째 박막트랜지스터와 동일한 기판에 위치한다.

[0037] 게이트-인-패널 구조에 있어서, 쉬프트 레지스터(shift register)에 의해 게이트 전압이 인가되는데, 쉬프트 레지스터와 게이트 드라이브 IC를 통칭하여 게이트 구동부라 한다. 또한, 데이터 드라이브 IC를 데이터 구동부라고 칭한다.

- [0038] 한편, 상기 데이터 드라이빙 IC(130)는 상기 데이터 배선(D1..Dy, Dy+1.. Dm)에 연결되며 상기 데이터 배선(D1..Dy, Dy+1.. Dm)을 통해 신호를 인가함으로써, 상기 박막트랜지스터(T)를 통해 상기 액정 캐패시터(CLC)에 전압을 인가하게 된다.
- [0039] 본 발명의 제 1 실시예에 따른 액정표시장치에서 게이트 배선에 인가되는 신호 파형을 도시한 도 4를 참조하면, 상기 게이트 드라이빙 IC(도 3의 120)는 일 프레임(frame)에서 2 수평 주기의 기간 동안 하나의 게이트 링크 배선을 통해 신호를 인가하게 된다. 여기서, 일 수평 주기란 일 프레임을 게이트 배선의 수로 나눈 기간에 해당된다.
- [0040] 즉, 상기 게이트 드라이빙 IC(120)로부터 제 1 및 제 2 수평주기(H1, H2) 동안 제 1 전압(V1)이 제 1 게이트 링크 배선(GL1)에 인가되며, 제 3 및 제 4 수평주기(H3, H4) 동안 제 2 전압(V2)이 제 2 게이트 링크 배선(GL2)에 인가된다. 또한, (2x-1)번째 및 2x번째 수평주기(H2x-1, H2x) 동안 x번째 전압(Vx)이 x번째 게이트 링크 배선(GLx)에 인가되며, (2n-1)번째 및 2n번째 수평주기(H2n-1, H2n) 동안 n번째 전압(Vn)이 n번째 게이트 링크 배선(GLn)에 인가된다.
- [0041] 이때, 상기 홀수번째 박막트랜지스터(Todd)와 상기 짝수번째 박막트랜지스터(Teven)에 인가되는 홀수 전압(Vodd)와 짝수 전압(Veven)은 교대로 인가된다. 즉, 제 1 수평주기(H1)에는 홀수 전압(Vodd)이 하이 상태로 인가되어 상기 홀수번째 박막트랜지스터(Todd)가 스위칭 온(on)되며, 상기 짝수번째 박막트랜지스터(Teven)에는 로우 상태의 짝수 전압(Veven)이 인가되어 스위칭 오프(off)된다. 따라서, 상기 제 1 프레임(H1) 동안에는 제 1 게이트 배선(G1)에만 제 1 게이트 전압(VG1)이 인가됨으로써, 상기 제 1 게이트 배선(G1)에 연결되어 있는 화소영역(P)의 박막트랜지스터(T)만이 온(on) 상태가 된다.
- [0042] 또한, 상기 제 2 수평주기(H1)에는 짝수 전압(Vodd)이 하이 상태로 인가되어 상기 짝수번째 박막트랜지스터(Teve)가 스위칭 온(on)되며, 상기 홀수번째 박막트랜지스터(Todd)에는 로우 상태의 홀수 전압(Vodd)이 인가되어 스위칭 오프(off)된다. 따라서, 상기 제 2 프레임(H2) 동안에는 제 2 게이트 배선(G2)에만 상기 제 2 게이트 전압(VG2)이 인가됨으로써, 상기 제 2 게이트 배선(G2)에 연결되어 있는 화소영역(P)의 박막트랜지스터(T)만이 온(on) 상태가 된다.
- [0043] (2x-1)번째 수평주기(H2x-1)와 2x번째 수평주기(H2x)를 예로 들면, 상기 (2x-1)번째 및 상기 2x번째 수평주기(H2x-1, H2x) 동안 x번째 전압(Vx)이 x번째 게이트 링크 배선(GLx)에 인가된다. 상기 (2x-1)번째 수평주기(H2x-1)에는 홀수 전압(Vodd)이 하이 상태로 인가되어 상기 홀수번째 박막트랜지스터(Todd)가 스위칭 온(on)되며, 상기 짝수번째 박막트랜지스터(Teven)에는 로우 상태의 짝수 전압(Veven)이 인가되어 스위칭 오프(off)된다. 따라서, 상기 (2x-1)번째 수평주기(H2x-1) 동안에는 (2x-1)번째 게이트 배선(G2x-1)에만 x번째 게이트 전압(VGx)이 인가됨으로써, 상기 x번째 게이트 배선(Gx)에 연결되어 있는 화소영역(P)의 박막트랜지스터(T)만이 온(on) 상태가 된다.
- [0044] 또한, 상기 2x 번째 수평주기(H2x)에는 짝수 전압(Vodd)이 하이 상태로 인가되어 상기 짝수번째 박막트랜지스터(Teve)가 스위칭 온(on)되며, 상기 홀수번째 박막트랜지스터(Todd)에는 로우 상태의 홀수 전압(Vodd)이 인가되어 스위칭 오프(off)된다. 따라서, 상기 2x 번째 프레임(H2x) 동안에는 2x번째 게이트 배선(G2x)에만 x번째 게이트 전압(VGx)이 인가됨으로써, 상기 2x 번째 게이트 배선(G2x)에 연결되어 있는 화소영역(P)의 박막트랜지스터(T)만이 온(on) 상태가 된다.
- [0045] 따라서, 도 1에 도시된 종래 액정표시장치와 비교하여 볼 때, 게이트 배선(G1, G2, G2x-1, G2x,..G2n-1, G2n)의 수가 2배 증가하였지만 게이트 드라이빙 IC(120) 개수의 증가 없이 구동할 수 있다.
- [0046] 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치의 구성을 개략적으로 도시한 도면이다.
- [0047] 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정표시장치는 영상을 표시하는 액정 패널(210)과, 상기 액정 패널(210)의 소자들을 구동시키기 위한 신호를 공급하는 게이트 드라이빙 IC(220)와 데이터 드라이빙 IC(230)를 포함하는 구동부로 이루어진다.
- [0048] 상기 액정패널(210)은 서로 교차하여 화소영역(P)을 정의하는 다수의 게이트 배선(G1, G2..Gx..Gn, Gn+1, Gn+2,..Gn+x, G2n)과 다수의 데이터 배선(D1, D2, Dy, Dy+1,.. Dm)을 포함한다. 각 화소영역(P)에는 상기 게이트 배선(G1, G2..Gx..Gn, Gn+1, Gn+2,..Gn+x, G2n) 및 상기 데이터 배선(D1, D2, Dy, Dy+1,.. Dm)에 연결된 박

막트랜지스터(T)와, 상기 박막트랜지스터(Tr)에 연결된 액정 캐패시터(CLC)가 위치한다.

- [0049] 상기 게이트 드라이빙 IC(220)는 상기 다수의 게이트 배선($G_1, G_2 \dots G_x \dots G_n, G_{n+1}, G_{n+2}, \dots G_{n+x}, G_{2n}$)에 연결되며, 상기 게이트 배선($G_1, G_2 \dots G_x \dots G_n, G_{n+1}, G_{n+2}, \dots G_{n+x}, G_{2n}$)을 통해 신호를 인가함으로써, 상기 박막트랜지스터(T)를 스위칭하게 된다.
- [0050] 본 발명의 특징적 구성 중 하나는, 상기 게이트 배선($G_1, G_2 \dots G_x \dots G_n, G_{n+1}, G_{n+2}, \dots G_{n+x}, G_{2n}$)과 상기 게이트 드라이빙 IC(220)의 위치 관계 및 신호 인가 방법에 있다.
- [0051] 즉, 상기 액정패널(210)을 상부와 하부로 나누어 보면, 상부 액정패널(210)에 위치하는 x번째 게이트 배선(GL_x)와 하부 액정패널(210)에 위치하는 x번째 게이트 배선(GL_{n+x})가 짝을 이루어 x번째 게이트 링크 배선(GL_x)에 연결된다. 예를 들어, 상부 액정패널(210)의 첫번째 게이트 배선인 제 1 게이트 배선(G_1) 및 하부 액정패널(210)의 첫번째 게이트 배선인 (n+1)번째 게이트 배선(G_{n+1})은 제 1 게이트 링크 배선(GL_1)에 연결되어 상기 게이트 드라이빙 IC(220)로부터 신호를 인가받는다. 또한, 상부 액정패널(210)의 마지막 게이트 배선인 n번째 게이트 배선(G_n) 및 하부 액정패널(210)의 마지막 게이트 배선인 2n번째 게이트 배선(G_{2n})은 n번째 게이트 링크 배선(GL_n)에 연결되어 상기 게이트 드라이빙 IC(220)로부터 신호를 인가받는다.
- [0052] 이때, 상부 액정패널(210)에 위치하는 게이트 배선($G_1, G_2 \dots G_x \dots G_n$)과 상기 게이트 링크 배선($GL_1, GL_2 \dots GL_x \dots GL_n$) 사이에는 상부 박막트랜지스터(T_{up})이 위치하며, 하부 액정패널(210)에 위치하는 게이트 배선($G_{n+1}, G_{n+2} \dots G_{n+x} \dots G_{2n}$)과 상기 게이트 링크 배선($GL_1, GL_2 \dots GL_x \dots GL_n$) 사이에는 하부 박막트랜지스터(T_{down})이 위치하고 있다. 다시 말해, 상기 상부 박막트랜지스터(T_{up})와 상기 하부 박막트랜지스터(T_{down})는 상기 x번째 게이트 링크 배선(GL_x)에 병렬로 연결되어 있으며, 상기 x번째 게이트 배선(G_x)은 상기 상부 박막트랜지스터(T_{up})에 연결되고, 상기 (n+x)번째 게이트 배선(G_{n+x})은 상기 하부 박막트랜지스터(T_{down})에 연결되어 있다.
- [0053] 즉, 상부 액정패널(210)에 위치하는 게이트 배선($G_1, G_2 \dots G_x \dots G_n$)은 상부 박막트랜지스터(T_{up})를 통해 상기 게이트 링크 배선($GL_1, GL_2 \dots GL_x \dots GL_n$)과 각각 연결되며, 하부 액정패널(210)에 위치하는 게이트 배선($G_{n+1}, G_{n+2} \dots G_{n+x} \dots G_{2n}$)은 하부 박막트랜지스터(T_{down})를 통해 상기 게이트 링크 배선($GL_1, GL_2 \dots GL_x \dots GL_n$)과 각각 연결된다.
- [0054] 결과적으로, 2n개의 게이트 배선($G_1, G_2 \dots G_x \dots G_n, G_{n+1}, G_{n+2} \dots G_{n+x}, G_{2n}$)이 상기 액정패널(210) 상에 위치하여 해상도를 높게 되는데, 상기 게이트 배선($G_1, G_2 \dots G_x \dots G_n, G_{n+1}, G_{n+2} \dots G_{n+x}, G_{2n}$)은 n개의 게이트 링크 배선($GL_1, GL_2 \dots GL_x \dots GL_n$)을 통해 상기 게이트 드라이빙 IC(220)에 연결되기 때문에, 게이트 드라이빙 IC의 수를 증가시킬 필요가 없다. 다시 말해, 게이트 드라이빙 IC의 개수 증가 없이 고해상도의 액정표시장치를 얻을 수 있다.
- [0055] 이러한 특징은 게이트 드라이빙 IC를 필요로 하지 않는 게이트-인-패널 구조에도 동일하게 적용된다.
- [0056] 한편, 상기 데이터 드라이빙 IC(230)는 상기 데이터 배선($D_1, D_2 \dots D_y, D_{y+1} \dots D_m$)에 연결되며 상기 데이터 배선($D_1, D_2 \dots D_y, D_{y+1} \dots D_m$)을 통해 신호를 인가함으로써, 상기 박막트랜지스터(T)를 통해 상기 액정 캐패시터(CLC)에 전압을 인가하게 된다.
- [0057] 본 발명의 제 2 실시예에 따른 액정표시장치에서 게이트 배선에 인가되는 신호 파형을 도시한 도 6을 참조하면, 상기 게이트 드라이빙 IC(도 5의 220)는 일 프레임(frame)에서 2번의 수평 주기 동안 하나의 게이트 링크 배선을 통해 신호를 인가하게 된다. 여기서, 일 수평 주기란 일 프레임을 게이트 배선의 수로 나눈 기간에 해당된다.
- [0058] 즉, 2n개의 게이트 배선이 존재하는 경우, 제 1 게이트 링크 배선(GL_1)에는 제 1 수평주기(H_1) 동안 상기 게이트 드라이빙 IC(220)로부터 제 1 전압(V_1)이 인가되며, 또한 (n+1)번째 수평주기(H_{n+1}) 동안에도 상기 게이트 드라이빙 IC(220)로부터 상기 제 1 전압(V_1)이 인가된다. 또한, x번째 게이트 링크 배선(GL_x)에는 x번째 수평주기(H_x) 동안 상기 게이트 드라이빙 IC(220)로부터 x번째 전압(V_x)이 인가되며, 또한 (n+x)번째 수평주기(H_{n+x}) 동안에도 상기 게이트 드라이빙 IC(220)로부터 상기 x번째 전압(V_x)이 인가되며, n번째 게이트 링크 배선(GL_n)에는 n번째 수평주기(H_n) 동안 상기 게이트 드라이빙 IC(220)로부터 n번째 전압(V_n)이 인가되며, 또한 2n번째 수평주기(H_{2n}) 동안에도 상기 게이트 드라이빙 IC(220)로부터 상기 n번째 전압(V_n)이 인가된다.
- [0059] 이때, 상기 상부 박막트랜지스터(T_{up})에는 상기 제 1 수평주기(H_1)에서 상기 n번째 수평주기(H_n)의 기간 동안 하이 레벨의 상부전압(V_{up})이 인가되고 나머지 수평 주기에는 로우 레벨의 상부전압(V_{up})이 인가되며, 상기 하부 박막트랜지스터(T_{down})에는 상기 (n+1)번째 수평주기(H_{n+1})에서 상기 2n번째 수평주기(H_{2n})의 기간 동안 하

이 신호 레벨의 하부전압(Vdown)이 인가되고 나머지 수평 주기에는 로우 레벨의 하부전압(Vdown)이 인가된다.

[0060] 즉, 제 1 수평주기(H1)에는 상기 제 1 전압(V1)이 상기 제 1 게이트 링크 배선(GL1)을 통해 인가되고 상기 상부 박막트랜지스터(Tup)에는 하이 레벨의 상부전압(Vup)이 인가되어 온(on) 상태이며 상기 하부 박막트랜지스터(Tdown)에는 로우 레벨의 하부전압(Vdown)이 인가되어 오프(off) 상태가 된다. 따라서, 상기 제 1 수평주기(H1) 동안에는 상기 제 1 게이트 배선(G1)에만 제 1 게이트 전압(VG1)이 인가된다.

[0061] 한편, (n+1) 수평주기(Hn+1)에도 상기 제 1 전압(V1)이 상기 제 1 게이트 링크 배선(GL1)을 통해 인가되는데, 이때 상기 상부 박막트랜지스터(Tup)에는 로우 레벨의 상부전압(Vup)이 인가되어 오프(off) 상태이며 상기 하부 박막트랜지스터(Tdown)은 하이 레벨의 하부전압(Vdown)이 인가되어 온(on) 상태가 된다. 따라서, 상기 제 (n+1) 수평주기(Hn+1) 동안에는 상기 (n+1)번째 게이트 배선(Gn+1)에만 (n+1)번째 게이트 전압(VGn+1)이 인가된다.

[0062] x번째 게이트 링크 배선(GLn)을 예로 들면, x번째 수평주기(Hx)에는 상기 x번째 전압(Vx)이 상기 x번째 게이트 링크 배선(GLx)을 통해 인가되고 상기 상부 박막트랜지스터(Tup)에는 하이 레벨의 상부전압(Vup)이 인가되어 온(on) 상태이며 상기 하부 박막트랜지스터(Tdown)에는 로우 레벨의 하부전압(Vdown)이 인가되어 오프(off) 상태가 된다. 따라서, 상기 x번째 수평주기(Hx) 동안에는 상기 x번째 게이트 배선(Gx)에만 x번째 게이트 전압(VGx)이 인가된다.

[0063] 한편, (n+x) 수평주기(Hn+x)에도 상기 x번째 전압(Vx)이 상기 x번째 게이트 링크 배선(GLx)을 통해 인가되는데, 이때 상기 상부 박막트랜지스터(Tup)에는 로우 레벨의 상부전압(Vup)이 인가되어 오프(off) 상태이며 상기 하부 박막트랜지스터(Tdown)은 하이 레벨의 하부전압(Vdown)이 인가되어 온(on) 상태가 된다. 따라서, 상기 제 (n+x) 수평주기(Hn+x) 동안에는 상기 (n+x)번째 게이트 배선(Gn+x)에만 (n+x)번째 게이트 전압(VGn+x)이 인가된다.

[0064] 따라서, 도 1에 도시된 종래 액정표시장치와 비교하여 볼 때, 게이트 배선(G1, G2..Gx..Gn, Gn+1, Gn+2,..Gn+x, G2n)의 수가 2배 증가하였지만 게이트 드라이빙 IC(220) 개수의 증가 없이 구동할 수 있다.

[0065] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

[0066] 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 도면이다.

[0067] 도 2는 종래 액정표시장치에서 게이트 배선에 인가되는 신호 파형을 보여준다.

[0068] 도 3은 본 발명의 제 1 실시예에 따른 액정표시장치의 구성을 개략적으로 도시한 도면이다.

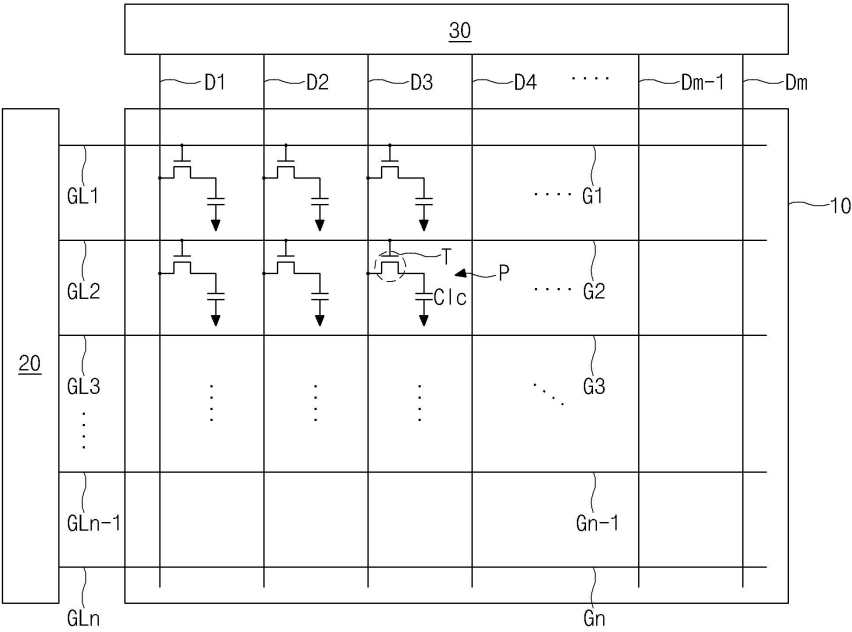
[0069] 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치에서 게이트 배선에 인가되는 신호 파형을 보여준다.

[0070] 도 5는 본 발명의 제 2 실시예에 따른 액정표시장치의 구성을 개략적으로 도시한 도면이다.

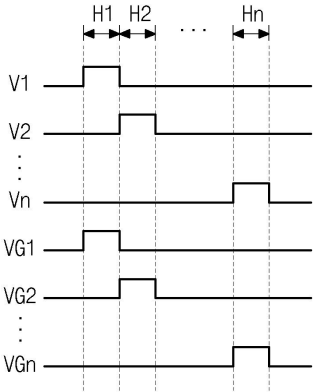
[0071] 도 6은 본 발명의 제 2 실시예에 따른 액정표시장치에서 게이트 배선에 인가되는 신호 파형을 보여준다.

도면

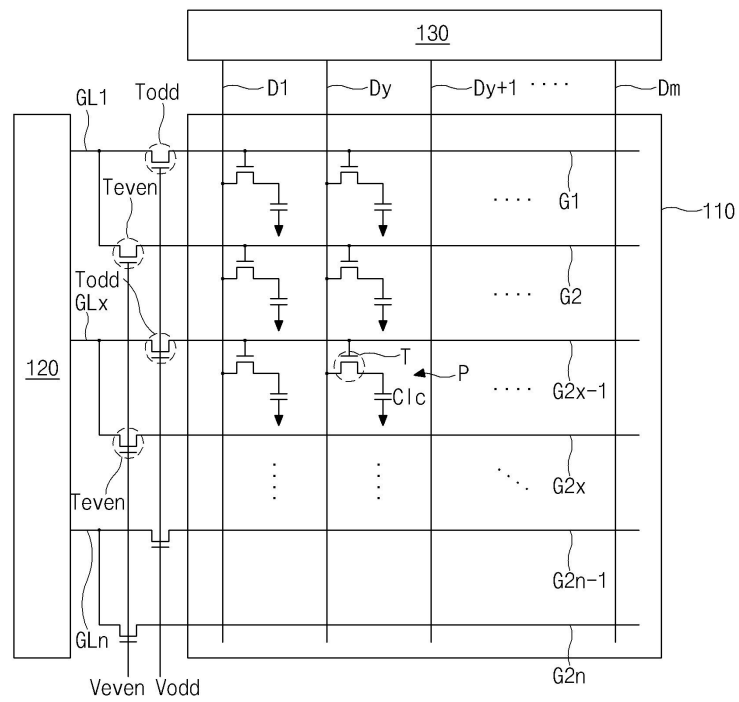
도면1



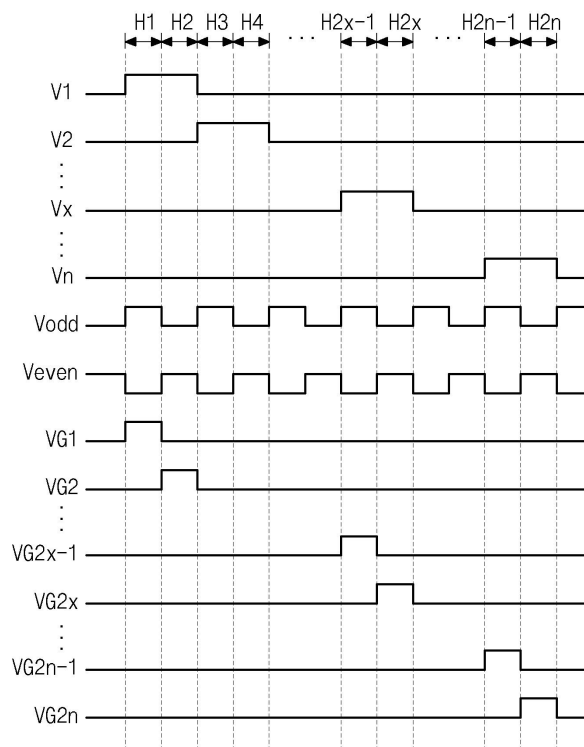
도면2



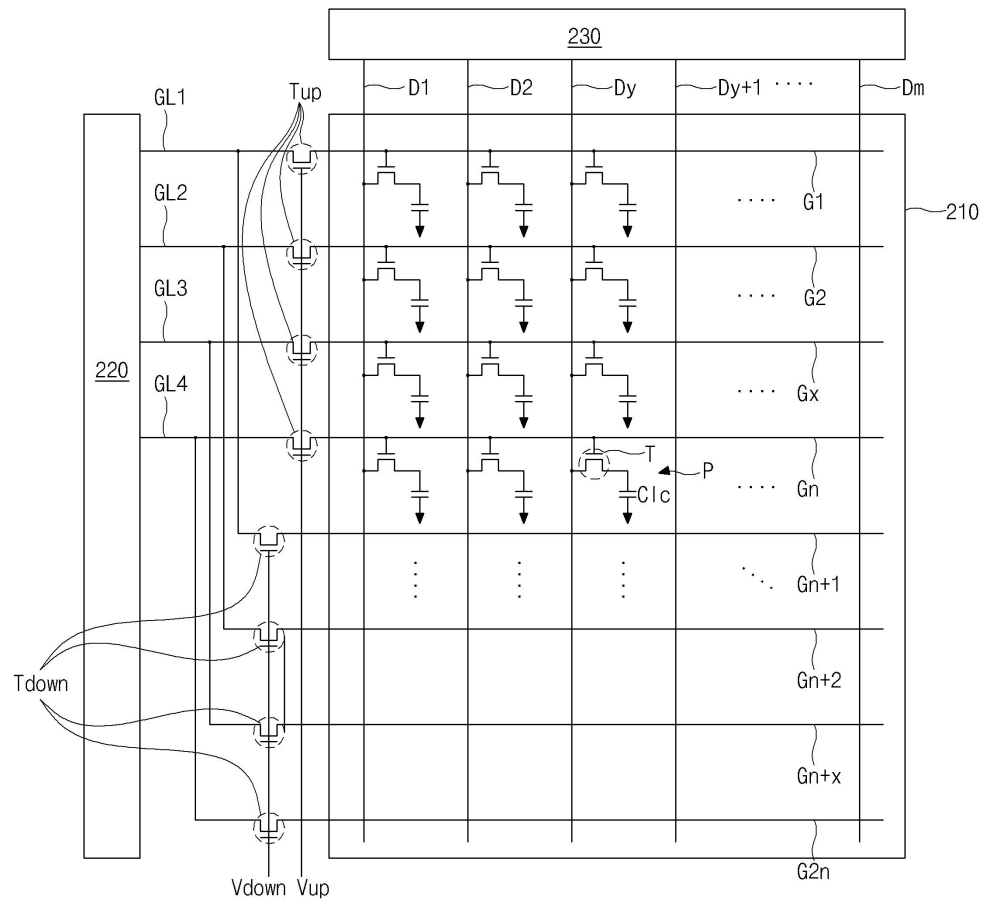
도면3



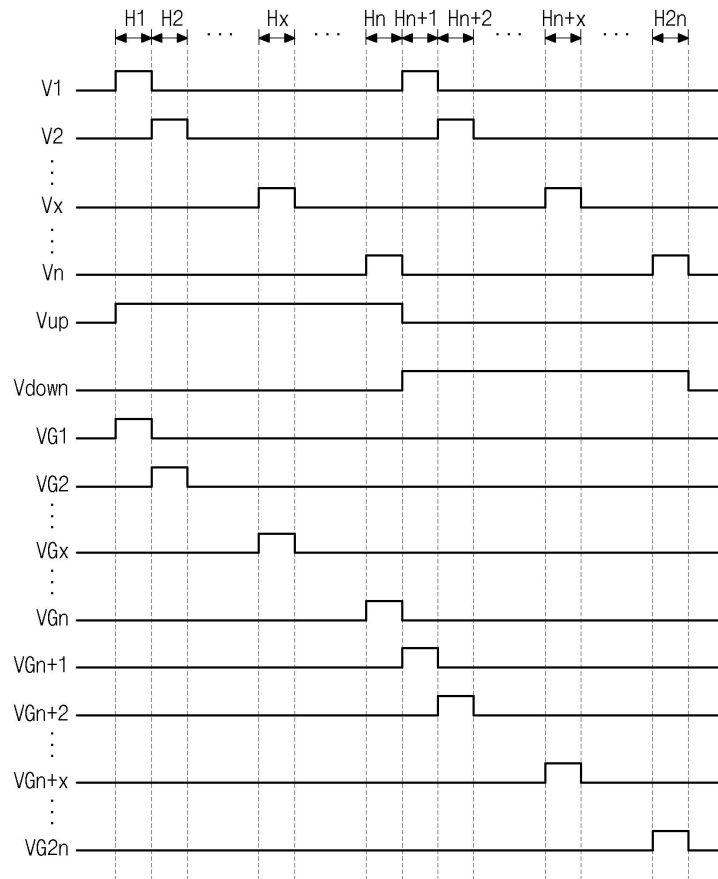
도면4



도면5



도면6



专利名称(译)	标题：液晶显示装置及其驱动方法		
公开(公告)号	KR101661540B1	公开(公告)日	2016-10-04
申请号	KR1020090123490	申请日	2009-12-11
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN KWANG HEE 한광희 LEE SUN YONG 이선용 SHIM YU RI 심유리		
发明人	한광희 이선용 심유리		
IPC分类号	G09G3/36 G09G3/20		
其他公开文献	KR1020110066725A		
外部链接	Espacenet		

摘要(译)

本发明是包括 $2n$ 个栅极布线和多个数据线交叉通过限定像素区域，并连接到栅极线和数据线向像素区域中的液晶电容器的液晶面板；和所述多个数据线施加数据电压驱动单元位于液晶面板的一侧和连接到所述数据；位于液晶面板和用于施加栅极电压的多个栅极配线的栅极驱动单元的另一侧；其中，每个所述 $2n$ 的一侧的 $(2X-1)$ 个栅极布线和连接的 $2 \times$ 日，正连接到的链路和另一侧与栅极驱动部的栅布线的栅布线的栅布线；以及位于所述栅极布线和所述第 i 栅极布线链路 $(2X-1)$ 之间的第一薄膜晶体管；其中位于所述栅极布线和所述链路 $2X-1$ 个栅极布线和 n 和 x 之间的第二薄膜晶体管是一个正整数， n 是液晶显示装置的特征在于大于所述 X 它提供。

