

트랜지스터, 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 게이트선, 상기 게이트선과 절연되어 교차하고 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 데이터선, 및 상기 게이트라인과 평행하고 상기 제1 부화소 전극을 가로질러 연장되는 제1 유지 전극선 라인을 포함하여, 상기 제1 및 제2 박막 트랜지스터는 상기 게이트선에 연결된 게이트 전극, 상기 데이터 선에 연결된 소스 전극 및 상기 제1 및 제2 부화소 전극에 각각 연결된 드레인 전극을 포함하며, 상기 제1 또는 제2 박막 트랜지스터의 드레인 전극은 상기 제3 부화소 전극과 중첩한다.

특허청구의 범위

청구항 1

서로 분리되어 있는 제1 부화소 전극, 제2 부화소 전극 및 제3 부화소 전극을 포함하는 화소 전극,
 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터,
 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터,
 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 게이트선,
 상기 게이트선과 절연되어 교차하고 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 데이터선, 및
 상기 게이트선과 평행하고 상기 제1 부화소 전극을 가로질러 연장되는 제1 유지 전극선 라인을 포함하여,
 상기 제1 및 제2 박막 트랜지스터는 상기 게이트선에 연결된 게이트 전극, 상기 데이터선에 연결된 소스 전극
 및 상기 제1 및 제2 부화소 전극에 각각 연결된 드레인 전극을 포함하며, 상기 제1 또는 제2 박막 트랜지스터의
 드레인 전극은 상기 제3 부화소 전극과 중첩하는 표시판.

청구항 2

제1항에서,
 상기 제1 내지 제3 부화소 전극 중 적어도 하나는 액정 분자의 이동을 촉진하기 위한 복수의 슬릿을 포함하는
 표시판.

청구항 3

제1항에서,
 제1 유지 전극 선은 1 프레임보다 작은 주기를 갖는 전압이 공급되는 표시판.

청구항 4

제1항에서,
 상기 제2 부화소 전극 또는 상기 제3 부화소 전극을 가로질러 연장하는 제2 유지 전극선을 더 포함하는 표시판.

청구항 5

제1항에서,
 상기 제1 부화소 전극에 인가된 전압은 상기 제2 부화소 전극에 인가된 전압보다 높고 상기 제2 부화소 전극에
 인가된 전압은 상기 제3 부화소 전극에 인가된 전압보다 높은 표시판.

청구항 6

제3항에서,
 상기 제1 부화소 전극에 인가된 전압은 상기 제2 부화소 전극에 인가된 전압보다 0.5-1.5V 높고, 상기 제2 부화
 소 전극에 인가된 전압은 상기 제3 부화소 전극에 인가된 전압보다 0.1-1.0V 높은 표시판.

청구항 7

제1 기판,
 상기 제1 기판에 형성된 게이트선,
 상기 게이트선에 절연되어 교차하는 데이터선,
 서로 분리되어 있는 제1 부화소 전극, 제2 부화소 전극 및 제3 부화소를 각각포함하는 복수의 픽셀,
 상기 게이트선에 평행하고 상기 제1 부화소 전극을 가로질러 연장되는 제1 유지 전극선,

기준전압을 인가하도록 공통 전극을 포함하는 제2 기관,
 상기 제1 기관과 상기 제2 기관상에 개재된 액정층,
 상기 제1 부화소 전극, 상기 공통전극 및 상기 액정층에 의하여 형성된 제1 액정 축전기,
 상기 제1 부화소 전극에 연결된 제1 박막 트랜지스터,
 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터를 포함하여,
 상기 제1 및 제2 박막 트랜지스터는
 상기 제1 및 제2 부화소 전극과 중첩하는 제1 유지 전극선, 그리고
 상기 제2 및 제3 부화소 전극과 중첩하는 제2 유지 전극선
 을 포함하고,
 상기 제1 및 제2 박막 트랜지스터는 상기 게이트선에 연결된 게이트 전극, 상기 데이터선에 연결된 소스 전극
 및 상기 제1 및 제2 부화소 전극에 각각 연결된 드레인 전극을 포함하며, 상기 화소는 상기 제1 또는 제2 박막
 트랜지스터의 드레인 전극과 상기 제3 부화소 전극과 중첩하여 형성된 커플링 축전기를 포함하는 액정 표시 장
 치.

청구항 8

제7항에서,
 상기 제1 내지 제3 부화소 전극 및 공통 전극 중 적어도 하나는 액정 분자의 이동을 촉진하기 위한 복수의 슬릿
 을 포함하는 액정 표시 장치.

청구항 9

제7항에서,
 제1 유지 전극 선은 1 프레임보다 작은 주기를 갖는 전압이 공급되는 액정 표시 장치.

청구항 10

제7항에서,
 상기 제2 부화소 전극 또는 상기 제3 부화소 전극을 가로질러 연장하는 제2 유지 전극선을 더 포함하는 액정 표
 시 장치.

청구항 11

제7항에서,
 상기 제1 부화소 전극에 인가된 전압은 상기 제2 부화소 전극에 인가된 전압보다 높고 상기 제2 부화소 전극에
 인가된 전압은 상기 제3 부화소 전극에 인가된 전압보다 높은 액정 표시 장치.

청구항 12

제11항에서,
 상기 제1 부화소 전극에 인가된 전압은 상기 제2 부화소 전극에 인가된 전압보다 0.5-1.5V 높고, 상기 제2 부화
 소 전극에 인가된 전압은 상기 제3 부화소 전극에 인가된 전압보다 0.1-1.0V 높은 액정 표시 장치.

청구항 13

제11항에서,
 상기 제1 기관 또는 상기 제2 기관상에 상기 화소 사이의 빛샘을 막기 위하여 상기 데이터선과 상기 게이트선에
 대응되는 선형부를 포함하는 광 차단 부재, 및
 상기 제1 기관 또는 상기 제2 기관상에 상기 광 차단 부재에 의하여 둘러 싸인영역에 배치된 복수의 색 필터를

포함하는 액정 표시 장치.

청구항 14

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 표시판 및 이를 포함하는 액정 표시 장치 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0004] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

[0005] 이러한 방식의 액정 표시 장치의 경우에는 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 두 개의 부화소로 분할하고 두 부화소의 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 제시되었다.

발명의 내용

해결 하고자하는 과제

[0006] 이러한 방법으로는 두 부화소의 전압을 유지 축전기를 이용하여 조절하는 방법이 있는데, 이러한 방법은 측면 시인성을 정면 시인성에 가깝게 할 수는 있으나 측면에서 보는 영상 자체가 자연스럽지 못하게 될 수 있다.

[0007] 본 발명이 이루고자 하는 기술적 과제는 측면 시인성을 정면 시인성에 가깝게 하고, 측면에서의 화면 표시가 자연스럽게 이루어지도록 하는 것이다.

과제 해결수단

[0008] 본 발명의 한 실시예에 따른 표시판은 서로 분리되어 있는 제1 부화소 전극, 제2 부화소 전극 및 제3 부화소 전극을 포함하는 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터, 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 게이트선, 상기 게이트선과 절연되어 교차하고 상기 제1 및 제2 박막 트랜지스터와 연결되어 있는 데이터선, 및 상기 게이트라인과 평행하고 상기 제1 부화소 전극을 가로질러 연장되는 제1 유지 전극선 라인을 포함하여, 상기 제1 및 제2 박막 트랜지스터는 상기 게이트 선에 연결된 게이트 전극, 상기 데이터 선에 연결된 소스 전극 및 상기 제1 및 제2 부화소 전극에 각각 연결된 드레인 전극을 포함하며, 상기 제1 또는 제2 박막 트랜지스터의 드레인 전극은 상기 제3 부화소 전극과 중첩한다.

[0009] 본 발명에 따른 한 실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판에 형성된 게이트선, 상기 게이트선에 절연되어 교차하는 데이터선, 서로 분리되어 있는 제1 부화소 전극, 제2 부화소 전극 및 제3 부화소를 각각 포함하는 복수의 픽셀, 상기 게이트선에 평행하고 상기 제1 부화소 전극을 가로질러 연장되는 제1 유지 전극선, 기준전압을 인가하도록 공통 전극을 포함하는 제2 기판, 상기 제1 기판과 상기 제2 기판상에 개재된 액정층, 상기 제1 부화소 전극, 상기 공통전극 및 상기 액정층에 의하여 형성된 제1 액정 축전기, 상기 제1 부

화소 전극에 연결된 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결된 제2 박막 트랜지스터를 포함하여, 상기 제1 및 제2 박막 트랜지스터는 상기 제1 및 제2 부화소 전극과 중첩하는 제1 유지 전극선, 그리고 상기 제2 및 제3 부화소 전극과 중첩하는 제2 유지 전극선을 포함하고, 상기 제1 및 제2 박막 트랜지스터는 상기 게이트 선에 연결된 게이트 전극, 상기 데이터 선에 연결된 소스 전극 및 상기 제1 및 제2 부화소 전극에 각각 연결된 드레인 전극을 포함하며, 상기 화소는 상기 제1 또는 제2 박막 트랜지스터의 드레인 전극과 상기 제3 부화소 전극과 중첩하여 형성된 커패시터 구조를 포함한다.

- [0010] 상기 제1 내지 제3 부화소 전극 중 적어도 하나는 액정 분자의 이동을 촉진하기 위한 복수의 슬릿을 포함할 수 있다.
- [0011] 제1 유지 전극 선은 1 프레임보다 작은 주기를 갖는 전압이 공급된다.
- [0012] 상기 표시판은 상기 제2 부화소 전극 또는 상기 제3 부화소 전극을 가로질러 연장하는 제2 유지 전극선을 더 포함할 수 있다.
- [0013] 상기 제1 부화소 전극에 인가된 전압은 상기 제2 부화소 전극에 인가된 전압보다 높고 상기 제2 부화소 전극에 인가된 전압은 상기 제3 부화소 전극에 인가된 전압보다 높다.
- [0014] 상기 제1 부화소 전극에 인가된 전압은 상기 제2 부화소 전극에 인가된 전압보다 0.5-1.5V 높고, 상기 제2 부화소 전극에 인가된 전압은 상기 제3 부화소 전극에 인가된 전압보다 0.1-1.0V 높을 수 있다.
- [0015] 본 발명의 한 실시예에 따른 액정 표시 장치 제조방법은 게이트선, 게이트 전극 및 상기 게이트 선에 평행한 제1 유지 전극선을 형성하는 단계, 상기 게이트 선과 상기 제1 유지 전극선 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 복수의 반도체 섬을 형성하는 단계, 상기 드레인 전극과 상기 게이트 선을 노출시키는 복수의 콘택 홀을 포함하는 보호막을 형성하는 단계, 및 서로 분리된 제1 부화소 전극, 제2 부화소 전극 및 제3 부화소 전극을 포함하는 픽셀 전극을 포함하고, 상기 제1 및 제2 부화소 전극은 각각 콘택 홀을 통하여 상기 드레인 전극에 연결되고, 상기 제1 유지 전극선은 상기 제1 부화소 전극을 가로질러 연장하고, 상기 드레인 전극 중 적어도 하나는 상기 제3 부화소 전극과 중첩된다.

효 과

- [0016] 본 발명에 따르면, 측면 시인성을 정면 시인성에 가깝게 하면서 측면에서 화면이 자연스럽게 인식되도록 한다.

발명의 실시를 위한 구체적인 내용

- [0017] 이하에서, 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0018] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0019] 이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도면을 참고하여 상세하게 설명한다.
- [0020] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 세 부화소에 대한 등가 회로를 도시하는 도면이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0021] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 유지 전극 구동부(700), 계조 전압 생성부(800), 그리고 신호 제어부(600)를 포함한다. 게이트 드라이버(400)는 액정 표시판 조립체(300)의 각 측면에 배치되는 한 쌍의 드라이버를 포함할 수 있다.
- [0022] 액정 표시판 조립체(300)는, 도 1에 도시된 바와 같이, 등가 회로로 볼 때 복수의 신호선(G1-Gn, D1-Dm, SLa1-SLn)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX1, PX2, 및 PX3)를 포함한다. 반면, 도 2에 도시된 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과

그 사이에 들어 있는 액정층(3)을 포함한다.

- [0023] 신호선(G1-Gn, D1-Dm, SLa1-SLn)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G1-Gn)과 데이터 전압(Vd)을 전달하는 복수의 데이터선(D1-Dm) 및 유지 전극 신호를 전달하는 복수의 유지 전극선(SLa1-SLn)을 포함한다. 게이트선(G1-Gn)과 유지 전극선(SLa1-SLn)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D1-Dm)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- [0024] 각 화소(PX1, PX2 및 PX3)는 세 개의 부화소, 즉 제1, 제2 및 제3 부화소(PXa, PXb, PXc)를 포함한다. 각 픽셀은 액정 축전기(Clca, Clcb 및 Clcc)를 포함하고 제1과 제2 부화소(PXa 및 PXb)는 각 신호선에 연결된 스위칭 소자(Qa 및 Qb)를 포함한다.
- [0025] 제1/제2/제3 스위칭 소자(Qa/Qb/Qc)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(Gn)과 연결되어 있고, 입력 단자는 데이터선(Dm)과 연결되어 있으며, 출력 단자는 액정 축전기(Clca 또는 Clcb), 커플링 축전기(Ccp) 또는 유지 축전기(Csta)와 연결되어 있다.
- [0026] 액정 축전기(Clca, Clcb 또는 Clcc)는 스위칭 소자(Qa, Qb 또는 Qc)와 연결되어 있고, 액정 축전기(Clca, Clcb 또는 Clcc)는 두 단자로서 하부 표시판(100)에 구비된 부화소 전극(PEa, PEb 또는 PEc)과 상부 표시판(200)의 공통 전극(270), 및 유전체로서 부화소 전극(PEa, PEb 또는 PEc)과 공통 전극(270) 사이의 액정층(3)에 의하여 형성된다. 세 개의 부화소 전극(PEa, PEb 및 PEc)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다.
- [0027] 제1 부화소(PXa)는 또한 제1 스위칭 소자(Qa) 및 제1 유지 전극선(SLa)에 연결되어 있는 제1 유지 축전기(Csta)를 포함한다. 제1 액정 축전기에 대한 보조 축전기인 제1 유지 축전기(Csta)는 하부 표시판(100)에 구비된 유지 전극선(SLa)과 제1 부화소 전극(PEa)이 절연체를 사이에 두고 중첩되어 이루어진다. 이 신호선에 소정의 진폭으로 진동하는 교류전압이 공급된다.
- [0028] 제2 부화소(PXb)는 제2 스위칭 소자(Qb)를 포함하고 제2 유지 축전기(도시되지 않음)를 포함할 수 있다.
- [0029] 제3 부화소(PXc)는 제2 스위칭 소자(Qb)와 제3 부화소 전극(PEc)이 절연체를 사이에 두고 중첩되어 이루어지며, 제3 유지 축전기(도시되지 않음)를 포함할 수 있다.
- [0030] 한편, 색 표시를 구현하기 위해서는 각 화소(PX1, PX2 및 PX3))가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여, 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX1, PX2 및 PX3)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(230)를 구비함을 보여주고 있다. 도 2와는 달리, 색 필터(230)는 하부 표시판(100)의 부화소 전극(PEa, PEb, PEc) 위 또는 아래에 형성할 수도 있다.
- [0031] 이러한 방식으로, 삼원색을 나타내는 화소(PX1, PX2 및 PX3)는 이미지를 표시하기 위한 기본 유닛인 하나의 도트(DT)를 형성한다.
- [0032] 표시판(100, 200)의 바깥 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교할 수 있다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다. 직교 편광자인 경우 전기장이 없는 액정층(3)에 들어온 입사광을 차단한다.
- [0033] 다시 도 1을 참고하면, 게이트 드라이버(400)는 액정 표시판 조립체(300)의 게이트 선(G1-Gn)에 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호(Vg)를 게이트선(G1-Gn)에 인가한다.
- [0034] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(D1-Dm)과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선(D1-Dm)에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- [0035] 게이트 구동부(400)과 데이터 구동부(500)은 적어도 하나의 IC칩 형태로 액정 표시판 조립체(300)에 직접 실장

될 수 있다. 이와 달리, 게이트 구동부(400)과 데이터 구동부(500)은 액정 표시판 조립체(300)에 부착된 테이프 캐리어 패키지(TCP) 형태로 가요성 인쇄 회로 필름(FPC)(도시되지 않음)에 실장되거나 별도의 인쇄 회로 보드(도시되지 않음)에 실장될 수 있다. 또 다른 실시예로서, 게이트 드라이버(400)과 데이터 드라이버(500)은 액정 표시판 조립체(300), 신호선(G1-Gn, D1-Dm) 및 스위칭 소자와 함께 형성될 수 있다.

- [0036] 신호 제어부(600)는 게이트 구동부(400), 데이터 구동부(500) 및 유지 전극 구동부(700) 등을 제어한다.
- [0037] 이제 도 1 내지 도 3과 함께 도 4 내지 도 6을 참고하여 본 발명의 한 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.
- [0038] 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 5 및 도 6은 각각 도 4에 도시한 액정 표시판 조립체를 V-V 및 VI-VI 선을 따라 잘라 도시한 단면도이다.
- [0039] 도 4 내지 도 6을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0040] 먼저 하부 표시판(100)에 대하여 설명한다.
- [0041] 절연 기판(110) 위에 복수의 게이트선(gate line)(121) 및 복수의 유지 전극선이 형성되어 있다.
- [0042] 게이트선(121)은 서로 이격되어 게이트 신호를 전달하며 주로 행 방향으로 뻗어 있다. 각 게이트선(121)은 각 픽셀에 복수의 게이트 전극(124a 및 124b)을 포함한다. 제1과 제2 게이트 전극(124a, 124b)은 게이트선(121)과 분리되어 연장되거나 일체로 형성된다.
- [0043] 게이트선(121)은 알루미늄(Al), 은(Ag), 구리(Cu), 몰리브덴(Mo) 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 이들은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수도 있다. 이 중 한 도전막은 신호 지연이나 전압 강하를 줄일 수 있도록 비저항(resistivity)이 낮은 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 만들어진 다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 물리적, 화학적, 전기적 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 탄탈륨, 티타늄 등으로 만들어진 다.
- [0044] 게이트선(121)의 측면은 기판(110) 면에 대하여 경사져 있으며 그 경사각은 약 30° 내지 약 80° 인 것이 바람직하다.
- [0045] 제1 유지 전극선(131a)은 행 방향으로 제1 부화소(PXa)를 가로질러 연장되어 소정의 진폭을 갖는 교류 전압을 인가 받는다. 유지 전극선(131a)은 인접 게이트선사이에 위치하고 제1 부화소(PXa)에 적어도 하나의 유지 전극(137a)을 포함한다. 도면에 도시되어 있지 않으나, 또 다른 유지 전극선이 각 부화소에 인가된 데이터 전압을 유지하기 위하여 제2 부화소(PXb) 또는 제3 부화소(PXc)를 가로질러 연장될 수 있다.
- [0046] 게이트선(121) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0047] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 섬형 반도체(154a, 154b)가 형성되어 있다.
- [0048] 반도체(154a, 154b)는 각각 제1 내지 제2 게이트 전극(124a, 124b) 위에 위치한다. 반도체(154a, 154b)는 제1 및 제2 게이트 전극(124a, 124b)과 같이 일체형으로 형성되어 있으며, 제1 및 제2 게이트 전극(124a, 124b)의 형태에 따라서 분리되어 형성될 수 있다.
- [0049] 반도체(154a, 154b) 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact)(163a, 163b)가 형성되어 있다. 저항성 접촉 부재(163a, 163b)는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재(163a, 163b)는 쌍(163a, 165a)을 이루어 각 반도체(154a, 154b) 위에 한 쌍씩 배치되어 있다.
- [0050] 반도체(154a, 154b)와 저항성 접촉 부재(163a, 163b)의 측면 역시 기판(110) 면에 대하여 경사져 있으며 경사각은 30° 내지 80° 정도이다.
- [0051] 저항성 접촉 부재(163b, 165b) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171)과 복수의 제1, 제2 드레인 전극(175a, 175b)이 형성되어 있다.

- [0052] 데이터선(171)은 데이터 전압을 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171)은 게이트 전극부(124a, 124b)를 향하여 뻗은 소스 전극부(173a, 173b) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(179)을 포함한다. 각각의 소스 전극(173a, 173b)는 U자형 또는 W자형으로 굽어 있으며 서로 연결되어 있는 복수의 제1, 제2 소스 전극(173a, 173b)을 포함한다.
- [0053] 제1 내지 제2 드레인 전극(175a, 175b)은 서로 분리되어 있으며 데이터선(171)과도 분리되어 있다. 제1 내지 제2 드레인 전극(175a, 175b)은 제1, 제2 게이트 전극(124a, 124b)을 중심으로 제1, 제2 소스 전극(173a, 173b)과 마주한다.
- [0054] 각 드레인 전극(175a, 175b)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 가지고 있으며, 막대형 끝 부분은 소스 전극(173a, 173b)으로 U자형으로 둘러싸여 있다. 또한, 각 드레인 전극(175a, 175b)은 또 다른 층에 연결되도록 연장되고 제1 내지 제2 소스 전극(173a, 173b)과 대향되지 않는 확장부를 포함한다.
- [0055] 제1 내지 제2 게이트 전극(124a, 124b), 제1 내지 제2 소스 전극(173a, 173b) 및 제1 내지 제2 드레인 전극(175a, 175b)은 제1 내지 제2 채널부(154a, 154b)와 함께 제1 내지 제2 박막 트랜지스터(thin film transistor, TFT)(Qa, Qb)를 이루며, 각 박막 트랜지스터(Qa, Qb)는 제1 내지 제2 소스 전극(173a, 173b)과 제1 내지 제2 드레인 전극(175a, 175b) 사이에 각각 형성된 채널부를 포함한다.
- [0056] 일체로 형성된 제1 내지 제2 박막 트랜지스터(Qa, Qb)를 형성하는 제1 내지 제2 소스 전극(173a, 173b), 제1 내지 제2 게이트 전극(124a, 124b), 및 제1 내지 제2 반도체(154a, 154b)는 서로 분리되어 형성될 수 있다.
- [0057] 데이터선(171), 드레인 전극(175a, 175b) 및 반도체(154a, 154b)의 노출된 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화규소와 산화규소 따위의 무기 절연물로 만들어진다. 그러나 보호막(180)은 유기 절연물로 만들어질 수 있으며 표면이 평탄할 수 있다. 유기 절연물의 경우 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하일 수 있다. 보호막(180)은 또한 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.
- [0058] 보호막(180)에는 데이터선(171)의 끝 부분(179)을 드러내는 접촉 구멍(contact hole)(182) 및 제1 및 제2 드레인 전극(175a, 175b)을 각각 드러내는 복수의 접촉 구멍(contact hole)(185a, 185b)이 형성되어 있다. 보호막(180)과 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129)을 드러내는 복수의 접촉 구멍(181)이 형성되어 있다.
- [0059] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(191), 복수의 접촉 보조 부재(contact assistant)(81, 82)가 형성되어 있다. 이들은 ITO 또는 IZO 같은 투명 도전체 또는 Al, Ag, Cr 또는 그 합금 같은 반사 금속을 포함할 수 있다.
- [0060] 각 화소 전극(191)은 서로 분리되어 있는 제1, 제2 및 제3 부화소 전극(191a, 191b, 191c)을 포함한다. 각 부화소 전극(191a, 191b, 191c)은 대략 직사각형이며 세로로 일렬로 배열되어 있다. 또한, 제1, 제2 및 제3 부화소 전극(191a, 191b 및 191c)는 예를 들어 개구부 또는 돌기에 의하여 형성되는 복수의 세브론 패턴에 의하여 분할될 수 있다. 이에 더하여, 각 부화소 전극은 액정분자의 이동을 촉진하기 위하여 기관 사이의 거리인 셀 갭의 2.5배 이하의 폭을 갖는 복수의 마이크로 슬릿(도시되지 않음)을 포함할 수 있다.
- [0061] 제1 부화소 전극(191a)은 접촉 구멍(185a)을 통하여 제1 드레인 전극(175a)과 연결되어 있으며, 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 드레인 전극(175b)과 연결되어 있다. 제3 부화소 전극(191c)은 커패시터 축전기(Ccp)를 형성하기 위하여 제1 드레인 전극(175a) 또는 제2 드레인 전극(175b)의 일부와 중첩되어 있다. 커패시터 축전기(Ccp)는 두 단자로서 제3 부화소 전극(PEc)과 제1 또는 제2 드레인 전극(175a, 175b), 유전체로서 제3 부화소 전극(PEc)과 드레인 전극사이에 위치한 보호막(180)을 포함한다. 커패시터 축전기(Ccp)의 정전용량은 부화소 전극(191c)과 제1 또는 제2 드레인 전극(175a, 175b)이 중첩된 영역에 의하여 조절된다.
- [0062] 다음으로, 도 4와 도 5를 참고하여 상부 표시판(200)에 대하여 설명한다.
- [0063] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 차광 부재(220)는 데이터 선(171)과 게이트 선(121)에 대응한 선형부와 박막 트랜지스터에 대응한 평면부를 포함하여, 화소 전극(191)사이의 빛샘을 막아준다.
- [0064] 기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역

내에 대부분 존재하며, 화소 전극(191) 열을 따라서 세로 방향으로 길게 뻗을 수 있다. 각 색 필터(230)는 적색, 녹색 및 청색의 삼원색 같은 기본 색(primary color) 중 하나를 표시할 수 있다.

- [0065] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연체를 포함할 수 있고 색 필터(230)가 평편한 표면의 제공되는 동안 노출되는 것을 막아준다. 덮개막(250)은 생략될 수 있다.
- [0066] 한편, 차광 부재(220) 또는 색 필터(230)은 하부 기판(100)상에 형성될 수 있다.
- [0067] 덮개막(250) 위에는 액정 표시판 조립체(300)에 기준 전압이 인가되도록 공통 전극(270)이 형성되어 있다. 공통전극(270)은 ITO 또는 IZO와 같은 투명 전도체 물질을 포함할 수 있다. 또한, 공통 전극(270)은 부화소 전극의 세브론 패턴과 평행한 개구부 또는 돌기에 의하여 형성된 복수의 세브론 패턴에 의하여 분할될 수 있다. 더욱이, 공통 전극(270)은 액정 분자의 이동을 촉진하기 위하여 셀 갭의 2.5배이하의 폭을 갖는 복수의 슬릿(도시되지 않음)을 포함할 수 있다.
- [0068] 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(11, 21)이 형성되어 있으며 이들은 수직 배향막일 수 있다.
- [0069] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(12, 22)가 구비되어 있는데, 두 편광자(12, 22)의 편광축은 직교하며 이중 한 편광축은 게이트선(121)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다.
- [0070] 액정 표시 장치는 액정층(3)의 위상 지연을 보상하기 위하여 적어도 하나의 위상 지연 필름(도시되지 않음)을 더 포함할 수 있다. 위상 지연 필름은 복굴절성을 가지며 액정층(3)과 반대로 위상 지연을 일으킨다. 위상 지연 필름은 단축 또는 이축 광학 보상 필름을 포함하고 특히 부의 단축 보상 필름을 포함할 수 있다.
- [0071] 액정 표시 장치는 편광자(12, 22), 위상 지연막, 표시판(100, 200) 및 액정층(3)에 빛을 공급하는 조명부(backlight unit)(도시하지 않음)를 포함할 수 있다.
- [0072] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있다.
- [0073] 그러면 이러한 액정 표시 장치의 동작에 대하여 도 8, 그리고 앞서 설명한 도 1 내지 도 3을 참고하여 상세하게 설명한다.
- [0074] 먼저 도 1을 참고하면, 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- [0075] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1), 데이터 제어 신호(CONT2) 및 유지 전극 제어 신호(CONT3) 등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보내고, 유지 전극 제어 신호(CONT3)를 유지 전극 구동부(700)로 내보낸다.
- [0076] 또한, 입력 영상 신호(R, G, B)를 받아, 신호 제어부(600)는 입력 영상 신호(R, G, B)를 처리하고 출력 영상 신호(DAT)를 데이터 드라이버(500)에 보낸다. 출력 영상 신호(DAT)는 디지털 신호로서 정해진 수효의 값(또는 계조)을 가진다.
- [0077] 데이터 제어 신호(CONT2)에 따라, 화소(PX)의 한 행을 구동하기 위하여 데이터 구동부(500)는 출력 영상 신호(DAT)를 수신하고, 계조 전압 발생기(800)에 의하여 각 출력 영상 신호(DAT)를 아날로그 계조 전압으로 변환하여, 아날로그 계조 전압을 해당 데이터선(D1-Dm)에 인가한다.
- [0078] 먼저, 도1, 도3 및 도4를 참고하면, 게이트 드라이버가 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(G1-Gn) 중 하나에 인가하여, 이 게이트선에 연결된 스위칭 소자(Qa, Qb)를 턴온시킨다. 그러면, 데이터선(DL)에 인가된 데이터 전압(Vd)이 각 컨택 홀(185a, 185b)를 통하여 제1 과 제2 부화소 전극(191a, 191b)에 전달된다. 따라서, 데이터 전압은 제1과 제2 액정 축전기(C1ca, C1cb) 및 제1 유지 축전기(Csta)에 인

가된다.

- [0079] 둘째로, 제3 부화소 전극(191c)은 이와 중첩하는 드레인 전극(175a 또는 175c)에 데이터 저압(Vd)이 인가되기 때문에 커플링 전압(Vc)로 충전된다. 커플링 전압(Vc)는 다음과 같이 표현될 수 있다.
- [0080]
$$V_c = (C_{lcc}V_{com} + C_{cp}V_d) / (C_{lcc} + C_{cp})$$
- [0081] 따라서, 커플링 전압(Vc)는 제3 액정 축전기(Clcc)와 커플링 축전기(Ccp)에 인가된다.
- [0082] 도 7에 도시된 바와 같이, 제1, 제2 박막 트랜지스터(Qa, Qb)가 게이트 선(121n)에 인가된 게이트 오프 전압(Voff)에 의하여 턴 오프될 때까지 제1, 제2 및 제3 액정 축전기에 인가된 각 부화소 전극 전압(Pa, Pb 및 Pc)은 소정의 레벨로 증가한다. 제1, 제2 박막 트랜지스터(Qa, Qb)가 턴 오프되면, 제1, 제2 및 제3 부화소 전극(191a, 191b, 191c)는 플로팅 상태가 되고, 각 드레인 전극(175a, 175b)과 게이트 선(121n)사이의 기생 정전용량은 각 부화소 전극 전압(Pa, Pb, Pc)을 항상 그 극성에 상관없이 부의 전압 시프트, 즉, 킥백 전압 강하(Vk)시킨다.
- [0083] 그 후에, 전압이 유지 제어 신호(CON3)에 따라 제1 유지 전극선(SLa)에 인가되고, 제1 부화소 전극 전압(Pa)은 양극성에서 높은 레벨로 전하한다. 제1 유지 전극선(SLa)에 인가된 전압은 1 프레임 시간, 예를 들어 16.7ms보다 작은 주기로 극성을 변화할 수 있다.
- [0084] 도7에 도시된 바와 같이, 제1 부화소 전극 전압(Pa)는 제1 유지 전극선(SLa)의 전압 변화에 비례하여 γ Pa만큼 증가한다. 제2, 제3 부화소 전극 전압(Pb, Pc)은 제1 유지 전극선(SLa)의 전압 변화에 상관없이 그 레벨을 유지한다.
- [0085] 따라서, 공통 전압(Vcom)에 대한 제1, 제2 및 제3 부화소 전압은 각각 Vpa1, Vpa2 및 Vpa3가 된다. 부화소 전압의 절대값은 $V_{pa1} > V_{pb1} > V_{pc1}$ 가 된다. 이들 부화소 전압은 1 프레임동안 전압 레벨을 유지한다.
- [0086] 이렇게 제1 내지 제3 액정 축전기(Clca, Clcb, Clcc)의 양단에 전위차가 생기면 표시판(100, 200)의 표면에 거의 수직인 주 전기장(전계)(primary electric field)이 액정층(3)에 생성된다. 그러면 액정층(3)의 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 기울어지며, 액정 분자가 기울어진 정도에 따라 액정층(3)에 입사광의 편광의 변화 정도가 달라진다. 이러한 편광의 변화는 편광자에 의하여 투과율 변화로 나타나며 이를 통하여 액정 표시 장치는 영상을 표시한다.
- [0087] 액정 분자가 기울어지는 각도는 전기장의 세기에 따라 달라지는데, 세 액정 축전기(Clca, Clcb, Clcb)의 전압이 서로 다르므로 액정 분자들이 기울어진 각도가 다르고 이에 따라 세 부화소의 휘도가 다르다. 따라서 세 액정 축전기(Clca, Clcb, Clcb)의 전압을 적절하게 맞추면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 할 수 있으며, 즉 측면 감마 곡선을 정면 감마 곡선에 최대한 가깝게 할 수 있으며, 이렇게 함으로써 측면 시인성을 향상할 수 있다.
- [0088] 게이트 제어 신호에 응답하여 게이트 드라이버는 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 각 게이트 선에 순차적으로 게이트 온 전압(Von)을 공급하고 모든 화소(PX)에 데이터 전압(Vd)을 인가하여, 액정 표시판 조립체는 한 프레임(frame)의 영상을 표시한다.
- [0089] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압(Vd)의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 제어 신호(RVS)의 상태가 제어된다("프레임 반전").
- [0090] 즉 도 7을 참고하면, 다음 프레임에서 각 화소에 인가된 데이터 전압의 극성이 반전 제어 신호를 공급하는 데이터 드라이버(500)에 의하여 반대로 변하면서, 이전 프레임과 동일한 과정을 반복하고, 제1 부화소 전극(191a)의 전압은 Vpa2가 되며, 제2 부화소 전극(191b)의 전압은 Vpb2가 되며, 제3 부화소 전극(191c)의 전압은 Vpc2가 되고, 그 부화소 전극 전압의 절대값은 $V_{pa2} > V_{pb2} > V_{pc2}$ 이다.
- [0091] 한편, 한 프레임 내에서도 반전 신호(RVS)의 특성에 따라 한 데이터선을 통하여 흐르는 데이터 전압(Vd)의 극성이 바뀌거나(보기: 행 반전, 점 반전), 한 묶음의 화소에 인가되는 데이터 전압(Vd)의 극성도 서로 다를 수 있다(보기: 열 반전, 점 반전).
- [0092] 이제 도 8 및 도 9를 참고하여 본 발명의 다른 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.
- [0093] 도 8는 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 정면 및 측면 감마 곡선을 도시하는 그래프이다.

도 9는 본 발명의 일실시예에 따른 액정 표시판 조립체의 정면 및 측면 감마 곡선을 도시하는 그래프이다.

종래기술에 따른 액정 표시판 조립체는 서로 분리된 두개의 부화소를 갖는 복수의 픽셀을 포함한다. 도 8에서, 시인성 지수는 0.250으로 일반적으로 화소 전극을 분할하지 않은 경우의 시인성 지수보다 우수하다. 여기서 시인성 지수란 정면 감마 대비 측면 감마의 왜곡량을 정량화 한 수치이다. 그러나 측면 감마 곡선의 A 부분에서 감마 곡선이 갑자기 변하는 변곡점이 발생하며, B 부분에서는 곡선이 불룩해진다. 이와 같이 측면 감마 곡선이 완만하게 변하지 않는 경우에는, 액정 표시 장치의 측면에서 색상 또는 휘도 변화가 자연스럽지 못하고 급격하게 변하는 현상이 발생하여 화면이 거슬리게 시인된다.

이러한 현상은 두 개의 부화소 중 상대적으로 낮은 전압을 갖는 부화소가 일정 계조 이상에서 전체 전압에 기여하기 시작할 때, 해당 액정 분자가 급작스럽게 움직이기 때문에 발생한다.

한편, 본 발명의 일실시예에 따른 액정 표시판 조립체의 시인성 지수가 각각 0.224로서 종래기술보다 우수하다. 도 9에 도시된 바와 같이, 본 발명에 따른 액정 표시판 조립체의 측면 감마 곡선은 변곡점 현상이나 배불룩 현상이 발생하지 않고 비교적 완만하게 표현됨을 알 수 있다. 따라서, 상대적으로 낮은 전압을 갖는 부화소가 일정 계조 이상에서 전체 화소 전압에 기여하기 시작할 때, 해당 액정 분자가 급작스럽게 움직이더라도 이를 두 부분으로 분배하였기 때문에 그 영향을 감소시켜 측면 감마 곡선을 완만하게 할 수 있다.

이와 같이 측면 감마 곡선의 배불룩 현상이나 변곡점 현상을 방지하면서도 시인성 지수를 충분히 확보하기 위하여, 도 3에 도시한 액정 표시 장치의 경우에는 제1 부화소 전극 전압(Vpa1)은 공통 전압(Vcom)에 대하여 제3 부화소 전극 전압(Vpc1)보다 0.5 V 내지 1.5 V 더 높으며, 제2 부화소 전극 전압(Vpb1)은 공통 전압(Vcom)에 대하여 제3 부화소 전극 전압(Vpc1)보다 0.1 V 내지 1.0 V 더 높은 것이 바람직하다. 본 발명에 따르면 화소 전극을 2개로 분할하는 경우에 비하여 시인성 지수를 우수하게 유지하면서도 액정 표시 장치의 측면에서 발생하는 화면 불량을 개선할 수 있다.

이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 함께 세 부화소에 대한 등가 회로를 도시하는 도면이다.

도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이다.

도 5 및 도 6은 각각 도 4에 도시한 액정 표시판 조립체를 V-V 및 VI-VI 선을 따라 잘라 도시한 단면도이다.

도 7은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 인가되는 세 부화소 전압의 신호도이다.

도 8는 본 발명의 다른 실시예에 따른 액정 표시판 조립체의 정면 및 측면 감마 곡선을 도시하는 그래프이다.

도 9는 본 발명의 일실시에에 따른 액정 표시판 조립체의 정면 및 측면 감마 곡선을 도시하는 그래프이다.

(도면의 주요부분에 대한 부호의 설명)

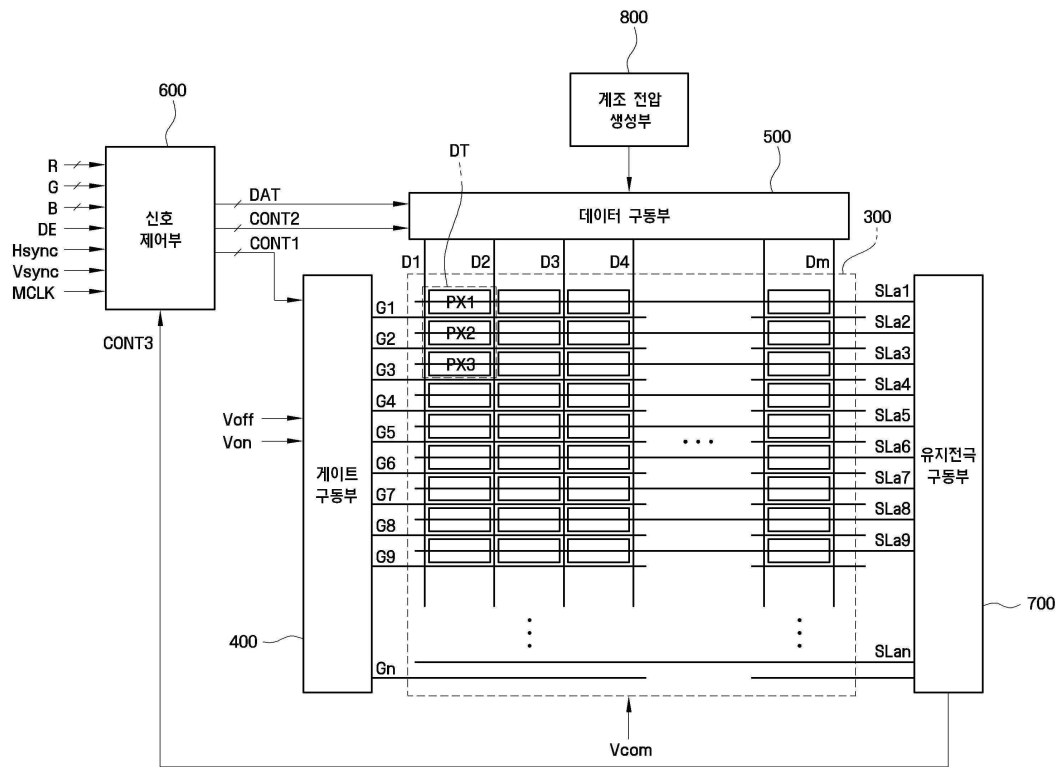
300: 액정 표시판 조립체 400: 게이트 구동부

500: 데이터 구동부 600: 신호 제어부

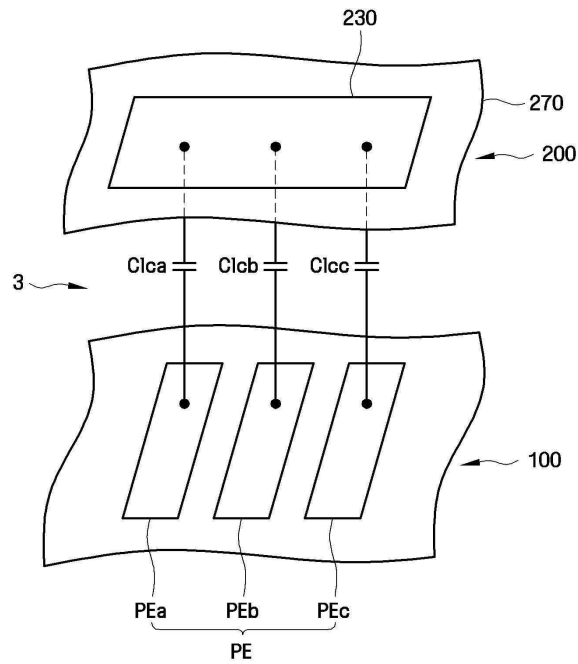
700: 유지 전국 구동부 800: 계조 전압 생성부

도면

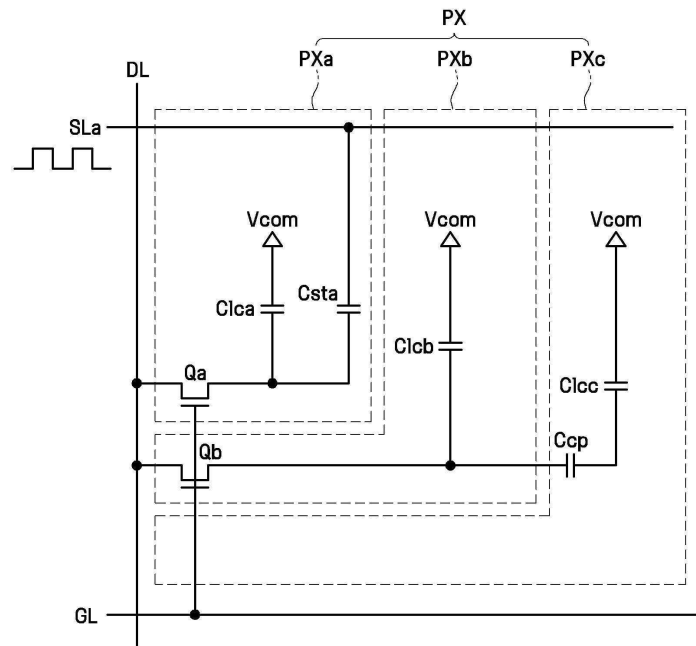
도면1



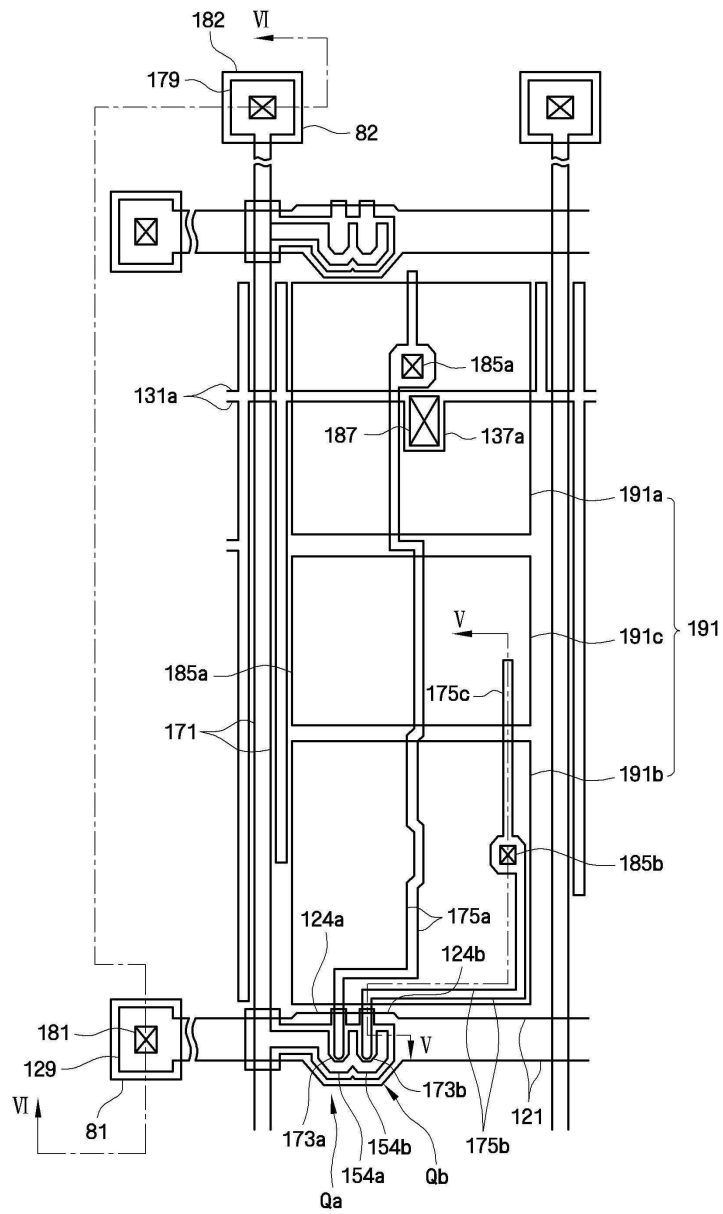
도면2



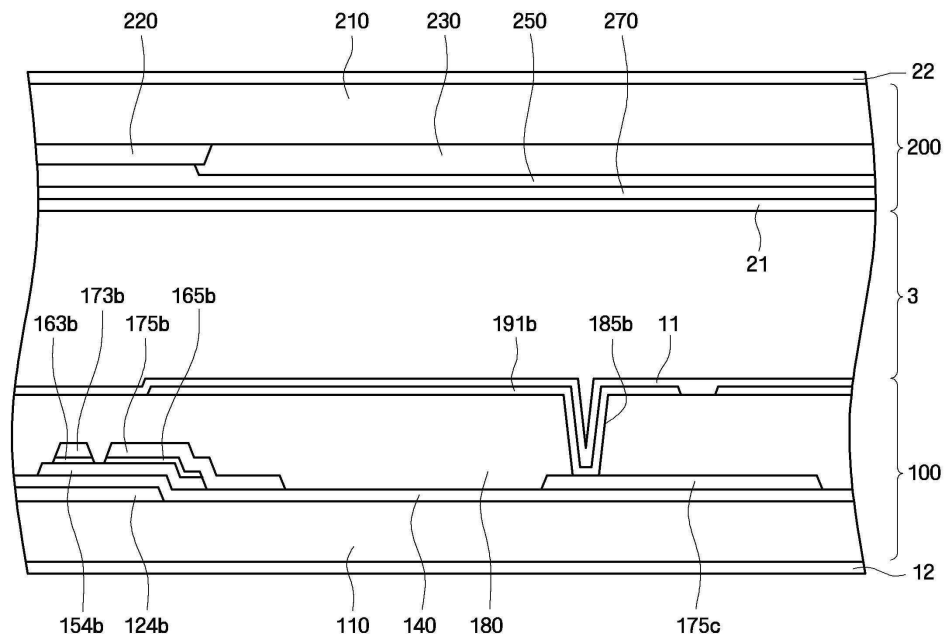
도면3



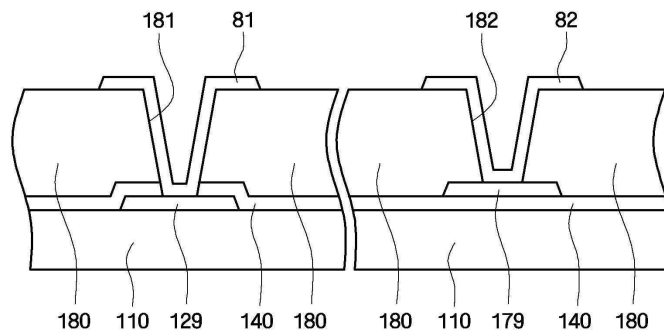
도면4



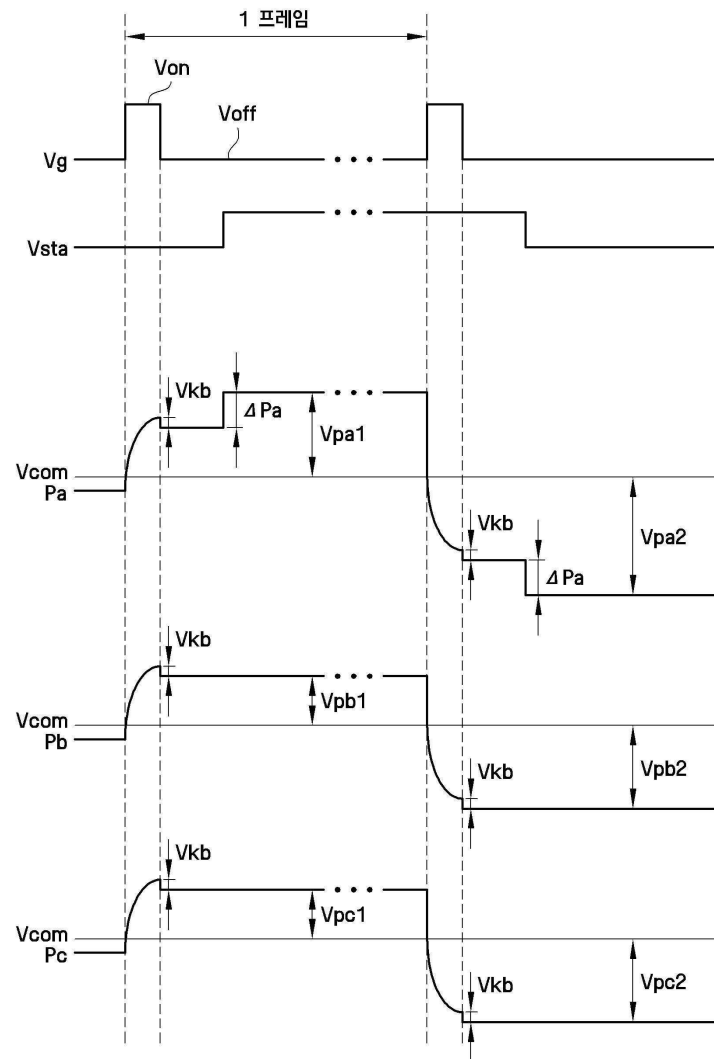
도면5



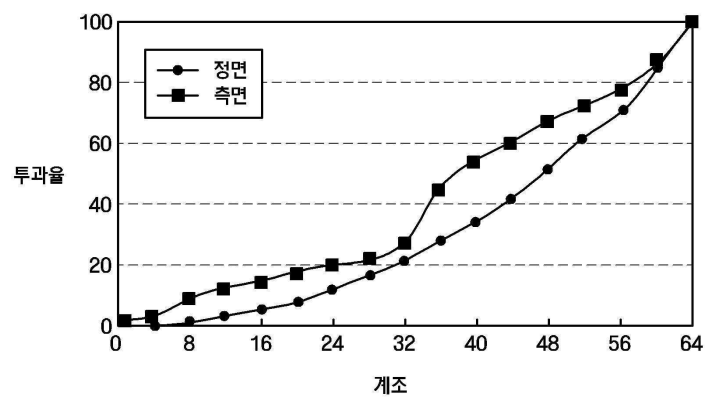
도면6



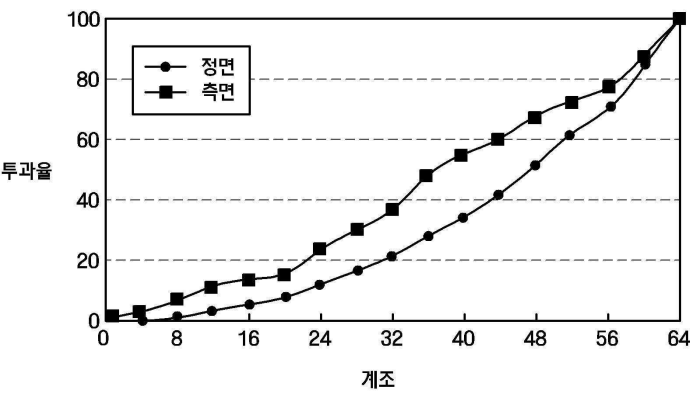
도면7



도면8



도면9



专利名称(译)	本发明的显示板和包括该显示板的液晶显示装置		
公开(公告)号	KR101471550B1	公开(公告)日	2014-12-15
申请号	KR1020080058506	申请日	2008-06-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	YEOM JOO SEOK 염주석 SHIN CHANG HYEON 신창현		
发明人	염주석 신창현		
IPC分类号	G02F1/1343 G02F1/133 G02F1/136		
CPC分类号	G09G2300/0426 G09G2320/028 G09G3/3648 G09G2320/0257 G09G2300/0447 G09G2300/0443		
优先权	12/127512 2008-05-27 US		
其他公开文献	KR1020090123738A		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，包括像素电极，所述像素电极包括彼此分开的第一子像素电极，第二子像素电极和第三子像素电极；第一薄膜晶体管，连接第一子像素电极；第二薄膜晶体管，连接到第二子像素电极；栅极线连接到第一薄膜晶体管和第二薄膜晶体管；栅极线绝缘并与栅极线交叉的数据线，连接到第一薄膜晶体管和第二薄膜晶体管；第一存储线，与栅极线平行，延伸穿过第一子像素电极，其中第一和第二薄膜晶体管包括连接到栅极线的栅电极，连接到数据线的源电极和漏极电极分别与第一子像素电极和第二子像素电极连接，第一或第二薄膜晶体管的漏极与第三子像素电极重叠。

