

특허청구의 범위

청구항 1

기관과;

상기 기관 상의 일 방향으로 구성된 게이트 배선과;

상기 게이트 배선과 평행하게 형성된 제 1 및 제 2 공통 배선과;

상기 게이트 배선과 수직 교차하여 화소 영역을 정의하는 데이터 배선과;

상기 게이트 및 데이터 배선의 교차지점에 대응된 박막트랜지스터와;

상기 박막트랜지스터에 연결된 판상의 화소 전극과;

상기 화소 전극과 중첩되고, 상기 제 1 및 제 2 공통 배선에서 상기 화소 영역으로 수직하게 다수개 분기된 공통 전극과;

상기 공통 전극과 평행하게 이격되고, 상기 데이터 배선의 중심점을 기준으로 양측으로 분리 구성된 제 1 및 제 2 차폐 전극

을 포함하는 횡전계 방식 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 공통 전극은 상기 화소 전극과 중첩된 상부에 대응하여 막대 형상의 다수의 패턴이 평행하게 이격된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 제 1 및 제 2 공통 배선과 공통 전극과 제 1 및 제 2 차폐 전극은 동일층 동일 물질로 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기관.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 공통 배선과 공통 전극과 제 1 및 제 2 차폐 전극은 공통 전압발생부로부터 동일한 신호 전압을 인가받는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기관.

청구항 5

제 3 항에 있어서,

상기 동일 물질은 인듐-틴-옥사이드와 인듐-징크-옥사이드를 포함하는 투명한 도전성 물질 그룹 중 선택된 하나인 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기관.

청구항 6

제 1 항에 있어서,

상기 제 1 및 제 2 차폐 전극의 이격된 사이 공간은 패턴이 존재하지 않는 개구 영역인 것을 특징으로 하는 횡

전계 방식 액정표시장치용 어레이 기판.

청구항 7

제 1 항에 있어서,

상기 박막트랜지스터와 화소 전극의 사이 공간에 제 1 보호막이 구성되고, 상기 박막트랜지스터에 대응된 일부를 노출하는 드레인 콘택홀을 더욱 포함하는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 8

제 7 항에 있어서,

상기 제 1 보호막 상의 상기 화소 전극과 제 1 및 제 2 차폐 전극의 사이 공간에는 제 2 보호막이 더욱 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 9

제 1 항에 있어서,

상기 박막트랜지스터와 화소 전극은 동일층에서 서로 다른 물질로 직접 연결된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

청구항 10

제 1 항에 있어서,

상기 제 1 및 제 2 차폐 전극은 상기 데이터 배선과 각각 일정 부분 중첩되도록 구성한 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 동일한 평면 상에 공통 전극과 화소 전극이 형성된 횡전계 방식 액정표시장치용 어레이 기판에 관한 것이다.

배경기술

[0002] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용하는 바, 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의하여 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소 전극이 행렬방식으로 배열된 능동행렬 액정표시장치(Active Matrix LCD : AM-LCD)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0005] 상기 액정표시장치는 공통 전극이 형성된 컬러필터 기판인 상부 기판과 화소 전극이 형성된 어레이 기판인 하부 기판으로 이루어지며, 상기 상부 및 하부 기판 사이에 충전된 액정으로 이루어진다.

- [0006] 이러한 액정표시장치에서는 공통 전극과 화소 전극이 수직적으로 형성되고, 여기에 발생하는 상하의 수직적 전 기장에 의해 액정을 구동하는 방식을 사용할 경우 투과율과 개구율 등의 특성이 우수한 정점은 있으나, 시야각 특성이 우수하지 못한 단점을 가지고 있다.
- [0007] 따라서, 전술한 단점을 극복하기 위해 새로운 기술이 제안되고 있으며, 하기 기술될 액정표시장치는 횡전계에 의한 구동방법으로 시야각 특성이 우수한 장점을 갖고 있다.
- [0008] 이하, 종래에 따른 횡전계 방식 액정표시장치에 대해 설명하도록 한다.
- [0009] 도 1은 종래에 따른 횡전계 방식 액정표시장치용 어레이 기관을 나타낸 평면도이다.
- [0010] 도시한 바와 같이, 기관(10) 상의 일 방향으로 게이트 배선(20)과, 상기 게이트 배선(20)과 수직 교차하여 제 1 및 제 2 화소 영역(P1, P2)을 정의하는 데이터 배선(30)이 구성된다.
- [0011] 또한, 상기 게이트 배선(20)과 평행하게 이격된 공통 배선(50)과, 상기 공통 배선(50)과 연결된 제 1 및 제 2 공통 전극(81, 82)을 구성한다.
- [0012] 상기 제 1 공통 전극(81)은 공통 배선(50)의 일부를 노출하는 제 1 공통 콘택홀(CMH1)을 통해 공통 배선(50)과 접촉된 제 1 수평부(81a)와, 상기 제 1 수평부(81a)에서 제 1 화소 영역(P1)으로 수직하게 다수개 분기된 제 1 수직부(81b)를 포함한다.
- [0013] 또한, 상기 제 2 공통 전극(82)은 공통 배선(50)의 일부를 노출하는 제 2 공통 콘택홀(CMH2)을 통해 공통 배선(50)과 접촉된 제 2 수평부(82a)와, 상기 제 2 수평부(82a)에서 제 2 화소 영역(P2)으로 수직하게 다수개 분기된 제 2 수직부(82b)를 포함한다.
- [0014] 상기 게이트 배선(20)과 데이터 배선(30) 각각의 교차지점에는 제 1 및 제 2 박막트랜지스터(T1, T2)가 구성된다. 상기 제 1 및 제 2 박막트랜지스터(T1, T2)는 게이트 배선(20)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 연장된 제 1 및 제 2 게이트 전극(25a, 25b)과, 상기 제 1 및 제 2 게이트 전극(25a, 25b) 각각의 중첩된 상부에 위치하는 제 1 및 제 2 반도체층(미도시)과, 상기 제 1 및 제 2 반도체층 상의 데이터 배선(30)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 연장된 제 1 및 제 2 소스 전극(32a, 32b)과, 상기 제 1 및 제 2 소스 전극(32a, 32b)과 각각 이격된 제 1 및 제 2 드레인 전극(34a, 34b)을 포함한다.
- [0015] 상기 제 1 및 제 2 반도체층은 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 및 제 2 액티브층(40a, 40b)과, 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 1 및 제 2 오믹 콘택층(미도시)을 포함한다.
- [0016] 상기 제 1 및 제 2 드레인 전극(34a, 34b) 각각의 일부를 노출하는 제 1 및 제 2 드레인 콘택홀(CH1, CH2)을 통해 제 1 및 제 2 드레인 전극(34a, 34b)에 각각 연결된 제 1 및 제 2 화소 전극(71, 72)은 제 1 및 제 2 화소 영역(P1, P2)에 대응 구성된다. 상기 제 1 및 제 2 화소 전극(71, 72)은 제 1 및 제 2 드레인 전극(34a, 34b)에 각각 접촉된 제 1 및 제 2 연장부(71a, 72a)와, 상기 제 1 및 제 2 연장부(71a, 72a)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 수직하게 다수개 분기된 제 1 및 제 2 수직부(71b, 72b)를 포함한다.
- [0017] 도 2는 도 1의 II-II'선을 따라 절단하여 나타낸 단면도로, 이를 참조하여 상세히 설명하도록 한다.
- [0018] 도시한 바와 같이, 표시 영역(AA)과 비표시 영역(NAA)으로 각각 구분된 컬러필터 기관(5)과 어레이 기관(10)이 대향 합착되고 있으며, 상기 컬러필터 기관(5)과 어레이 기관(10)의 이격된 사이 공간에 액정층(15)이 개재된다.
- [0019] 상기 컬러필터 기관(5)의 투명 기관(1) 하부 면에는 비표시 영역(NAA)으로 입사되는 빛을 차폐하는 블랙 매트릭스(12)와, 상기 블랙 매트릭스(12)를 경계로 순차적으로 패터닝된 적(R), 녹(B), 청(B) 서브 컬러필터(16a, 16b, 미도시)를 포함하는 컬러필터층(16)과, 상기 컬러필터층(16)을 덮는 오버 코트층(18)이 차례로 위치한다.
- [0020] 한편, 상기 어레이 기관(10)의 투명 기관(2) 상부 면에는 게이트 배선(도 1의 20)과 제 1 및 제 2 게이트 전극(도 1의 25a, 25b)을 덮는 게이트 절연막(45)과, 상기 게이트 절연막(45) 상의 데이터 영역(D)에 대응하여 게이트 배선과 수직 교차하여 제 1 및 제 2 화소 영역(P1, P2)을 정의하는 데이터 배선(30)과, 상기 데이터 배선(30)을 덮는 보호막(55)과, 상기 보호막(55) 상의 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응하여 교대로 평행하게 이격 배치된 제 1 및 제 2 공통 전극의 수직부(81b, 82b)와 제 1 및 제 2 화소 전극의 수직부(71b, 72b)가 차례로 구성된다.
- [0021] 이때, 상기 제 1 및 제 2 공통 전극의 수직부(81b, 82b)와 제 1 및 제 2 화소 전극의 수직부(71b, 72b) 각각에

인가된 전압차에 따른 수평 전기장을 통해 액정층(15)에 개재된 액정 분자(18)를 제어하여 백라이트 유닛(미도시)으로부터의 빛을 투과시켜 적(R), 녹(G), 청(B) 서브 컬러필터(16a, 16b, 미도시)의 색상 조합을 통해 영상을 구현하게 된다.

[0022] 이때, 상기 제 1 및 제 2 공통 전극의 수직부(81b, 82b)와 제 1 및 제 2 화소 전극의 수직부(71b, 72b) 간에 이격 공간이 발생하게 되고, 이러한 이격 공간에 대응된 액정 분자(18)는 제 1 및 제 2 공통 전극의 수직부(81b, 82b)와 제 1 및 제 2 화소 전극의 수직부(71b, 72b) 간의 수평 전계를 통해 온/오프(on/off) 구동된다.

[0023] 그러나, 상기 제 1 및 제 2 공통 전극의 수직부(81b, 82b)와 제 1 및 제 2 화소 전극의 수직부(71b, 72b) 각각의 중심점의 상측에 대응된 부분(F)은 수평 전기장 보다는 수직 전기장에 의한 영향으로 이 부분(F)에 대응된 액정 분자(18)를 제어하는 것이 불가능한 문제가 있다. 이러한 이유로, 투과율이 현격히 저하되고 있는 상황이다.

발명의 내용

해결 하고자하는 과제

[0024] 본 발명은 전술한 문제를 해결하기 위해 안출된 것으로, 횡전계 방식 액정표시장치용 어레이 기관에서 투과율을 개선을 하는 것을 제 1 목적으로 한다.

[0025] 또한, 상기 제 1 목적을 달성하기 위해 데이터 배선과 차폐 전극을 중첩되도록 설계하고 있는 데, 이 부분에서 발생하는 데이터 배선과 차폐 전극 간의 기생 커패시턴스에 의한 데이터 신호 지연에 따른 화질 불량 문제를 개선하는 것을 제 2 목적으로 한다.

과제 해결수단

[0026] 전술한 목적을 달성하기 위한 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기관은 기관과; 상기 기관 상의 일 방향으로 구성된 게이트 배선과; 상기 게이트 배선과 평행하게 이격된 제 1 및 제 2 공통 배선과; 상기 게이트 배선과 수직 교차하여 화소 영역을 정의하는 데이터 배선과; 상기 게이트 및 데이터 배선의 교차지점에 대응된 박막트랜지스터와; 상기 박막트랜지스터에 연결된 판상의 화소 전극과; 상기 화소 전극과 중첩되고, 상기 제 1 및 제 2 공통 배선에서 상기 화소 영역으로 수직하게 다수개 분기된 공통 전극과; 상기 공통 전극과 평행하게 이격되고, 상기 데이터 배선의 중심점을 기준으로 양측으로 분리 구성된 제 1 및 제 2 차폐 전극을 포함하는 것을 특징으로 한다.

[0027] 이때, 상기 공통 전극은 상기 화소 전극과 중첩된 상부에 대응하여 막대 형상의 다수의 패턴이 평행하게 이격되고, 상기 제 1 및 제 2 공통 배선과 공통 전극과 제 1 및 제 2 차폐 전극은 동일층 동일 물질로 구성된다.

[0028] 상기 제 1 및 제 2 공통 배선과 공통 전극과 제 1 및 제 2 차폐 전극은 공통 전압발생부로부터 동일한 신호 전압을 인가받는다. 상기 동일 물질은 인듐-틴-옥사이드 또는 인듐-징크-옥사이드와 같은 투명한 도전성 물질 그룹 중 선택된 하나인 것을 특징으로 한다.

[0029] 이때, 상기 제 1 및 제 2 차폐 전극의 이격된 사이 공간은 패턴이 존재하지 않는 개구 영역인 것을 특징으로 한다.

[0030] 상기 박막트랜지스터와 화소 전극의 사이 공간에 제 1 보호막이 구성되고, 상기 박막트랜지스터에 대응된 일부를 노출하는 드레인 콘택홀을 더욱 포함한다. 상기 제 1 보호막 상의 상기 화소 전극과 제 1 및 제 2 차폐 전극의 사이 공간에는 제 2 보호막이 더욱 구성된다.

[0031] 또한, 상기 박막트랜지스터와 화소 전극은 동일층에서 서로 다른 물질로 직접 연결될 수 있다. 상기 제 1 및 제 2 차폐 전극은 상기 데이터 배선과 각각 일정 부분 중첩되도록 구성한 것을 특징으로 한다.

효과

[0032] 본 발명에서는 첫째, 데이터 배선과 차폐 전극 간의 기생 커패시턴스의 용량을 최소화하는 것을 통해 데이터 신

호의 지연에 따른 화질 저하 문제를 개선할 수 있다.

[0033] 둘째, 데이터 배선과 차폐 전극 간의 중첩 면적을 최소화하는 것을 통해 공통 배선, 공통 전극 및 차폐 전극으로 인가되는 공통 신호가 안정화되는 장점이 있다.

[0034] 셋째, 전술한 데이터 배선과 차폐 전극 간의 기생 커패시턴스의 감소로 화소의 미충전 문제를 개선하는 것을 통해 소비 전력을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

[0035] --- 제 1 실시예 ---

[0036] 본 발명의 제 1 실시예에서는 화소 전극과 공통 전극 간에 수평 및 수직 전계를 이용함으로써 투과율을 향상시킬 수 있는 횡전계 방식 액정표시장치용 어레이 기판을 제공하는 것을 특징으로 한다.

[0037] 도 3은 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이 기판을 나타낸 평면도이다.

[0038] 도시한 바와 같이, 기판(110) 상의 일 방향으로 게이트 배선(120)과, 상기 게이트 배선(120)과 수직 교차하여 매트릭스 형태로 제 1 및 제 2 화소 영역(P1, P2)을 정의하는 데이터 배선(130)이 구성된다.

[0039] 또한, 상기 게이트 배선(120)과 평행하게 이격된 제 1 및 제 2 공통 배선(150a, 150b)과, 상기 제 1 및 제 2 공통 배선(150a, 150b)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 수직하게 다수개 분기된 제 1 및 제 2 공통 전극(181, 182)과, 상기 제 1 및 제 2 공통 배선(150a, 150b)에서 수직하게 연장되고, 상기 데이터 배선(130)과 중첩된 상부를 완벽히 차폐하는 제 1, 제 2, 제 3 차폐 전극(183, 184, 185)이 구성된다.

[0040] 이때, 상기 제 1 및 제 2 공통 배선(150a, 150b)과 제 1 및 제 2 공통 전극(181, 182)과 제 1, 제 2, 제 3 차폐 전극(183, 184, 185)은 동일층에서 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 물질 그룹 중 선택된 하나로 구성되는 바, 공통전압 발생부(미도시)로부터 동일한 신호 전압을 인가받게 된다.

[0041] 상기 게이트 배선(120)과 데이터 배선(130)의 교차지점에는 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응하여 제 1 및 제 2 박막트랜지스터(T1, T2)가 구성된다.

[0042] 상기 제 1 및 제 2 박막트랜지스터(T1, T2)는 게이트 배선(120)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 연장된 제 1 및 제 2 게이트 전극(125a, 125b)과, 상기 제 1 및 제 2 게이트 전극(125a, 125b) 각각의 중첩된 상부에 구성된 제 1 및 제 2 반도체층(미도시)과, 상기 제 1 및 제 2 반도체층 상의 데이터 배선(130)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 연장된 제 1 및 제 2 소스 전극(132a, 132b)과, 상기 제 1 및 제 2 소스 전극(132a, 132b)과 이격된 제 1 및 제 2 드레인 전극(134a, 134b)을 포함한다.

[0043] 이때, 상기 제 1 및 제 2 반도체층은 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 및 제 2 액티브층(140a, 140b)과 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 1 및 제 2 오믹 콘택층(미도시)을 각각 포함한다.

[0044] 또한, 상기 제 1 및 제 2 드레인 전극(134a, 134b) 각각의 일부를 노출하는 제 1 및 제 2 드레인 콘택홀(CH1, CH2)을 통해 제 1 및 제 2 드레인 전극(134a, 134b)에 각각 연결된 제 1 및 제 2 화소 전극(170a, 170b)을 제 1 및 제 2 화소 영역(P1, P2)에 대응하여 판상의 패턴으로 구성한다.

[0045] 전술한 구성은 제 1 및 제 2 화소 영역(P1, P2)에 대응된 판상의 제 1 및 제 2 화소 전극(170a, 170b)과 다수의 막대 형상, 즉 슬릿 형태의 패턴이 서로 이격된 제 1 및 제 2 공통 전극(180a, 180b)이 도시하지 않은 보호막을 사이에 두고 중첩된 상태로 배치되는 바, 상기 제 1 및 제 2 화소 전극(170a, 170b)과 제 1 및 제 2 공통 전극(150a, 150b)의 대각선 방향에 위치하는 액정 분자(미도시)까지 제어할 수 있어 투과율을 대폭 향상시킬 수 있게 된다.

[0046] 이에 대해서는, 이하 첨부한 도면을 참조하여 보다 상세히 설명하도록 한다.

[0047] 도 4는 도 3의 IV-IV' 선을 따라 절단하여 나타낸 단면도로, 어레이 기판과 컬러필터 기판이 대향 합착된 상태를 나타내고 있다.

[0048] 도시한 바와 같이, 표시 영역(AA)과 비표시 영역(NAA)으로 각각 구분된 컬러필터 기판(105)과 어레이 기판(11

0)이 대향 합착하고 있으며, 상기 컬러필터 기관(105)과 어레이 기관(110)의 이격된 사이 공간에 액정층(115)이 개재된다.

- [0049] 상기 컬러필터 기관(105)의 투명 기관(101) 하부 면에는 비표시 영역(NAA)으로 입사되는 빛을 차폐하는 블랙 매트릭스(112)와, 상기 블랙 매트릭스(112)를 경계로 순차적으로 패터닝된 적(R), 녹(B), 청(B) 서브 컬러필터(116a, 116b, 미도시)를 포함하는 컬러필터층(116)과, 상기 컬러필터층(116)을 덮는 오버 코트층(118)이 차례로 위치한다.
- [0050] 한편, 상기 어레이 기관(110)의 투명 기관(102) 상부 면에는 게이트 배선(도 3의 120)과 제 1 및 제 2 게이트 전극(도 3의 125a, 125b)을 덮는 게이트 절연막(145)과, 상기 게이트 절연막(145) 상의 데이터 영역(D)에 대응하여 게이트 배선과 수직 교차하여 제 1 및 제 2 화소 영역(P1, P2)을 정의하는 데이터 배선(130)과, 상기 데이터 배선(130)을 덮는 제 1 보호막(155)과, 상기 제 1 보호막(155) 상의 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응하여 판상의 패턴으로 구성된 제 1 및 제 2 화소 전극(170a, 170b)과, 상기 제 1 및 제 2 화소 전극(170a, 170b)을 덮는 제 2 보호막(165)과, 상기 제 2 보호막(165) 상의 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응하여 제 1 및 제 2 화소 전극(170a, 170b)과 중첩하여 막대 형상의 다수의 패턴이 평행하게 이격 구성된 제 1 및 제 2 공통 전극(181, 182)과, 상기 데이터 배선(130)과 중첩된 상부를 완벽히 차폐하는 제 2 차폐 전극(184)이 차례로 구성된다.
- [0051] 이때, 본 발명의 제 1 실시예에서는 제 1 및 제 2 화소 전극(170a, 170b)이 데이터 배선(130)을 사이에 두고 제 1 및 제 2 화소 영역(P1, P2)에 대응하여 판상의 패턴으로 설계되고, 제 1 및 제 2 화소 전극(170a, 170b)과 중첩된 상부에 대응하여 제 1 및 제 2 공통 전극(180a, 180b)이 위치하게 된다.
- [0052] 즉, 상기 제 2 보호막(165)을 사이에 두고 슬릿 형태의 패턴이 서로 이격되는 제 1 및 제 2 공통 전극(181, 182)은 제 1 및 제 2 화소 전극(170a, 170b)과 중첩하도록 배치되는 바, 상기 제 1 및 제 2 화소 전극(170a, 170b)과 제 1 및 제 2 공통 전극(150a, 150b) 간의 수직 전기장과 수평 전기장이 복합적으로 작용하기 때문에, 종래와 달리 강력한 수평 및 수직 전기장을 통해 제 1 및 제 2 공통 전극(181, 182) 각각의 중심점에 대응된 액정 분자(118)까지 손쉽게 제어할 수 있는 장점으로 투과율을 개선시킬 수 있게 된다.
- [0053] 이때, 상기 제 2 차폐 전극(184)은 제 1 및 제 2 화소 전극(170a, 170b)과 데이터 배선(130) 간의 기생 커패시턴스(Cdp)의 발생을 줄이는 역할을 하게 되는 바, 상기 제 2 차폐 전극(184)의 설계를 통해 제 1 및 제 2 화소 전극(170a, 170b)과 데이터 배선(130) 간의 이격 거리를 감소시킬 수 있게 되고, 이를 통해 개구율을 향상시킬 수 있다.
- [0054] 그러나, 중대형 모델의 경우 제 1 및 제 2 화소 영역(P1, P2)의 면적이 커지면서 데이터 배선(130)과 상기 데이터 배선(130)의 상부 전면을 덮는 제 2 차폐 전극(184) 간의 기생 커패시턴스(Cdc)의 용량 또한 증가하는 요인으로 작용하고 있다.
- [0055] 상기 데이터 배선(130)과 제 2 차폐 전극(184) 간의 기생 커패시턴스(Cdc)의 증가는 데이터 배선(130)의 신호 지연에 따른 화소 미충전 문제를 유발할 수 있고, 제 1 및 제 2 공통 전극(181, 182)과 제 2 차폐 전극(185)으로 인가되는 공통 신호가 불안정해지는 등의 문제가 있다.
- [0056] --- 제 2 실시예 ---
- [0057] 본 발명의 제 2 실시예는 데이터 배선과 중첩된 상부에 위치하는 차폐 전극을 데이터 배선의 중심점을 기준으로 제 1 및 제 2 차폐 전극으로 분리 구성한 것을 특징으로 한다.
- [0058] 이하, 첨부한 도면을 참조하여 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치에 대해 설명하도록 한다.
- [0059] 도 5는 본 발명의 제 2 실시예에 따른 횡전계 방식 액정표시장치용 어레이 기관을 나타낸 평면도이다.
- [0060] 도시한 바와 같이, 기관(210) 상의 일 방향으로 게이트 배선(220)과, 상기 게이트 배선(220)과 수직 교차하여 매트릭스 형태로 제 1 및 제 2 화소 영역(P1, P2)을 정의하는 데이터 배선(230)이 구성된다.
- [0061] 또한, 상기 게이트 배선(220)과 평행하게 이격된 제 1 및 제 2 공통 배선(250a, 250b)과, 상기 제 1 및 제 2 공통 배선(250a, 250b)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 수직하게 다수개 분기된 제 1 및 제 2 공통 전극(281, 282)과, 상기 제 1 및 제 2 공통 배선(250a, 250b)에서 수직하게 연장되고, 상기 데이터 배선(230)의

중심점을 기준으로 양측으로 각각 이격 구성된 제 1, 제 2, 제 3 차폐 전극(283, 284, 285)이 구성된다.

- [0062] 이때, 상기 제 1, 제 2, 제 3 차폐 전극(283, 284, 285)은 제 1, 제 2, 제 3 차폐 전극(283, 284, 285)의 양측 끝단에 각각 위치하는 제 1 및 제 2 공통 배선(251, 252)과 연결되고, 상기 데이터 배선(230)의 중심점을 기준으로 상부 양측으로 제 1a, 제 1b 차폐 전극(283a, 283b)과 제 2a, 제 2b 차폐 전극(284a, 284b)과 제 3a, 제 3b 차폐 전극(285a, 285b)으로 분리 구성된다.
- [0063] 즉, 상기 데이터 배선(230)의 중심점에 대응된 부분에 개구 영역(F)이 존재하도록 제 1, 제 2, 제 3 차폐 전극(183, 184, 185)을 제 1a, 제 1b 차폐 전극(283a, 283b)과 제 2a, 제 2b 차폐 전극(284a, 284b)과 제 3a, 제 3b 차폐 전극(285a, 285b)으로 각각 양분한 것을 특징으로 한다.
- [0064] 상기 제 1 및 제 2 공통 배선(250a, 250b)과 제 1 및 제 2 공통 전극(281, 282)과 제 1, 제 2, 제 3 차폐 전극(283, 284, 285)은 동일층에서 인듐-틴-옥사이드(ITO) 또는 인듐-징크-옥사이드(IZO)와 같은 투명한 도전성 물질 그룹 중 선택된 하나로 구성되는 바, 공통전압 발생부(미도시)로부터 동일한 신호 전압을 인가받게 된다.
- [0065] 상기 게이트 배선(220)과 데이터 배선(230)의 교차지점에는 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응하여 제 1 및 제 2 박막트랜지스터(T1, T2)를 구성한다.
- [0066] 상기 제 1 및 제 2 박막트랜지스터(T1, T2)는 게이트 배선(220)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 연장된 제 1 및 제 2 게이트 전극(225a, 225b)과, 상기 제 1 및 제 2 게이트 전극(225a, 225b) 각각의 중첩된 상부에 구성된 제 1 및 제 2 반도체층(미도시)과, 상기 제 1 및 제 2 반도체층 상의 데이터 배선(230)에서 제 1 및 제 2 화소 영역(P1, P2)으로 각각 연장된 제 1 및 제 2 소스 전극(232a, 232b)과, 상기 제 1 및 제 2 소스 전극(232a, 232b)과 각각 이격된 제 1 및 제 2 드레인 전극(234a, 234b)을 포함한다.
- [0067] 이때, 상기 제 1 및 제 2 반도체층은 순수 비정질 실리콘(a-Si:H)으로 이루어진 제 1 및 제 2 액티브층(240a, 240b)과 불순물을 포함하는 비정질 실리콘(n+ a-Si:H)으로 이루어진 제 1 및 제 2 오믹 콘택층(미도시)을 각각 포함한다.
- [0068] 또한, 상기 제 1 및 제 2 드레인 전극(234a, 234b)의 일부를 각각 노출하는 제 1 및 제 2 드레인 콘택홀(CH1, CH2)을 통해 제 1 및 제 2 드레인 전극(234a, 234b)에 각각 연결된 제 1 및 제 2 화소 전극(270a, 270b)을 제 1 및 제 2 화소 영역(P1, P2)에 대응하여 판상의 패턴으로 구성한다.
- [0069] 전술한 구성은 데이터 배선(230)의 중심점을 기준으로 데이터 배선(230)과 제 1, 제 2, 제 3 차폐 전극(283, 284, 285) 간의 중첩되는 부분이 최소화되도록 개구 영역(F)을 사이에 두고 제 1a, 제 1b 차폐 전극(283a, 283b)과 제 2a, 제 2b 차폐 전극(284a, 284b)과 제 3a, 제 3b 차폐 전극(285a, 285b)으로 분리 구성한 것을 특징으로 한다.
- [0070] 이를 통해, 상기 제 1, 제 2, 제 3 차폐 전극(283, 284, 285)과 데이터 배선(230) 간의 기생 커패시턴스(Cdc)를 대폭 줄일 수 있어 중형 및 대형 모델에서 데이터 신호의 지연에 따른 화질 불량 문제를 해결할 수 있게 된다.
- [0071] 이에 대해서는, 이하 첨부한 도면을 참조하여 보다 상세히 설명하도록 한다.
- [0072] 도 6은 도 5의 VI-VI'선을 따라 절단하여 나타낸 단면도로, 어레이 기판과 컬러필터 기판이 대향 합착된 상태를 나타내고 있다.
- [0073] 도시한 바와 같이, 표시 영역(AA)과 비표시 영역(NAA)으로 각각 구분된 컬러필터 기판(205)과 어레이 기판(210)이 대향 합착되고 있으며, 상기 컬러필터 기판(205)과 어레이 기판(210)의 이격된 사이 공간에 액정층(215)이 개재된다.
- [0074] 상기 컬러필터 기판(205)의 투명 기판(201) 하부 면에는 비표시 영역(NAA)으로 입사되는 빛을 차폐하는 블랙 매트릭스(212)와, 상기 블랙 매트릭스(212)를 경계로 순차적으로 패턴된 적(R), 녹(B), 청(B) 서브 컬러필터(216a, 216b, 미도시)를 포함하는 컬러필터층(216)과, 상기 컬러필터층(216)을 덮는 오버 코트층(218)이 차례로 위치한다.
- [0075] 한편, 상기 어레이 기판(210)의 투명 기판(202) 상부 면에는 게이트 배선(도 5의 220)에서 제 1 화소 영역(P1)으로 연장된 제 1 게이트 전극(225a)과, 제 2 화소 영역(P2)으로 연장된 제 2 게이트 전극(도 5의 225b)과, 상기 게이트 배선과 제 1 게이트 전극(225a)과 제 2 게이트 전극을 덮는 게이트 절연막(245)과, 상기 게이트 절연막(245) 상의 제 1 게이트 전극(225a)과 제 2 게이트 전극에 각각 중첩된 제 1 액티브층(240a) 및 제 2 액티브

층(도 5의 240b)과 제 1 오믹 콘택층(241a)과 제 2 오믹 콘택층(도 5의 241b)을 포함하는 제 1 반도체층(242a) 및 제 2 반도체층(도 5의 242b)이 차례로 위치한다.

[0076] 이때, 상기 제 1 게이트 전극(225a)과 제 1 액티브층(240a)과 제 1 오믹 콘택층(241a)과 제 1 소스 전극(232a)과 제 1 드레인 전극(234a)은 제 1 박막트랜지스터(T1)를 이루고, 상기 제 2 게이트 전극과 제 2 액티브 및 제 2 오믹 콘택층과 제 2 소스 및 제 2 드레인 전극은 제 2 박막트랜지스터(도 5의 T2)를 이룬다.

[0077] 또한, 상기 제 1 반도체층(242a) 및 제 2 반도체층 상의 데이터 영역(D)에 대응하여 게이트 배선과 수직 교차하여 제 1 및 제 2 화소 영역(P1, P2)을 정의하는 데이터 배선(230)과, 상기 데이터 배선(230)을 덮는 제 1 보호막(255)과, 상기 제 1 보호막(255) 상의 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응하여 관상의 패턴으로 구성된 제 1 및 제 2 화소 전극(270a, 270b)과, 상기 제 1 및 제 2 화소 전극(270a, 270b)을 덮는 제 2 보호막(265)과, 상기 제 2 보호막(265) 상의 제 1 및 제 2 화소 영역(P1, P2)에 각각 대응하여 제 1 및 제 2 화소 전극(270a, 270b)과 중첩하여 막대 형상의 다수의 패턴이 평행하게 이격 구성된 제 1 및 제 2 공통 전극(281, 282)과, 상기 데이터 배선(230)과 중첩된 상부를 완벽히 차폐하는 제 2 차폐 전극(284)이 차례로 구성된다.

[0078] 이때, 도면으로 제시하지는 않았지만, 상기 제 1 화소 전극(270a)이 제 1 드레인 콘택홀(CH1)을 통해 제 1 소스 전극(232a)과 접촉된 것으로 도시하고 있으나, 상기 제 1 화소 전극(271a)과 제 1 드레인 전극(234a)이 제 1 보호막(255)과 제 1 드레인 콘택홀(CH1) 없이 제 1 소스 전극(232a) 및 제 1 드레인 전극(234a)과 동일층에서 서로 다른 물질로 직접 연결되는 구성을 가질 수 있다.

[0079] 본 발명의 제 2 실시예에서는 데이터 배선(230)의 중심점에 대응하여 개구 영역(F)이 존재하도록 양측으로 이격된 제 2a 차폐 전극(284a)과 제 2b 차폐 전극(284b)을 포함하는 제 2 차폐 전극(284)이 구성되는 바, 데이터 배선(230)과 제 2 차폐 전극(284) 간의 기생 커패시턴스(Cdc)의 용량을 대폭 줄일 수 있게 된다.

[0080] 보다 상세하게는, 커패시턴스의 용량은 두 전극 간의 중첩하는 면적에 비례하는 관계에 있는 바, 전술한 구성은 제 2 차폐 전극(284)과 데이터 배선(230) 간의 중첩 면적이 최소화되는 구조로 제 2 차폐 전극(284)과 데이터 배선(230) 간의 기생 커패시턴스(Cdc)의 용량을 감소시킬 수 있게 된다.

[0081] 이때, 상기 제 2a 차폐 전극(284a)은 데이터 배선(230)과 제 1 화소 전극(270a), 상기 제 2b 차폐 전극(284b)은 데이터 배선(230)과 제 2 화소 전극(270b) 간의 기생 커패시턴스에 의한 영향을 고려하여 제 2a 및 제 2b 차폐 전극(284a, 284b)은 데이터 배선(230)과 각각 일정 부분 중첩되도록 설계하는 것이 바람직하다.

[0082] 또한, 전술한 구성은 제 2 차폐 전극(284)과 데이터 배선(230) 간의 신호 간섭이 줄어들어 제 2 차폐 전극(284)으로 인가되는 공통 신호의 안정화를 유도할 수 있다.

[0083] 도 7a와 도 7b는 제 1 실시예와 제 2 실시예를 비교한 실험 데이터이다. 이때, 도 7a는 제 1 실시예, 도 7b는 제 2 실시예의 데이터 배선과 차폐 전극 간의 기생 커패시턴스의 용량과 화소의 충전 특성을 각각 나타낸 도면이다.

[0084] 도 7a와 도 7b에 도시한 바와 같이, 제 1 실시예와 제 2 실시예에서 데이터 배선의 저항은 각각 25.3kΩ으로 변화가 없으나 데이터 배선과 차폐 전극 간의 기생 커패시턴스(Cdc)의 용량에 있어서, 제 1 실시예는 327.6pF, 제 2 실시예는 148.6pF으로 제 1 실시예 대비 제 2 실시예의 기생 커패시턴스(Cdc)의 용량이 64% 정도 감소하였다.

[0085] 또한, 단위 화소의 충전 특성에서 제 1 실시예의 I 부분과 제 2 실시예의 H 부분을 비교한 결과, I 부분 대비 H 부분에서 데이터 신호의 파장이 우측 상단으로 올라간 것을 알 수 있다. 다시 말해, 제 1 실시예에서는 데이터 신호의 지연으로 충전 시간(12.08 μs) 내에 화소의 충전이 완전히 이루어지지 않는 미충전 문제가 발생하였으나, 제 2 실시예에서는 충전 시간(12.08 μs) 내에 화소의 충전이 이루어지는 것을 알 수 있다.

[0086] 그러나, 본 발명은 상기 제 1 및 제 2 실시예에 한정되는 것은 아니며, 본 발명의 정신 및 사상을 벗어나지 않는 한도 내에서 다양하게 변형 및 변경할 수 있다는 것은 자명한 사실일 것이다.

도면의 간단한 설명

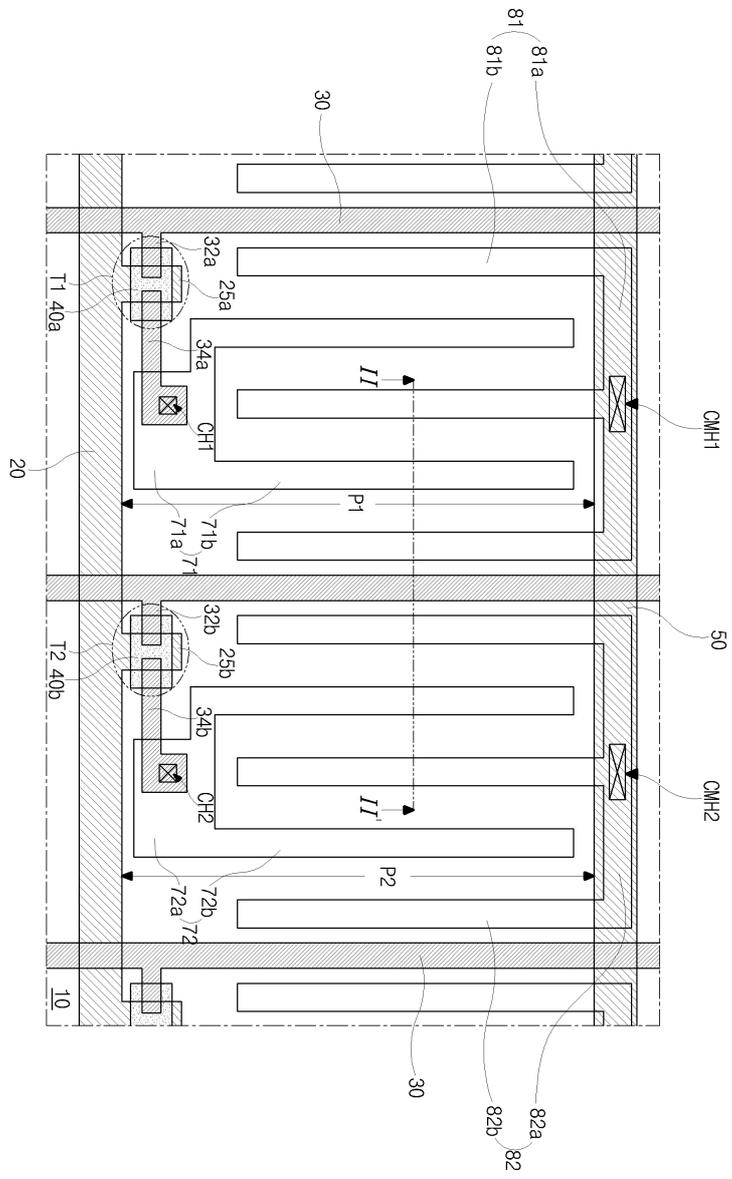
[0087] 도 1은 종래에 따른 횡전계 방식 액정표시장치용 어레이 기판을 나타낸 평면도.

[0088] 도 2는 도 1의 II-II'선을 따라 절단하여 나타낸 단면도.

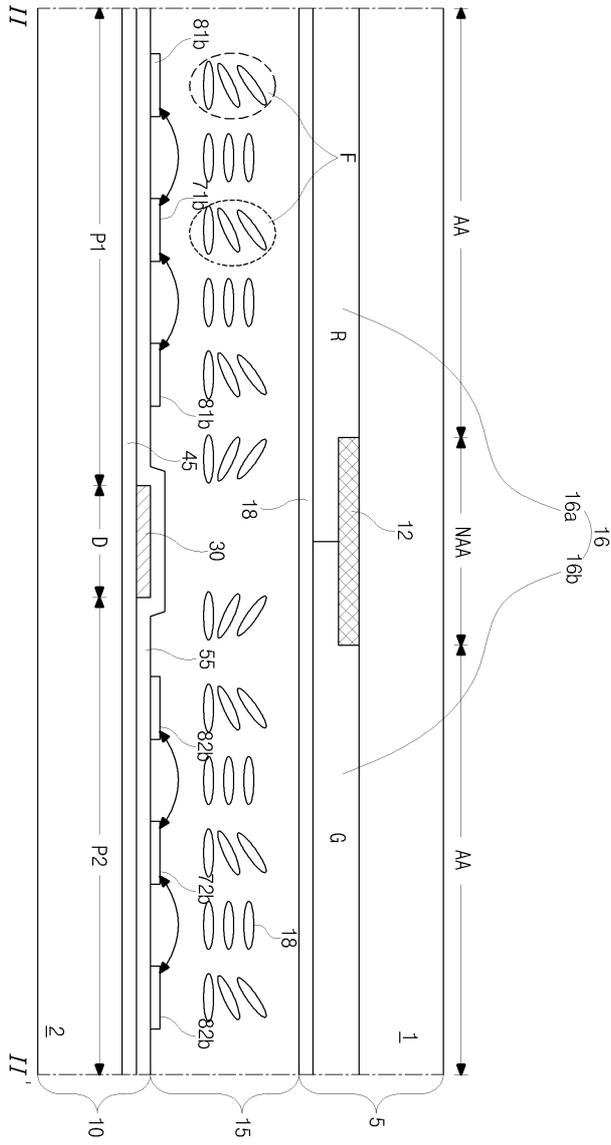
[0089] 도 3은 본 발명의 제 1 실시예에 따른 횡전계 방식 액정표시장치용 어레이 기판을 나타낸 평면도.

도면

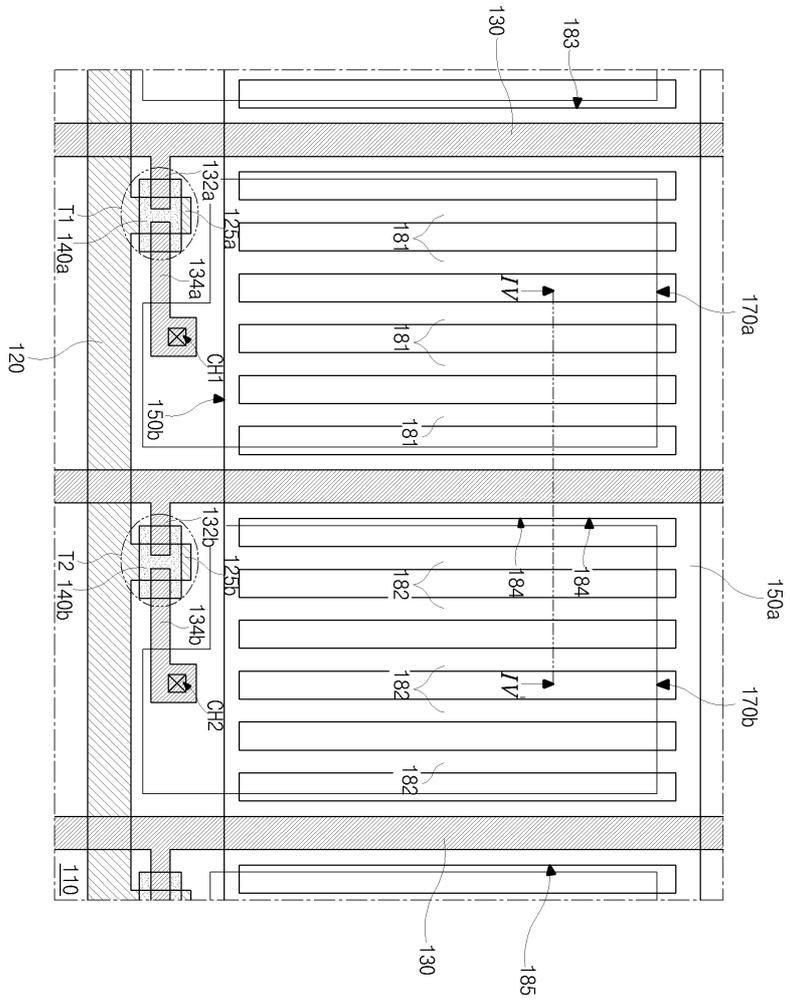
도면1



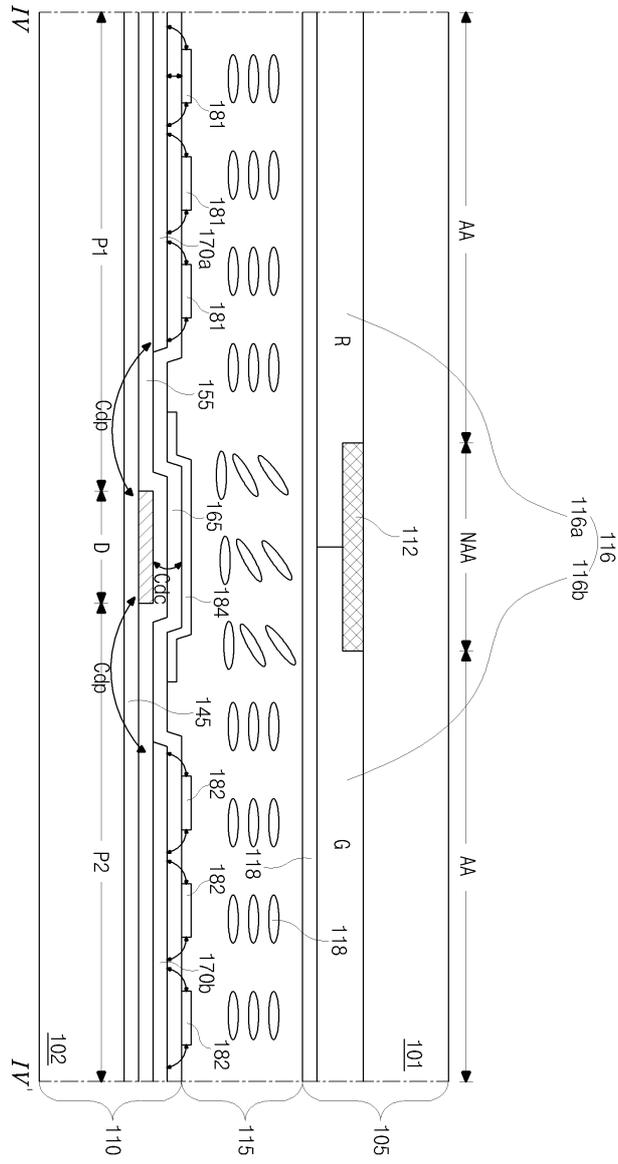
도면2



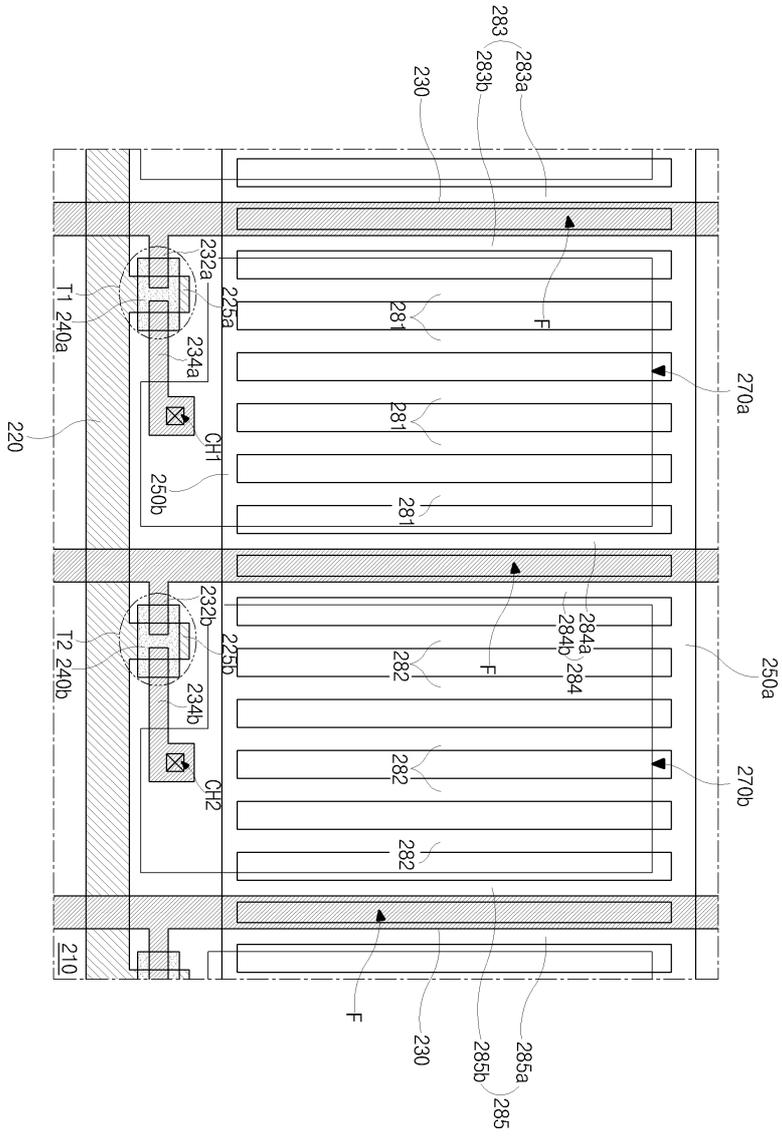
도면3



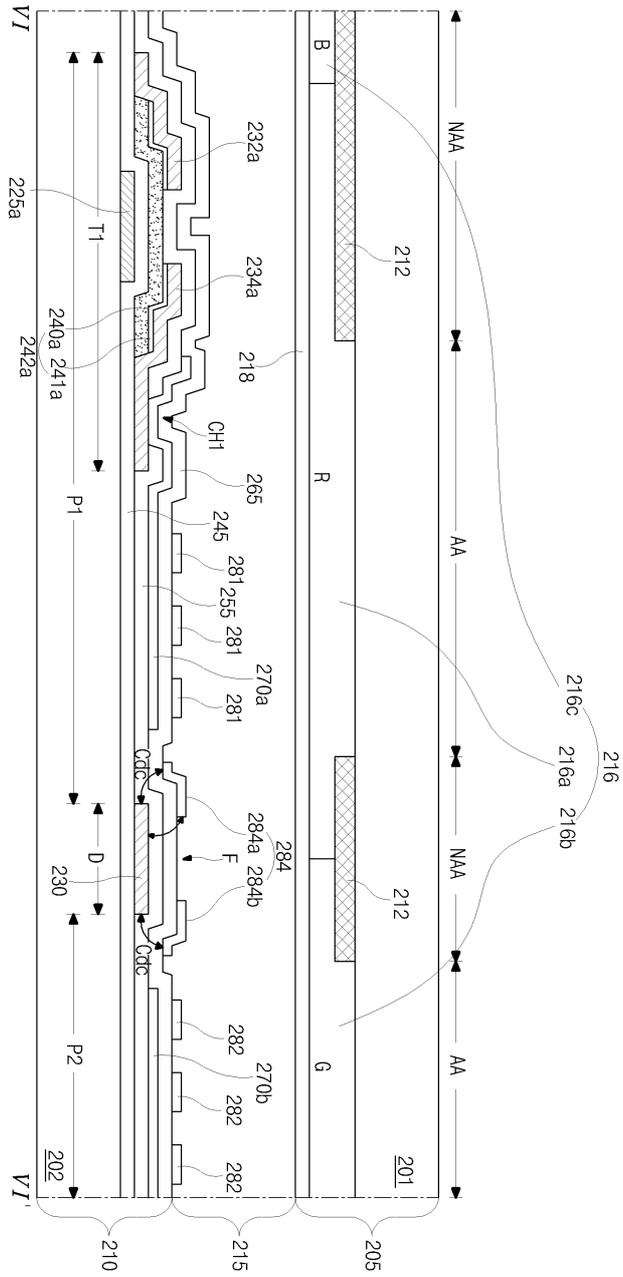
도면4



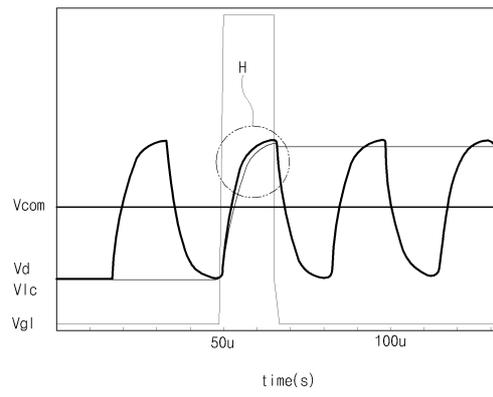
도면5



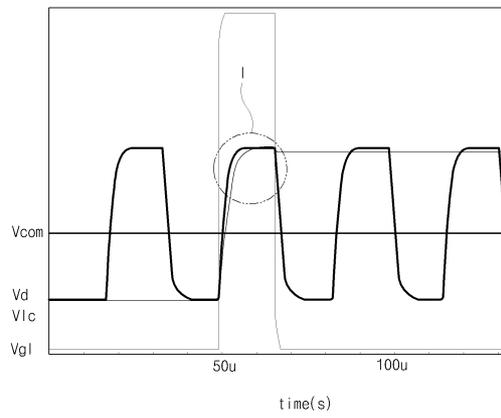
도면6



도면7a



도면7b



| | | | |
|----------------|---|---------|------------|
| 专利名称(译) | 用于液晶显示器的阵列基板技术领域本发明涉及一种用于液晶显示器的阵列基板 | | |
| 公开(公告)号 | KR101439268B1 | 公开(公告)日 | 2014-09-12 |
| 申请号 | KR1020080016107 | 申请日 | 2008-02-22 |
| [标]申请(专利权)人(译) | 乐金显示有限公司 | | |
| 申请(专利权)人(译) | LG显示器有限公司 | | |
| 当前申请(专利权)人(译) | LG显示器有限公司 | | |
| [标]发明人 | LYU KI HYUN 유기현 SONG IN DUK 송인덕 WON DAE HYUN 원대현 | | |
| 发明人 | 유기현 송인덕 원대현 | | |
| IPC分类号 | G02F1/1343 | | |
| CPC分类号 | G02F1/134363 G02F2001/134381 G02F2001/134318 G02F2201/40 G02F2001/136218 G02F2001/13606 | | |
| 其他公开文献 | KR1020090090708A | | |
| 外部链接 | Espacenet | | |

摘要(译)

一种用于面内切换模式液晶显示装置的阵列基板，包括：基板；基板上的栅极线；第一和第二公共线平行于栅极线并与栅极线隔开；与栅极线交叉的数据线以限定像素区域；薄膜晶体管连接到栅极线和数据线；像素电极连接到薄膜晶体管，像素电极具有板状；多个公共电极连接在第一和第二公共线之间，多个公共电极与像素电极重叠；第一和第二屏蔽电极平行于数据线，第一和第二屏蔽电极相对于数据线彼此间隔开。

