



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년05월07일
(11) 등록번호 10-1391836
(24) 등록일자 2014년04월28일

(51) 국제특허분류(Int. Cl.)
G02F 1/1339 (2006.01) G02F 1/1368 (2006.01)
(21) 출원번호 10-2012-0147453
(22) 출원일자 2012년12월17일
심사청구일자 2013년04월03일
(56) 선행기술조사문헌
KR1020120128910 A
KR1020120111839 A
KR1020120003335 A
KR1020080110063 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
손경모
경기 파주시 쇄재로 30, 708동 905호 (금촌동, 서원마을아파트)
이재균
경기 고양시 일산서구 강선로 169, 1506동 1302호 (일산동, 후곡마을15단지아파트)
(74) 대리인
특허법인에이트

전체 청구항 수 : 총 20 항

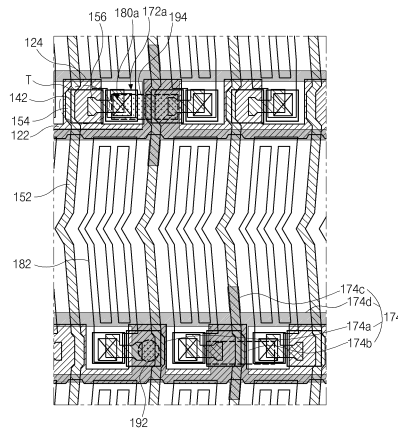
심사관 : 김효욱

(54) 발명의 명칭 어레이 기관 및 이를 포함하는 액정표시장치

(57) 요약

본 발명의 액정표시장치용 어레이 기관은, 기관과; 상기 기관 상에 제1방향을 따라 형성되는 다수의 게이트 배선과; 상기 기관 상에 제2방향을 따라 형성되고 상기 게이트 배선과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 각 교차지점에 연결된 박막트랜지스터와; 상기 박막트랜지스터를 덮고 있는 평탄화막과; 상기 평탄화막 상부의 상기 기관 전면면에 형성되는 공통전극과; 상기 공통전극 상부의 공통배선과; 상기 공통배선 상부의 보호막과; 상기 보호막 상부의 상기 화소영역에 형성되고, 상기 박막트랜지스터와 연결되며 다수의 전극패턴을 포함하는 화소전극을 포함하고, 상기 공통배선은 하나의 박막트랜지스터에 대응하는 제1부분과, 다른 박막트랜지스터에 대응하는 제2부분, 그리고 상기 제2방향을 따라 일정 길이만큼 연장되는 제3부분을 포함한다.

대표도 - 도4



(72) 발명자

이승철

경기 고양시 일산동구 위시티4로 46, 216동 402호
(식사동, 위시티일산자이2단지)

정택준

경기 고양시 덕양구 백양로 126, 1101동 1002호 (화정동, 은빛마을11단지아파트)

구선주

경기 파주시 책향기로 448, 1204동 601호 (동패동, 책향기마을진흥효자아파트)

홍순환

서울 은평구 갈현로31길 21-1, (갈현동)

장상수

경기도 파주시 탄현면 법흥리 1705-5번지 보성빌라가동 201호

정준영

경기도 파주시 문산읍 당동리 자연 & 꿈에그린아파트 605동 1001호

이은혜

서울 강동구 구천면로 365-13, 101동 203호 (암사동, 암사e-편한세상)

특허청구의 범위

청구항 1

기관과;

상기 기관 상에 제1방향을 따라 형성되는 다수의 게이트 배선과;

상기 기관 상에 제2방향을 따라 형성되고 상기 게이트 배선과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 각 교차지점에 연결된 박막트랜지스터와;

상기 박막트랜지스터를 덮고 있는 평탄화막과;

상기 평탄화막 상부의 상기 기관 전면에 형성되는 공통전극과;

상기 공통전극 상부의 공통배선과;

상기 공통배선 상부의 보호막과;

상기 보호막 상부의 상기 화소영역에 형성되고, 상기 박막트랜지스터와 연결되며 다수의 전극패턴을 포함하는 화소전극

을 포함하고,

상기 공통배선은 하나의 박막트랜지스터에 대응하는 제1부분과, 다른 박막트랜지스터에 대응하는 제2부분, 그리고 상기 제2방향을 따라 일정 길이만큼 연장되는 제3부분을 포함하는 액정표시장치용 어레이 기관.

청구항 2

제1항에 있어서,

상기 제3부분은 상기 제2부분으로부터 연장되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 3

제2항에 있어서,

상기 제2부분은 다른 인접한 두 개의 박막트랜지스터에 각각 대응하는 패턴들을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 4

제1항에 있어서,

상기 평탄화막은 상기 제2부분에 대응하여 오목부를 가지는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 5

제4항에 있어서,

상기 제2부분은 상기 오목부의 상하단에 대응하는 위치로부터 연장되는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 6

제4항에 있어서,
상기 오목부의 깊이는 $1\mu\text{m}$ 인 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 7

제4항에 있어서,
상기 공통전극은 상기 오목부에 대응하여 개구부를 가지는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 8

제7항에 있어서,
상기 공통전극의 개구부는 상기 제2방향을 따라 인접한 화소영역의 박막트랜지스터의 드레인 전극을 노출하는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 9

제1항에 있어서,
상기 제3부분은 상기 데이터 배선 중 하나와 중첩하는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 10

제9항에 있어서,
상기 데이터 배선은 상기 게이트 배선에 대해 일정 각을 가지고 기울어져 있는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 11

제10항에 있어서,
상기 제3부분의 길이는 $25\mu\text{m}$ 인 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 12

제1항 내지 제11항 중 어느 한 항에 있어서,
상기 공통배선은 상기 제1방향을 따라 연장되고 상기 제1 및 제2부분의 상단과 상기 제1 및 제2부분의 하단 중 적어도 하나를 연결하는 제4부분을 더 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 13

제12항에 있어서,
상기 제4부분은 상기 제1 및 제2부분의 하단을 연결하며, 상기 제2방향을 따라 인접한 두 행 중 한 행의 상기 제3부분은 상기 제2부분의 상단으로부터 연장되며, 나머지 한 행의 상기 제3부분은 상기 제2부분의 하단으로부터

터 연장되는 것을 특징으로 하는 액정표시장치용 어레이 기판.

청구항 14

제1 및 제2기판과;

상기 제1기판 내면에 형성되고 교차하여 다수의 화소영역을 정의하는 제1방향의 게이트 배선 및 제2방향의 데이터 배선과;

상기 게이트 배선 및 데이터 배선의 각 교차지점에 연결된 박막트랜지스터와;

상기 박막트랜지스터를 덮고 있는 평탄화막과;

상기 평탄화막 상부의 상기 기판 전면에 형성되는 공통전극과;

상기 공통전극 상부의 공통배선과;

상기 공통배선 상부의 보호막과;

상기 보호막 상부의 상기 화소영역에 형성되고, 상기 박막트랜지스터와 연결되며 다수의 전극패턴을 포함하는 화소전극과;

상기 제2기판 내면에 형성되고 서로 다른 높이를 가지는 제1 및 제2 컬럼스페이서

를 포함하고,

상기 공통배선은 상기 제1 컬럼스페이서에 대응하는 제1부분과, 상기 제2 컬럼 스페이서에 대응하는 제2부분, 그리고 상기 제2방향을 따라 일정 길이만큼 연장되는 제3부분을 포함하는 액정표시장치.

청구항 15

제14항에 있어서,

상기 제3부분은 상기 제2부분으로부터 연장되며, 인접한 제2 컬럼 스페이서는 각각 그 중심이 상기 제2부분에 대해 마주 대하는 방향 또는 바깥쪽 방향으로 이동되어 위치하는 것을 특징으로 하는 액정표시장치.

청구항 16

제14항에 있어서,

상기 제2부분은 다른 인접한 두 개의 박막트랜지스터에 각각 대응하는 패턴들을 포함하며, 상기 제2 컬럼 스페이서는 상기 제2부분의 패턴들과 중첩하는 것을 특징으로 하는 액정표시장치.

청구항 17

제14항에 있어서,

상기 제2기판 내면에 상기 제1 컬럼 스페이서와 동일한 높이를 가지는 제3 컬럼 스페이서를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 18

제17항에 있어서,

상기 평탄화막은 상기 제2부분에 대응하여 오목부를 가지며, 상기 제3 컬럼 스페이서는 상기 오목부 내에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 19

제18항에 있어서,

상기 제2부분은 상기 오목부의 상하단에 대응하는 위치로부터 연장되는 것을 특징으로 하는 액정표시장치.

청구항 20

제18항에 있어서,

상기 공통전극은 상기 오목부에 대응하여 개구부를 가지는 것을 특징으로 하는 액정표시장치.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 컬럼 스페이스의 이동에 의한 불량을 방지할 수 있는 어레이 기판 및 이를 포함하는 액정표시장치에 관한 것이다.

배경기술

[0002] 액정표시장치는 콘트라스트 비(contrast ratio)가 크고 동화상 표시에 적합하며 소비전력이 적다는 특징을 보여 노트북, 모니터, TV 등의 다양한 분야에서 활용되고 있다. 액정은 분자구조가 가늘고 길며 배열에 방향성을 갖는 광학적 이방성과, 전기장 내에 놓일 경우 그 크기에 따라 분자배열 방향이 변화되는 분극성질을 띠며, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 화상을 구현한다.

[0003] 일반적으로, 액정표시장치는 제1기판과 제2기판 사이로 액정층을 개재해서 합착시킨 액정패널을 포함하며, 제1기판과 제2기판의 내면에는 전극이 형성되어, 두 전극에 인가되는 전기장에 의해 액정분자의 배열방향을 변화시켜 투과율 차이를 발생시키게 된다.

[0004] 이러한 액정패널의 투과율 차이는 그 배면에 놓이는 백라이트(backlight)로부터 공급되는 빛이 컬러필터를 통과하면서 색 조합이 반영되어 컬러화상의 형태로 표시된다.

[0005] 일반적인 액정표시장치 제조공정은 어레이기판 및 컬러필터기판을 각각 형성하기 위한 기판제조공정과, 액정패널을 완성하는 셀(cell)공정, 그리고 액정패널과 백라이트를 일체화시키는 모듈(module)공정으로 구분될 수 있다.

[0006] 이중 기판제조공정에서는 박막증착(thin film deposition), 포토리소그라피(photo-lithography), 식각(etching) 등의 과정을 수 차례 반복해서 각 기판에 어레이층과 컬러필터층을 구현하고, 셀 공정에서는 어레이기판 및 컬러필터기판 중 어느 하나에 합착을 위한 셀패턴(seal pattern)을 형성한 후 액정층을 사이에 두고 두 기판을 대면 합착시켜 액정패널을 완성하며, 이렇게 완성된 액정패널은 모듈공정에서 편광판과 구동회로 등이 부착된 후 백라이트와 일체화되어 액정표시장치를 이룬다.

[0007] 한편, 어레이기판과 컬러필터기판 사이에는 두 기판 사이의 간격을 일정하게 유지하기 위한 스페이스가 위치한다. 스페이스는 형상 및 배치방법에 따라 볼 스페이스(ball spacer)와 컬럼 스페이스(column spacer)로 구분된다. 볼 스페이스는 어레이기판 또는 컬러필터기판 상에 산포시켜 형성하고, 컬럼 스페이스는 어레이기판 또는 컬러필터기판 상에 패터닝을 통해 형성한다.

[0008] 최근에는 특정 위치에 원하는 형태로 형성 가능한 컬럼 스페이스가 널리 사용되며, 컬럼 스페이스는 상대적으로 공정수가 적은 컬러필터기판 상에 주로 형성된다. 그런데, 외력(external force)이 가해질 경우, 컬럼 스페이스가 이동하게 되며, 이로 인해 배향막이 손상되어 불량이 발생한다. 이에 대해, 도면을 참조하여 상세히 설명한다.

[0009] 도 1은 종래의 액정표시장치를 개략적으로 도시한 단면도이다.

- [0010] 도 1에 도시한 바와 같이, 제1기관(10)과 제2기관(20)이 이격되어 마주대하고 있으며, 제1기관(10)과 제2기관(20) 상에는 영상을 표시하는 개구영역(aperture area: AA)과 영상이 표시되지 않는 차광영역(shielding area: SA)이 정의된다.
- [0011] 제1기관(10)의 내면에는 차광영역(SA)에 대응하여 게이트 배선 또는 데이터 배선과 같은 신호 배선(12)이 형성되고, 신호 배선(12) 상부에 절연막(14)이 형성되며, 절연막(14) 상부에 제1배향막(16)이 형성된다. 도시하지 않았지만, 제1기관(10) 상의 개구영역(AA)에는 화소전극이 형성된다.
- [0012] 제2기관(20)의 내면에는 차광영역(SA)에 대응하여 블랙매트릭스(22)가 형성되고, 블랙매트릭스(22) 상에는 컬러필터층(24)이 형성되며, 컬러필터층(24) 상에는 제2배향막(26)이 형성된다. 도시하지 않았지만, 제2기관(20) 상에는 전면에 공통전극이 형성된다. 또한, 블랙매트릭스(22)에 대응하는 제2배향막(26) 상에는 컬럼 스페이스(32)가 형성되는데, 하나의 화소(pixel) 당 적어도 하나의 컬럼 스페이스(32)가 형성된다.
- [0013] 한편, 제1배향막(16)과 제2배향막(26) 사이에는 액정층(도시하지 않음)이 위치한다.
- [0014] 도 2a와 도 2b는 종래의 액정표시장치에 외력이 가해진 경우와 가해진 외력이 제거된 후를 개략적으로 도시한 단면도이다.
- [0015] 도 2a에 도시한 바와 같이, 종래의 액정표시장치에 화살표 방향으로 외력이 가해질 경우, 상부의 제2기관(20)은 하부의 제1기관(10)에 대해 상대적으로 우측으로 이동하게 된다. 이때, 제2기관(20) 상의 컬럼 스페이스(32)도 우측으로 이동하게 되며, 컬럼 스페이스(32)는 개구영역(AA)의 제1배향막(16)과 접촉하게 된다. 제1 및 제2배향막(16, 26)은 일정 방향으로 러빙되는데, 컬럼 스페이스(32)와의 접촉에 의해 제1배향막(16)의 접촉영역(A1)은 그 배향성이 달라지게 되어 다른 영역과 다른 배향성을 가진다.
- [0016] 이어, 도 2b에 도시한 바와 같이, 외력이 제거된 후 상부의 제2기관(20)은 하부의 제1기관(10)에 대해 상대적으로 좌측으로 이동하여 다시 원상태가 된다. 그러나, 제1배향막(16)의 접촉영역(A1)은 다른 영역과 다른 배향성을 가지므로, 접촉영역(A1) 상부의 액정분자들은 다른 영역의 액정분자들과 다르게 배열하게 되어, 빛의 투과율이 달라진다. 그런데, 이러한 접촉영역(A1)은 블랙매트릭스(22)로 덮이지 않으므로, 블랙 영상을 표시할 때 접촉영역(A1)에 대응하여 빛이 투과되어 외부에서 인지되는 불량 발생한다.
- [0017] 이러한 불량을 방지하기 위한 구조를 도 3에 도시한다.
- [0018] 도 3은 종래의 액정표시장치의 다른 예를 개략적으로 도시한 단면도로, 블랙매트릭스의 구조를 제외하고 앞선 예와 동일한 구조를 가지며, 동일 부분에 대한 설명은 생략한다.
- [0019] 도 3에 도시한 바와 같이, 블랙매트릭스(22)의 폭을 증가시켜 블랙매트릭스(22)가 제1배향막(16)의 접촉영역(A1)까지 덮도록 한다. 이때, 블랙매트릭스(22)의 폭은, 예를 들어, 제1배향막(16)과 접촉하는 컬럼 스페이스(32)의 상면 가장자리로부터 양측으로 각각 약 22마이크로미터 내지 약 25마이크로미터가 되도록 증가되며, 앞선 예의 블랙매트릭스(22)의 폭과 비교하여 약 15마이크로미터 이상 증가된다.
- [0020] 그러나, 블랙매트릭스(22)의 폭이 증가함에 따라, 차광영역(SA)의 면적이 증가하여 개구영역(AA)의 면적이 줄어들게 되므로, 액정표시장치의 개구율과 휘도가 낮아지게 된다.

발명의 내용

해결하려는 과제

- [0021] 본 발명은, 컬럼 스페이스의 이동에 의한 불량을 방지하고, 개구율 및 휘도를 향상시킬 수 있는 어레이 기관 및 이를 포함하는 액정표시장치를 제공하는데 그 목적이 있다.
- [0022] 또한, 본 발명은, 러빙에 의한 빗샘을 방지할 수 있는 어레이 기관 및 이를 포함하는 액정표시장치를 제공하는데 다른 목적이 있다.

과제의 해결 수단

- [0023] 상기의 목적을 달성하기 위하여, 본 발명은, 기관과; 상기 기관 상에 제1방향을 따라 형성되는 다수의 게이트

배선과; 상기 기관 상에 제2방향을 따라 형성되고 상기 게이트 배선과 교차하여 다수의 화소영역을 정의하는 다수의 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 각 교차지점에 연결된 박막트랜지스터와; 상기 박막트랜지스터를 덮고 있는 평탄화막과; 상기 평탄화막 상부의 상기 기관 전면에 형성되는 공통전극과; 상기 공통전극 상부의 공통배선과; 상기 공통배선 상부의 보호막과; 상기 보호막 상부의 상기 화소영역에 형성되고, 상기 박막트랜지스터와 연결되며 다수의 전극패턴을 포함하는 화소전극을 포함하고, 상기 공통배선은 하나의 박막트랜지스터에 대응하는 제1부분과, 다른 박막트랜지스터에 대응하는 제2부분, 그리고 상기 제2방향을 따라 일정 길이만큼 연장되는 제3부분을 포함하는 액정표시장치용 어레이 기관을 제공한다.

- [0024] 상기 제3부분은 상기 제2부분으로부터 연장된다.
- [0025] 상기 제2부분은 다른 인접한 두 개의 박막트랜지스터에 각각 대응하는 패턴들을 포함한다.
- [0026] 상기 평탄화막은 상기 제2부분에 대응하여 오목부를 가진다.
- [0027] 상기 제2부분은 상기 오목부의 상하단에 대응하는 위치로부터 연장된다.
- [0028] 상기 오목부의 깊이는 약 $1\mu\text{m}$ 이다.
- [0029] 상기 공통전극은 상기 오목부에 대응하여 개구부를 가진다.
- [0030] 상기 공통전극의 개구부는 상기 제2방향을 따라 인접한 화소영역의 박막트랜지스터의 드레인 전극을 노출한다.
- [0031] 상기 제3부분은 상기 데이터 배선 중 하나와 중첩한다.
- [0032] 상기 데이터 배선은 상기 게이트 배선에 대해 일정 각을 가지고 기울어져 있다.
- [0033] 상기 제3부분의 길이는 약 $25\mu\text{m}$ 이다.
- [0034] 상기 공통배선은 상기 제1방향을 따라 연장되고 상기 제1 및 제2부분의 상단과 상기 제1 및 제2부분의 하단 중 적어도 하나를 연결하는 제4부분을 더 포함한다.
- [0035] 상기 제4부분은 상기 제1 및 제2부분의 하단을 연결하며, 상기 제2방향을 따라 인접한 두 행 중 한 행의 상기 제3부분은 상기 제2부분의 상단으로부터 연장되며, 나머지 한 행의 상기 제3부분은 상기 제2부분의 하단으로부터 연장된다.
- [0036] 또한, 본 발명은, 제1 및 제2기관과; 상기 제1기관 내면에 형성되고 교차하여 다수의 화소영역을 정의하는 제1 방향의 게이트 배선 및 제2방향의 데이터 배선과; 상기 게이트 배선 및 데이터 배선의 각 교차지점에 연결된 박막트랜지스터와; 상기 박막트랜지스터를 덮고 있는 평탄화막과; 상기 평탄화막 상부의 상기 기관 전면에 형성되는 공통전극과; 상기 공통전극 상부의 공통배선과; 상기 공통배선 상부의 보호막과; 상기 보호막 상부의 상기 화소영역에 형성되고, 상기 박막트랜지스터와 연결되며 다수의 전극패턴을 포함하는 화소전극과; 상기 제2기관 내면에 형성되고 서로 다른 높이를 가지는 제1 및 제2 컬럼스페이서를 포함하고, 상기 공통배선은 상기 제1 컬럼스페이스에 대응하는 제1부분과, 상기 제2 컬럼 스페이스에 대응하는 제2부분, 그리고 상기 제2방향을 따라 일정 길이만큼 연장되는 제3부분을 포함하는 액정표시장치를 제공한다.
- [0037] 상기 제3부분은 상기 제2부분으로부터 연장되며, 인접한 제2 컬럼 스페이스는 각각 그 중심이 상기 제2부분에 대해 마주 대하는 방향 또는 바깥쪽 방향으로 이동되어 위치한다.
- [0038] 상기 제2부분은 다른 인접한 두 개의 박막트랜지스터에 각각 대응하는 패턴들을 포함하며, 상기 제2 컬럼 스페이스는 상기 제2부분의 패턴들과 중첩한다.
- [0039] 본 발명의 액정표시장치는 상기 제2기관 내면에 상기 제1 컬럼 스페이스와 동일한 높이를 가지는 제3 컬럼 스페이스를 더 포함한다.
- [0040] 상기 평탄화막은 상기 제2부분에 대응하여 오목부를 가지며, 상기 제3 컬럼 스페이스는 상기 오목부 내에 위치한다.
- [0041] 상기 제2부분은 상기 오목부의 상하단에 대응하는 위치로부터 연장된다.
- [0042] 상기 공통전극은 상기 오목부에 대응하여 개구부를 가진다.

발명의 효과

- [0043] 본 발명에 따른 어레이 기관 및 이를 포함하는 액정표시장치에서는, 셀 갭 유지를 위한 제1 컬럼 스페이서와 누름 방지를 위한 제2 컬럼 스페이서를 포함하는 데 있어, 공통전극 상부에 단차를 유도하기 위한 공통배선을 형성하여, 외력에 의해 기관이 이동하더라도 제2 컬럼 스페이서가 공통배선 상에 지지되도록 한다. 따라서, 화소 영역의 배향막 손상을 방지하여 블랙영상을 표시할 때 빛샘을 막을 수 있다.
- [0044] 이때, 제1 컬럼 스페이서의 배치 밀도를 제2 컬럼 스페이서의 배치 밀도보다 낮게 하여, 블랙매트릭스 폭의 증가를 막을 수 있으므로, 개구율을 향상시키고 휘도를 높일 수 있다.
- [0045] 한편, 데이터 배선과 중첩하며 제2방향을 따라 연장되는 공통배선 부분이 일정 길이를 갖도록 함으로써, 러빙 불량을 방지할 수 있다.
- [0046] 또한, 어레이 기관의 평탄화막에 오목부를 형성하고, 오목부 내에 제3 컬럼 스페이서가 위치하도록 함으로써, 기관의 이동을 방지하면서 배향막 손상을 더욱 방지할 수 있다.

도면의 간단한 설명

- [0047] 도 1은 종래의 액정표시장치를 개략적으로 도시한 단면도이다.
- 도 2a와 도 2b는 종래의 액정표시장치에 외력이 가해진 경우와 가해진 외력이 제거된 후를 개략적으로 도시한 단면도이다.
- 도 3은 종래의 액정표시장치의 다른 예를 개략적으로 도시한 단면도이다.
- 도 4는 본 발명의 실시예에 따른 액정표시장치용 어레이기관을 도시한 평면도이다.
- 도 5는 본 발명의 실시예에 따른 액정표시장치용 어레이 기관을 개략적으로 도시한 단면도이다.
- 도 6a와 도 6b는 외력이 가해지기 전과 후의 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도이다.
- 도 7a 내지 도 7d는 본 발명의 실시예에 따른 액정표시장치의 공통배선 구조의 예들을 개략적으로 도시한 도면이다.
- 도 8은 본 발명의 다른 실시예에 따른 액정표시장치용 어레이기관을 도시한 평면도이다.
- 도 9a와 도 9b는 외력이 가해지기 전과 후의 본 발명의 다른 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도이다.
- 도 10은 본 발명의 또 다른 실시예에 따른 액정표시장치용 어레이기관을 도시한 평면도이다.
- 도 11은 본 발명의 또 다른 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도이다.
- 도 12는 외력이 가해진 후의 본 발명의 또 다른 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0048] 이하, 도면을 참조하여 본 발명의 실시예에 대하여 상세히 설명한다.
- [0049] 도 4는 본 발명의 실시예에 따른 액정표시장치용 어레이기관을 도시한 평면도이다. 여기서, 설명의 편의의 위하여, 컬러필터기관에 형성되는 제1 및 제2 컬럼 스페이서를 함께 도시한다.
- [0050] 도 4에 도시한 바와 같이, 절연기관(도시하지 않음) 상에 제1방향을 따라 연장된 게이트 배선(122)과 게이트 배선(122)에 연결된 게이트 전극(124)이 형성된다.
- [0051] 게이트 배선(122)과 게이트 전극(124) 상부에는 게이트 절연막(도시하지 않음)이 형성된다.
- [0052] 게이트 전극(124) 상부의 게이트 절연막 상에는 비정질 실리콘으로 이루어진 액티브층(142)이 형성된다.
- [0053] 액티브층(142) 상부에는 제2방향을 따라 연장된 데이터 배선(152)과 데이터 배선(152)에 연결된 소스 전극(154), 그리고 소스 전극(154)과 이격된 드레인 전극(156)이 형성된다. 데이터 배선(152)은 게이트 배선(122)

과 교차하여 화소영역을 정의한다. 소스 전극(154) 및 드레인 전극(156)은 액티브층(124)을 중심으로 이격되어 있다.

- [0054] 여기서 데이터 배선(152)의 일부가 소스 전극(154)이 되지만, 소스 전극(154)은 데이터 배선(152)에서 연장될 수도 있다.
- [0055] 게이트 전극(124)과 액티브층(142), 소스 전극(154) 및 드레인 전극(156)은 박막트랜지스터(T)를 구성하며, 소스 전극(154)과 드레인 전극(156) 사이의 액티브층(142)은 박막트랜지스터(T)의 채널이 된다.
- [0056] 여기서, 박막트랜지스터(T)는 도시된 구조에 한정되지 않고, 그 구조는 달라질 수도 있다.
- [0057] 한편, 도시한 것처럼, 홀수 번째 게이트 배선(122)에 연결되는 박막트랜지스터(T)는 좌측의 데이터 배선(152)과 연결되고, 짝수 번째 게이트 배선(122)에 연결되는 박막트랜지스터(T)는 우측의 데이터 배선(152)에 연결될 수 있다. 또는, 홀수 번째 게이트 배선(122)에 연결되는 박막트랜지스터(T)는 우측의 데이터 배선(152)과 연결되고, 짝수 번째 게이트 배선(122)에 연결되는 박막트랜지스터(T)는 좌측의 데이터 배선(152)에 연결될 수도 있다.
- [0058] 데이터 배선(152)과 소스 전극(154) 및 드레인 전극(156) 상부에는 제1보호막(도시하지 않음)과 제2보호막(도시하지 않음)이 차례로 형성된다. 여기서, 제1보호막은 무기물질로 형성되고, 제2보호막은 유기물질로 형성되어 평탄한 표면을 갖는다. 제1보호막은 생략될 수도 있다.
- [0059] 제2보호막 상부에는 공통전극(도시하지 않음)이 형성된다. 공통전극은 기판 전면에서 형성되며, 박막트랜지스터(T)의 드레인 전극(156)에 대응하여 개구부(172a)를 가진다.
- [0060] 공통전극 상부에는 공통전극과 접촉하는 공통배선(174)이 형성된다. 공통배선(174)은 제1 내지 제4부분(174a, 174b, 174c, 174d)을 포함한다. 제1부분(174a)은 하나의 박막트랜지스터(T) 상에 위치하고 제1 컬럼 스페이스(192)에 대응한다. 제2부분(174b)은 또 다른 박막트랜지스터(T) 상에 위치하고, 제2 컬럼 스페이스(194)에 대응한다. 제3부분(174c)은 제2부분(174b)의 양측으로부터 제2방향을 따라 일정 길이만큼 연장되며, 데이터 배선(152)과 중첩한다. 제4부분(174b)은 제1방향을 따라 연장되는데, 제4부분(174b)은 제1부분(174a)과 제2부분(174b)의 상단을 연결하는 제1 배선패턴 및 이와 평행하며 제1부분(174a)과 제2부분(174b)의 하단을 연결하는 제2 배선패턴으로 이루어질 수 있다. 공통배선(174)은 비교적 낮은 비저항을 가지는 금속물질로 형성된다.
- [0061] 여기서, 제1 컬럼 스페이스(192)는 셀갭 유지 스페이스에 해당하고 원모양의 평면구조를 가지며, 제2 컬럼 스페이스(194)는 놀림 방지 스페이스에 해당하고 바(bar) 또는 사각모양의 평면구조를 가진다. 제2 컬럼 스페이스(194)의 폭과 길이는 제1 컬럼 스페이스(192)의 직경보다 큰 것이 바람직하다.
- [0062] 제1 컬럼 스페이스(192)의 직경은 제1부분(174a)의 제1방향 및 제2방향 길이보다 작아 제1 컬럼 스페이스(192)의 가장자리는 제1부분(174a) 내에 놓인다. 반면, 제2 컬럼 스페이스(194)의 제1방향 길이는 화소영역의 제1방향 길이보다 작으며, 제2부분(174b)의 제1방향 길이보다 크다.
- [0063] 공통배선(174) 상부에는 제3보호막(도시하지 않음)이 형성된다. 제3보호막은 산화실리콘이나 질화실리콘과 같은 무기절연물질로 이루어져, 하부막, 즉, 공통배선(174)에 의한 단차를 가진다. 또한, 제3보호막은 제2보호막 및 제1보호막과 함께 드레인 전극(156)을 노출하는 드레인 콘택홀(180a)을 가진다. 드레인 콘택홀(180a)은 공통전극의 개구부(172a) 내에 위치한다.
- [0064] 제3보호막 상부의 각 화소영역에는 화소전극(182)이 형성된다. 화소전극(182)은 제2방향으로 연장되고 제1방향을 따라 이격된 다수의 전극패턴을 포함하며, 드레인 콘택홀(180a)을 통해 드레인 전극(156)과 접촉한다.
- [0065] 화소전극(182)은 게이트 배선(122)에 대해 일정 각을 가지고 기울어지며, 중앙부가 적어도 1회 꺾어진 형태를 가지는데, 도시한 바와 같이, 중앙의 제1꺾임부 및 제1꺾임부 양측의 제2 및 제3꺾임부를 가질 수 있다. 이에 따라, 데이터 배선(152)도 화소전극(182)과 평행하도록 게이트 배선(122)에 대해 일정 각을 가지고 기울어지며, 각 화소영역에 대응하여 꺾어진 부분을 가진다.
- [0066] 화소전극(182) 상부에는 배향막(도시하지 않음)이 형성되며, 배향막은 제2방향을 따라 러빙된다.
- [0067] 본 발명에서는, 공통배선(174)이 제2방향을 따라 일정 길이만큼 연장되며 데이터 배선(152)과 중첩하는 제3부분(174c)을 포함하는데, 공통배선(174)의 제3부분(174c)은 데이터 배선(152)과 마찬가지로 게이트 배선(122)에 대해 일정 각을 가지고 기울어진다. 이러한 공통배선(174)에 의해 그 상부에 형성되는 배향막은 그 표면에 단차를 가지게 되는데, 이러한 단차는 배향막을 러빙하는 과정에서 불량을 야기할 수 있다. 특히, 공통배선(174)의

제3부분(174c)은 러빙 방향과 평행하지 않고 기울어져 있으므로, 제3부분(174c)에 의해 러빙 불량이 발생하여 빗샘이 발생하고, 이에 따라 블랙 휘도가 상승될 수 있다. 따라서, 이러한 러빙 불량을 방지하기 위해, 제3부분(174c)은 일정 길이, 즉, 화소영역의 길이의 반 보다 작은 길이를 가지는 것이 바람직하며, 일례로, 제3부분(174c)은 약 25 μ m의 길이를 가질 수 있다.

- [0068] 한편, 본 발명에서는 공통전극(172)이 기관 전면에 형성되고 공통전극(172)과 중첩하여 화소전극(182)이 형성된 구조를 도시하였으나, 공통전극(172)과 화소전극(182)은 각각 다수의 전극패턴을 포함하고, 화소영역에서 서로 번갈아 배치될 수도 있다. 또는, 화소전극(182)이 화소영역에 대응하는 면적으로 형성되고, 화소전극(182) 상부의 기관(110) 전면에 공통전극(172)이 형성되며 공통전극(172)은 화소영역에 대응하여 다수의 개구부를 가질 수도 있다.
- [0069] 도 5는 본 발명의 실시예에 따른 액정표시장치용 어레이 기관을 개략적으로 도시한 단면도이다.
- [0070] 도 5에 도시한 바와 같이, 절연 기관(110) 상에는 게이트 전극(122)이 형성된다. 도시하지 않았지만, 기관(110) 상에는 게이트 전극(122)과 접촉하며 제1방향을 따라 연장된 게이트 배선(도 4의 122)도 형성된다. 게이트 배선(122)과 게이트 전극(124)은 비교적 낮은 비저항을 갖는 금속물질로 이루어진다.
- [0071] 게이트 전극(122)과 게이트 배선 상부에는 게이트 절연막(130)이 형성된다. 게이트 절연막(130)은 질화실리콘(silicon nitride)이나 산화실리콘(silicon oxide)과 같은 무기절연물질로 이루어진다.
- [0072] 게이트 전극(122) 상부의 게이트 절연막(130) 상에는 액티브층(142)이 형성된다. 액티브층(142)은 진성 비정질 실리콘(intrinsic amorphous silicon)으로 이루어진다.
- [0073] 액티브층(142) 상부에는 소스 및 드레인 전극(154, 156)이 형성된다. 소스 및 드레인 전극(154, 156)은 게이트 전극(142)을 중심으로 이격되어 위치한다. 또한, 데이터 배선(152)이 게이트 절연막(130) 상부에 형성되며, 데이터 배선(152)은 소스 전극(154)과 연결되고 제2방향을 따라 연장되며, 게이트 배선(도 4의 122)과 교차하여 화소영역을 정의한다. 데이터 배선(152)과 소스 전극(154) 및 드레인 전극(156)은 비교적 낮은 비저항을 갖는 금속물질로 형성된다.
- [0074] 한편, 액티브층(142)과 소스 전극(154) 사이 및 액티브층(142)과 드레인 전극(156) 사이에는 불순물이 도핑된 비정질 실리콘(impurity-doped amorphous silicon)으로 이루어진 오믹콘택층(도시하지 않음)이 형성된다.
- [0075] 여기서, 게이트 전극(124)과 액티브층(142), 소스 전극(154) 및 드레인 전극(156)은 박막트랜지스터를 구성하는데, 박막트랜지스터의 구조는 도시된 것에 한정되지 않으며, 달라질 수도 있다.
- [0076] 데이터 배선(152)과 소스 및 드레인 전극(154, 156) 상부에는 제1보호막(160)이 형성되고, 제1보호막(160) 상부에는 평탄화막인 제2보호막(162)이 형성된다. 제1보호막(160)은 질화실리콘이나 산화실리콘과 같은 무기절연물질로 이루어지고, 제2보호막(162)은 포토아크릴과 같은 유기절연물질로 이루어져 평탄한 표면을 가진다. 여기서, 제1보호막(160)은 생략될 수도 있다.
- [0077] 제2보호막(162) 상부에는 기관(110) 전면에 대응하여 공통전극(172)이 형성된다. 공통전극(172)은 인듐-틴-옥사이드(indium tin oxide)나 인듐-징크-옥사이드(indium zinc oxide)와 같은 투명도전물질로 이루어지며, 드레인 전극(156)에 대응하여 개구부(172a)를 가진다.
- [0078] 공통전극(172) 상부에는 공통배선(174)이 형성된다. 공통배선(174)은 구리(Cu)나 구리합금, 또는 몰리브덴과 티타늄 합금(MoTi)의 단일층으로 이루어질 수 있으며, 또는 이중층으로 이루어질 수도 있다. 여기서, 공통배선(174)은 데이터 배선(152)에 대응하여 위치하는 제3부분(도 4의 174c)에 해당한다.
- [0079] 공통배선(174) 상부에는 제3보호막(180)이 형성된다. 제3보호막(180)은 제1 및 제2보호막(160, 162)과 함께 드레인 전극(156)을 드러내는 드레인 콘택홀(180a)을 가진다. 제3보호막(180)은 질화실리콘이나 산화실리콘과 같은 무기절연물질로 형성되어 공통배선(174)에 의해 표면에 단차를 가진다.
- [0080] 제3보호막(180) 상부의 화소영역에는 화소전극(182)이 형성된다. 화소전극(182)은 인듐-틴-옥사이드나 인듐-징크-옥사이드와 같은 투명도전물질로 형성되며, 일정간격 이격되고 공통전극(172)과 중첩하는 다수의 전극패턴을 포함한다.
- [0081] 본 발명에서는 공통전극(172) 상부의 공통배선(174)에 의해 단차를 형성하여 컬럼 스페이서를 지지함으로써, 컬

럼 스페이서의 이동에 의해 화소영역의 배향막이 영향을 받는 것을 방지한다. 이때, 공통배선(174) 상부의 제3 보호막(180) 표면과 화소영역의 화소전극(182) 표면 사이의 거리(d1)는 약 500 Å 이상인 것이 바람직하며, 이를 위해 공통배선(174)은 1000 Å 내지 1500 Å의 두께를 가질 수 있다.

- [0082] 도 6a와 도 6b는 외력이 가해지기 전과 후의 본 발명의 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도로, 도 4에서 제1방향을 따라 자른 단면에 해당하는 다수의 화소영역을 도시한다.
- [0083] 도 6a와 도 6b에 도시한 바와 같이, 제1기판(110)과 제2기판(190)이 이격되어 마주대하고 있다.
- [0084] 제1기판(110)의 내면에는 게이트 절연막(130)이 형성되어 있으며, 게이트 절연막(130) 상부에는 데이터 배선(152)이 형성된다. 데이터 배선(152)은 일정간격 이격되어 위치하며, 인접한 데이터 배선(152) 사이는 화소영역이 된다.
- [0085] 데이터 배선(152) 상부에는 제1보호막(160)과 제2보호막(162)이 순차적으로 형성되고, 제2보호막(162)은 평탄한 표면을 가진다.
- [0086] 제2보호막(162) 상부에는 제1기판(110) 전면에 대응하여 공통전극(172)이 형성된다. 공통전극(172) 상부에는 공통배선(174)이 형성되는데, 공통배선(174)은 일부 데이터 배선(152)의 상부에 위치한다. 여기서, 공통배선(174)은 제3부분(도 4의 174c)에 해당한다.
- [0087] 공통배선(174) 상부에는 제3보호막(180)이 형성된다. 제3보호막(180)은 공통배선(174)에 의해 그 표면에 단차를 가진다.
- [0088] 제3보호막(180) 상부의 데이터 배선(152) 사이의 각 화소영역에는 화소전극(182)이 형성된다. 화소전극(182)은 일정간격 이격된 다수의 전극패턴을 포함한다.
- [0089] 도시하지 않았지만, 화소전극(182) 상부에는 제1배향막이 형성된다.
- [0090] 한편, 제2기판(190)의 내면에는 제1 컬럼 스페이서(도시하지 않음)와 제2 컬럼 스페이서(194)가 형성된다. 제1 컬럼 스페이서와 제2 컬럼 스페이서(194)는 공통배선(174)에 대응하여 위치한다. 제1 컬럼 스페이서의 높이는 제2 컬럼 스페이서(194)의 높이보다 높으며, 제1 컬럼 스페이서의 폭과 길이는 제2 컬럼 스페이서(194)의 폭과 길이보다 좁다.
- [0091] 도시하지 않았지만, 제2기판(190)과 제1 컬럼 스페이서 및 제2 컬럼 스페이서(194) 사이에는 블랙매트릭스와 컬러필터층 및 오버코트층이 형성된다. 블랙매트릭스는 화소영역에 대응하여 개구부를 가지며, 블랙매트릭스의 개구부에 대응하여 컬러필터층이 위치한다. 컬러필터층은 적, 녹, 청의 컬러필터를 포함하며, 하나의 컬러필터가 하나의 화소영역에 대응한다. 오버코트층은 컬러필터층을 덮고 있다.
- [0092] 제1 컬럼 스페이서 및 제2 컬럼 스페이서(194)는 블랙매트릭스 상에 위치한다.
- [0093] 한편, 제2배향막(도시하지 않음)이 오버코트층과 제1 컬럼 스페이서 및 제2 컬럼 스페이서(194) 사이에 형성되거나, 제1 컬럼 스페이서 및 제2 컬럼 스페이서(194) 상부에 형성된다. 또한, 제1배향막과 제2배향막 사이에는 액정층(도시하지 않음)이 위치한다.
- [0094] 도 6a에 도시한 것처럼, 외력이 가해지기 전에 제2 컬럼 스페이서(194)는 공통배선(174) 상부의 제3보호막(180)과 이격되어 위치한다. 앞서 언급한 바와 같이, 도 6a의 공통배선(174)은 제3부분(도 4의 174c)에 해당하며, 실제로, 외력이 가해지기 전의 제2 컬럼 스페이서(194)는 제2부분(도 4의 174b)에 대응하여 위치하나, 설명의 편의를 위해 제2 컬럼 스페이서(194)가 제3부분(도 4의 174c)에 대응하여 위치하는 것으로 도시한다. 여기서, 인접한 제2 컬럼 스페이서(194) 중 하나는 그 중심이 공통배선(174)에 대해 상대적으로 우측으로 이동되어 위치하고, 다른 하나는 그 중심이 공통배선(174)에 대해 상대적으로 좌측으로 이동되어 위치할 수 있다.
- [0095] 이때, 제1 컬럼 스페이서(도시하지 않음)는 공통배선(174) 상부의 제3보호막(180), 보다 상세하게는, 제1부분(도 4의 174a) 상부의 제3보호막(180)과 접촉하는데, 실제로, 제1 컬럼 스페이서는 제1부분(도 4의 174a) 상부의 제1배향막과 접촉한다.
- [0096] 도 6b에 도시한 것처럼, 본 발명의 실시예에 따른 액정표시장치에 화살표 방향으로 외력이 가해질 경우, 상부의 제2기판(190)은 하부의 제1기판(110)에 대해 상대적으로 우측으로 이동하면서 그 높이가 낮아지게 된다. 이때, 제2기판(190) 상의 제2 컬럼 스페이서(194)도 제2기판(190)과 함께 이동하게 되어, 제2 컬럼 스페이서(194)는

초기의 제2부분(도 4의 174b)에 대응하는 위치를 벗어나게 되는데, 적어도 하나의 제2 컬럼 스페이스(194)는 공통배선(174), 즉, 제3부분(도 4의 174c) 상부의 제3보호막(180)과 접촉하여 지지된다. 실제로, 인접한 제2 컬럼 스페이스(194) 중 어느 하나는 공통배선(174), 즉, 제3부분(도 4의 174c) 상부의 제1배향막과 접촉하여 지지되며, 이에 따라 나머지 하나가 화소영역의 제1배향막과 접촉하는 것이 방지된다.

[0097] 한편, 외력이 가해질 때, 제1 컬럼 스페이스는 초기의 제1부분(도 4의 174a)에 대응하는 위치를 벗어나게 되어 화소영역의 제1배향막과 접촉할 수 있다. 이에 따라, 제1배향막의 배향성이 달라지게 되는데, 블랙매트릭스의 폭을 제1 컬럼 스페이스의 이동 거리만큼 증가시켜 빛샘을 방지할 수 있다. 이러한 제1 컬럼 스페이스의 배치 밀도는 제2 컬럼 스페이스(194)의 배치 밀도보다 낮으므로, 본 발명에서는 블랙매트릭스의 폭 증가를 최소화하여 개구율 저하를 방지하면서 빛샘을 막을 수 있다.

[0098] 이어, 외력이 제거될 경우, 본 발명의 실시예에 따른 액정표시장치는 도 6a에 도시한 것과 같은 상태가 된다.

[0099] 이와 같이, 본 발명의 실시예에서는 외력이 가해지더라도 단차를 형성하는 공통배선(174)에 의해 제2 컬럼 스페이스(194)가 지지되므로, 화소영역의 제1배향막은 제2 컬럼 스페이스(194)와 접촉하지 않으며, 이에 따라 블랙영상에서의 빛샘을 방지할 수 있다.

[0100] 본 발명의 실시예에 따른 공통배선의 구조는 다양하게 형성될 수 있으며, 이하 도면을 참조하여 상세히 설명한다.

[0101] 도 7a 내지 도 7d는 본 발명의 실시예에 따른 액정표시장치의 공통배선 구조의 예들을 개략적으로 도시한 도면으로, 공통배선과 화소, 그리고 제1 및 제2 컬럼 스페이스만을 간략히 도시한다. 여기서, 도 7a는 앞서 실시예에서의 공통배선 구조에 해당한다. 한편, 도면 상에서 빗금 해칭으로 표시된 부분은 공통배선을 나타내고, 원은 제1 컬럼 스페이스를 나타내며, 사각형은 제2 컬럼 스페이스를 나타낸다.

[0102] 도 7a 내지 도 7d에 도시한 것처럼, 각각은 하나의 화소영역에 대응하는 적, 녹, 청의 부화소(R, G, B)가 하나의 화소(PXL)를 이루며, 하나의 화소(PXL)마다 제1 컬럼 스페이스 또는 제2 컬럼 스페이스가 배치된다. 이때, 제1 컬럼 스페이스의 배치 밀도는 제2 컬럼 스페이스의 배치 밀도보다 낮으며, 일례로, 제1방향을 따라 8개의 화소마다 제1 컬럼 스페이스가 배치되고, 제2방향을 따라 4개의 화소마다 제1 컬럼 스페이스가 배치될 수 있다.

[0103] 도 7a에 도시한 바와 같이, 공통배선은 제1 및 제2 컬럼 스페이스에 각각 대응하는 제1 및 제2부분을 포함하며, 또한, 공통배선은 제2부분의 양측, 즉, 제2부분의 상하단으로부터 제2방향을 따라 일정 길이만큼 연장된 제3부분과, 제1방향을 따라 연장되어 제1 및 제2부분의 상단과 제1 및 제2부분의 하단을 각각 연결하는 제1 및 제2 배선패턴으로 구성된 제4부분을 더 포함할 수 있다.

[0104] 또는, 도 7b에 도시한 바와 같이, 공통배선은 제1 및 제2 컬럼 스페이스에 각각 대응하는 제1 및 제2부분과, 제2부분의 상하단으로부터 제2방향을 따라 일정 길이만큼 연장된 제3부분만을 포함할 수도 있다.

[0105] 또는, 도 7c에 도시한 바와 같이, 공통배선은 제1 및 제2 컬럼 스페이스에 각각 대응하는 제1 및 제2부분과, 제2부분의 상하단으로부터 제2방향을 따라 일정 길이만큼 연장된 제3부분, 그리고 제1방향을 따라 연장되어 제1 및 제2부분의 상단과 하단 중의 어느 하나, 일례로, 하단을 연결하는 제4부분을 포함할 수도 있다. 이때, 제4부분은 제1 및 제2 부분의 상단을 연결할 수도 있다.

[0106] 또는, 도 7d에 도시한 바와 같이, 공통배선은 제1 및 제2 컬럼 스페이스에 각각 대응하는 제1 및 제2부분과, 제2부분의 상단 또는 하단으로부터 제2방향을 따라 일정 길이만큼 연장된 제3부분, 그리고 제1방향을 따라 연장되어 제1 및 제2부분의 상단과 하단 중의 어느 하나, 일례로, 하단을 연결하는 제4부분을 포함할 수도 있다. 여기서, 홀수 번째 공통배선의 제3부분이 제2부분의 상단으로부터 제2방향을 따라 연장되고, 짝수 번째 공통배선의 제3부분이 제2부분의 하단으로부터 제2방향을 따라 연장될 수도 있다.

[0107] 한편, 제2 컬럼 스페이스는 제2부분과 중심이 일치하지 않고, 좌측 또는 우측으로 이동되어 위치한다. 일례로, 인접한 두 개의 제2 컬럼 스페이스 중 하나는 그 중심이 제2부분에 대해 우측으로 이동되어 위치하고, 나머지 하나는 그 중심이 제2부분에 대해 좌측으로 이동되어 위치할 수 있다.

[0108] 도 8은 본 발명의 다른 실시예에 따른 액정표시장치용 어레이기판을 도시한 평면도이며, 설명의 편의의 위하여, 컬러필터기판에 형성되는 제1 및 제2 컬럼 스페이스를 함께 도시한다.

- [0109] 도 8에 도시한 바와 같이, 절연 기판(도시하지 않음) 상에 제1방향을 따라 연장된 게이트 배선(222)과 게이트 배선(222)에 연결된 게이트 전극(224)이 형성된다.
- [0110] 게이트 배선(222)과 게이트 전극(224) 상부에는 게이트 절연막(도시하지 않음)이 형성된다.
- [0111] 게이트 전극(224) 상부의 게이트 절연막 상에는 비정질 실리콘으로 이루어진 액티브층(242)이 형성된다.
- [0112] 액티브층(242) 상부에는 제2방향을 따라 연장된 데이터 배선(252)과 데이터 배선(252)에 연결된 소스 전극(254), 그리고 소스 전극(254)과 이격된 드레인 전극(256)이 형성된다. 데이터 배선(252)은 게이트 배선(222)과 교차하여 화소영역을 정의하며, 소스 전극(254) 및 드레인 전극(256)은 액티브층(242)을 중심으로 이격되어 있다.
- [0113] 여기서는 데이터 배선(252)의 일부가 소스 전극(254)이 되지만, 소스 전극(254)은 데이터 배선(252)에서 연장될 수도 있다.
- [0114] 게이트 전극(224)과 액티브층(242), 소스 전극(254) 및 드레인 전극(256)은 박막트랜지스터(T)를 구성하며, 소스 전극(254)과 드레인 전극(256) 사이의 액티브층(242)은 박막트랜지스터(T)의 채널이 된다.
- [0115] 여기서, 박막트랜지스터(T)는 도시된 구조에 한정되지 않고, 그 구조는 달라질 수도 있다.
- [0116] 한편, 도시한 것처럼, 홀수 번째 게이트 배선(222)에 연결되는 박막트랜지스터(T)는 좌측의 데이터 배선(252)과 연결되고, 짝수 번째 게이트 배선(222)에 연결되는 박막트랜지스터(T)는 우측의 데이터 배선(252)에 연결될 수 있으며, 그 반대의 연결도 가능하다.
- [0117] 데이터 배선(252)과 소스 전극(254) 및 드레인 전극(256) 상부에는 제1보호막(도시하지 않음)과 제2보호막(도시하지 않음)이 차례로 형성된다. 여기서, 제1보호막은 무기물질로 형성되고, 제2보호막은 유기물질로 형성되어 평탄한 표면을 갖는다. 제1보호막은 생략될 수도 있다.
- [0118] 제2보호막 상부에는 공통전극(도시하지 않음)이 형성된다. 공통전극은 기판 전면에 형성되며, 박막트랜지스터(T)의 드레인 전극(256)에 대응하여 개구부(272a)를 가진다.
- [0119] 공통전극 상부에는 공통전극과 접촉하는 공통배선(274)이 형성된다. 공통배선(274)은 제1 내지 제4부분(274a, 274b, 274c, 274d)을 포함한다. 여기서, 제1부분(274a)은 하나의 박막트랜지스터(T) 상에 위치하고 제1 컬럼 스페이서(292)에 대응한다. 제2부분(274b)은 다른 인접한 두 박막트랜지스터(T) 상에 각각 위치하는 패턴을 포함하고, 제2 컬럼 스페이서(294)에 대응한다. 제3부분(274c)은 제2부분(274b)의 양측, 즉, 제2부분(274b)의 각 패턴의 상단 및 하단으로부터 제2방향을 따라 일정 길이만큼 연장되며, 데이터 배선(252)과 중첩한다. 제3부분(274c)의 연장된 길이는 약 25 μ m일 수 있다. 제4부분(274b)은 제1방향을 따라 연장되는데, 제4부분(274b)은 제1부분(274a)과 제2부분(274b)의 상단을 연결하는 제1 배선패턴 및 이와 평행하며 제1부분(274a)과 제2부분(274b)의 하단을 연결하는 제2 배선패턴으로 이루어질 수 있다. 공통배선(274)은 비교적 낮은 비저항을 가지는 금속물질로 형성된다.
- [0120] 여기서, 제1 컬럼 스페이서(292)는 셀갭 유지 스페이서에 해당하고 원모양의 평면구조를 가지며, 제2 컬럼 스페이서(294)는 돌출 방지 스페이서에 해당하고 바(bar) 또는 사각모양의 평면구조를 가진다. 제1 컬럼 스페이서(292)는 사각모양의 평면구조를 가질 수도 있다. 제2 컬럼 스페이서(294)의 폭과 길이는 제1 컬럼 스페이서(292)의 직경보다 큰 것이 바람직하다.
- [0121] 한편, 제1 컬럼 스페이서(292)의 직경은 제1부분(274a)의 제1방향 및 제2방향 길이보다 작아 제1 컬럼 스페이서(292)의 가장자리는 제1부분(274a) 내에 놓인다. 반면, 제2 컬럼 스페이서(294)의 제1방향 길이는 화소영역의 제1방향 길이보다 크고, 제2 컬럼 스페이서(294)는 제2부분(274b)의 패턴들과 중첩하며 제2 컬럼 스페이서(294)의 양 가장자리는 각각 제2부분(274b)의 패턴들의 가장자리 바깥쪽에 위치한다.
- [0122] 공통배선(274) 상부에는 제3보호막(도시하지 않음)이 형성된다. 제3보호막은 산화실리콘이나 질화실리콘과 같은 무기절연물질로 이루어져, 하부막, 즉, 공통배선(274)에 의한 단차를 가진다. 또한, 제3보호막은 제2보호막 및 제1보호막과 함께 드레인 전극(256)을 노출하는 드레인 콘택홀(280a)을 가진다. 드레인 콘택홀(280a)은 공통전극의 개구부(272a) 내에 위치한다.
- [0123] 제3보호막 상부의 각 화소영역에는 화소전극(282)이 형성된다. 화소전극(282)은 제2방향으로 연장되고 제1방향을 따라 이격된 다수의 전극패턴을 포함하며, 드레인 콘택홀(280a)을 통해 드레인 전극(256)과 접촉한다.

- [0124] 화소전극(282)은 게이트 배선(222)에 대해 일정 각을 가지고 기울어지며, 중앙부가 적어도 1회 꺾어진 형태를 가지는데, 도시한 바와 같이, 중앙의 제1꺾임부 및 제1꺾임부 양측의 제2 및 제3꺾임부를 가질 수 있다. 이에 따라, 데이터 배선(252)도 화소전극(282)과 평행하도록 게이트 배선(222)에 대해 일정 각을 가지고 기울어지며, 각 화소영역에 대응하여 꺾어진 부분을 가진다.
- [0125] 화소전극(282) 상부에는 배향막(도시하지 않음)이 형성되며, 배향막은 제2방향을 따라 러빙된다.
- [0126] 도 9a와 도 9b는 외력이 가해지기 전과 후의 본 발명의 다른 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도로, 도 8에서 제1방향을 따라 자른 단면에 해당하는 다수의 화소영역을 도시한다.
- [0127] 도 9a와 도 9b에 도시한 바와 같이, 제1기판(210)과 제2기판(290)이 이격되어 마주대하고 있다.
- [0128] 제1기판(210)의 내면에는 게이트 절연막(230)이 형성되어 있으며, 게이트 절연막(230) 상부에는 데이터 배선(252)이 형성된다. 데이터 배선(252)은 일정간격 이격되어 위치하며, 인접한 데이터 배선(252) 사이는 화소영역이 된다.
- [0129] 데이터 배선(252) 상부에는 제1보호막(260)과 제2보호막(262)이 순차적으로 형성되고, 제2보호막(262)은 평탄한 표면을 가진다.
- [0130] 제2보호막(262) 상부에는 제1기판(210) 전면에 대응하여 공통전극(272)이 형성된다. 공통전극(272) 상부에는 공통배선(274)이 형성되는데, 공통배선(274)은 일부 데이터 배선(252)의 상부에 위치한다. 여기서, 공통배선(274)은 제3부분(도 8의 274c)에 해당한다.
- [0131] 공통배선(274) 상부에는 제3보호막(280)이 형성된다. 제3보호막(280)은 공통배선(274)에 의해 그 표면에 단차를 가진다.
- [0132] 제3보호막(280) 상부의 데이터 배선(252) 사이의 각 화소영역에는 화소전극(282)이 형성된다. 화소전극(282)은 일정간격 이격된 다수의 전극패턴을 포함한다.
- [0133] 도시하지 않았지만, 화소전극(282) 상부에는 제1배향막이 형성된다.
- [0134] 한편, 제2기판(290)의 내면에는 제1 컬럼 스페이스(도시하지 않음)와 제2 컬럼 스페이스(294)가 형성된다. 제1 컬럼 스페이스와 제2 컬럼 스페이스(294)는 공통배선(274)에 대응하여 위치한다. 제1 컬럼 스페이스의 높이는 제2 컬럼 스페이스(294)의 높이보다 높으며, 제1 컬럼 스페이스의 폭과 길이는 제2 컬럼 스페이스(294)의 폭과 길이보다 좁다.
- [0135] 도시하지 않았지만, 제2기판(290)과 제1 컬럼 스페이스 및 제2 컬럼 스페이스(294) 사이에는 블랙매트릭스와 컬러필터층 및 오버코트층이 형성된다.
- [0136] 한편, 제2배향막(도시하지 않음)이 오버코트층과 제1 컬럼 스페이스 및 제2 컬럼 스페이스(294) 사이에 형성되거나, 제1 컬럼 스페이스 및 제2 컬럼 스페이스(294) 상부에 형성된다. 또한, 제1배향막과 제2배향막 사이에는 액정층(도시하지 않음)이 위치한다.
- [0137] 도 9a에 도시한 것처럼, 외력이 가해지기 전에 제2 컬럼 스페이스(294)는 공통배선(274) 상부의 제3보호막(280)과 이격되어 위치한다. 앞서 언급한 바와 같이, 도 9a의 공통배선(274)은 제3부분(도 8의 274c)에 해당하며, 실제로, 외력이 가해지기 전의 제2 컬럼 스페이스(294)는 제2부분(도 8의 274b)에 대응하여 위치하나, 설명의 편의를 위해 제2 컬럼 스페이스(294)가 제3부분(도 8의 274c)에 대응하여 위치하는 것으로 도시한다. 여기서, 제2 컬럼 스페이스(294)는 인접한 두 데이터 배선(252) 상의 공통배선(274) 및 두 데이터 배선(252) 사이의 화소영역을 덮는 길이를 가진다.
- [0138] 이때, 제1 컬럼 스페이스(도시하지 않음)는 공통배선(274) 상부의 제3보호막(280), 보다 상세하게는, 제1부분(도 8의 274a) 상부의 제3보호막(280)과 접촉하는데, 실제로, 제1 컬럼 스페이스는 제1부분(도 8의 274a) 상부의 제1배향막과 접촉한다.
- [0139] 도 9b에 도시한 것처럼, 본 발명의 다른 실시예에 따른 액정표시장치에 화살표 방향으로 외력이 가해질 경우, 상부의 제2기판(290)은 하부의 제1기판(210)에 대해 상대적으로 우측으로 이동하면서 그 높이가 낮아지게 된다. 이때, 제2기판(290) 상의 제2 컬럼 스페이스(294)도 제2기판(290)과 함께 이동하게 되어, 제2 컬럼 스페이스(294)는 초기의 제2부분(도 8의 274b)에 대응하는 위치를 벗어나게 되는데, 제2 컬럼 스페이스(294)는 공통배선

(274), 즉, 제3부분(도 8의 274c)의 인접한 패턴 중 어느 하나 상부의 제3보호막(280)과 접촉하여 지지된다. 실제로, 제2 컬럼 스페이서(294)는 공통배선(274), 즉, 제3부분(도 8의 274c)의 인접한 패턴 중 어느 하나 상부의 제1배향막과 접촉하여 지지되어, 화소영역의 제1배향막과 접촉하는 것이 방지된다.

- [0140] 이어, 외력이 제거될 경우, 본 발명의 다른 실시예에 따른 액정표시장치는 도 9a에 도시한 것과 같은 상태가 된다.
- [0141] 이와 같이, 본 발명의 다른 실시예에서는 외력이 가해지더라도 단차를 형성하는 공통배선(274)에 의해 제2 컬럼 스페이서(294)가 지지되므로, 화소영역의 제1배향막은 제2 컬럼 스페이서(294)와 접촉하지 않으며, 이에 따라 블랙영상에서의 빛샘을 방지할 수 있다.
- [0142] 한편, 본 발명의 다른 실시예에 따른 공통배선의 구조는 다양하게 형성될 수 있으며, 앞서 도 7a 내지 도 7d에 도시된 것과 유사한 구조가 적용될 수 있다.
- [0143] 도 10은 본 발명의 또 다른 실시예에 따른 액정표시장치용 어레이기판을 도시한 평면도이며, 설명의 편의의 위하여, 컬러필터기판에 형성되는 제1 내지 제3 컬럼 스페이서를 함께 도시한다.
- [0144] 도 10에 도시한 바와 같이, 절연 기판(도시하지 않음) 상에 제1방향을 따라 연장된 게이트 배선(322)과 게이트 배선(322)에 연결된 게이트 전극(324)이 형성된다.
- [0145] 게이트 배선(322)과 게이트 전극(324) 상부에는 게이트 절연막(도시하지 않음)이 형성된다.
- [0146] 게이트 전극(324) 상부의 게이트 절연막 상에는 비정질 실리콘으로 이루어진 액티브층(342)이 형성된다.
- [0147] 액티브층(342) 상부에는 제2방향을 따라 연장된 데이터 배선(352)과 데이터 배선(352)에 연결된 소스 전극(354), 그리고 소스 전극(354)과 이격된 드레인 전극(356)이 형성된다. 데이터 배선(352)은 게이트 배선(322)과 교차하여 화소영역을 정의하며, 소스 전극(354) 및 드레인 전극(356)은 액티브층(342)을 중심으로 이격되어 있다.
- [0148] 여기서는 데이터 배선(352)의 일부가 소스 전극(354)이 되지만, 소스 전극(354)은 데이터 배선(352)에서 연장될 수도 있다.
- [0149] 게이트 전극(324)과 액티브층(342), 소스 전극(354) 및 드레인 전극(356)은 박막트랜지스터(T)를 구성하며, 소스 전극(354)과 드레인 전극(356) 사이의 액티브층(342)은 박막트랜지스터(T)의 채널이 된다.
- [0150] 여기서, 박막트랜지스터(T)는 도시된 구조에 한정되지 않고, 그 구조는 달라질 수도 있다.
- [0151] 한편, 도시한 것처럼, 홀수 번째 게이트 배선(322)에 연결되는 박막트랜지스터(T)는 좌측의 데이터 배선(352)과 연결되고, 짝수 번째 게이트 배선(322)에 연결되는 박막트랜지스터(T)는 우측의 데이터 배선(352)에 연결될 수 있으며, 그 반대의 연결도 가능하다.
- [0152] 데이터 배선(352)과 소스 전극(354) 및 드레인 전극(356) 상부에는 제1보호막(도시하지 않음)과 제2보호막(도시하지 않음)이 차례로 형성된다. 여기서, 제1보호막은 무기물질로 형성되고, 제2보호막은 유기물질로 형성되어 평탄한 표면을 가지며, 제1보호막은 생략될 수도 있다.
- [0153] 제2보호막 상부에는 공통전극(도시하지 않음)이 형성된다. 공통전극은 기판 전면에 형성되며, 하나의 화소영역의 드레인 전극(356)에 대응하는 제1개구부(372a)와 다른 인접한 두 화소영역의 드레인 전극(356)에 대응하는 제2개구부(372b)를 가진다.
- [0154] 한편, 제2보호막은 공통전극의 제2개구부(372b)에 대응하여 오목부(도시하지 않음)를 가진다.
- [0155] 공통전극 상부에는 공통전극과 접촉하는 공통배선(374)이 형성된다. 공통배선(374)은 제1 내지 제4부분(374a, 374b, 374c, 374d)을 포함한다. 여기서, 제1부분(374a)은 하나의 박막트랜지스터(T) 상에 위치하고 제1 컬럼 스페이서(392)에 대응한다. 제2부분(374b)은 또 다른 박막트랜지스터(T) 상에 위치하고, 제2 컬럼 스페이서(394)에 대응한다. 제3부분(374c)은 다른 인접한 두 화소영역의 드레인 전극(356)에 대응하는 공통전극(372)의 제2개구부(372b) 및 제2보호막의 오목부의 상하단으로부터 제2방향을 따라 각각 일정 길이만큼 연장되며, 다른 인접한 두 화소영역의 드레인 전극(356) 사이에 위치하는 데이터 배선(352)과 중첩한다. 제3부분(374c)의 연장된 길이는 약 25 μ m일 수 있다. 제4부분(374d)은 제1방향을 따라 연장되는데, 제4부분(374d)은 제1부분(374a)과 제2부분(374b)의 상단 및 제3부분(374c)의 상측 패턴을 연결하는 제1 배선패턴 및 이와 평행하며 제1부분(374

a)과 제2부분(374b)의 하단 및 제3부분(374c)의 하측 패턴을 연결하는 제2 배선패턴으로 이루어질 수 있다. 공통배선(374)은 비교적 낮은 비저항을 가지는 금속물질로 형성된다.

- [0156] 여기서, 제1 컬럼 스페이스(392)는 셀갭 유지 스페이스에 해당하고 원모양의 평면구조를 가지며, 제2 컬럼 스페이스(394)는 눌림 방지 스페이스에 해당하고 원모양의 평면구조를 가지며, 제3 컬럼 스페이스(396)는 래치 스페이스(latch spacer)에 해당하고 사각모양의 평면구조를 가진다. 여기서, 제3 컬럼 스페이스(396)의 폭과 길이는 제1 및 제2 컬럼 스페이스(392, 394)의 직경보다 크다. 제1 및 제2 컬럼 스페이스(392, 394)는 사각모양의 평면구조를 가질 수도 있다.
- [0157] 제1 컬럼 스페이스(392)의 직경은 제1부분(374a)의 제1방향 및 제2방향 길이보다 작아 제1 컬럼 스페이스(392)의 가장자리는 제1부분(374a) 내에 놓인다. 또한, 제2 컬럼 스페이스(394)의 직경은 제2부분(374b)의 제1방향 및 제2방향 길이보다 작아 제2 컬럼 스페이스(394)의 가장자리는 제2부분(374b) 내에 놓인다.
- [0158] 한편, 제3 컬럼 스페이스(396)의 제1방향 길이는 화소영역의 제1방향 길이의 1/2보다 크고 화소영역의 제1방향 길이보다 작으며, 제3 컬럼 스페이스(396)는 인접한 두 화소영역의 드레인 전극(356) 사이에 위치하는 데이터 배선(352)과 중첩한다. 이때, 인접한 제3 컬럼 스페이스(396) 중 하나는 그 중심이 데이터 배선(352)에 대해 상대적으로 우측으로 이동되어 위치하고, 다른 하나는 그 중심이 데이터 배선(352)에 대해 상대적으로 좌측으로 이동되어 위치할 수 있다.
- [0159] 또는, 제3 컬럼 스페이스(396)의 제1방향 길이는 화소영역의 제1방향 길이보다 커, 제3 컬럼 스페이스(396)의 중심은 인접한 두 화소영역의 드레인 전극(356) 사이에 위치하는 데이터 배선(352)과 일치할 수도 있다.
- [0160] 공통배선(374) 상부에는 제3보호막(도시하지 않음)이 형성된다. 제3보호막은 산화실리콘이나 질화실리콘과 같은 무기절연물질로 이루어져, 하부막, 즉, 공통배선(374)에 의한 단차를 가진다. 또한, 제3보호막은 제2보호막 및 제1보호막과 함께 드레인 전극(356)을 노출하는 드레인 콘택홀(380a)을 가진다. 드레인 콘택홀(380a)은 공통전극의 제1개구부(372a) 또는 제2개구부(372b) 내에 위치한다.
- [0161] 제3보호막 상부의 각 화소영역에는 화소전극(382)이 형성된다. 화소전극(382)은 제2방향으로 연장되고 제1방향을 따라 이격된 다수의 전극패턴을 포함하며, 드레인 콘택홀(380a)을 통해 드레인 전극(356)과 접촉한다.
- [0162] 화소전극(382)은 게이트 배선(322)에 대해 일정 각을 가지고 기울어지며, 중앙부가 적어도 1회 꺾어진 형태를 가지는데, 도시한 바와 같이, 중앙의 제1꺾임부 및 제1꺾임부 양측의 제2 및 제3꺾임부를 가질 수 있다. 이에 따라, 데이터 배선(352)도 화소전극(382)과 평행하도록 게이트 배선(322)에 대해 일정 각을 가지고 기울어지며, 각 화소영역에 대응하여 꺾어진 부분을 가진다.
- [0163] 화소전극(382) 상부에는 배향막(도시하지 않음)이 형성되며, 배향막은 제2방향을 따라 러빙된다.
- [0164] 한편, 본 발명의 또 다른 실시예에 따른 공통배선의 구조는 다양하게 형성될 수 있으며, 앞서 도 7a 내지 도 7d에 도시된 것과 유사한 구조가 적용될 수 있다.
- [0165] 도 11은 본 발명의 또 다른 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도이다.
- [0166] 도 11에 도시한 바와 같이, 절연 기판(310) 상에는 게이트 전극(322)이 형성된다. 도시하지 않았지만, 기판(310) 상에는 게이트 전극(322)과 접촉하며 제1방향을 따라 연장된 게이트 배선(도 10의 322)도 형성된다. 게이트 배선(322)과 게이트 전극(324)은 비교적 낮은 비저항을 갖는 금속물질로 이루어진다.
- [0167] 게이트 전극(322)과 게이트 배선 상부에는 게이트 절연막(330)이 형성된다. 게이트 절연막(330)은 질화실리콘(silicon nitride)이나 산화실리콘(silicon oxide)과 같은 무기절연물질로 이루어진다.
- [0168] 게이트 전극(322) 상부의 게이트 절연막(330) 상에는 액티브층(342)이 형성된다. 액티브층(342)은 진성 비정질 실리콘(intrinsic amorphous silicon)으로 이루어진다.
- [0169] 액티브층(342) 상부에는 소스 및 드레인 전극(354, 356)이 형성된다. 소스 및 드레인 전극(354, 356)은 게이트 전극(342)을 중심으로 이격되어 위치한다. 또한, 데이터 배선(352)이 게이트 절연막(3130) 상부에 형성되며, 데이터 배선(352)은 소스 전극(354)과 연결되고 제2방향을 따라 연장되며, 게이트 배선(도 10의 322)과 교차하여 화소영역을 정의한다. 데이터 배선(352)과 소스 전극(354) 및 드레인 전극(356)은 비교적 낮은 비저항을 갖는 금속물질로 형성된다.

- [0170] 한편, 액티브층(342)과 소스 전극(354) 사이 및 액티브층(342)과 드레인 전극(356) 사이에는 불순물이 도핑된 비정질 실리콘(impurity-doped amorphous silicon)으로 이루어진 오믹콘택층(도시하지 않음)이 형성된다.
- [0171] 여기서, 게이트 전극(324)과 액티브층(342), 소스 전극(354) 및 드레인 전극(356)은 박막트랜지스터를 구성하는데, 박막트랜지스터의 구조는 도시된 것에 한정되지 않으며, 달라질 수도 있다.
- [0172] 데이터 배선(352)과 소스 및 드레인 전극(354, 356) 상부에는 제1보호막(360)이 형성되고, 제1보호막(360) 상부에는 평탄화막인 제2보호막(362)이 형성된다. 제1보호막(360)은 질화실리콘이나 산화실리콘과 같은 무기절연물질로 이루어지고, 제2보호막(362)은 포토아크릴과 같은 유기절연물질로 이루어져 평탄한 표면을 가진다. 여기서, 제1보호막(360)은 생략될 수도 있다.
- [0173] 한편, 제2보호막(362)은 박막트랜지스터에 상부에 오목부(362a)를 가진다. 실제로, 오목부(362a)는 인접한 두 화소영역의 박막트랜지스터에 대응한다. 제2보호막(362)은 오목부(362a)에 의해 박막트랜지스터에 대응하여 제1두께(h1)를 가지며, 화소영역에 대응하여 제1두께(h1) 보다 두꺼운 제2두께(h2)를 가진다. 여기서, 제1두께(h1)와 제2두께(h2)의 차이는 약 1 μ m인 것이 바람직하며, 일례로, 제1두께(h1)는 약 1 μ m이고, 제2두께(h2)는 약 2 μ m일 수 있다.
- [0174] 이러한 오목부(362a)는 슬릿이나 반투과막을 포함하는 마스크를 이용하여 형성될 수 있다. 즉, 제2보호막(362)이 감광성을 가질 경우, 유기절연막을 기판(310) 상에 형성하고 유기절연막 상부에 광투과부와 광차단부 및 반투과부를 포함하는 마스크를 배치한다. 유기절연막이 빛을 받은 부분이 현상 후 제거되는 양의 감광성을 가질 경우, 광투과부가 화소영역에 대응하고 반투과부는 공통전극(372)의 제2개구부(372b)에 대응한다. 반면, 유기절연막이 빛을 받은 부분이 현상 후 남게 되는 음의 감광성을 가질 경우, 광차단부가 화소영역에 대응하고 반투과부는 공통전극(372)의 제2개구부(372b)에 대응한다. 다음, 노광된 유기절연막을 현상함으로써, 공통전극(372)의 제2개구부(372b)에 대응하여 오목부(362a)를 가지며, 서로 다른 두께를 갖는 제2보호막(362)을 형성할 수 있다. 한편, 제2보호막(362)이 감광성을 가지지 않을 경우, 유기절연막 상부에 포토레지스트를 도포하여 오목부(362a)를 갖는 제2보호막(362)을 형성한다.
- [0175] 제2보호막(362) 상부에는 기판(310) 전면에 대응하여 공통전극(372)이 형성된다. 공통전극(372)은 인듐-틴-옥사이드(indium tin oxide)나 인듐-징크-옥사이드(indium zinc oxide)와 같은 투명도전물질로 이루어지며, 오목부(362a)에 대응하여 제2개구부(372b)를 가진다. 또한, 도시하지 않았지만, 공통전극(372)은 다른 박막트랜지스터의 드레인 전극(356)에 대응하여 제1개구부(도 10의 372a)를 가진다.
- [0176] 공통전극(372) 상부에는 공통배선(374)이 형성된다. 공통배선(374)은 구리(Cu)나 구리합금, 또는 몰리브덴과 티타늄 합금(MoTi)의 단일층으로 이루어질 수 있으며, 또는 이중층으로 이루어질 수도 있다. 여기서, 공통배선(374)은 데이터 배선(352)에 중첩하여 위치하는 제3부분(도 10의 374c)에 해당한다.
- [0177] 공통배선(374) 상부에는 제3보호막(380)이 형성된다. 제3보호막(380)은 제1 및 제2보호막(360, 362)과 함께 제2개구부(372b) 내에 드레인 전극(356)을 드러내는 드레인 콘택홀(380a)을 가진다. 제3보호막(380)은 질화실리콘이나 산화실리콘과 같은 무기절연물질로 형성되어 공통배선(374)에 의해 표면에 단차를 가진다.
- [0178] 제3보호막(380) 상부의 화소영역에는 화소전극(382)이 형성된다. 화소전극(382)은 인듐-틴-옥사이드나 인듐-징크-옥사이드와 같은 투명도전물질로 형성되며, 일정간격 이격되고 공통전극(372)과 중첩하는 다수의 전극패턴을 포함한다.
- [0179] 도시하지 않았지만, 화소전극(382) 상부에는 제1배향막이 형성된다.
- [0180] 한편, 제1기판(310)과 이격되어 제2기판(390)이 배치되고, 제2기판(390)의 내면에는 제1 컬럼 스페이서(392)와 제2 컬럼 스페이서(394) 및 제3 컬럼 스페이서(396)가 형성된다. 제1 컬럼 스페이서(392)와 제2 컬럼 스페이서(394)는 공통배선(374)에 대응하여 위치한다. 앞서 언급한 바와 같이, 도 11의 공통배선(374)은 제3부분(도 10의 374c)에 해당하는 것으로, 실제로 제1 컬럼 스페이서(392)는 제1부분(도 10의 374a)과 대응하고, 제2 컬럼 스페이서(394)는 제2부분(도 10의 374b)과 대응하나, 설명의 편의를 위해, 제1 및 제2 컬럼 스페이서(392, 394)가 제3부분(도 10의 374c)에 대응하는 것으로 도시한다. 제1 컬럼 스페이서(392)의 높이는 제2 컬럼 스페이서(394)의 높이보다 높으며, 제1 컬럼 스페이서(392)의 폭과 길이는 제2 컬럼 스페이서(394)의 폭과 길이보다 좁거나 같을 수 있다. 여기서, 제1 컬럼 스페이서(392)는 공통배선(374) 상부의 제3보호막(380)과 접촉하고, 제2 컬럼 스페이서(384)는 공통배선(374) 상부의 제3보호막(380)과 이격되어 위치한다.
- [0181] 한편, 제3 컬럼 스페이서(392)는 공통전극(372)의 제2개구부(372b) 및 제2보호막(362)의 오목부(362a)에 대응하

여 위치하며, 제3 컬럼 스페이서(392)의 하단은 오목부(362a) 내에 위치한다. 제3 컬럼 스페이서(396)의 폭과 길이는 제1 및 제2 컬럼 스페이서(392, 394)의 폭과 길이보다 크다.

[0182] 제3 컬럼 스페이서(396)의 높이는 제1 컬럼 스페이서(392)의 높이와 실질적으로 동일하나, 셀 갭을 유지하는 제1 컬럼 스페이서(392)는 제1 및 제2기판(310, 390)에 의해 눌리게 되어 제3 컬럼 스페이서(396)보다 작은 높이를 가지는 상태가 된다.

[0183] 도시하지 않았지만, 제2기판(390)과 제1 내지 제3 컬럼 스페이서(392, 394, 396) 사이에는 블랙매트릭스와 컬러 필터층 및 오버코트층이 형성된다.

[0184] 한편, 제2배향막(도시하지 않음)이 오버코트층과 제1 내지 제3 컬럼 스페이서(392, 394, 396) 사이에 형성되거나, 제1 내지 제3 컬럼 스페이서(392, 394, 396) 상부에 형성된다. 또한, 제1배향막과 제2배향막 사이에는 액정층(도시하지 않음)이 위치한다.

[0185] 도 12는 외력이 가해진 후의 본 발명의 또 다른 실시예에 따른 액정표시장치를 개략적으로 도시한 단면도로, 도 10에서 제1방향을 따라 자른 단면에 해당하는 다수의 화소영역을 도시한다.

[0186] 도 12에 도시한 것처럼, 본 발명의 실시예에 따른 액정표시장치에 화살표 방향으로 외력이 가해질 경우, 상부의 제2기판(390)은 하부의 제1기판(310)에 대해 상대적으로 우측으로 이동하게 된다. 이때, 제2기판(390) 상의 제1 내지 제3 컬럼 스페이서(392, 394, 396)도 제2기판(390)과 함께 이동하게 되는데, 외력이 일정 크기 이상일 경우, 제3 컬럼 스페이서(396)는 오목부(362a)를 벗어나게 되어 인접한 공통배선(374), 즉, 제3부분(도 10의 374c) 상부의 제3보호막(380)과 접촉하여 지지된다. 실제로, 인접한 제3 컬럼 스페이서(396)는 제3부분(도 10의 374c) 상부의 제1배향막과 접촉하여 지지되며, 이에 따라 제1 및 제2 컬럼 스페이서(392, 394)는 화소영역의 제1배향막과 접촉하는 것이 방지된다.

[0187] 한편, 도시하지 않았지만, 외력이 일정 크기 이하일 경우, 제3 컬럼 스페이서(396)는 오목부(362a)를 벗어나지 않고, 일측이 오목부(362a)의 측면, 보다 상세하게는, 오목부(362a) 측면 상의 제3보호막(380)과 접촉하게 된다. 따라서, 제2기판(390)의 이동을 막을 수 있다.

[0188] 이러한 제3 컬럼 스페이서(396)의 밀도가 너무 작을 경우, 외력이 가해졌을 때 제3 컬럼 스페이서(396)는 공통배선(374) 상부의 제3보호막(380)에 의해 지지되지 못할 수 있으며, 제3 컬럼 스페이서(396)의 밀도가 너무 클 경우, 러빙 불량 등이 발생할 수 있으므로, 제3 컬럼 스페이서(396)는 적정 밀도를 갖도록 설정되는 것이 바람직하다.

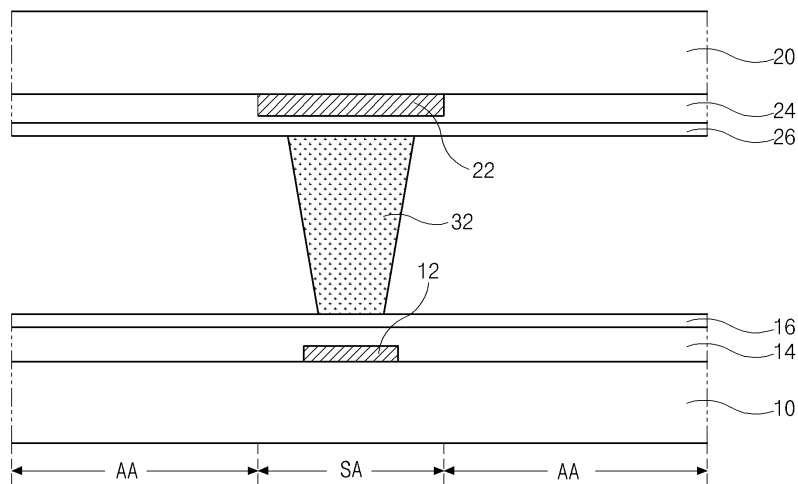
[0189] 본 발명은 상기한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.

부호의 설명

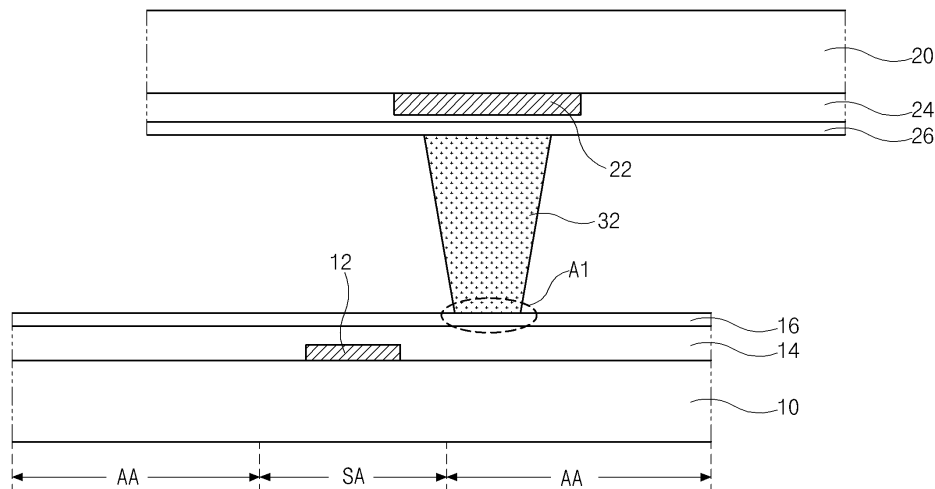
[0190]	122: 게이트 배선	124: 게이트 전극
	142: 액티브층	152: 데이터 배선
	154: 소스 전극	156: 드레인 전극
	172a: 개구부	174: 공통배선
	180a: 드레인 콘택홀	182: 화소전극
	192: 제1 컬럼 스페이서	194: 제2 컬럼 스페이서
	T: 박막트랜지스터	

도면

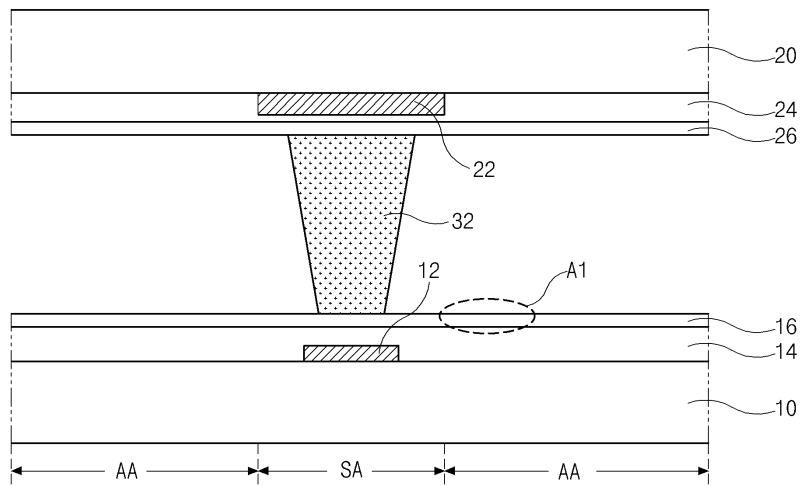
도면1



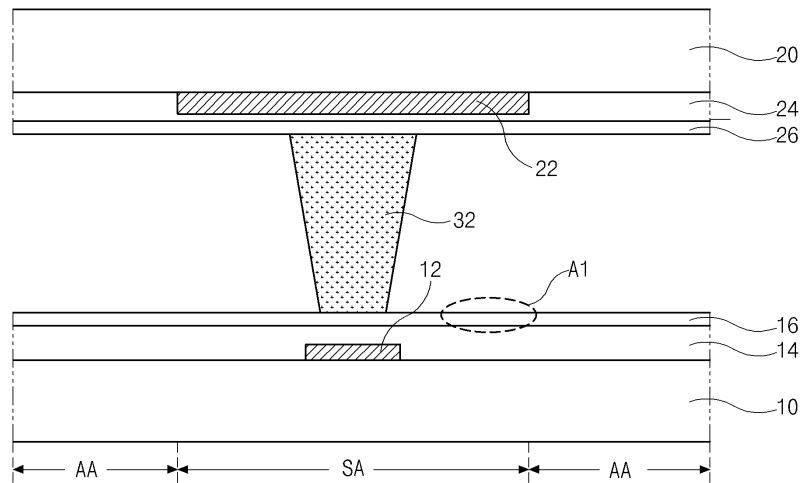
도면2a



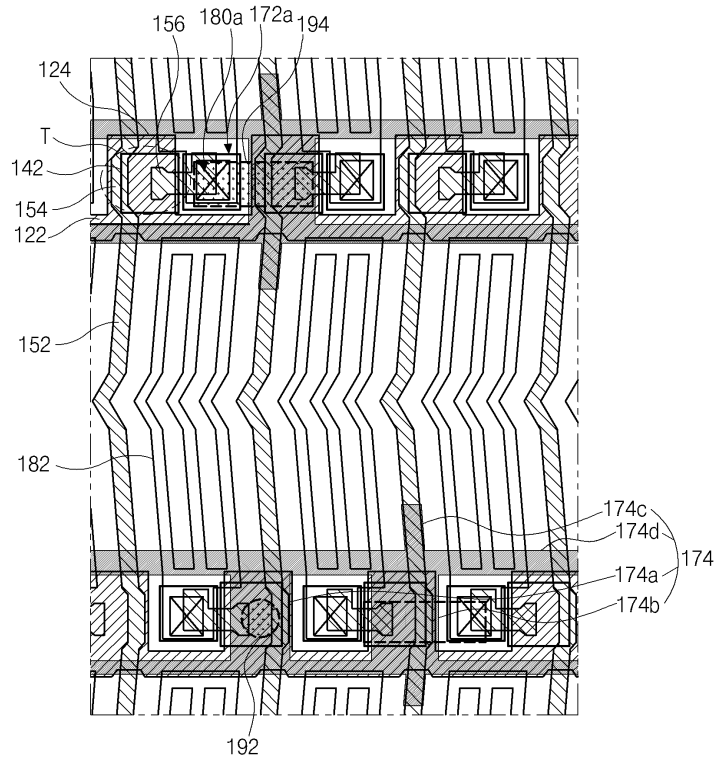
도면2b



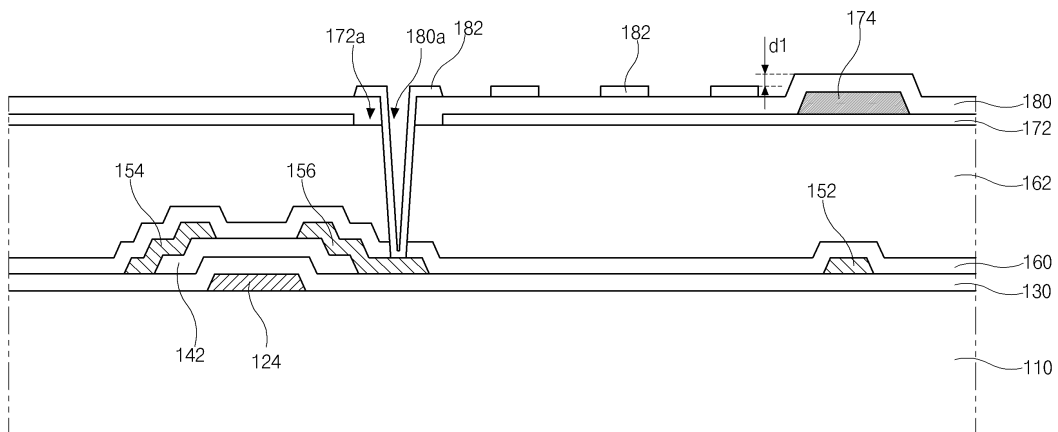
도면3



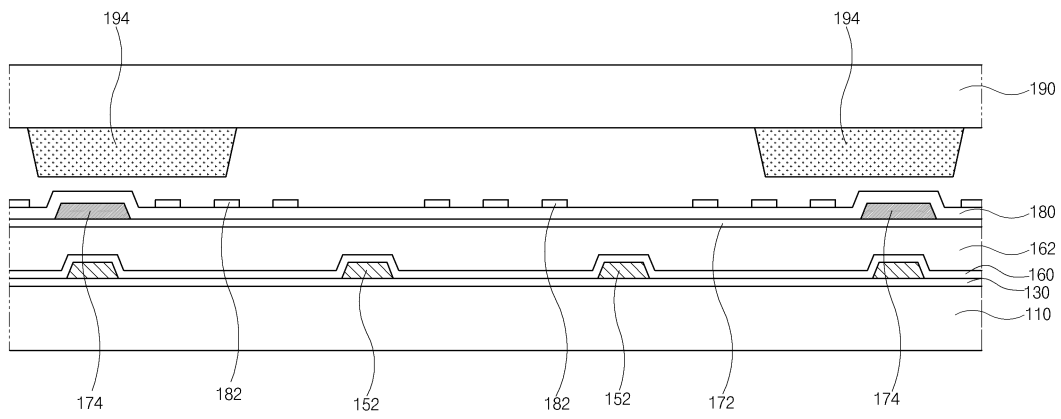
도면4



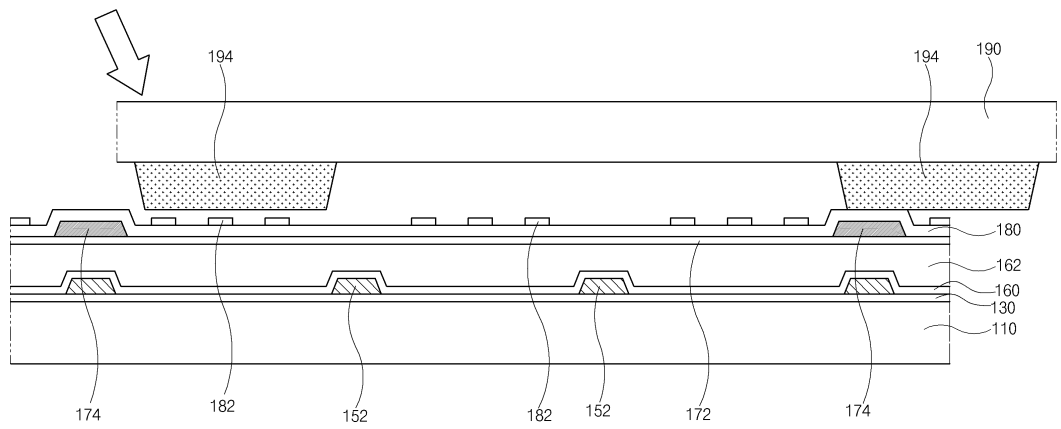
도면5



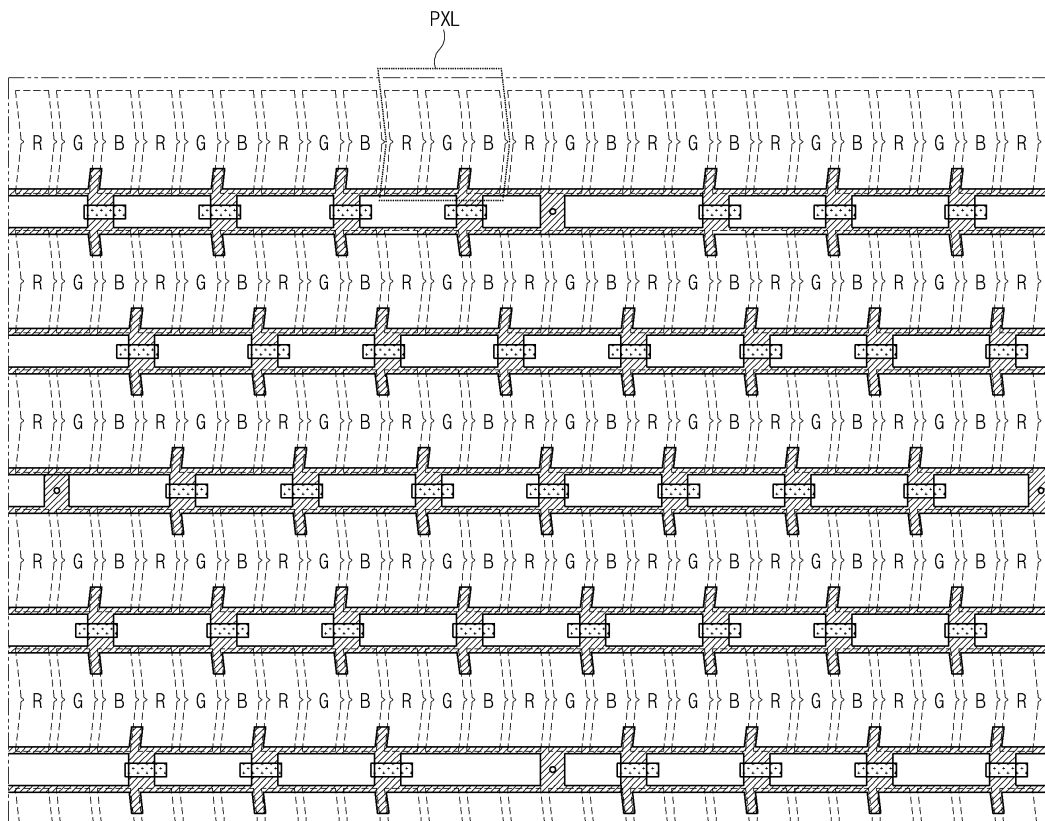
도면6a



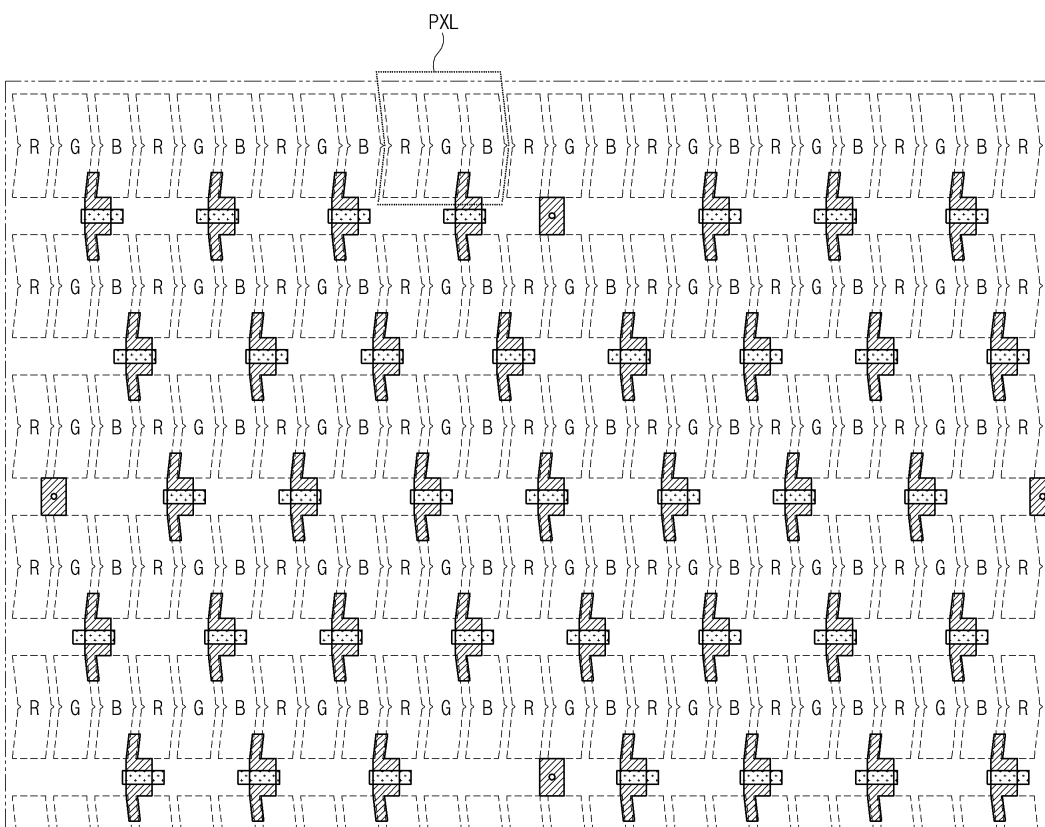
도면6b



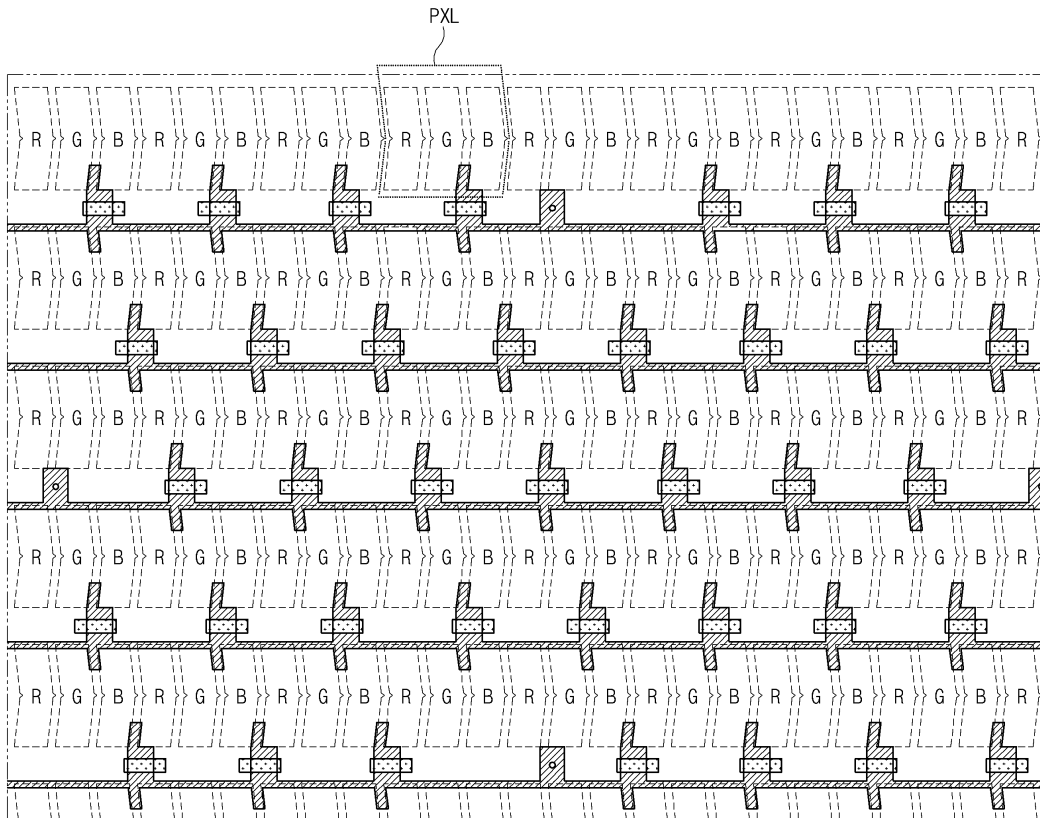
도면7a



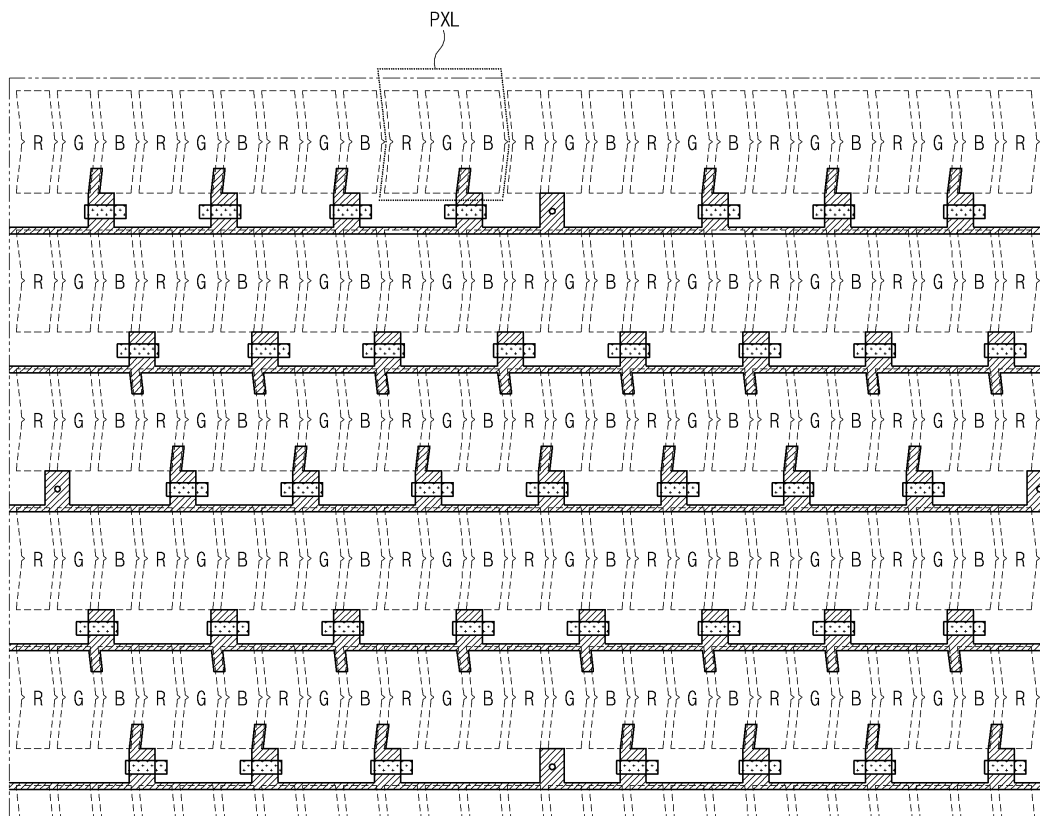
도면7b



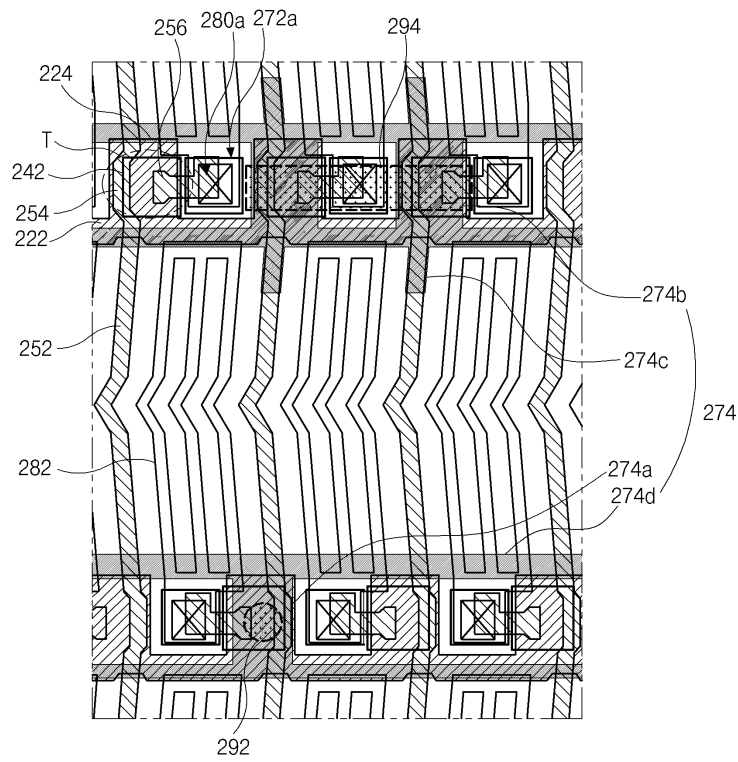
도면7c



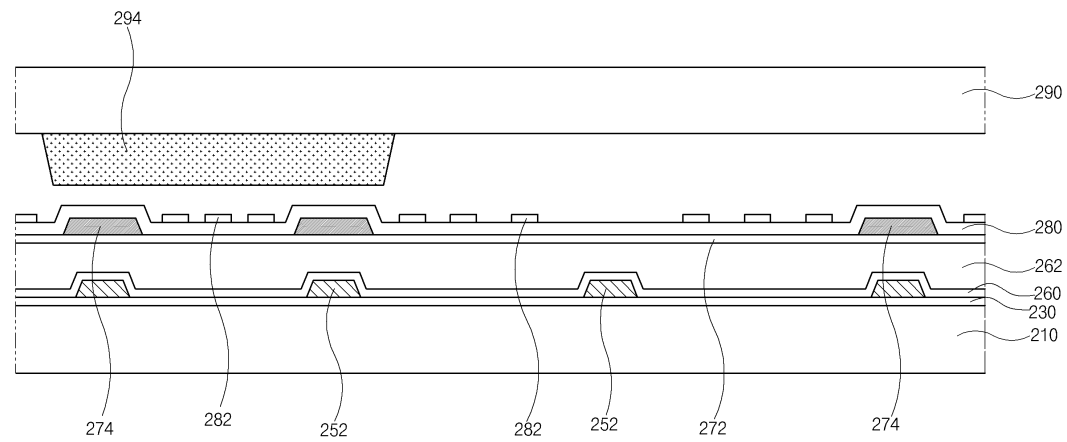
도면7d



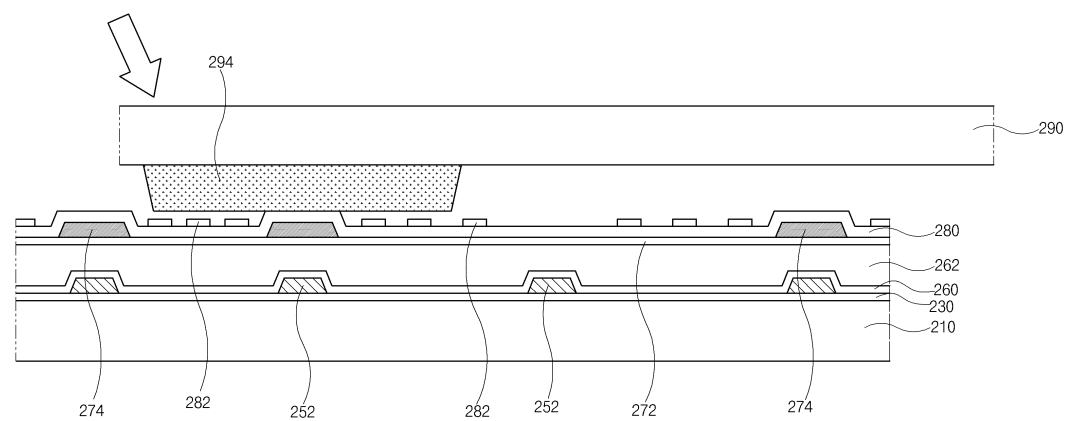
도면8



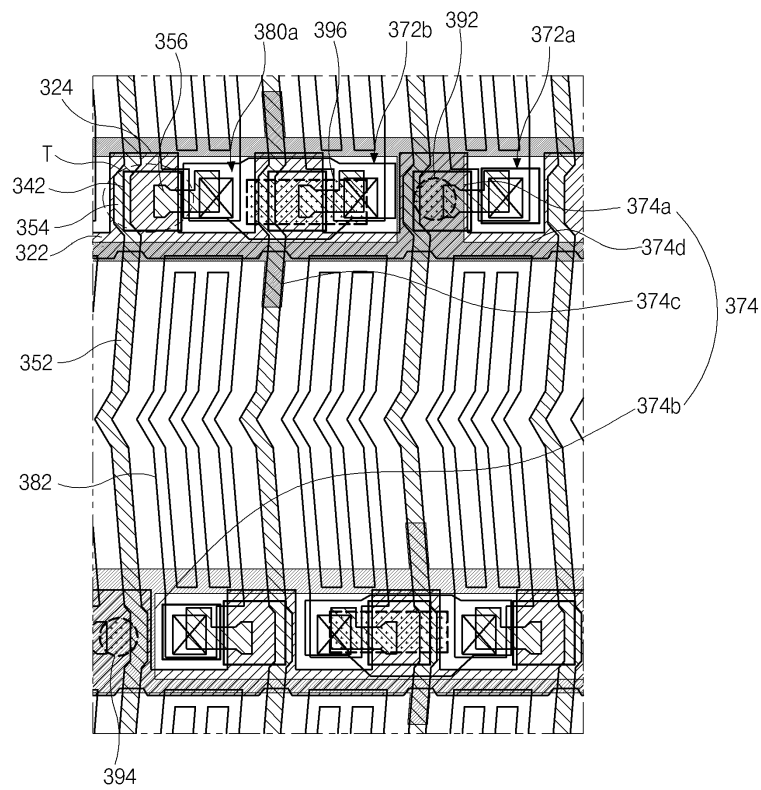
도면9a



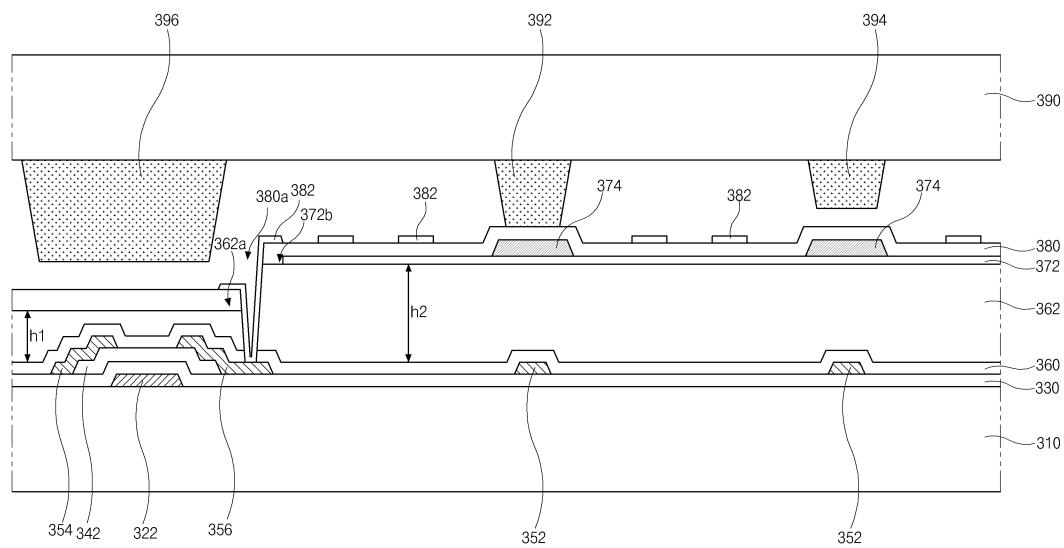
도면9b



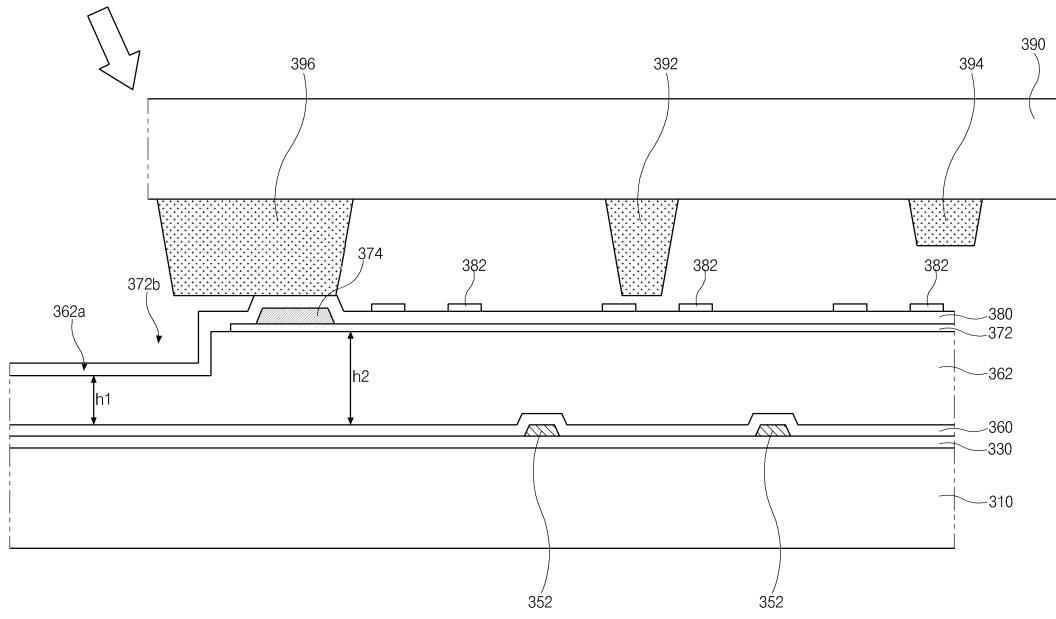
도면10



도면11



도면12



专利名称(译)	标题：阵列基板和包括其的液晶显示装置		
公开(公告)号	KR101391836B1	公开(公告)日	2014-05-07
申请号	KR1020120147453	申请日	2012-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	SON KYUNG MO 손경모 LEE JAE KYUN 이재균 YI SUNG CHOL 이승철 JUNG TAEK JUN 정택준 KU SUN JU 구선주 HONG SOON HWAN 홍순환 JANG SANG SU 장상수 JEONG JUN YOUNG 정준영 LEE EUN HYE 이은혜		
发明人	손경모 이재균 이승철 정택준 구선주 홍순환 장상수 정준영 이은혜		
IPC分类号	G02F1/1339 G02F1/1368		
CPC分类号	G02F1/134336 G02F1/13394 G02F1/134309 G02F2001/13396		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置用阵列基板，包括基板；多个栅极线沿第一方向形成在基板上；多条数据线，沿第二方向形成在基板上，并通过交叉栅极线限定多个像素区域；薄膜晶体管，连接到栅极线和数据线的每个交叉位置；覆盖薄膜晶体管的平坦化膜；在平坦化膜的上部形成在基板的前表面上的公共电极；公共电极上部的公共导线；普通线上部的保护膜；像素电极形成在保护膜的上部的像素区域处，并且通过连接到薄膜晶体管而包括多个电极图案。公共线包括对应于一个薄膜晶体管的第一部分；第二部分对应于另一个薄膜晶体管；第三部分沿第二方向以预定长度延伸。

