



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월18일
(11) 등록번호 10-1243825
(24) 등록일자 2013년03월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/136 (2006.01)
(21) 출원번호 10-2008-0130087
(22) 출원일자 2008년12월19일
심사청구일자 2011년11월04일
(65) 공개번호 10-2010-0071390
(43) 공개일자 2010년06월29일
(56) 선행기술조사문헌
US7612854 B1
US6721028 B1
KR1020080077733 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
조석호
경기도 파주시 번영로 55, 106동 1708호 (금촌동, 새꽃마을뜨란채)
(74) 대리인
김용인, 박영복

전체 청구항 수 : 총 10 항

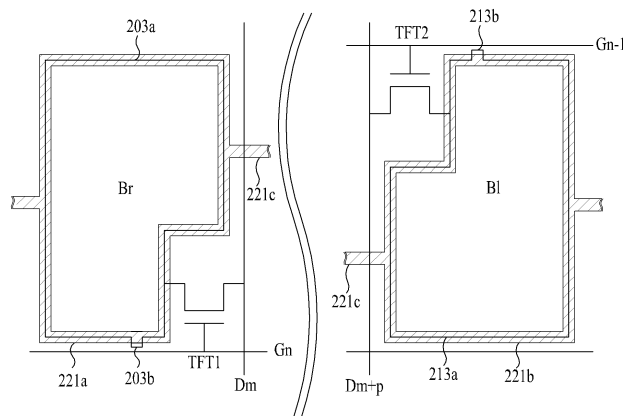
심사관 : 이준석

(54) 발명의 명칭 액정 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 데이터 라인에 대해 지그재그 방식으로 신호가 인가되는 Z구동 방식에 있어서, 구조를 변경하여 상대적으로 상하 반전된 형상의 화소 구조를 갖는 청색 화소들에서, 오버레이에 의한 덤 블락을 방지한 액정 표시 장치 및 이의 제조 방법에 관한 것으로, 본 발명의 액정 표시 장치는, 복수개의 화소 영역이 매트릭스 상으로 정의된 기판과, 상기 기판 상에 제 1 방향으로 인접한 제 1, 제 2 게이트 라인을 포함하여, 전단(前段: previous line)의 제 2 게이트 라인과 현단(現段: current line) 제 1 게이트 라인이 일 화소 영역간 이격하여 배치된 복수개의 게이트 라인 쌍과, 상기 제 1 방향과 교차하는 제 2 방향으로 2 화소 영역마다 배치된 복수개의 데이터 라인과, 상기 각 데이터 라인과 상기 현단 제 1 게이트 라인 사이의 제 1 화소 영역에 형성된 제 1 박막 트랜지스터와, 상기 각 데이터 라인과 상기 전단 제 2 게이트 라인 사이의 제 2 화소 영역에 형성된 제 2 박막 트랜지스터와, 상기 제 1 박막 트랜지스터와 접속되어 제 1 화소 영역에 형성되며, 상기 제 1 게이트 라인측으로 돌출된 제 1 목단부를 갖는 제 1 화소 전극과, 상기 제 2 박막 트랜지스터와 접속되어 제 2 화소 영역에 형성되며, 상기 제 2 게이트 라인측으로 돌출된 제 2 목단부를 갖는 제 2 화소 전극과, 상기 제 1 화소 전극 및 제 2 화소 전극의 가장자리를 폐고리 형상으로 오버랩하여 지나며, 제 1, 제 2 화소 전극간 서로 연결된 공통 라인을 포함하여 이루어진 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

복수개의 화소 영역이 매트릭스 상으로 정의된 기관;

상기 기관 상에 제 1 방향으로 인접한 제 1, 제 2 게이트 라인을 포함하여, 전단(前段: previous line)의 제 2 게이트 라인과 현단(現段: current line) 제 1 게이트 라인이 일 화소 영역간 이격하여 배치된 복수개의 게이트 라인 쌍;

상기 제 1 방향과 교차하는 제 2 방향으로 2 화소 영역마다 배치된 복수개의 데이터 라인;

상기 각 데이터 라인과 상기 현단 제 1 게이트 라인 사이의 제 1 화소 영역에 형성된 제 1 박막 트랜지스터;

상기 각 데이터 라인과 상기 전단 제 2 게이트 라인 사이의 제 2 화소 영역에 형성된 제 2 박막 트랜지스터;

상기 제 1 박막 트랜지스터와 접속되어 제 1 화소 영역에 형성되며, 상기 제 1 게이트 라인측으로 돌출된 제 1 목단부를 갖는 제 1 화소 전극;

상기 제 2 박막 트랜지스터와 접속되어 제 2 화소 영역에 형성되며, 상기 제 2 게이트 라인측으로 돌출된 제 2 목단부를 갖는 제 2 화소 전극;

상기 제 1 화소 전극 및 제 2 화소 전극의 가장자리를 폐고리 형상으로 오버랩하여 지나며, 제 1, 제 2 화소 전극간 서로 연결된 공통 라인을 포함하여 이루어진 것을 특징으로 하는 액정 표시 장치.

청구항 2

제 1항에 있어서,

상기 제 1 목단부와 상기 제 2 목단부는 상기 공통 라인의 외측으로 연장되도록 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 3

제 2항에 있어서,

상기 제 1 목단부와 상기 제 2 목단부는 상기 공통 라인의 교차하는 부분에서 동일 폭을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 4

제 3항에 있어서,

상기 제 1 목단부와 상기 제 2 목단부는 상기 공통 라인과 교차부에서 8~12 μ m의 폭을 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 5

제 1항에 있어서,

상기 제 1 박막 트랜지스터는 상기 제 1 목단부와 전기적 콘택부를 갖고, 상기 제 2 박막 트랜지스터는 상기 제 2 목단부와 전기적 콘택부를 갖는 것을 특징으로 하는 액정 표시 장치.

청구항 6

제 1항에 있어서,

상기 제 1 화소 전극과 제 2 화소 전극은, 각각 상기 공통 라인과 좌우에서 동일폭 오버랩하도록 설계되고, 상하에서 제 1, 제 2 목단부를 제외하고 동일 폭 오버랩하도록 설계된 것을 특징으로 하는 액정 표시 장치.

청구항 7

제 1항에 있어서,

상기 제 1, 제 2 화소 영역은 동일 색상의 화소에 대응되는 것을 특징으로 하는 액정 표시 장치.

청구항 8

제 1항에 있어서,

상기 복수개의 화소 영역들은 상기 제 2 방향의 라인별로 적색, 녹색 및 청색 화소가 반복되며, 청색 화소가 상기 제 1, 제 2 화소 영역에 대응되는 것을 특징으로 하는 액정 표시 장치.

청구항 9

복수개의 화소 영역이 매트릭스 상으로 정의된 기판을 준비하는 단계;

상기 기판 상에 제 1 금속을 선택적으로 제거하여, 제 1 방향으로 인접한 제 1, 제 2 게이트 라인을 포함하여, 전단(前段: previous line)의 제 2 게이트 라인과 현단(現段: current line) 제 1 게이트 라인이 일 화소 영역 간 이격하여 배치된 복수개의 게이트 라인 쌍과, 상기 전단의 제 1 게이트 라인과 현단 제 1 게이트 라인 사이의 각 화소 영역들에 대해 페고리형 패턴과 이들 페고리 패턴을 연결하는 연결부를 갖는 공통 라인을 형성하는 단계;

상기 복수개의 게이트 라인 쌍과 공통 라인을 포함한 기판 상에 게이트 절연막을 증착하는 단계;

상기 게이트 절연막 상에 반도체층 및 제 2 금속을 선택적으로 제거하여, 상기 제 1방향과 교차하는 제 2 방향으로 2화소마다 이격하여 복수개의 데이터 라인과 상기 각 데이터 라인과 상기 현단 제 1 게이트 라인 사이의 제 1 화소 영역에 제 1 박막 트랜지스터와, 상기 각 데이터 라인과 상기 전단 제 2 게이트 라인 사이의 제 2 화소 영역에 제 2 박막 트랜지스터를 형성하는 단계;

상기 데이터 라인, 제 1, 제 2 박막 트랜지스터를 포함한 상기 게이트 절연막 상에 보호막을 형성하는 단계; 및
상기 보호막 상에 투명 전극을 증착하고 이를 선택적으로 제거하여, 상기 제 1 화소 영역에 상기 제 1 게이트 라인측으로 돌출된 제 1 목단부를 갖는 제 1 화소 전극과, 상기 제 2 화소 영역에 형성되며, 상기 제 2 게이트 라인측으로 돌출된 제 2 목단부를 갖는 제 2 화소 전극을 형성하는 단계를 포함하여 이루어진 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 10

제 9항에 있어서,

상기 보호막을 형성하는 단계에서, 상기 보호막의 전면 후 상기 제 1, 제 2 목단부에 오버랩되는 상기 제 1 박막 트랜지스터와 제 2 박막 트랜지스터가 노출되도록 제거하여 제 1, 제 2 콘택홀을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로 특히, 데이터 라인에 대해 지그재그 방식으로 신호가 인가되는 Z구동 방식에 있어서, 구조를 변경하여 상대적으로 상하 반전된 형상의 화소 구조를 갖는 청색 화소들에서, 오버레이에 의한 딥 블락을 방지한 액정 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 본격적인 정보화 시대로 접어들에 따라 전기적 정보신호를 시각적으로 표현하는 디스플레이(display)분야가 급속도로 발전해 왔고, 이에 부응하여 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 여러 가지 다양한 평판 표시장치(Flat Display Device)가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 빠르게 대체하고 있다.

[0003] 이 같은 평판 표시장치의 구체적인 예로는 액정표시장치(Liquid Crystal Display device: LCD), 플라즈마표시장치(Plasma Display Panel device: PDP), 전계방출표시장치(Field Emission Display device: FED), 전기발광표

시장치(Electro luminescence Display Device : ELD) 등을 들 수 있는데, 이들은 공통적으로 화상을 구현하는 평판 표시패널을 필수적인 구성요소로 하는 바, 평판 표시패널은 고유의 발광 또는 편광물질층을 사이에 두고 한 쌍의 투명 절연기판을 대면 합착시킨 구성을 갖는다.

- [0004] 이중 액정 표시장치는 전계를 이용하여 액정의 광 투과율을 조절함으로써 화상을 표시하게 된다. 이를 위하여, 화상 표시장치는 액정셀을 가지는 표시패널과, 표시패널에 광을 조사하는 백 라이트 유닛 및 액정셀을 구동하기 위한 구동회로를 포함하여 구성된다.
- [0005] 표시패널은 복수의 게이트 라인과 복수의 데이터 라인이 교차하여 복수의 단위 화소영역이 정의 되도록 형성된다. 이때, 각 화소영역에는 서로 대향하는 박막 트랜지스터 어레이 기관과 컬러필터 어레이 기관과, 두 기관 사이에 일정한 셀갭 유지를 위해 위치하는 스페이서와, 그 셀갭에 채워진 액정을 구비한다.
- [0006] 박막 트랜지스터 어레이 기관은 게이트 라인들 및 데이터 라인들과, 그 게이트 라인들과 데이터 라인들의 교차부마다 스위치소자로 형성된 박막 트랜지스터와, 액정셀 단위로 형성되어 박막 트랜지스터에 접속된 화소 전극 등과, 그들 위에 도포된 배향막으로 구성된다. 게이트 라인들과 데이터 라인들은 각각의 패드부를 통해 구동회로들로부터 신호를 공급받는다.
- [0007] 박막 트랜지스터는 게이트 라인에 공급되는 스캔신호에 응답하여 데이터 라인에 공급되는 화소 전압신호를 화소 전극에 공급한다.
- [0008] 컬러필터 어레이 기관은 액정셀 단위로 형성된 컬러필터들과, 컬러필터들간의 구분 및 외부광 반사를 위한 블랙 매트릭스와, 액정셀들에 공통적으로 기준전압을 공급하는 공통 전극 등과, 그들 위에 도포되는 배향막으로 구성된다.
- [0009] 이렇게 별도로 제작된 박막 트랜지스터 기관과 컬러필터 어레이 기관을 정렬한 후 서로 대향 합착한 다음 액정을 주입하고 봉입함으로써 완성하게 된다.
- [0010] 이러한 액정 표시 장치는 구동 방식의 차이에 따라 인접한 화소 구성을 달리할 수 있으며, 이 경우 화소 구성의 차이에 의해 오버레이에 의한 문제점이 발생한다.
- [0011] 이하, 첨부된 도면을 참조하여 Z 구동 방식의 액정 표시 장치를 설명하면 다음과 같다.
- [0012] 도 1은 일반적인 Z 구동 방식의 액정 표시 장치를 회로적으로 나타낸 도면이다.
- [0013] 도 1과 같이, Z 반전 구동 방식의 액정 표시 장치는, 복수개의 단위 화소가 매트릭스 형상으로 배치되며, R, G, B 단위 화소가 하나의 화소를 이룬다.
- [0014] 그리고, 2개의 게이트 라인이 인접하여 이격되어 이루어진 게이트 라인 쌍이 제 1 방향(가로 방향)으로 형성되며, 각 게이트 라인 쌍은 세로 방향에서 하나의 단위 화소 간격으로 이격되어 배치된다.
- [0015] 상기 게이트 라인 쌍과 교차하는 제 2 방향으로 데이터 라인이 형성되며, 상기 데이터 라인은 가로 방향에서 2개의 단위 화소마다 이격되어 배치된다.
- [0016] 그리고, 상기 데이터 라인을 기준으로 그 양측의 단위 화소들에서 서로 다른 게이트 라인과 데이터 라인과의 사이에 박막 트랜지스터가 형성된다.
- [0017] 이 때, 상기 데이터 라인은 2개의 단위 화소마다 형성되며, 상기 R, G, B 단위 화소는 3개의 단위화소별로 반복되는 것으로, 같은 색상의 모든 단위화소에 대해 동일한 위치에 박막 트랜지스터가 배치되지는 않고, 6개의 단위화소별로 같은 형상으로 박막 트랜지스터의 구성이 반복되는 것을 알 수 있다.
- [0018] 이 때, 상기 6개의 단위화소 내에서, R, G, B 단위화소는 각각 2개씩 형성되는데, 2개의 R 단위화소들과 2개의 G 단위화소들에서 해당 박막 트랜지스터는 형성 위치가 좌측 또는 우측으로 달리할 뿐이나, B 단위 화소들에서는 각각 해당 박막 트랜지스터 위치가 상측과 하측으로 서로 상하 반전과 좌우 반전이 모두 일어나는 것을 알 수 있다.
- [0019] 이하에서는, 상기 상하 반전된 화소 형상을 갖는 B(청색) 단위 화소들에서 일어나는 문제점을 살펴본다.
- [0020] 도 2는 상하 반전된 화소들에서 공통 라인의 형상을 나타낸 평면도이다.
- [0021] 도 2는 상하 반전된 화소들을 나타낸 것으로, 각각 좌측의 단위화소는 하측의 게이트 라인(Gn)과 데이터 라인(Dm)의 사이에 박막 트랜지스터가 형성되고, 우측의 단위화소는 상측의 게이트 라인(Gn-1)과 데이터 라인(Dm+p)

사이에 박막 트랜지스터가 형성되어 있다.

[0022] 여기서, 공통 라인(106a, 106b, 106c)은 각 게이트 라인쌍 들 사이에 각 단위화소들의 화소 전극(103a, 103b)들의 가장자리에서 오버랩하여, 게이트 라인의 형성 방향으로 연장되어 형성되는 것으로, 상기 화소 전극(103a, 103b)과 오버랩된 영역에서 스토리지 캐패시터를 정의한다. 이 때, 상기 각 단위 화소들에서의 공통 라인(106a, 106b)은 서로 단위화소들간 공통 라인 연결부(106c)를 통해 서로 연결되어 있으며, 게이트 라인과 같이 양쪽으로 연장되어 패드부측에서 신호를 인가받는다.

[0023] 그런데, 각 층(특히, 공통 라인과 화소 전극)간 얼라인이 정확히 이루어졌을 경우, 상기 각각 좌측 화소에서의 공통 라인(106a) 과 화소 전극(103a)간의 오버랩 면적과 우측화소에서의 공통 라인(106b)과 화소 전극(103b)간의 오버랩 면적은 동일하게 나타날 수 있다. 그러나, 상측 혹은 하측으로 오버레이(overlay)가 발생한 경우, 일측 단위화소에서는 오버랩 면적의 상승으로 스토리지 캐패시턴스가 상승하나, 타측 단위화소에서는 오버랩 면적이 오히려 떨어져 스토리지 캐패시턴스가 감소하여 단위화소간 스토리지 캐패시턴스 값의 차이가 크게 나타난다. 이로 인해 덤 블락(dim block)이 유발된다.

[0024] 이 경우, 도 2의 좌측 및 우측 단위 화소 구조는 상하 반전과 더불어 좌우 반전이 발생하기도 하였으나, 상대적으로 상하 오버레이에 의한 영향이 좌우 오버레이에 의한 영향보다 크게 나타난다. 그 이유는 도면상에서, 단위 화소 내에 화소 전극(103a, 103b)의 좌우 양측에서 공통 라인(106a, 106b)가 오버랩되어 있음을 알 수 있으나, 상하측에서는 일측만 오버랩되고 있어, 상술한 덤 블락 서로 다른 형상의 화소간 스토리지 캐패시턴스의 차로 인해 나타남을 추론할 수 있다.

발명의 내용

해결 하고자하는 과제

[0025] 상기와 같은 일반적인 Z 구동 방식의 액정 표시 장치는 다음과 같은 문제점이 있다.

[0026] Z 구동 방식의 액정 표시 장치에 있어서, R(적색), G(녹색) 단위화소들은 서로 좌우 반전된 화소 구조를 가지며, B(청색) 단위 화소들은 상하 및 좌우 반전된 화소 구조를 갖는다.

[0027] 이 경우, 화소 전극과 좌우 양측에서 오버랩하고, 상하측 중 일측과 오버랩하여 이루어지는 공통 라인의 형상으로 인해, 오버레이가 발생한 경우, 상하 반전된 화소구조를 갖는 B(청색) 화소 라인별로 스토리지 캐패시턴스 값의 차가 크게 발생하여, 이로 인해 청색 화소들의 덤 블락(dim block)이 발생하게 된다.

[0028] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로 데이터 라인에 대해 지그재그 방식으로 신호가 인가되는 Z구동 방식에 있어서, 구조를 변경하여 상대적으로 상하 반전된 형상의 화소 구조를 갖는 청색 화소들에서, 오버레이에 의한 덤 블락을 방지한 액정 표시 장치 및 이의 제조 방법을 제공하는 데, 그 목적이 있다.

과제 해결수단

[0029] 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는, 복수개의 화소 영역이 매트릭스 상으로 정의된 기판;과, 상기 기판 상에 제 1 방향으로 인접한 제 1, 제 2 게이트 라인을 포함하여, 전단(前段: previous line)의 제 2 게이트 라인과 현단(現段: current line) 제 1 게이트 라인이 일 화소 영역간 이격하여 배치된 복수개의 게이트 라인 쌍;과, 상기 제 1 방향과 교차하는 제 2 방향으로 2 화소 영역마다 배치된 복수개의 데이터 라인;과, 상기 각 데이터 라인과 상기 현단 제 1 게이트 라인 사이의 제 1 화소 영역에 형성된 제 1 박막 트랜지스터;와, 상기 각 데이터 라인과 상기 전단 제 2 게이트 라인 사이의 제 2 화소 영역에 형성된 제 2 박막 트랜지스터;와, 상기 제 1 박막 트랜지스터와 접속되어 제 1 화소 영역에 형성되며, 상기 제 1 게이트 라인측으로 돌출된 제 1 목단부를 갖는 제 1 화소 전극;과, 상기 제 2 박막 트랜지스터와 접속되어 제 2 화소 영역에 형성되며, 상기 제 2 게이트 라인측으로 돌출된 제 2 목단부를 갖는 제 2 화소 전극;과, 상기 제 1 화소 전극 및 제 2 화소 전극의 가장자리를 폐고리 형상으로 오버랩하여 지나며, 제 1, 제 2 화소 전극간 서로 연결된 공통 라인을 포함하여 이루어진 것에 그 특징이 있다.

[0030] 상기 제 1 목단부와 상기 제 2 목단부는 상기 공통 라인의 외측으로 연장되도록 형성된다. 그리고, 상기 제 1 목단부와 상기 제 2 목단부는 상기 공통 라인의 교차하는 부분에서 동일 폭을 갖는다. 여기서, 상기 제 1 목단

부와 상기 제 2 목단부는 상기 공통 라인과의 교차부에서 8~12 μ m의 폭을 갖는 것이 바람직하다.

- [0031] 상기 제 1 박막 트랜지스터는 상기 제 1 목단부와 전기적 콘택부를 갖고, 상기 제 2 박막 트랜지스터는 상기 제 2 목단부와 전기적 콘택부를 갖는다.
- [0032] 상기 제 1 화소 전극과 제 2 화소 전극은, 각각 상기 공통 라인과 좌우에서 동일폭 오버랩하도록 설계되고, 상하에서 제 1, 제 2 목단부를 제외하고 동일 폭 오버랩하도록 설계된다.
- [0033] 상기 제 1, 제 2 화소 영역은 동일 색상의 화소에 대응된다. 혹은 상기 복수개의 화소 영역들은 상기 제 2 방향의 라인별로 적색, 녹색 및 청색 화소가 반복되며, 청색 화소가 상기 제 1, 제 2 화소 영역에 대응될 수도 있다.
- [0034] 또한, 동일한 목적을 달성하기 위한 본 발명의 액정 표시 장치의 제조 방법은, 복수개의 화소 영역이 매트릭스 상으로 정의된 기판을 준비하는 단계;와, 상기 기판 상에 제 1 금속을 선택적으로 제거하여, 제 1 방향으로 인접한 제 1, 제 2 게이트 라인을 포함하여, 전단(前段: previous line)의 제 2 게이트 라인과 현단(現段: current line) 제 1 게이트 라인이 일 화소 영역간 이격하여 배치된 복수개의 게이트 라인 쌍과, 상기 전단의 제 1 게이트 라인과 현단 제 1 게이트 라인 사이의 각 화소 영역들에 대해 페고리형 패턴과 이들 페고리 패턴을 연결하는 연결부를 갖는 공통 라인을 형성하는 단계;와, 상기 복수개의 게이트 라인 쌍과 공통 라인을 포함한 기판 상에 게이트 절연막을 증착하는 단계;와, 상기 게이트 절연막 상에 반도체층 및 제 2 금속을 선택적으로 제거하여, 상기 제 1방향과 교차하는 제 2 방향으로 2화소마다 이격하여 복수개의 데이터 라인과 상기 각 데이터 라인과 상기 현단 제 1 게이트 라인 사이의 제 1 화소 영역에 제 1 박막 트랜지스터와, 상기 각 데이터 라인과 상기 전단 제 2 게이트 라인 사이의 제 2 화소 영역에 제 2 박막 트랜지스터를 형성하는 단계;와, 상기 데이터 라인, 제 1, 제 2 박막 트랜지스터를 포함한 상기 게이트 절연막 상에 보호막을 형성하는 단계; 및 상기 보호막 상에 투명 전극을 증착하고 이를 선택적으로 제거하여, 상기 제 1 화소 영역에 상기 제 1 게이트 라인측으로 돌출된 제 1 목단부를 갖는 제 1 화소 전극과, 상기 제 2 화소 영역에 형성되며, 상기 제 2 게이트 라인측으로 돌출된 제 2 목단부를 갖는 제 2 화소 전극을 형성하는 단계를 포함하여 이루어진 것에 또 다른 특징이 있다.
- [0035] 상기 보호막을 형성하는 단계에서, 상기 보호막의 전면 후 상기 제 1, 제 2 목단부에 오버랩되는 상기 제 1 박막 트랜지스터와 제 2 박막 트랜지스터가 노출되도록 제거하여 제 1, 제 2 콘택홀을 형성하는 단계를 더 포함할 수 있다.

효 과

- [0036] 상기와 같은 본 발명의 액정 표시 장치 및 이의 제조방법은 다음과 같은 효과가 있다.
- [0037] 첫째, 본 발명의 액정 표시 장치는 상하 반전 구조를 갖는 청색 화소에 있어서, 공통 라인의 형상을 화소 전극과 상하 및 좌우에서 모두 오버랩되는 부분을 갖도록 형성하여, 상하 좌우 오버레이가 발생하더라도, 각 화소에서 일측이 타측을 보상하여 결과적으로 스토리지 캐패시턴스 값이 각 반전 구조의 화소들간 동일하게 하여, 덤블락을 방지할 수 있다.
- [0038] 둘째, 화소 전극의 형상을 변경하여, 공통 라인을 지나 해당 화소의 박막 트랜지스터와 연결된 게이트 라인측에 인접하도록 연장된 목단부를 더 구비하여, 적어도 연장된 부분으로 인해 오버레이가 일어나더라도 목단부측에서 동일 수준의 스토리지 캐패시턴스가 확보되어 공통 라인과 화소 전극의 층간 오버랩 마진을 가질 수 있게 된다.
- [0039] 셋째, 상술한 구조적 변경에 의해 결과적으로 스토리지 캐패시턴스의 밸런스(balance)를 유지할 수 있다.
- [0040] 넷째, 상술한 설명에서 상하 반전 구조의 대칭성은 비단 청색 화소에만 적용되는 것이 아니라 타 색상에도 적용될 수 있다.

발명의 실시를 위한 구체적인 내용

- [0041] 이하, 첨부된 도면을 참조하여 본 발명의 액정 표시 장치 및 이의 제조 방법을 상세히 설명하면 다음과 같다.
- [0042] 도 3은 본 발명의 액정 표시 장치에 있어서, 청색 단위 화소들의 두 가지 유형 각각의 화소 전극과 공통 라인의 관계를 나타낸 개략 도면이다.
- [0043] 본 발명의 액정 표시 장치는, 도 1에 도시된 Z 구동 방식(데이터 라인을 기준으로 지그재그로 구동 신호가 인가

됨)의 액정 표시 장치와 같이, 하기와 같은 구성을 갖는다.

- [0044] 즉, 본 발명의 액정 표시 장치는, 복수개의 단위 화소가 매트릭스 형상으로 배치되며, R(적색), G(녹색), B(청색) 단위 화소가 하나의 화소를 이룬다.
- [0045] 그리고, 2개의 게이트 라인이 인접하여 이격되어 이루어진 게이트 라인 쌍이 제 1 방향(가로 방향)으로 형성되며, 각 게이트 라인 쌍은 세로 방향에서 하나의 단위 화소 간격으로 이격되어 배치된다.
- [0046] 상기 게이트 라인 쌍과 교차하는 제 2 방향으로 데이터 라인이 형성되며, 상기 데이터 라인은 가로 방향에서 2개의 단위 화소마다 이격되어 배치된다.
- [0047] 그리고, 상기 데이터 라인을 기준으로 그 양측의 단위 화소들에서 서로 다른 게이트 라인과 데이터 라인의 사이에 박막 트랜지스터가 형성된다.
- [0048] 이 때, 상기 데이터 라인은 2개의 단위 화소마다 형성되며, 상기 R, G, B 단위 화소는 3개의 단위화소별로 반복되는 것으로, 같은 색상의 모든 단위화소에 대해 동일한 위치에 박막 트랜지스터가 배치되지는 않고, 6개의 단위화소별로 같은 형상으로 박막 트랜지스터의 구성이 반복되는 것을 알 수 있다.
- [0049] 이 때, 상기 6개의 단위화소 내에서, R, G, B 단위화소는 각각 2개씩 형성되는데, 2개의 R 단위화소들과 2개의 G 단위화소들에서 해당 박막 트랜지스터는 형성 위치가 좌측 또는 우측으로 달리할 뿐이나, B 단위 화소들에서는 각각 해당 박막 트랜지스터 위치가 상측과 하측으로 서로 상하 반전과 좌우 반전이 모두 일어나는 것을 알 수 있다.
- [0050] 이하, 상기 상하 반전의 화소 구조를 갖는 B(청색) 단위 화소들의 형상에 대해 구체적으로 살펴본다. 편의상 도 3과 같이, 하측에 박막 트랜지스터를 갖는 청색 단위 화소를 제 1 화소, 상측에 박막 트랜지스터를 갖는 청색 단위 화소를 제 2 화소라 한다.
- [0051] 먼저, 본 발명의 액정 표시 장치에 있어서, 하측에 박막 트랜지스터를 구비한 제 1 화소를 살펴보면, 하측의 게이트 라인(201)과 이와 교차하는 데이터 라인(202) 사이에 제 1 박막 트랜지스터(TFT1)가 형성됨을 알 수 있다.
- [0052] 그리고, 상기 제 1 박막 트랜지스터(TFT1)와 연결되어, 제 1 화소 전극(203a)이 형성된다. 여기서, 상기 제 1 화소 전극(203a)은 상기 제 1 박막 트랜지스터(TFT1)와 연결된 게이트 라인(Gn)과 인접하도록 돌출된 제 1 목단부(203b)를 더 구비한다.
- [0053] 또한, 상기 제 1 화소 전극(203a)의 가장자리를 오버랩하며 폐고리 형상으로 제 1 공통 라인(221a)이 형성된다. 여기서, 상기 제 1 공통 라인(221a)과 제 1 화소 전극(203a)과의 오버랩 부위에, 그 층 사이에 게이트 절연막(도 5의 234), 보호막(235)을 개재하여 스토리지 캐패시터가 정의된다.
- [0054] 제 2 화소는 상기 제 1 화소와 박막 트랜지스터가 상하좌우 반전되어 형성된 것으로 상측의 게이트 라인(Gn-1)과 이와 교차하는 데이터 라인(Dm+p) 사이에 제 2 박막 트랜지스터(TFT2)가 형성된다.
- [0055] 상기 제 2 박막 트랜지스터(TFT2)와 연결되어, 제 2 화소 전극(213a)이 형성된다. 여기서, 상기 제 2 화소 전극(213a)은 상기 제 2 박막 트랜지스터(TFT2)와 연결된 게이트 라인(Gn-1)과 인접하도록 돌출된 제 2 목단부(213b)를 더 구비한다.
- [0056] 또한, 상기 제 2 화소 전극(213a)의 가장자리를 오버랩하며 폐고리 형상으로 제 2 공통 라인(221b)이 형성된다. 여기서, 상기 제 2 공통 라인(221b)과 제 2 화소 전극(213a)과의 오버랩 부위에, 그 층 사이에 게이트 절연막(도 5의 234), 보호막(235)을 개재하여 스토리지 캐패시터가 정의된다.
- [0057] 도 4는 본 발명의 액정 표시 장치에 있어서, 청색 단위 화소들의 두 가지 유형을 나타낸 평면도이며, 도 5a 및 도 5b는 도 4의 I~I' 선상 및 II~II' 선상을 지나는 단면도이다.
- [0058] 하측에 박막 트랜지스터를 갖는 청색 단위 화소를 제 1 화소, 상측에 박막 트랜지스터를 갖는 청색 단위 화소를 제 2 화소라 한다.
- [0059] 도 4 내지 도 5b와 같이, 본 발명의 액정 표시 장치는, 복수개의 화소 영역이 매트릭스 상으로 정의된 기관(100)과, 상기 기관(100) 상에 제 1 방향으로 인접한 제 1, 제 2 게이트 라인(201, 211)을 포함하여, 전단(前段: previous line)의 제 2 게이트 라인(211)과 현단(現段: current line) 제 1 게이트 라인(201)이 일 화소 영역간 이격하여 배치된 복수개의 게이트 라인 쌍과, 상기 제 1 방향과 교차하는 제 2 방향으로 2 화소 영

역마다 배치된 복수개의 데이터 라인(202, 212)과, 상기 각 데이터 라인(202, 212)과 상기 현단 제 1 게이트 라인(201) 사이의 제 1 화소 영역에 형성된 제 1 박막 트랜지스터(TFT1)와, 상기 각 데이터 라인(202, 212)과 상기 전단 제 2 게이트 라인(211) 사이의 제 2 화소 영역에 형성된 제 2 박막 트랜지스터(TFT2)와, 상기 제 1 박막 트랜지스터(TFT1)와 접속되어 제 1 화소 영역에 형성되며, 상기 제 1 게이트 라인(201)측으로 돌출된 제 1 목단부(203b)를 갖는 제 1 화소 전극(203a)과, 상기 제 2 박막 트랜지스터(TFT2)와 접속되어 제 2 화소 영역에 형성되며, 상기 제 2 게이트 라인(211)측으로 돌출된 제 2 목단부(213b)를 갖는 제 2 화소 전극(213a)과, 상기 제 1 화소 전극(203a)과 제 2 화소 전극(213a)의 가장자리를 폐고리 형상으로 오버랩하여 지나며, 제 1, 제 2 화소 전극(203a, 213a)간 서로 연결된 연결부(221c)를 포함한 제 1 공통 라인(221a, 221b)을 포함하여 이루어진다.

[0060] 구체적으로, 하측에 박막 트랜지스터(TFT1)를 구비한 제 1 화소를 살펴보면, 하측의 게이트 라인(201)과 이와 교차하는 데이터 라인(202) 사이에 박막 트랜지스터가 형성됨을 알 수 있다.

[0061] 이 때, 상기 박막 트랜지스터는 상기 하측의 게이트 라인(201)으로부터 돌출된 제 1 게이트 전극(201a)과, 상기 게이트 라인(201)을 교차하며 지나는 데이터 라인(202)으로부터 상기 게이트 전극(201a)과 'ㄷ' 형상으로 돌출되어 오버랩된 제 1 소오스 전극(202a)과, 상기 제 1 소오스 전극(202a)과 이격하며 상기 제 1 소오스 전극(202a)의 'ㄷ' 형상으로 들어오는 제 1 드레인 전극(202b)을 포함하여 이루어진다. 여기서, 상기 제 1 소오스 전극(202a)이 'ㄷ'의 형상을 갖는 것으로 제 1 드레인 전극(202b)과의 사이의 영역에 정의되는 채널 영역의 W/L 값을 크게 하여 채널 특성을 향상시키기 위함이다.

[0062] 여기서, 상기 제 1 소오스 전극(202a)과 제 1 드레인 전극(202b)의 하부에는 반도체층(204)이 형성되며, 상기 반도체층(204)은 도시되지는 않았지만, 상기 제 1 소오스 전극(202a)과 제 1 드레인 전극(202b) 사이의 영역에 채널이 정의된다.

[0063] 여기서, 제 1 화소 전극(203a)은 상기 박막 트랜지스터에 연결된 게이트 라인과 인접하게 제 1 목단부(203b)가 돌출되어 형성되며, 상기 제 1 화소 전극의 제 1 목단부(203b)는 층상으로 하부의 제 1 공통 라인(221a)과, 제 1 드레인 전극(202b)을 지나도록 형성된다.

[0064] 그리고, 제 1 공통 라인(221a)은 상기 제 1 게이트 라인(201)과 동일층에 형성되는 것으로, 상기 제 1 화소 전극(203a)의 가장자리의 네변에서 모두 오버랩되어 폐고리 형상으로 형성되며, 인접한 단위 화소들간에 연결부(221c)를 통해 서로 연결된다.

[0065] 또한, 층상의 관계를 살펴보면, 상기 게이트 라인(201), 제 1 게이트 전극(201a), 제 1 공통 라인(221a) 및 연결부(221c)를 덮으며 기판(200) 상에 게이트 절연막(234)이 형성되고, 상기 게이트 절연막(234) 상에 상기 반도체층(204)이 형성되고, 상기 반도체층(204) 상부에 데이터 라인(202), 제 1 소오스 전극(202a) 및 제 1 드레인 전극(202b)이 형성된다. 또한, 상기 데이터 라인(202), 제 1 소오스 전극(202a) 및 제 1 드레인 전극(202b)을 덮으며 상기 게이트 절연막(234) 상에 보호막(235)이 형성되고, 상기 보호막(235) 상에 제 1 화소 전극(203a) 및 제 1 목단부(203b)가 형성된다.

[0066] 여기서, 상기 제 1 화소 전극(203a)의 제 1 목단부(203b)에서 상기 제 1 드레인 전극(202b)과 오버랩된 부위에서 보호막(235)이 제거되어 제 1 콘택홀(235a)이 정의되어 상기 제 1 화소 전극(203a)과 상기 제 1 드레인 전극(202b)과의 콘택이 형성된다.

[0067] 한편, 상기 제 1 화소 전극(203a) 및 제 1 목단부(203b)와 상기 제 1 공통 라인(221a)이 오버랩된 부분에 있어서, 그 층간(게이트 절연막 및 보호막)에 스토리지 캐패시터가 정의된다. 이 경우, 상기 제 1 공통 라인(221a)과 상기 제 1 화소 전극(203a)은 상기 제 1 화소 전극(203a)의 네변의 가장자리에서 오버랩되며, 각각 좌우측의 제 1 공통 라인(221a)이 거의 동일 폭으로 오버랩된다. 상하측의 제 1 공통 라인(221a)에 대하여 상기 제 1 화소 전극(203a)은 평탄부에서는 상하에서 거의 동일 폭으로 오버랩되며, 하측의 게이트 라인(201)측으로 인접한 제 1 목단부(203b)가 상기 화소 전극(203a)으로부터 상기 제 1 화소 전극(203a)의 외부로 나온 제 1 공통 라인(221a)의 폭을 모두 지나도록 연장되어, 상하 방향에서 오버레이가 발생하더라도, 상기 제 1 목단부(203b)에서 충분히 제 1 공통 라인(221a)과 오버랩 영역을 확보하도록 한다. 여기서, 상기 제 1 목단부(203b)가 상기 제 1 공통 라인(221a)을 지날 때, 동일 폭을 유지하도록 한다. 이 때, 상기 제 1 목단부(203b)와 상기 제 1 공통 라인(221a)의 오버랩되는 폭은 약 8~12 μ m 정도로 하며, 해상도가 허여되는 한 보다 작게도 형성할 수 있다.

[0068] 상술한 화소 구조와 상하 좌우 반전된 형상의 제 2 화소를 도 3의 우측 화소 및 도 4b를 이용하여 설명한다.

[0069] 도 3에서 나타난 바와 같이, 제 2 화소는 제 1 화소를 상하좌우 반전시켜 놓은 것으로, 그 반전 구성의 차이점

이 있을 뿐, 층상 구조는 상술한 제 1 화소 구조와 동일한다.

- [0070] 즉, 상기 제 2 화소에 있어서, 박막 트랜지스터가 상측 게이트 라인(211)과 이에 교차하는 데이터 라인(212)과의 교차부에서 형성되어 있으며, 상기 그 박막 트랜지스터는 상기 상측의 게이트 라인(211)으로부터 돌출된 제 2 게이트 전극(211a)과, 상기 게이트 라인(211)을 교차하며 지나가는 데이터 라인(212)으로부터 상기 제 2 게이트 전극(211a)과 'C' 형상으로 돌출되어 오버랩된 제 2 소오스 전극(212a)과, 상기 제 2 소오스 전극(212a)과 이격하며 상기 제 2 소오스 전극(212a)의 'C' 형상으로 들어오는 제 2 드레인 전극(212b)을 포함하여 이루어진다.
- [0071] 여기서, 상기 제 2 소오스 전극(212a)과 제 2 드레인 전극(212b)의 하부에는 반도체층(204)이 형성되며, 상기 반도체층(204)은 도시되지는 않았지만, 상기 제 2 소오스 전극(212a)과 제 2 드레인 전극(212b) 사이의 영역에 채널이 정의된다.
- [0072] 여기서, 제 2 화소 전극(213a)은 상기 박막 트랜지스터에 연결된 상측 게이트 라인(211)과 인접하게 제 2 목단부(213b)가 돌출되어 형성되며, 상기 제 2 화소 전극의 제 2 목단부(213b)는 층상으로 하부의 제 2 공통 라인(221b)과, 제 2 드레인 전극(212b)을 지나도록 형성된다.
- [0073] 그리고, 제 2 공통 라인(221b)은 상기 게이트 라인(211)과 동일층에 형성되는 것으로, 상기 제 2 화소 전극(213a)의 가장자리의 네변에서 모두 오버랩되어 패고리 형상으로 형성되며, 인접한 단위 화소들간에 연결부(221c)을 통해 서로 연결된다.
- [0074] 여기서, 상기 제 2 화소 전극(213a)의 제 2 목단부(213b)에서 상기 제 2 드레인 전극(212b)과 오버랩된 부위에서 보호막(235)이 제거되어 제 2 콘택홀(235b)이 정의되어 상기 화소 전극(213a)과 상기 드레인 전극(212b)과의 콘택이 형성된다.
- [0075] 한편, 상기 제 2 화소 전극(213a) 및 제 2 목단부(213b)와 상기 제 2 공통 라인(221b)이 오버랩된 부분에 있어서, 그 층간(게이트 절연막 및 보호막)에 스토리지 캐패시터가 정의된다. 이 경우, 상기 제 2 공통 라인(221b)과 상기 제 2 화소 전극(213a)은 상기 화소 전극(213a)의 네변의 가장자리에서 오버랩되며, 각각 좌우측의 제 2 공통 라인(221b)이 거의 동일 폭으로 오버랩된다. 상하측의 제 2 공통 라인(221b)에 대하여 상기 제 2 화소 전극(213a)은 평탄부에서는 상하에서 거의 동일 폭으로 오버랩되며, 상측의 게이트 라인(211)측으로 인접한 제 2 목단부(213b)가 상기 제 2 화소 전극(213a)으로부터 상기 제 2 화소 전극(213a)의 외부로 나온 제 2 공통 라인(221b)의 폭을 모두 지나도록 연장되어, 상하 방향에서 오버레이가 발생하더라도, 상기 제 2 목단부(213b)에서 충분히 제 2 공통 라인(221b)과 오버랩 영역을 확보하도록 한다.
- [0076] 이하, 본 발명의 액정 표시 장치에 있어서, 상기 제 1 화소와 제 2 화소에서 오버레이가 발생하였을 때 나타내는 현상을 살펴본다.
- [0077] 즉, 화소 전극의 층과 공통 라인/게이트 라인층간 오버레이가 발생된 경우를 고려한다. 만일 상대적으로 화소 전극의 층이 상기 공통 라인/게이트 라인층에 비해 도 4의 도면상에서 상측으로 오버레이가 발생되었다고 할 때, 제 1 화소에 있어서는, 정상 얼라인시보다 상측부에서 상기 제 1 화소 전극(203a)과 제 1 공통 라인(221a)의 오버랩 면적이 늘게 되고, 하측부에서는 오버랩 면적이 줄게 된다. 그러나, 상기 하측부에서 상대적으로 제 1 공통 라인(221a)에 비해 그 하부 외측으로 길게 연장되어 형성된 제 1 목단부(203b)에서는 오버레이 유무와 관계없이 거의 동일 수준으로 오버랩 면적이 확보되는 것을 알 수 있다.
- [0078] 이러한 상측으로 오버레이시 제 2 화소에 있어서는, 제 1 화소와 마찬가지로, 상측에서는 제 2 화소 전극(203a)과 제 2 공통 라인(221b)과 오버랩 면적이 늘게 되고, 하측부에서는 오버랩 면적이 줄게 된다. 이 때, 상기 제 2 목단부(213b)는 상기 오버랩된 제 2 공통 라인(221b)과 오버레이 유무와 관계없이 거의 동일 수준으로 오버랩 면적이 확보된다.
- [0079] 이 경우, 상기 목단부(203b, 213b)의 설계시 상기 공통 라인(221a, 221b)과의 오버랩되는 부위에서 폭을 일정하게 하여 상하 어느 방향으로 오버랩되더라도 동일 수준의 오버랩 면적을 갖도록 한다.
- [0080] 여기서, 하측에서 줄어드는 오버랩 면적만큼 늘어난 상측 오버랩 면적이 이를 보상하여, 결과적으로, 오버레이에 관계없이, 목단부를 제외한 나머지 부분에서도 상쇄 효과에 의해 일정한 스토리지 캐패시턴스를 가짐을 알 수 있으며, 이는 제 1, 제 2 화소간 마찬가지로 알 수 있다. 따라서, 오버레이에 의한 영향없이 본 발명의 액정 표시 장치에 있어서, 상하 반전 구조를 갖는 화소간에서도 일정한 스토리지 캐패시턴스를 유지하게 되어, 화소

간 스토리지 캐패시턴스 차에 의한 덤 블락을 방지하게 된다.

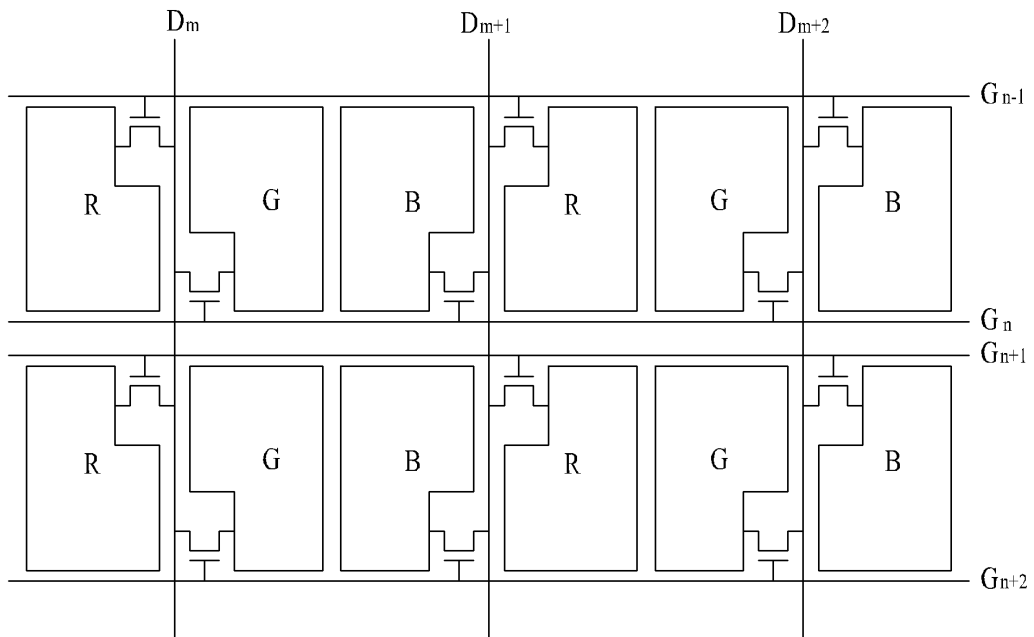
- [0081] 만일 상대적으로 화소 전극의 층이 공통 라인/게이트 라인층에 대해 도 3의 도면상에서 하측으로 오버레이가 발생되었다고 할 때, 이는 상술한 바와 비교하여, 제 1, 제 2 화소부에서 각각의 화소 전극과 공통 라인의 오버랩 면적이 상측부에서 줄고 하측부에서 줄어주는 점, 즉, 오버랩의 면적의 증감을 갖는 부분이 반대로 있는 것을 제외하고는 상술한 바와 동일한 효과를 갖는다.
- [0082] 즉, 본 발명의 액정 표시 장치에 있어서, 서로 다른 화소 구조를 가지고 있지만, 상기 제 1, 제 2 화소의 각각의 픽단부는 오버레이에 관계없이 거의 동일 수준으로 오버랩 면적이 확보되고, 픽단부를 제외한 나머지 상하 영역에서는 상기 제 1, 제 2 화소간 상측 또는 하측으로 늘어난 면적과 줄어든 면적이 거의 동일한 값을 가져 화소간 스토리지 캐패시턴스 값의 차가 없게 된다. 이에 의해 화소 간 스토리지 캐패시턴스 밸런싱(storage capacitance balancing) 효과를 갖게 된다.
- [0083] 즉, 본 발명의 액정 표시 장치에 있어서, 상하 반전 구조를 갖는 색상의 화소는 상하나 좌우 오버레이가 어느 방향으로 발생하더라도 그 대칭적 구조에 의해 보상 효과를 가져 오버레이가 발생하더라도 정상 얼라인 상태와 유사한 수준의 스토리지 캐패시턴스를 가질 수 있게 되고, 반전 구조간의 스토리지 캐패시턴스의 차가 없게 된다. 이러한 스토리지 캐패시턴스 밸런싱 효과는 비단 상술한 청색 화소에만 대응되는 것이 아니라, 이와 다른 색상의 화소를 상술한 제 1, 제 2 화소의 구조에 대응시켜 적용 가능할 것이다.
- [0084] 즉, 적색, 녹색 화소 혹은 백색 화소에서도 본 발명의 각 화소별로 화소 내에서 화소 전극에 대해 공통 라인이 서로 상하 좌우 대칭형의 형상으로 오버랩되는 경우, 상하 좌우 어느 방향으로 오버레이가 발생하더라도 서로 대칭적으로 보상적 효과를 가져 정상 얼라인시와 동일 또는 유사 수준의 스토리지 캐패시턴스를 유지할 수 있게 되어 덤 블락을 방지할 수 있게 된다.
- [0085] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

도면의 간단한 설명

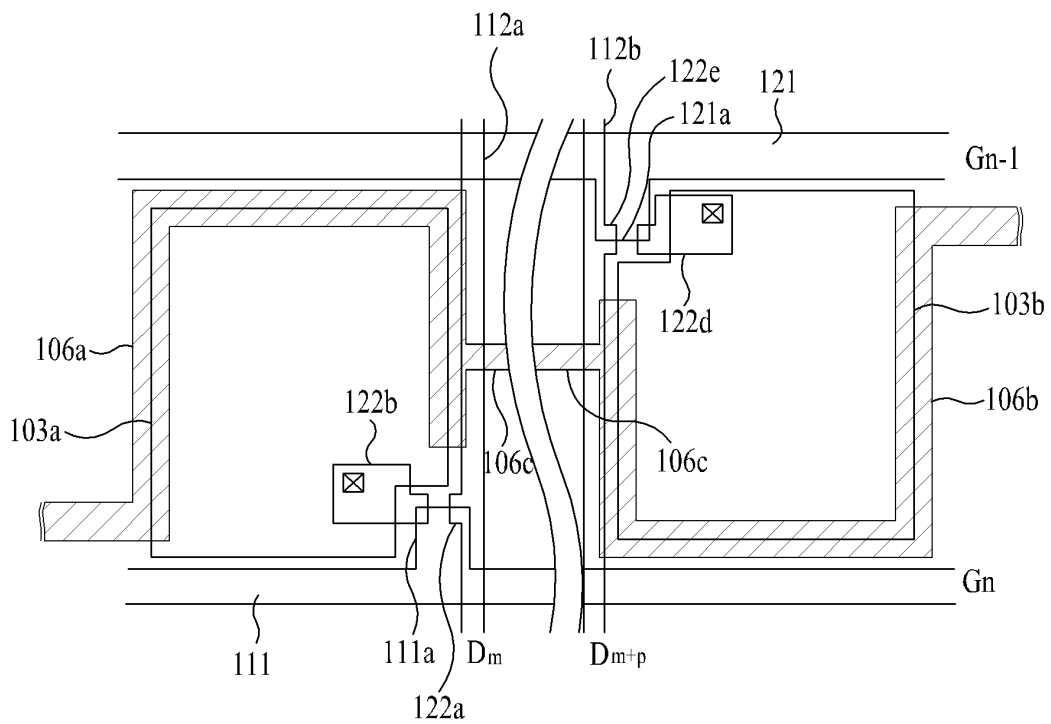
- [0086] 도 1은 일반적인 Z 반전 구동 방식의 액정 표시 장치를 회로적으로 나타낸 도면
- [0087] 도 2는 상하 반전된 단위 화소들에서 공통 라인의 형상을 나타낸 평면도
- [0088] 도 3은 본 발명의 액정 표시 장치에 있어서, 청색 단위 화소들의 두 가지 유형 각각의 화소 전극과 공통 라인의 관계를 나타낸 개략 도면
- [0089] 도 4는 본 발명의 액정 표시 장치에 있어서, 청색 단위 화소들의 두 가지 유형을 구체적으로 나타낸 평면도
- [0090] 도 5a 및 도 5b는 도 4의 I~I'선상 및 II~II' 선상을 지나는 단면도
- [0091] *도면의 주요 부분에 대한 부호의 설명*
- | | | |
|--------|---------------------|---------------------|
| [0092] | 201, 211 : 게이트 라인 | 201a, 211a : 게이트 전극 |
| [0093] | 202, 212 : 데이터 라인 | 202a, 212a : 소오스 전극 |
| [0094] | 202b, 212b : 드레인 전극 | 203, 213 : 화소 전극 |
| [0095] | 203a, 213a : 화소 픽단부 | 221a, 221b : 공통 라인 |
| [0096] | 221c : 공통 라인 연결부 | 204 : 반도체층 |

도면

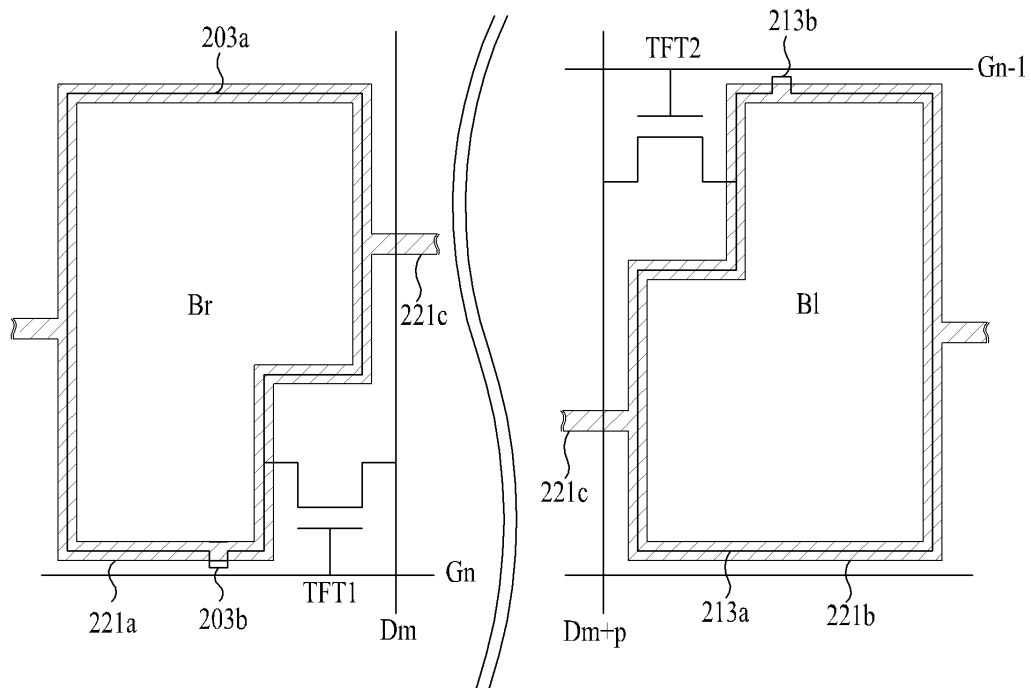
도면1



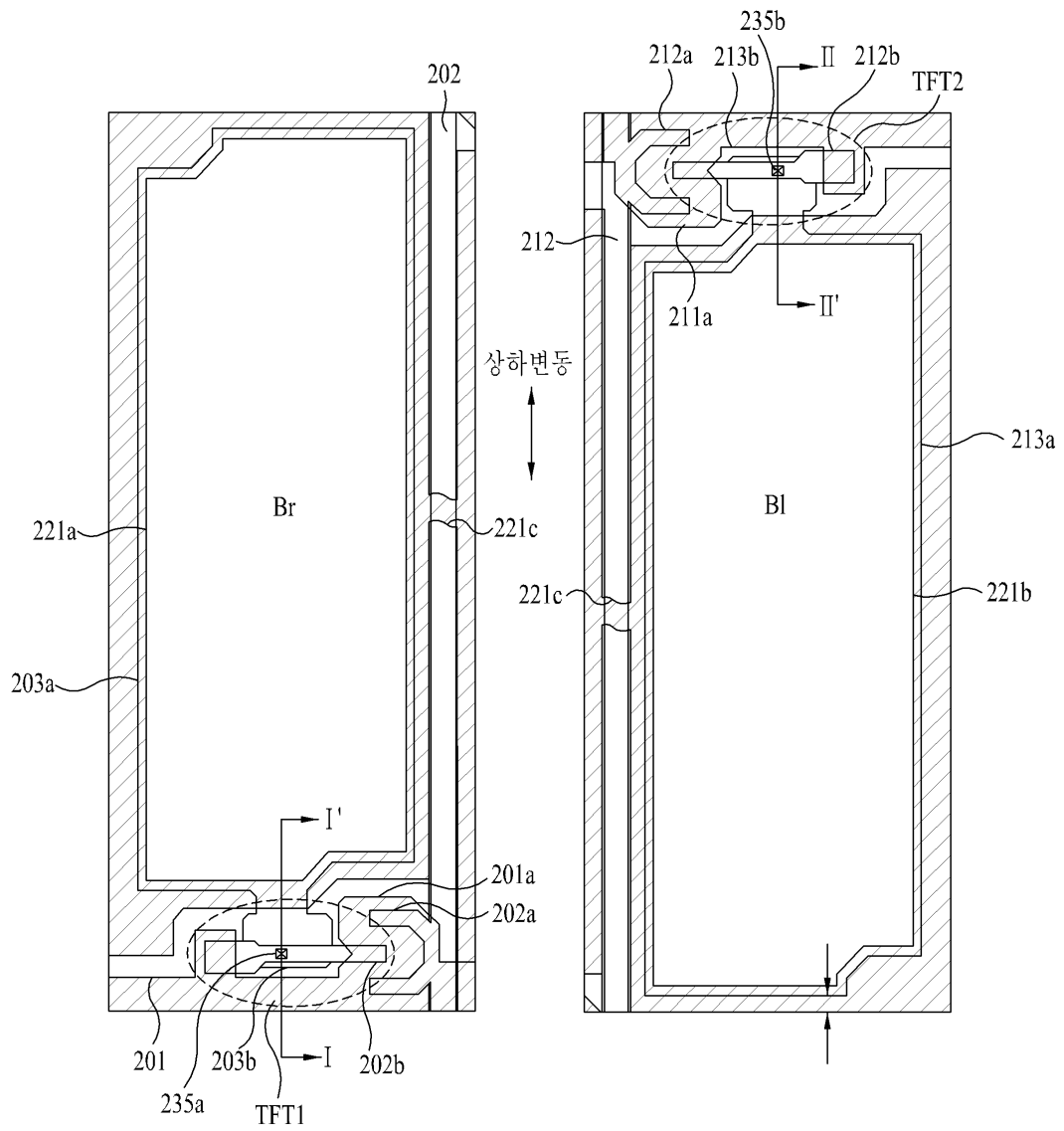
도면2



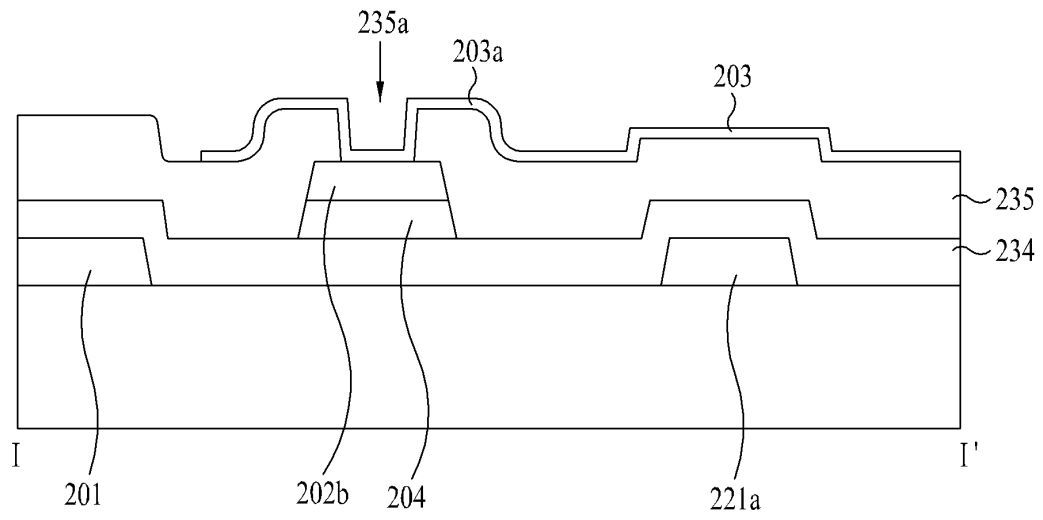
도면3



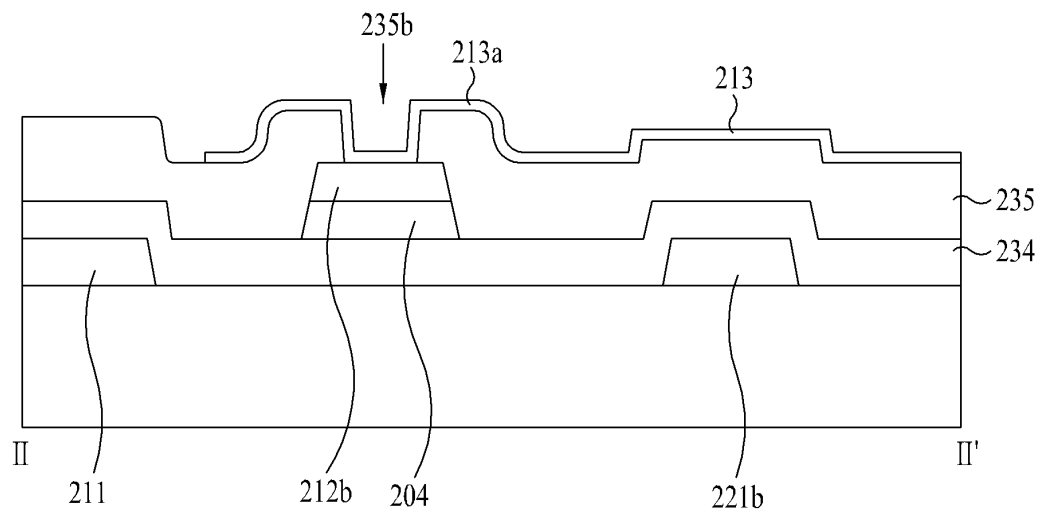
도면4



도면5a



도면5b



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101243825B1	公开(公告)日	2013-03-18
申请号	KR1020080130087	申请日	2008-12-19
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	CHO SUK HO		
发明人	CHO,SUK HO		
IPC分类号	G02F1/1343 G02F G02F1/136		
CPC分类号	G02F1/136286 G02F2201/52		
代理人(译)	金勇 年轻的小公园		
其他公开文献	KR1020100071390A		
外部链接	Espacenet		

摘要(译)

液晶显示器技术领域本发明涉及一种液晶显示器，其中在Z型驱动中，在其中信号以Z字形施加到数据线的情况下，在具有倒置倒置结构的蓝色像素中防止由覆盖引起的暗块。

