



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월13일
(11) 등록번호 10-1243114
(24) 등록일자 2013년03월07일

(51) 국제특허분류(Int. Cl.)

G02F 1/1339 (2006.01)

(21) 출원번호 10-2010-0022347

(22) 출원일자 2010년03월12일

심사청구일자 2010년03월12일

(65) 공개번호 10-2010-0103424

(43) 공개일자 2010년09월27일

(30) 우선권주장

200910079953.0 2009년03월13일 중국(CN)

(56) 선행기술조사문헌

KR1020080050851 A*

KR1020020029841 A*

KR1020080057433 A*

KR1020040011161 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드

중국 베이징 100176 비디에이 시환중로 8호

(72) 발명자

민 태엽

중국 베이징 100176 비디에이 지하우안중로 8호

페이 양

중국 베이징 100176 비디에이 지하우안중로 8호

(뒷면에 계속)

(74) 대리인

리엔목특허법인

전체 청구항 수 : 총 9 항

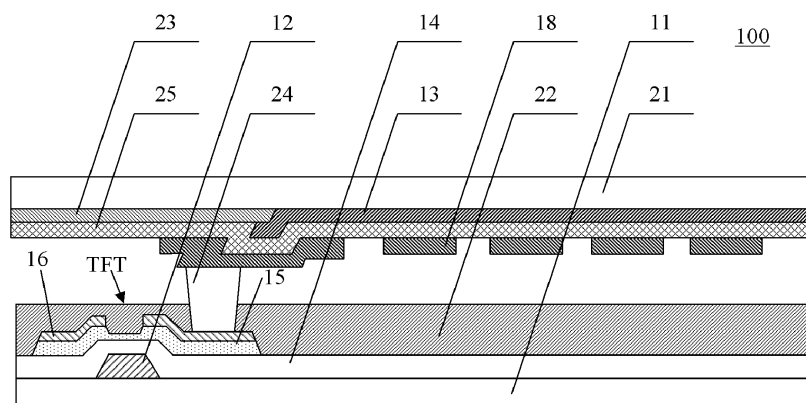
심사관 : 김효욱

(54) 발명의 명칭 수평 전계형 액정 디스플레이 장치 및 그 제조 방법

(57) 요약

본 발명의 실시예는 수평 전계형 액정 디스플레이 장치 및 그 제조 방법에 관한 것으로, 제1 기판, 제2 기판, 상기 제1 기판과 상기 제2 기판의 사이에 개재된 액정층 및 상기 제1 기판과 상기 제2 기판의 사이에 설치된 복수의 스페이서를 포함하는 해당 수평 전계형 액정 디스플레이 장치에 있어서, 상기 제1 기판은 복수의 박막 트랜지스터와, 상기 복수의 박막 트랜지스터를 구동하는 게이트 라인 및 데이터 라인을 포함하고, 상기 제2 기판은 복수의 화소 전극 및 상기 화소 전극과 대응하면서 수평 전계를 형성하는 공통 전극을 포함하며, 상기 스페이서는 상기 제1 기판 상의 각 상기 화소 전극과 제2 기판 상의 상응한 각 상기 박막 트랜지스터를 각각 전기적으로 접속하는 도전 스페이서이다.

대표도 - 도2



(72) 발명자

왕 정

중국 베이징 100176 비디에이 지하우안종루 8호

가오 원바오

중국 베이징 100176 비디에이 지하우안종루 8호

특허청구의 범위

청구항 1

수평 전계형 액정 디스플레이 장치에 있어서,

박막 트랜지스터, 상기 박막 트랜지스터를 구동하는 게이트 라인 및 데이터 라인을 포함하는 제 1 기판;

화소 전극 및 상기 화소 전극과 대응하면서 수평 전계를 형성하는 공통 전극을 포함하는 제 2 기판;

상기 제1 기판과 상기 제2 기판의 사이에 개재된 액정층;

상기 제 1 기판과 상기 제 2 기판 사이에 설치된 스페이서; 및

상기 제 1 기판 상의 상기 박막 트랜지스터 상에 배치된 블랙 매트릭스 및 상기 제 1 기판 상의 상기 박막 트랜지스터와 상기 블랙 매트릭스 상에 배치된 컬러 수지를 포함하며,

상기 데이터 라인은 상기 제 1 기판 상에만 위치하고, 상기 화소 전극과 상기 공통 전극은 상기 제 2 기판 상에만 위치하면서 서로 다른 층에 배치되며,

상기 스페이서는 상기 제2 기판 상의 상기 각 화소 전극과 제1 기판 상의 대응하는 상기 각 박막 트랜지스터를 각각 전기적으로 접속하는 도전 스페이서인 것을 특징으로 하는, 수평 전계형 액정 디스플레이 장치.

청구항 2

제1항에 있어서,

각 상기 도전 스페이서는 상기 화소 전극과 상기 박막 트랜지스터를 전기적으로 접속하도록 그 일단이 대응하는 상기 화소 전극 상에 설치되고, 그 타단이 대응하는 상기 박막 트랜지스터 상에 설치된 것을 특징으로 하는 수평 전계형 액정 디스플레이 장치.

청구항 3

삭제

청구항 4

삭제

청구항 5

제1항 또는 제2항에 있어서,

상기 화소 전극에 상기 공통 전극과 함께 수평 전계를 형성하는 복수의 슬릿이 설치된 것을 특징으로 하는 수평 전계형 액정 디스플레이 장치.

청구항 6

제5항에 있어서,

상기 공통 전극에 상기 화소 전극과 함께 수평 전계를 형성하는 적어도 하나의 슬릿이 설치된 것을 특징으로 하는 수평 전계형 액정 디스플레이 장치.

청구항 7

수평 전계형 액정 디스플레이 장치의 제조 방법으로서,

박막 트랜지스터, 상기 박막 트랜지스터를 구동하는 게이트 라인 및 데이터 라인, 상기 박막 트랜지스터 상의 블랙 매트릭스 및 상기 박막 트랜지스터와 상기 블랙 매트릭스 상에 설치된 컬러 수지를 갖는 제1 기판을 제공하는 제 1 단계;

화소 전극 및 상기 화소 전극과 대응하면서 수평 전계를 형성하는 공통 전극을 설치한 제2 기판을 제공하며, 상

기 화소 전극과 상기 공통 전극은 상기 제 2 기판에만 위치하면서 서로 다른 층에 배치되는 제 2 단계;

상기 제2 기판 상의 각 상기 화소 전극과 제1 기판 상의 대응하는 각 상기 박막 트랜지스터를 각각 전기적으로 접속하는 도전 스페이서를 형성하는 제 3 단계; 및

상기 제1 기판과 상기 제2 기판을 셀화하고, 상기 제1 기판과 상기 제2 기판의 사이에 액정층을 제공하면서, 상기 도전 스페이서에 의해 상기 박막 트랜지스터와 상기 화소 전극을 전기적으로 접속하는 제 4 단계를 포함하며,

상기 데이터 라인은 상기 제 1 기판 상에만 위치하고 상기 화소 전극은 상기 제 2 기판 상에만 위치하며,

상기 공통 전극과 상기 화소 전극은 다른 층에 형성되는 것을 특징으로 하는, 수평 전계형 액정 디스플레이 장치의 제조 방법.

청구항 8

제7항에 있어서,

상기 제 3 단계에서, 상기 도전 스페이서의 일단이 상기 제1 기판의 상기 박막 트랜지스터 상에 형성되면서 타단이 노출되고, 상기 제 4 단계에서, 상기 도전 스페이서의 타단이 상기 제2 기판의 상기 화소 전극과 접속하는 것을 특징으로 하는 수평 전계형 액정 디스플레이 장치의 제조 방법.

청구항 9

제7항에 있어서,

상기 제 3 단계에서, 상기 도전 스페이서의 일단이 상기 제2 기판의 상기 화소 전극 상에 형성되면서 타단이 노출되고, 상기 제 4 단계에서, 상기 도전 스페이서의 타단이 상기 제1 기판의 상기 박막 트랜지스터와 접속하는 것을 특징으로 하는 수평 전계형 액정 디스플레이 장치의 제조 방법.

청구항 10

제7항에 있어서,

상기 화소 전극 상에 상기 공통 전극과 함께 수평 전계를 형성하는 복수의 슬릿을 형성하는 것을 특징으로 하는 수평 전계형 액정 디스플레이 장치의 제조 방법.

청구항 11

제10항에 있어서,

상기 공통 전극 상에 상기 화소 전극과 함께 수평 전계를 형성하는 적어도 하나의 슬릿을 형성하는 것을 특징으로 하는 수평 전계형 액정 디스플레이 장치의 제조 방법.

청구항 12

삭제

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

명세서

기술분야

[0001] 본 발명은 수평 전계형 액정 디스플레이 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 액정 디스플레이 장치(Liquid Crystal Display, LCD)는 중요한 패널 디스플레이(Flat Panel Display, FPD)의 하나이다.

[0003] 액정 디스플레이 장치는 액정을 구동하는 전계의 방향에 따라 수직 전계형 액정 디스플레이 장치와 수평 전계형 액정 디스플레이 장치로 나눌 수 있다. 수직 전계형 액정 디스플레이 장치는 트위스트 네마틱(Twist Nematic, TN)형 액정 디스플레이 장치를 포함한다. 수평 전계형 액정 디스플레이 장치는 프린지 전계 절환(Fringe Field Switching, FFS)형 액정 디스플레이 장치와 인플레인 스위칭(In-Plane Switching, IPS)형 액정 디스플레이 장치를 포함한다.

[0004] 액정 디스플레이 장치에 있어서는, 보통 화소 전극과 공통 전극의 사이에 축적 용량이 형성되고, 화소 전극과 데이터 라인의 사이에 기생 용량이 형성되어 있다. 축적 용량은 화상을 디스플레이하도록 액정을 배열하기 위해 사용되지만, 기생 용량은 간섭 용량으로서 액정의 정상적인 배열을 방해한다. 따라서, 액정 디스플레이 장치를 제조하는 과정에서, 기생 용량에 의한 불량을 방지하기 위해 화소 전극과 데이터 라인의 사이에 소정의 간격을 설치할 수 있다. 단, 이에 의해, 블랙 매트릭스의 차폐 면적이 늘어나기 때문에 개구율이 낮아진다. 개구율은 액정 디스플레이 장치를 평가하는 주요한 지표의 하나로서, 보통 개구율이 높으면 높을수록 바람직하다.

[0005] 개구율을 향상하는 종래 기술로서, 화소 전극과 데이터 라인의 사이에 두꺼운 유기 절연층을 도포하고, 화소 전극과 데이터 라인의 사이의 직선거리를 증가시킴으로써 기생 용량의 간섭을 낮추는 방법이 포함된다. 즉, 데이터 라인을 형성한 후에 기판 상에 유기 절연막을 형성하고, 마지막으로 해당 유기 절연막 상에 화소 전극을 형성한다. 유기 절연막을 첨가하는 해당 방법에 의해, 개구율을 30% 정도 향상시킬 수 있다.

[0006] 개구율을 향상하는 다른 종래 기술은, 어레이 기판 상에 컬러 수지를 형성하는 방법이 포함된다.

[0007] 광시각은 액정 디스플레이 장치를 평가하는 주요한 지표의 하나이기도 하다. 수평 전계 기술은 광시각을 실현하는 기술에 있어서 널리 응용되고 있는 기술이다.

[0008] 도 1은 종래의 수평 전계형 액정 디스플레이 장치의 단면 개략도이다. 도 1에 도시된 바와 같이, 해당 수평 전계형 액정 디스플레이 장치는 제1 기판(11)과 제2 기판(21)을 포함한다. 제1 기판(11)에서는, 공통 전극(13)이 제1 기판(11)에 위치하고, 게이트 전극(12)이 공통 전극(13)의 일측에 위치하며, 게이트 절연층(14)이 게이트 전극(12)과 공통 전극(13)을 덮고, 게이트 전극(12)보다 상방에 반도체층(15)이 설치되며, 반도체층(15)에 데이터 라인(16)이 설치되고, 패시베이션층(17)이 기판의 전체를 덮으며, 화소 전극(18)이 패시베이션층(17) 상에 형성되고, 화소 전극(18)이 패시베이션층(17)의 비어 홀에 의해 데이터 라인과 전기적으로 접속한다.

[0009] 여기서, 해당 수평 전계형 액정 디스플레이 장치는, 제1 기판 상에 화소 전극과 공통 전극을 형성함으로써 수평 전계를 형성하고, 또한 수평 전계로 수평면 내에 액정의 배열을 제어함으로써 보다 좋은 광시각 성능을 실현한다.

[0010] 수평 전계형 액정 디스플레이 장치의 구조가 수직 전계형 액정 디스플레이 장치의 구조와 다르기 때문에, 상기의 개구율을 향상하는 2개의 기술을 채용할 수 없다.

[0011] 구체적으로 말하면, 수평 전계형 액정 디스플레이 장치에 제1 개구율을 향상하는 기술이 채용된다면, 화소 전극과 공통 전극 간의 직선거리가 커지기 때문에 유효하게 수평 전계를 형성할 수 없다. 수평 전계형 액정 디스플레이 장치에 제2 개구율을 향상하는 기술이 채용된다면, 컬러 수지가 수평 전계 영역 내에 위치하지만, 액정이

수평 전계 영역 밖에 위치하므로, 수평 전계를 형성했어도 해당 수평 전계에서 유효하게 액정을 배열할 수 없다.

발명의 내용

해결하려는 과제

[0012] 본 발명은 수평 전계형 액정 디스플레이 장치를 제공한다.

과제의 해결 수단

[0013] 해당 수평 전계형 액정 디스플레이 장치는, 제1 기관, 제2 기관, 상기 제1 기관과 상기 제2 기관의 사이에 개재된 액정층, 상기 제1 기관과 상기 제2 기관의 사이에 설치된 복수의 스페이서를 포함한다. 상기 제1 기관은, 복수의 박막 트랜지스터와, 상기 복수의 박막 트랜지스터를 구동하는 게이트 라인 및 데이터 라인을 포함한다. 상기 제2 기관은, 복수의 화소 전극 및 상기 화소 전극과 대응하면서 수평 전계를 형성하는 공통 전극을 포함한다. 상기 스페이서는 상기 제2 기관 상의 각 상기 화소 전극과 제1 기관 상의 상응한 각 상기 박막 트랜지스터를 각각 전기적으로 접속하는 도전 스페이서이다.

[0014] 본 발명은 수평 전계형 액정 디스플레이 장치의 제조방법도 제공한다. 해당 제조 방법은, 복수의 박막 트랜지스터와, 상기 복수의 박막 트랜지스터를 구동하는 게이트 라인 및 데이터 라인을 설치한 제1 기관을 제공하는 제1 단계; 복수의 화소 전극 및 상기 화소 전극과 대응하면서 수평 전계를 형성하는 공통 전극을 설치한 제2 기관을 제공하는 제2 단계; 상기 제1 기관 상의 각 상기 화소 전극과 제2 기관 상의 상응한 각 상기 박막 트랜지스터를 각각 전기적으로 접속하는 복수의 도전 스페이서를 형성하는 제3 단계; 상기 제1 기관과 상기 제2 기관을 셀화하고, 상기 제1 기관과 상기 제2 기관의 사이에 액정층을 제공하며, 또한 상기 도전 스페이서에 의해 상기 박막 트랜지스터와 상기 화소 전극을 전기적으로 접속하는 제4 단계를 포함한다.

[0015] 이하는 도면과 실시예를 통해 본 발명의 기술 사상을 더 자세하게 설명한다.

도면의 간단한 설명

[0016] 도 1은, 종래의 수평 전계형 액정 디스플레이 장치의 단면 개략도이다.

도 2는, 본 발명의 액정 디스플레이 장치의 제1 실시예의 개략도이다.

도 3은, 본 발명의 액정 디스플레이 장치의 제2 실시예의 개략도이다.

도 4는, 본 발명의 액정 디스플레이 장치의 제3 실시예의 개략도이다.

도 5는, 본 발명의 액정 디스플레이 장치의 제4 실시예의 개략도이다.

도 6은, 본 발명의 액정 디스플레이 장치의 제조 방법의 제1 실시예의 흐름도이다.

도 7a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예의 흐름도이다.

도 7b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 박막 트랜지스터를 형성하는 개략도이다.

도 7c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 컬러 수지를 형성하는 개략도이다.

도 7d는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다.

도 7e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 제1 절연층을 적층하는 개략도이다.

도 7f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 화소 전극을 형성하는 개략도이다.

도 7g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 도전 스페이서를 형성하는 개략도이다.

도 8a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예의 흐름도이다.

도 8b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 박막 트랜지스터를 형성하는 개략도이다.

다.

도 8c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 컬러 수지를 형성하는 개략도이다.

도 8d는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다.

도 8e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 제1 절연층을 적층하는 개략도이다.

도 8f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 화소 전극을 형성하는 개략도이다.

도 8g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 도전 스페이서를 형성하는 개략도이다.

도 9a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예의 흐름도이다.

도 9b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 박막 트랜지스터를 형성하는 개략도이다.

도 9c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 컬러 수지를 형성하는 개략도이다.

도 9d는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다.

도 9e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 제1 절연층을 적층하는 개략도이다.

도 9f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 화소 전극을 형성하는 개략도이다.

도 9g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 도전 스페이서를 형성하는 개략도이다.

도 10a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예의 흐름도이다.

도 10b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 박막 트랜지스터를 형성하는 개략도이다.

도 10c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 컬러 수지를 형성하는 개략도이다.

도 10d는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다.

도 10e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 제1 절연층을 적층하는 개략도이다.

도 10f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 화소 전극을 형성하는 개략도이다.

도 10g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 도전 스페이서를 형성하는 개략도이다.

발명을 실시하기 위한 구체적인 내용

[0017] 1. 본 발명의 액정 디스플레이 장치의 제1 실시예에 대해서

[0018] 도 2는, 본 발명의 액정 디스플레이 장치의 제1 실시예의 개략도이다. 도 2에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치(100)는 수평 전계형 액정 디스플레이 장치로서, 제1 기판(11), 제2 기판(21), 상기 제1 기판과 상기 제2 기판의 사이에 개재된 액정층(도시생략)을 포함한다.

[0019] 제1 기판(11)은, 복수의 박막 트랜지스터와, 해당 복수의 박막 트랜지스터를 구동하는 게이트 라인 및 데이터 라인(16)을 포함한다. 제2 기판(21)은, 복수의 화소 전극(18) 및 화소 전극(18)과 대응하면서 수평 전계를 형성하는 공통 전극(13)을 포함한다. 상기 액정 디스플레이 장치는, 제2 기판(21) 상의 각 상기 화소 전극과 제1 기판(11) 상의 상응한 각 상기 박막 트랜지스터를 각각 전기적으로 접속하는 도전 스페이서(24)를 더 포함한다.

[0020] 또한, 제1 기판(11)에 있어서, 게이트 전극(12)이 상응한 게이트 라인과 접속하거나 또는 일체로 형성되고, 게이트 절연층(14)이 게이트 전극(12)을 덮으며, 게이트 전극(12)보다 상방에 반도체층(15)이 설치되고, 반도체층(15)의 양단에 각각 드레인 전극(19)과, 데이터 라인(16)과 접속하거나 또는 일체로 형성된 소스 전극이 설치된

다.

- [0021] 본 실시예의 액정 디스플레이 장치(100)는, 제1 기판(11) 상에 박막 트랜지스터 어레이를 설치하고, 제2 기판(21) 상에 공통 전극(13)과 화소 전극(18)을 형성하며, 또한 도전 스페이서(24)에 의해 제1 기판(11) 상의 박막 트랜지스터와 제2 기판(21) 상에 위치한 화소 전극(18)을 전기적으로 접속함으로써, 데이터 라인(16)과 화소 전극(18) 간의 거리를 증가시킨다. 이에 의해, 데이터 라인(16)과 화소 전극(18) 간의 직선거리를 유효하게 증가시킨다. 데이터 라인(16)과 화소 전극(18) 간의 직선거리를 증가시킨 후에, 데이터 라인(16)과 화소 전극(18) 간의 수평거리를 짧게 할 수 있으므로, 화소 전극(18)의 면적을 증가시키는 데에 기여하기 때문에, 개구율을 향상하는 데에 기여한다. 또한, 본 실시예의 액정 디스플레이 장치(100)가 공통 전극(13)과 화소 전극(18)의 사이에 형성된 수평 전계에 영향을 주지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치(100)에 있어서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치(100)는, 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0022] 본 실시예에서는, 상기 화소 전극(18)과 상기 박막 트랜지스터를 전기적으로 접속하도록, 각 도전 스페이서(24)의 일단이 제2 기판(21) 상에 대응한 화소 전극(18) 상에 설치되고, 타단이 제1 기판(11) 상에 대응한 박막 트랜지스터 상에 설치된다.
- [0023] 본 실시예의 액정 디스플레이 장치에서는, 제1 기판(11) 또는 제2 기판(21) 상에 위치한 컬러 수지를 더 포함한다.
- [0024] 본 실시예의 액정 디스플레이 장치에서는, 제1 기판(11) 또는 제2 기판(21) 상에 위치한 블랙 매트릭스를 더 포함한다.
- [0025] 본 실시예에서는, 화소 전극(18)에 복수의 슬릿이 설치되고, 또한 공통 전극(13)이 슬릿이 없는 판형상 전극이면, 해당 수평 전계형 액정 디스플레이 장치(100)는 프린지 전계 전환(FFS)형 액정 디스플레이 장치이다. 공통 전극(13)이 적어도 하나의 슬릿을 가지면, 해당 수평 전계형 액정 디스플레이 장치(100)는 인플레이션 스위칭(IPS)형 액정 디스플레이 장치이다.
- [0026] 2. 본 발명의 액정 디스플레이 장치의 제2 실시예에 대해서
- [0027] 도 3은, 본 발명의 액정 디스플레이 장치의 제2 실시예의 개략도이다. 도 3에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치(200)는 수평 전계형 액정 디스플레이 장치로서, 제1 기판(11), 제2 기판(21), 상기 제1 기판과 상기 제2 기판의 사이에 개재된 액정층(도시생략)을 포함한다.
- [0028] 제1 기판(11)에서는, 박막 트랜지스터가 제1 기판(11) 상에 위치하고, 컬러 수지(22)가 상기 박막 트랜지스터 상에 위치하며, 상기 박막 트랜지스터의 드레인 전극(19) 상에 컬러 수지 비어 홀(32)이 설치된다. 제2 기판(21)에서는, 공통 전극(13)이 제2 기판(21) 상에 위치하고, 블랙 매트릭스(23)가 공통 전극(13)의 사이에 위치한다. 블랙 매트릭스(23)는 공통 전극(13)의 둘레부분과 겹치고, 해당 위치에 공통 전극(13) 상에 위치한다. 제1 절연층(25)이 상기 공통 전극(13) 상에 위치한다. 화소 전극(18)은 제1 절연층(25) 상에 위치하고, 또한 적어도 하나의 슬릿을 가진다. 도전 스페이서(24)는 화소 전극(18) 상에 위치하여, 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속하는 데에 이용된다. 본 실시예에 있어서, 박막 트랜지스터는 제1 실시예와 같아도 된다.
- [0029] 본 실시예의 액정 디스플레이 장치(200)는, 제1 기판(11) 상에 박막 트랜지스터 어레이를 설치하고, 제2 기판(21) 상에 공통 전극(13)과 화소 전극(18)을 형성하며, 또한 도전 스페이서(24)에 의해 제1 기판(11) 상에 설치된 박막 트랜지스터와 제2 기판(21) 상에 위치한 화소 전극(18)을 전기적으로 접속함으로써, 데이터 라인(16)과 화소 전극(18) 간의 거리를 증가시킨다. 이에 의해, 데이터 라인(16)과 화소 전극(18) 간의 직선거리를 유효하게 증가시킨다. 데이터 라인(16)과 화소 전극(18) 간의 직선거리를 증가시킨 후에, 데이터 라인(16)과 화소 전극(18) 간의 수평거리를 단축시킬 수 있으므로, 화소 전극(18)의 면적을 증가시키는 데에 기여하기 때문에, 개구율을 향상하는 데에 기여한다. 또한, 본 실시예의 액정 디스플레이 장치(200)가 공통 전극(13)과 화소 전극(18)의 사이에 형성된 수평 전계를 간섭하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치(200)에 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치(200)는, 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0030] 본 실시예에서는, 공통 전극(13)이 적어도 하나의 슬릿을 가질 수 있다. 이와 같이, 해당 수평 전계형 액정 디

스플레이 장치는 구체적으로 인플레인 스위칭(IPS)형 액정 디스플레이 장치이다.

- [0031] 본 실시예에서는, 박막 트랜지스터 상에 패시베이션층(도시생략)을 적층할 수 있고, 또한 상기 패시베이션층 상에 상기 컬러 수지 비어 홀과 대응한 위치에 패시베이션층 비어 홀이 설치된다.
- [0032] 3. 본 발명의 액정 디스플레이 장치의 제3 실시예에 대해서
- [0033] 도 4는, 본 발명의 액정 디스플레이 장치의 제3 실시예의 개략도이다. 도 4에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치(300)는 수평 전계형 액정 디스플레이 장치로서, 제1 기판(11), 제2 기판(21), 상기 제1 기판과 상기 제2 기판의 사이에 개재된 액정층(도시생략)을 포함한다.
- [0034] 제1 기판(11)에서는, 블랙 매트릭스(23)가 제1 기판(11) 상에 위치하고, 제2 절연층(26)이 블랙 매트릭스(23) 상에 위치하며, 박막 트랜지스터가 제2 절연층(26) 상에 위치하고, 컬러 수지(22)가 박막 트랜지스터 상에 위치하며, 박막 트랜지스터의 드레인 전극(19) 상에 컬러 수지 비어 홀(32)이 설치된다. 상기 제2 기판(21)에서는, 공통 전극(13)이 제2 기판(21) 상에 위치하고, 제1 절연층(25)이 공통 전극(13) 상에 위치하며, 화소 전극(18)이 제1 절연층(25) 상에 위치하고, 또한 적어도 하나의 슬릿을 가진다. 도전 스페이서(24)는 화소 전극(18) 상에 위치하고, 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속하는 데에 이용된다. 본 실시예에 있어서, 박막 트랜지스터는 제1 실시예와 같아도 된다.
- [0035] 본 실시예의 액정 디스플레이 장치(300)에서는, 제1 기판(11) 상에 블랙 매트릭스(23)와 박막 트랜지스터 어레이를 차례대로 설치하고, 제2 기판(21) 상에 공통 전극(13)과 화소 전극(18)을 형성하며, 또한 도전 스페이서(24)에 의해 제1 기판(11) 상에 설치된 박막 트랜지스터와 제2 기판(21) 상에 위치한 화소 전극(18)을 전기적으로 접속한다. 이에 의해, 제1 기판(11) 상에 블랙 매트릭스(23), 컬러 수지(22) 및 박막 트랜지스터 어레이가 형성된 경우에서도, 액정이 수평 전계 밖에 위치하게 하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치에서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치(300)는, 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0036] 본 실시예에서는, 공통 전극(13)이 적어도 하나의 슬릿을 가질 수 있다. 이와 같이, 해당 수평 전계형 액정 디스플레이 장치는 구체적으로 인플레인 스위칭(IPS)형 액정 디스플레이 장치이다.
- [0037] 본 실시예에서는, 박막 트랜지스터 상에 패시베이션층(도시생략)을 적층할 수 있다.
- [0038] 4. 본 발명의 액정 디스플레이 장치의 제4 실시예에 대해서
- [0039] 도 5는, 본 발명의 액정 디스플레이 장치의 제4 실시예의 개략도이다. 도 5에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치(400)는 수평 전계형 액정 디스플레이 장치로서, 제1 기판(11), 제2 기판(21), 상기 제1 기판과 상기 제2 기판의 사이에 개재된 액정층(도시생략)을 포함한다.
- [0040] 제1 기판(11)에서는, 박막 트랜지스터가 제1 기판(11) 상에 위치하고, 블랙 매트릭스(23)가 박막 트랜지스터 상에 위치하며, 컬러 수지(22)가 블랙 매트릭스(23) 상에 위치하고, 상기 박막 트랜지스터의 드레인 전극(19) 상에 컬러 수지 비어 홀(32)과 블랙 매트릭스 비어 홀(33)이 설치된다. 상기 제2 기판(21)에서는, 공통 전극(13)이 제2 기판(21) 상에 위치하고, 제1 절연층(25)이 공통 전극(13) 상에 위치하며, 화소 전극(18)이 제1 절연층(25) 상에 위치하고, 또한 적어도 하나의 슬릿을 가진다. 도전 스페이서(24)는 화소 전극(18) 상에 위치하고, 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속하는 데에 이용된다. 본 실시예에 있어서, 박막 트랜지스터는 제1 실시예와 같아도 된다.
- [0041] 본 실시예의 액정 디스플레이 장치(400)에서는, 제1 기판(11) 상에 박막 트랜지스터 어레이와 블랙 매트릭스(23)를 차례대로 설치하고, 제2 기판(21) 상에 공통 전극(13)과 화소 전극(18)을 형성하며, 또한 도전 스페이서(24)에 의해 제1 기판(11) 상에 설치된 박막 트랜지스터와 제2 기판(21) 상에 위치한 공통 전극(13)과 화소 전극(18)을 전기적으로 접속한다. 이에 의해, 제1 기판(11) 상에 블랙 매트릭스(23), 컬러 수지(22) 및 박막 트랜지스터 어레이가 형성된 경우에서도, 액정이 수평 전계 밖에 위치하게 하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치에서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치(400)는, 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0042] 본 실시예에서는, 공통 전극(13)이 적어도 하나의 슬릿을 가질 수 있다. 이와 같이, 해당 수평 전계형 액정 디

스플레이 장치는 구체적으로 인플레인 스위칭(IPS)형 액정 디스플레이 장치이다.

- [0043] 본 실시예에서는, 박막 트랜지스터 상에 패시베이션층(도시생략)을 적층할 수 있고, 또한 상기 패시베이션층 상에 상기 컬러 수지 비어 홀과 대응한 위치에 패시베이션층 비어 홀이 설치된다. 이 때, 블랙 매트릭스 비어 홀(33), 패시베이션층 비어 홀 및 컬러 수지 비어 홀(32)은 같은 위치에 위치하면서 서로 관통한다.
- [0044] 5. 본 발명의 액정 디스플레이 장치의 제조 방법의 제1 실시예에 대해서
- [0045] 도 6은, 본 발명의 액정 디스플레이 장치의 제조 방법의 제1 실시예의 흐름도이다. 도 6에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치의 제조 방법은, 복수의 박막 트랜지스터와, 상기 복수의 박막 트랜지스터를 구동하는 게이트 라인 및 데이터 라인을 설치한 제1 기판을 제공하는 단계 1; 복수의 화소 전극 및 상기 화소 전극과 대응하면서 수평 전계를 형성하는 공통 전극을 설치한 제2 기판을 제공하는 단계 2; 상기 제1 기판 상의 각 상기 화소 전극과 제2 기판 상의 상응한 각 상기 박막 트랜지스터를 각각 전기적으로 접속하는 복수의 도전 스페이서를 형성하는 단계 3; 상기 제1 기판과 상기 제2 기판을 셀화하고, 상기 제1 기판과 상기 제2 기판의 사이에 액정층을 제공하며, 또한 상기 도전 스페이서에 의해 상기 박막 트랜지스터와 상기 화소 전극을 전기적으로 접속하는 단계 4;를 포함한다.
- [0046] 본 실시예의 액정 디스플레이 장치의 제조 방법은, 제1 기판 상에 박막 트랜지스터 어레이를 형성하고, 제2 기판 상에 공통 전극과 화소 전극을 형성하며, 또한 도전 스페이서에 의해 제1 기판 상에 위치한 박막 트랜지스터와 제2 기판 상에 위치한 화소 전극을 전기적으로 접속함으로써, 데이터 라인과 화소 전극 간의 거리를 증가시킨다. 이에 의해, 데이터 라인과 화소 전극 간의 직선거리를 유효하게 증가시킨다. 데이터 라인과 화소 전극 간의 직선거리를 증가시킨 후에, 데이터 라인과 화소 전극 간의 수평거리를 짧게 할 수 있으므로, 화소 전극의 면적을 증가시키는 데에 기여하기 때문에, 개구율을 향상하는 데에 기여한다. 또한, 본 실시예의 액정 디스플레이 장치가 공통 전극과 화소 전극의 사이에 형성된 수평 전계를 간섭하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치에 있어서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치는, 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0047] 본 실시예에서는, 상기 단계 3에서 상기 도전 스페이서의 일단이 상기 제1 기판의 상기 박막 트랜지스터 상에 형성되면서 타단이 노출되며, 상기 단계 4에서 상기 도전 스페이서의 타단이 상기 제2 기판의 상기 화소 전극과 접촉한다. 즉, 도전 스페이서를 제1 기판에 형성하고 나서 셀화의 과정에서 도전 스페이서의 타단을 제2 기판의 화소 전극과 접촉시킬 수 있다.
- [0048] 본 실시예에서는, 또는 상기 단계 3에서 상기 도전 스페이서의 일단이 상기 제2 기판의 상기 화소 전극 상에 형성되면서 타단이 노출되며, 상기 단계 4에서 상기 도전 스페이서의 타단이 상기 제1 기판의 상기 박막 트랜지스터와 접촉한다. 즉, 도전 스페이서를 제2 기판에 형성하고 나서 셀화의 과정에서 도전 스페이서의 타단을 제1 기판의 박막 트랜지스터와 접촉시킬 수 있다.
- [0049] 본 실시예에서는, 상기 화소 전극 상에 상기 공통 전극과 함께 수평 전계를 형성하는 복수의 슬릿을 형성할 수 있다. 화소 전극에 복수의 슬릿이 형성되면서 공통 전극에 슬릿이 형성되지 않으면, 해당 수평 전계형 액정 디스플레이 장치는 프린지 전계 절환형 액정 디스플레이 장치이다. 공통 전극에도 적어도 하나의 슬릿이 형성되면, 해당 수평 전계형 액정 디스플레이 장치는 인플레인 스위칭형 액정 디스플레이 장치이다.
- [0050] 본 실시예에서는, 상기 단계 1에서 제공된 상기 제1 기판에 컬러 수지를 더 형성하는 것을 포함한다. 또는, 상기 단계 2에서 제공된 상기 제2 기판에 컬러 수지를 더 형성하는 것을 포함한다. 2개의 기판 상에 컬러 수지가 형성되지 않으면, 배광 모듈에서 삼원색을 포함하는 광원이 채용될 수 있다. 예를 들면, 발광 다이오드 등이다.
- [0051] 본 실시예에서는, 상기 단계 1에서 제공된 상기 제1 기판에 블랙 매트릭스를 더 형성하는 것을 포함한다. 또는, 상기 단계 2에서 제공된 상기 제2 기판에 블랙 매트릭스를 더 형성하는 것을 포함한다. 블랙 매트릭스가 형성되지 않으면, 액정 디스플레이 장치의 휘도를 최대화할 수 있지만, 데이터 라인과 게이트 라인보다 상방에 존재하는 광학 불량이 육안으로 보일 가능성이 있다.
- [0052] 6. 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에 대해서
- [0053] 도 7a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예의 흐름도이다. 도 7b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 박막 트랜지스터를 형성하는 개략도이다. 도 7c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 컬러 수지를 형성하는 개략도이다. 도 7d는, 본 발명의 액

정 디스플레이 장치의 제조 방법의 제2 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다. 도 7e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 제1 절연층을 적층하는 개략도이다. 도 7f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 화소 전극을 형성하는 개략도이다. 도 7g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제2 실시예에서 도전 스페이서를 형성하는 개략도이다.

- [0054] 도 7a 내지 도 7g에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치의 제조 방법은 이하와 같은 단계를 포함한다.
- [0055] 단계 101에서는, 도 7b에 도시된 바와 같이, 제1 기판 상에 박막 트랜지스터를 형성한다. 여기서, 박막 트랜지스터를 형성하는 방법은 종래의 또는 장래에 개발될 수 있는 기술을 채용할 수 있으므로, 여기서 설명하지 않는다. 박막 트랜지스터는 게이트 전극(12), 게이트 절연층(14), 반도체층(15), 드레인 전극(19), 데이터 라인(16)과 접속하거나 또는 일체로 형성된 소스 전극을 포함한다. 게이트 전극(12)은 상응한 게이트 라인과 접속하거나 또는 일체로 형성된다.
- [0056] 단계 102에서는, 도 7c에 도시된 바와 같이, 상기 박막 트랜지스터 상에 컬러 수지(22)를 형성하고, 또한 상기 박막 트랜지스터의 드레인 전극(19) 상에 컬러 수지 비어 홀(32)을 설치한다.
- [0057] 단계 103에서는, 도 7d에 도시된 바와 같이, 상기 제2 기판(21) 상에 먼저 블랙 매트릭스(23)를 형성하고 나서 공통 전극(13)을 형성한다. 블랙 매트릭스(23)는 공통 전극(13)의 사이에 형성되고, 블랙 매트릭스(23)의 테두리가 공통 전극(13)의 테두리와 서로 겹치고, 또한 공통 전극(13)의 테두리는 블랙 매트릭스(23)의 테두리 상에 위치한다.
- [0058] 단계 104에서는, 도 7e에 도시된 바와 같이, 제1 절연층(25)이 기판의 전체 표면을 덮도록 상기 공통 전극(13)과 상기 블랙 매트릭스(23) 상에 제1 절연층(25)을 적층한다.
- [0059] 단계 105에서는, 도 7f에 도시된 바와 같이, 상기 공통 전극(13)보다 상방에 적어도 하나의 슬릿을 가지는 화소 전극(18)을 형성한다.
- [0060] 단계 106에서는, 도 7g에 도시된 바와 같이, 상기 화소 전극(18) 상에 컬러 수지 비어 홀(32)과 대응한 위치에 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속하는 도전 스페이서(24)를 형성한다.
- [0061] 그 후에, 제조된 제1 기판(11)과 제2 기판(21)을 셀화하고, 또한 제1 기판(11)과 제2 기판(21)에 의해 형성된 액정 셀 내에 액정층(도시생략)을 설치한다. 셀화 후에, 도전 스페이서(24)에 의해 상기 화소 전극(18)과 상응한 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속한다.
- [0062] 본 실시예에 있어서, 단계 101과 단계 102는 제1 기판의 제조 방법이고, 단계 103~106은 제2 기판의 제조 방법이다.
- [0063] 본 실시예의 액정 디스플레이 장치의 제조 방법에서는, 제1 기판 상에 박막 트랜지스터 어레이를 형성하고, 제2 기판 상에 공통 전극과 화소 전극을 형성하며, 또한 도전 스페이서에 의해 제1 기판 상에 위치한 박막 트랜지스터와 제2 기판 상에 위치한 화소 전극을 전기적으로 접속함으로써, 데이터 라인과 화소 전극 간의 거리를 증가시킨다. 이에 의해, 데이터 라인과 화상 간의 직선거리를 유효하게 증가시킨다. 데이터 라인과 화상 간의 직선 거리를 증가시킨 후에, 데이터 라인과 화소 전극 간의 수평거리를 짧게 할 수 있으므로, 화소 전극의 면적을 증가시키는 데에 기여하기 때문에, 개구율을 향상하는 데에 기여한다. 또한, 본 실시예의 액정 디스플레이 장치가 공통 전극과 화소 전극의 사이에 형성된 수평 전계를 간섭하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치에서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치는 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0064] 본 실시예에서는, 컬러 수지를 형성하기 전에 박막 트랜지스터 상에 패시베이션층(도시생략)을 적층하고 나서, 패시베이션층 상에 상기 컬러 수지를 형성할 수 있다. 패시베이션층 상에 비어 홀을 형성하기 위해, 패시베이션층을 적층한 후에 단독으로 패시베이션층 비어 홀을 형성할 수 있고, 컬러 수지 비어 홀을 형성할 때에 동시에 형성해도 된다.
- [0065] 본 실시예에서는, 공통 전극을 형성했을 때에 공통 전극이 적어도 하나의 슬릿을 가질 수 있다. 이와 같이, 해당 액정 디스플레이 장치의 제조 방법에 의해 제조된 액정 디스플레이 장치는 인플레인 스위칭형 액정 디스플레이

이 장치이다.

- [0066] 7. 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에 대해서
- [0067] 도 8a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예의 흐름도이다. 도 8b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 박막 트랜지스터를 형성하는 개략도이다. 도 8c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 컬러 수지를 형성하는 개략도이다. 도 8d는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다. 도 8e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 제1 절연층을 적층하는 개략도이다. 도 8f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 화소 전극을 형성하는 개략도이다. 도 8g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제3 실시예에서 도전 스페이서를 형성하는 개략도이다.
- [0068] 도 8a 내지 도 8g에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치의 제조 방법은 이하와 같은 단계를 포함한다.
- [0069] 단계 201에서는, 제1 기판 상에 박막 트랜지스터를 형성한다. 여기서, 박막 트랜지스터를 형성하는 방법은 종래의 또는 장래에 개발될 수 있는 기술을 채용할 수 있으므로, 여기서 설명하지 않는다. 박막 트랜지스터는, 도 8b에 도시된 바와 같이 게이트 전극(12), 게이트 절연층(14), 반도체층(15), 드레인 전극(19), 데이터 라인(16)과 접속하거나 또는 일체로 형성된 소스 전극을 포함한다. 게이트 전극(12)이 상응한 게이트 라인과 접속하거나 또는 일체로 형성된다.
- [0070] 단계 202에서는, 도 8c에 도시된 바와 같이 상기 박막 트랜지스터 상에 컬러 수지(22)를 형성하고, 또한 상기 박막 트랜지스터의 드레인 전극(19) 상에 컬러 수지 비어 홀(32)을 설치한다.
- [0071] 단계 203에서는, 상기 제2 기판(21) 상에 먼저 공통 전극(13)을 형성하고 나서 블랙 매트릭스(23)를 형성한다. 도 8d에 도시된 바와 같이, 블랙 매트릭스(23)는 공통 전극(13)의 사이에 형성되고, 블랙 매트릭스(23)의 테두리가 공통 전극(13)의 테두리와 서로 겹치고, 또한 공통 전극(13)의 테두리는 블랙 매트릭스(23)의 테두리 상에 위치한다.
- [0072] 단계 204에서는, 도 8e에 도시된 바와 같이, 제1 절연층(25)이 기판의 전체 표면을 덮도록 상기 공통 전극(13)과 상기 블랙 매트릭스(23) 상에 제1 절연층(25)을 적층한다.
- [0073] 단계 205에서는, 도 8f에 도시된 바와 같이, 상기 공통 전극(13)보다 상방에 적어도 하나의 슬릿을 가지는 화소 전극(18)을 형성한다.
- [0074] 단계 206에서는, 도 8g에 도시된 바와 같이, 상기 화소 전극(18) 상에서 컬러 수지 비어 홀(32)과 대응한 위치에 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속하는 도전 스페이서(24)를 형성한다.
- [0075] 그 후에, 제조된 제1 기판(11)과 제2 기판(21)을 셀화하고, 제1 기판(11)과 제2 기판(21)에 의해 형성된 액정 셀 내에 액정층(도시생략)을 설치한다. 셀화 후에, 도전 스페이서(24)에 의해 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속한다.
- [0076] 본 실시예에 있어서, 단계 201과 단계 202는 제1 기판의 제조 방법이고, 단계 203~206은 제2 기판의 제조 방법이다.
- [0077] 본 실시예의 액정 디스플레이 장치의 제조 방법에서는, 제1 기판 상에 박막 트랜지스터 어레이를 형성하고, 제2 기판 상에 공통 전극과 화소 전극을 형성하며, 또한 도전 스페이서에 의해 제1 기판 상에 위치한 박막 트랜지스터와 제2 기판 상에 위치한 화소 전극을 전기적으로 접속함으로써, 데이터 라인과 화소 전극 간의 거리를 증가시킨다. 이에 의해, 데이터 라인과 화상 간의 직선거리를 유효하게 증가시킨다. 데이터 라인과 화상 간의 직선거리를 증가시킨 후에, 데이터 라인과 화소 전극 간의 수평거리를 짧게 할 수 있으므로, 화소 전극의 면적을 증가시키는 데에 기여하기 때문에, 개구율을 향상하는 데에 기여한다. 또한, 본 실시예의 액정 디스플레이 장치가 공통 전극과 화소 전극의 사이에 형성된 수평 전계를 간섭하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치에서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치는 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0078] 본 실시예에서는, 컬러 수지를 형성하기 전에 박막 트랜지스터 상에 패시베이션층(도시생략)을 적층하고 나서,

패시베이션층 상에 상기 컬러 수지를 형성할 수 있다. 패시베이션층 상에 비어 홀을 형성하기 위해, 패시베이션층을 적층한 후에 단독으로 패시베이션층 비어 홀을 형성할 수 있고, 컬러 수지 비어 홀을 형성할 때에 동시에 형성해도 된다.

- [0079] 본 실시예에서는, 공통 전극이 적어도 하나의 슬릿을 가질 수 있다. 이와 같이, 해당 액정 디스플레이 장치의 제조 방법에 의해 제조된 액정 디스플레이 장치는 인플레인 스위칭형 액정 디스플레이 장치이다.
- [0080] 8. 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에 대해서
- [0081] 도 9a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예의 흐름도이다. 도 9b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 박막 트랜지스터를 형성하는 개략도이다. 도 9c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 컬러 수지를 형성하는 개략도이다. 도 9d는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다. 도 9e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 제1 절연층을 적층하는 개략도이다. 도 9f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 화소 전극을 형성하는 개략도이다. 도 9g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제4 실시예에서 도전 스페이서를 형성하는 개략도이다.
- [0082] 도 9a 내지 도 9g에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치의 제조 방법은 이하와 같은 단계를 포함한다.
- [0083] 단계 301에서는, 제1 기판 상에 먼저 블랙 매트릭스(23)를 형성하고 나서 박막 트랜지스터를 형성한다. 즉, 제1 기판 상에 먼저 블랙 매트릭스(23)를 형성하고 나서 상기 블랙 매트릭스(23) 상에 박막 트랜지스터를 형성한다. 여기서, 박막 트랜지스터를 형성하는 방법은 종래의 또는 장래에 개발될 수 있는 기술을 채용할 수 있으므로, 여기서 설명하지 않는다. 도 9b에 도시된 바와 같이, 박막 트랜지스터는 게이트 전극(12), 게이트 절연층(14), 반도체층(15), 드레인 전극(19), 데이터 라인(16)과 접속하거나 또는 일체로 형성된 소스 전극을 포함한다. 게이트 전극(12)이 상응한 게이트 라인과 접속하거나 또는 일체로 형성된다.
- [0084] 단계 302에서는, 도 9c에 도시된 바와 같이, 상기 박막 트랜지스터 상에 컬러 수지(22)를 형성하고, 또한 상기 박막 트랜지스터의 드레인 전극(19) 상에 컬러 수지 비어 홀(32)을 설치한다.
- [0085] 단계 303에서는, 도 9d에 도시된 바와 같이, 상기 제2 기판(21) 상에 공통 전극(13)을 형성한다.
- [0086] 단계 304에서는, 도 9e에 도시된 바와 같이, 제1 절연층(25)이 기판의 전체 표면을 덮도록 상기 공통 전극(13)과 상기 블랙 매트릭스(23) 상에 제1 절연층(25)을 적층한다.
- [0087] 단계 305에서는, 도 9f에 도시된 바와 같이, 상기 공통 전극(13)보다 상방에 적어도 하나의 슬릿을 가지는 화소 전극(18)을 형성한다.
- [0088] 단계 306에서는, 도 9g에 도시된 바와 같이, 상기 화소 전극(18) 상에서 컬러 수지 비어 홀(32)과 대응한 위치에 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속하는 도전 스페이서(24)를 형성한다.
- [0089] 그 후에, 제조된 제1 기판(11)과 제2 기판(21)을 셀화하고, 제1 기판(11)과 제2 기판(21)에 의해 형성된 액정 셀 내에 액정층(도시생략)을 설치한다. 셀화 후에, 도전 스페이서(24)에 의해 상기 화소 전극(18)과 상응한 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속한다.
- [0090] 본 실시예에 있어서, 단계 301과 단계 302는 제1 기판의 제조 방법이고, 단계 303~306은 제2 기판의 제조 방법이다.
- [0091] 본 실시예의 액정 디스플레이 장치의 제조 방법에서는, 제1 기판 상에 블랙 매트릭스와 박막 트랜지스터 어레이를 차례대로 형성하고, 제2 기판 상에 공통 전극과 화소 전극을 형성하며, 또한 도전 스페이서에 의해 제1 기판 상에 위치한 박막 트랜지스터와 제2 기판 상에 위치한 화소 전극을 전기적으로 접속함으로써, 제1 기판 상에 블랙 매트릭스, 컬러 수지 및 박막 트랜지스터 어레이가 형성된 경우에서도 액정이 수평 전계 밖에 위치하게 하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치에서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치는 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이 장치의 제조비용을 내릴 수 있다.
- [0092] 본 실시예에서는, 블랙 매트릭스(23)를 형성하고 나서 블랙 매트릭스(23) 상에 제2 절연층을 더 형성해도 된다.

- [0093] 본 실시예에서는, 컬러 수지(22)를 형성하기 전에 박막 트랜지스터 상에 패시베이션층(도시생략)을 적층하고 나서, 패시베이션층 상에 상기 컬러 수지(22)를 형성할 수 있다. 패시베이션층 상에 비어 홀을 형성하기 위해, 패시베이션층을 적층한 후에 단독으로 패시베이션층 비어 홀을 형성할 수 있고, 컬러 수지 비어 홀을 형성할 때에 동시에 형성해도 된다.
- [0094] 본 실시예에서는, 공통 전극(13)을 형성할 때에 적어도 하나의 슬릿을 형성할 수 있다. 이와 같이, 해당 액정 디스플레이 장치의 제조 방법에 의해 제조된 액정 디스플레이 장치는 인플레인 스위칭형 액정 디스플레이 장치이다.
- [0095] 9. 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에 대해서
- [0096] 도 10a는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예의 흐름도이다. 도 10b는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 박막 트랜지스터를 형성하는 개략도이다. 도 10c는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 컬러 수지를 형성하는 개략도이다. 도 10d는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 블랙 매트릭스와 공통 전극을 형성하는 개략도이다. 도 10e는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 제1 절연층을 적층하는 개략도이다. 도 10f는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 화소 전극을 형성하는 개략도이다. 도 10g는, 본 발명의 액정 디스플레이 장치의 제조 방법의 제5 실시예에서 도전 스페이서를 형성하는 개략도이다.
- [0097] 도 10a 내지 도 10g에 도시된 바와 같이, 본 실시예의 액정 디스플레이 장치의 제조 방법은 이하와 같은 단계를 포함한다.
- [0098] 단계 401에서는, 제1 기판 상에 먼저 박막 트랜지스터를 형성하고 나서 블랙 매트릭스(23)를 형성한다. 즉, 제1 기판 상에 먼저 박막 트랜지스터를 형성하고 나서 상기 박막 트랜지스터 상에 블랙 매트릭스(23)를 형성한다. 여기서, 박막 트랜지스터를 형성하는 방법은 종래의 또는 장래에 개발될 수 있는 기술을 채용할 수 있으므로, 여기서 설명하지 않는다. 박막 트랜지스터는, 도 10b에 도시된 바와 같이 게이트 전극(12), 게이트 절연층(14), 반도체층(15), 드레인 전극(19), 데이터 라인(16)과 접속하거나 또는 일체로 형성된 소스 전극을 포함한다. 게이트 전극(12)이 상응한 게이트 라인과 접속하거나 또는 일체로 형성된다.
- [0099] 단계 402에서는, 도 10c에 도시된 바와 같이, 상기 박막 트랜지스터 상에 컬러 수지(22)를 형성하고, 또한 상기 박막 트랜지스터의 드레인 전극(19) 상에 컬러 수지 비어 홀(32)을 설치한다.
- [0100] 단계 403에서는, 도 10d에 도시된 바와 같이, 상기 제2 기판(21) 상에 공통 전극(13)을 형성한다.
- [0101] 단계 404에서는, 도 10e에 도시된 바와 같이, 제1 절연층(25)이 기판의 전체 표면을 덮도록 상기 공통 전극(13)과 상기 블랙 매트릭스(23) 상에 제1 절연층(25)을 적층한다.
- [0102] 단계 405에서는, 도 10f에 도시된 바와 같이, 상기 공통 전극(13)보다 상방에 적어도 하나의 슬릿을 가지는 화소 전극(18)을 형성한다.
- [0103] 단계 406에서는, 도 10g에 도시된 바와 같이, 상기 화소 전극(18) 상에서 컬러 수지 비어 홀(32)과 대응한 위치에 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속하는 도전 스페이서(24)를 형성한다.
- [0104] 그 후에, 제조된 제1 기판(11)과 제2 기판(21)을 셀화하고, 제1 기판(11)과 제2 기판(21)에 의해 형성된 액정 셀 내에 액정층(도시생략)을 설치한다. 셀화 후에, 도전 스페이서(24)에 의해 상기 화소 전극(18)과 상기 박막 트랜지스터의 드레인 전극(19)을 전기적으로 접속한다.
- [0105] 본 실시예에 있어서, 단계 401과 단계 402는 제1 기판의 제조 방법이고, 단계 403~406은 제2 기판의 제조 방법이다.
- [0106] 본 실시예의 액정 디스플레이 장치의 제조 방법에서는, 제1 기판 상에 박막 트랜지스터 어레이와 블랙 매트릭스를 차례대로 형성하고, 제2 기판 상에 공통 전극과 화소 전극을 형성하며, 또한 도전 스페이서에 의해 제1 기판 상에 위치한 박막 트랜지스터와 제2 기판 상에 위치한 화소 전극을 전기적으로 접속함으로써, 제1 기판 상에 블랙 매트릭스, 컬러 수지 및 박막 트랜지스터 어레이가 형성된 경우에서도 액정이 수평 전계 밖에 위치하게 하지 않기 때문에, 종래 기술에 의해 수평 전계형 액정 디스플레이 장치에서 개구율을 향상하는 기술을 채용할 수 없다는 결함을 극복한다. 또한, 본 실시예의 액정 디스플레이 장치는 개구율을 향상함으로써 액정 디스플레이 장치의 휘도를 향상하기 때문에, 휘도를 향상하는 광학 박막을 적당하게 감소시킬 수 있으므로, 액정 디스플레이

장치의 제조비용을 내릴 수 있다.

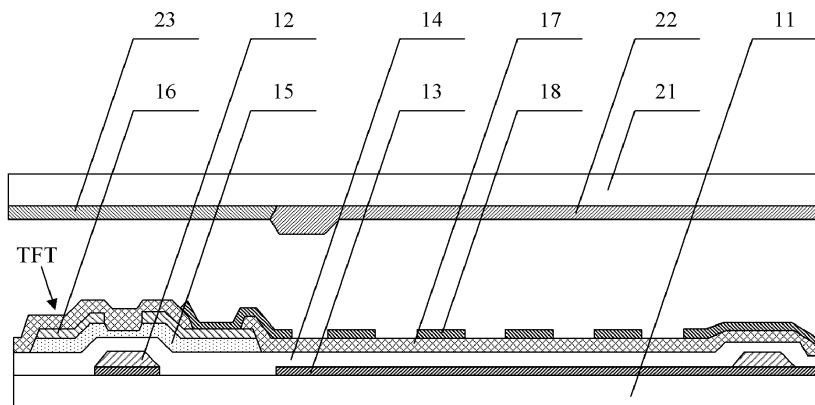
- [0107] 본 실시예에서는, 블랙 매트릭스(23)를 형성하기 전에 먼저 박막 트랜지스터 상에 제2 절연층(26)을 형성하고, 제2 절연층(26) 상에 블랙 매트릭스(23)를 형성하며, 제2 절연층(26)과 블랙 매트릭스(23)에 박막 트랜지스터의 드레인 전극과 대응한 위치에 제2 절연층 비어 홀(36)과 블랙 매트릭스 비어 홀(33)을 형성한다.
- [0108] 본 실시예에서는, 공통 전극을 형성할 때에 적어도 하나의 슬릿을 형성할 수 있다. 이와 같이, 해당 액정 디스플레이 장치의 제조 방법에 의해 제조된 액정 디스플레이 장치는 인플레인 스위칭형 액정 디스플레이 장치이다.
- [0109] 마지막으로 이하와 같이 설명할 필요가 있다. 즉, 상기한 실시형태는 본 발명의 기술안을 설명하는 데에 이용되는 것뿐이고, 그것을 제한하는 것은 아니다. 상기 실시예를 참조하여 본 발명을 자세하게 설명하였지만, 당업자는 여전히 상기 각 실시예에 기재된 기술안에 의해 보정하거나 또는 그 중 일부의 기술적 특징을 균등하게 바꿀 수 있고, 이 보정 또는 균등한 전환은 상응한 기술안의 본질이 본 발명의 각 실시예의 기술안의 주지와 범위에 서 벗어나게 하지 않는다.

부호의 설명

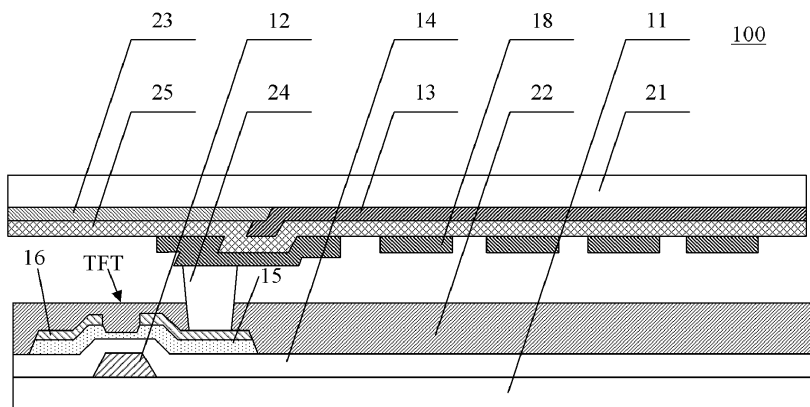
- [0110] 11 제1 기관
12 게이트 전극
13 공통 전극
14 게이트 절연층
15 반도체층
16 데이터 라인(소스 전극)
17 패시베이션층
18 화소 전극
19 드레인 전극
21 제2 기관
22 컬러 수지
23 블랙 매트릭스
24 도전 스페이서
25 제1 절연층
26 제2 절연층
32 컬러 수지 비어 홀
33 블랙 매트릭스 비어 홀
36 제2 절연층 비어 홀
100~400 액정 디스플레이 장치

도면

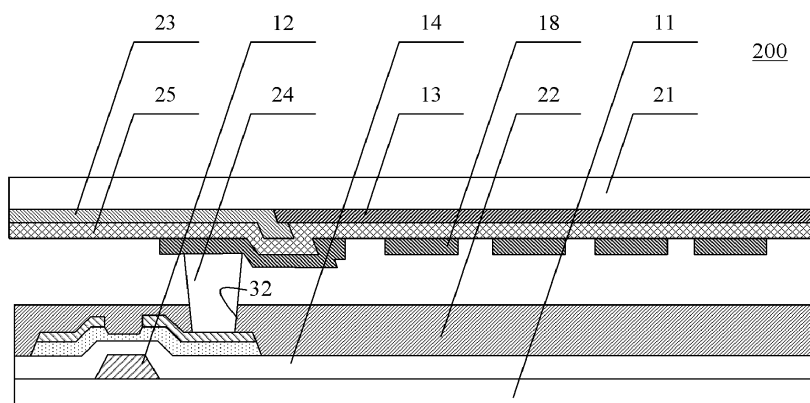
도면1



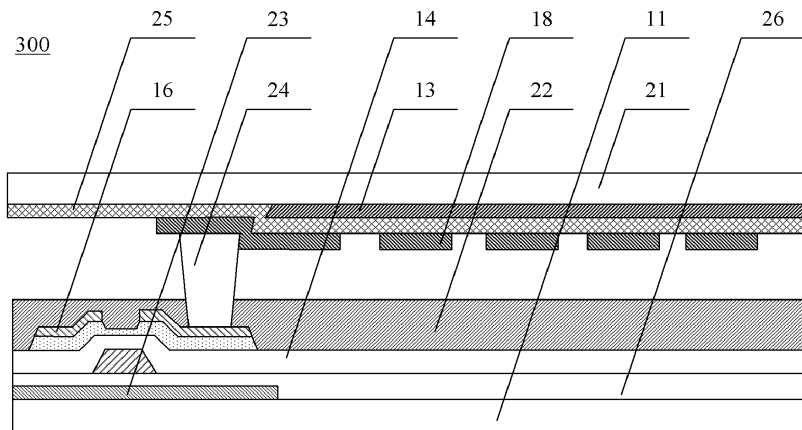
도면2



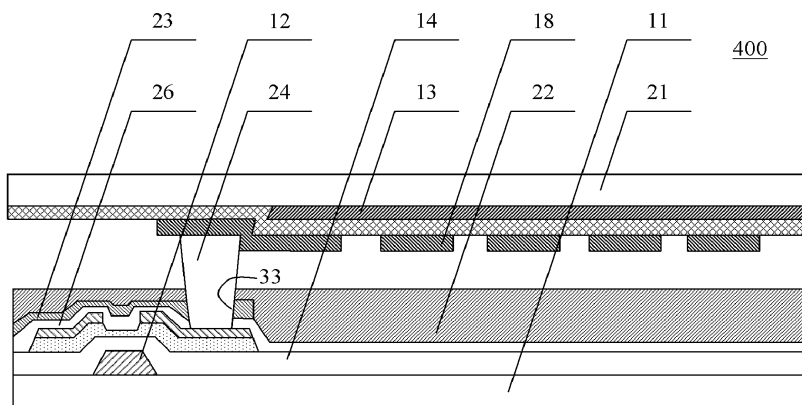
도면3



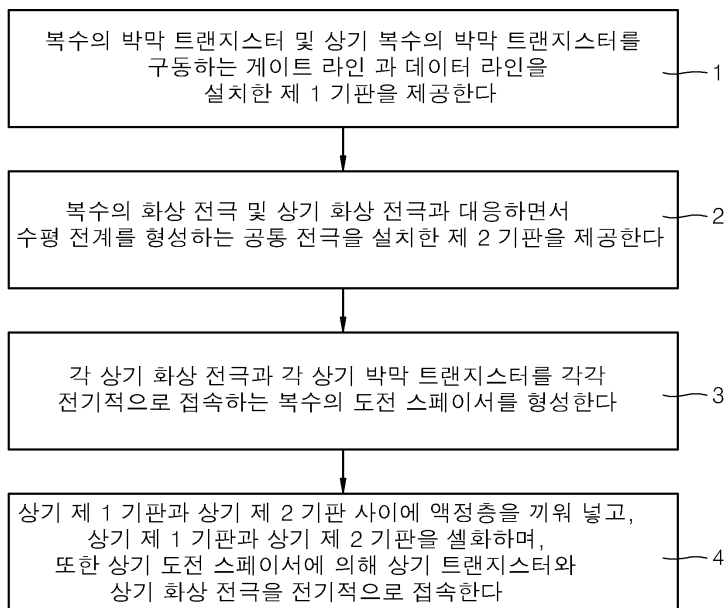
도면4



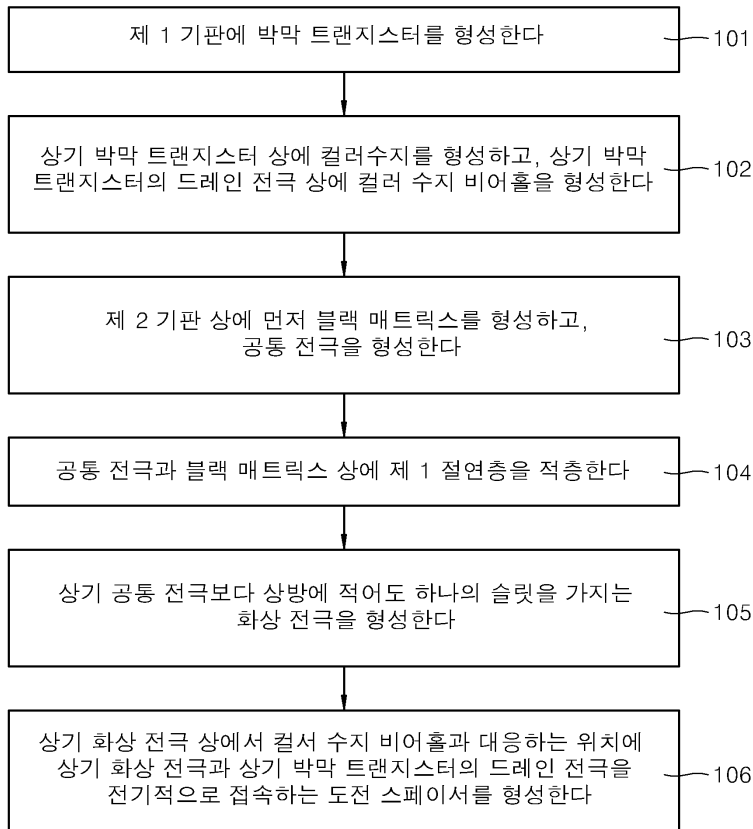
도면5



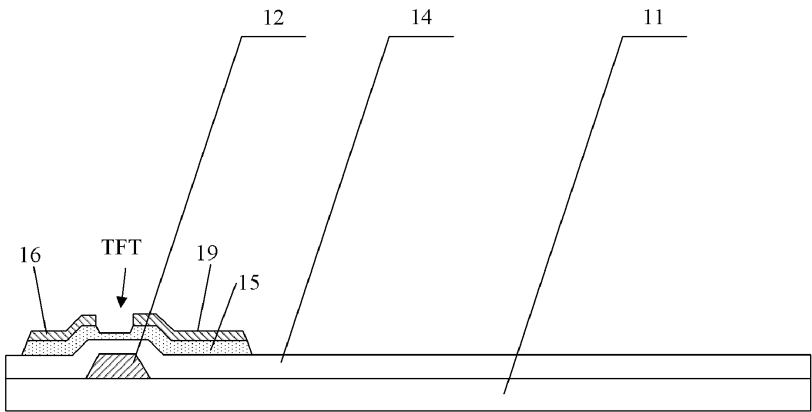
도면6



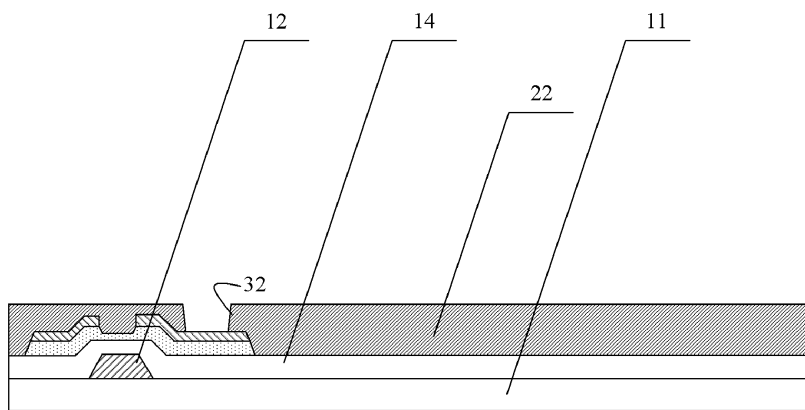
도면7a



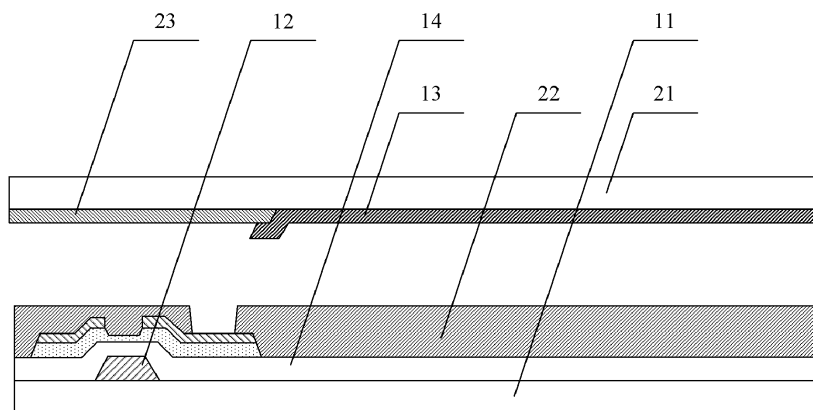
도면7b



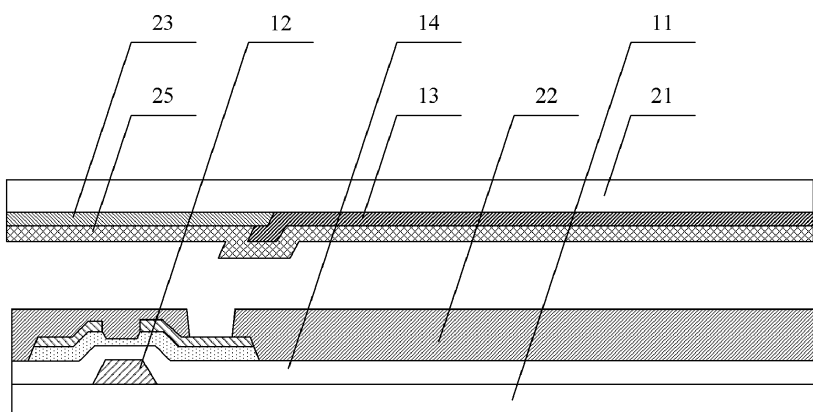
도면7c



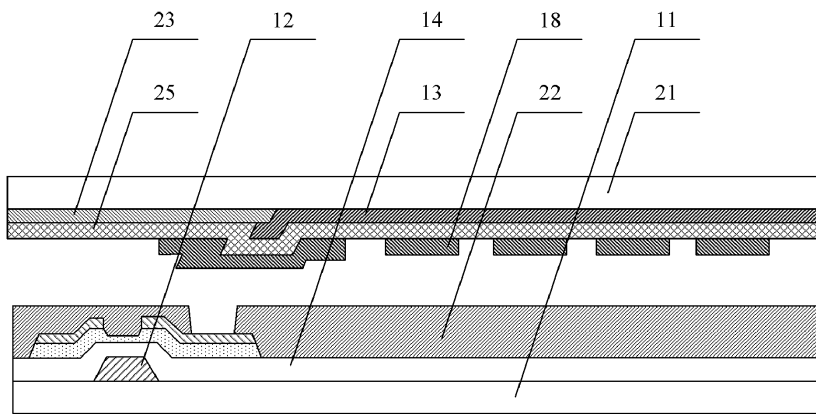
도면7d



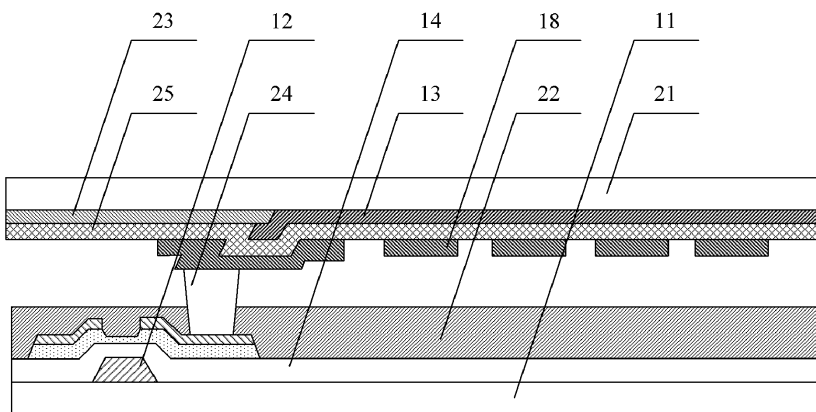
도면7e



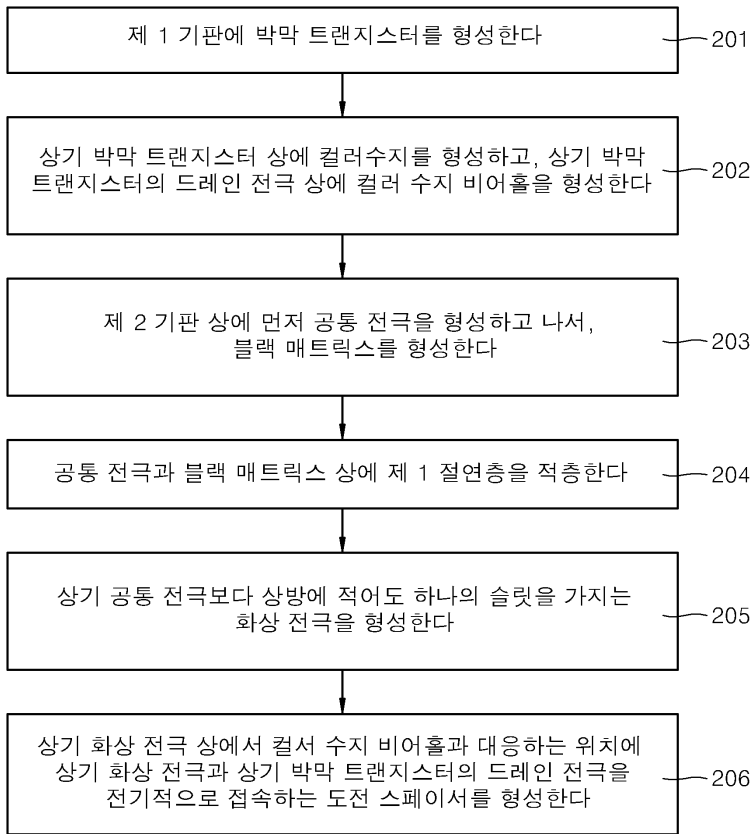
도면7f



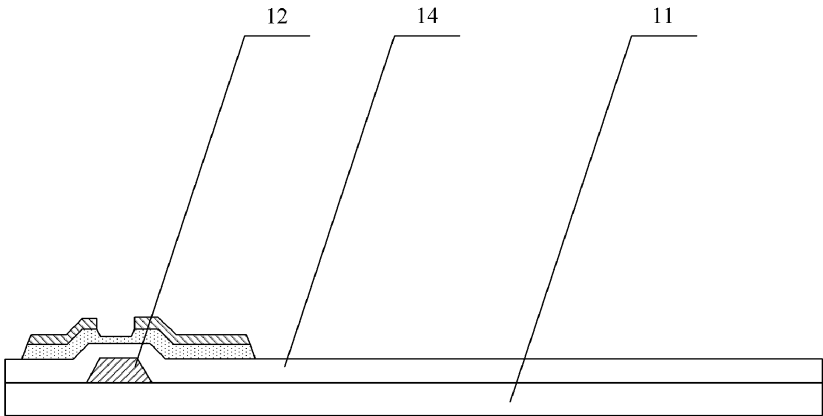
도면7g



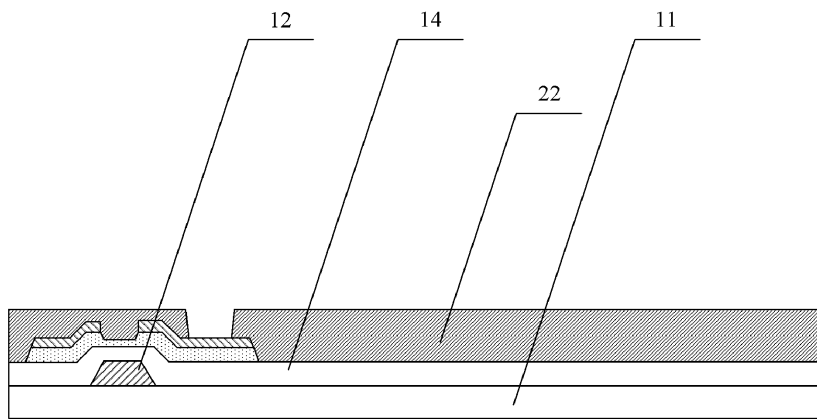
도면8a



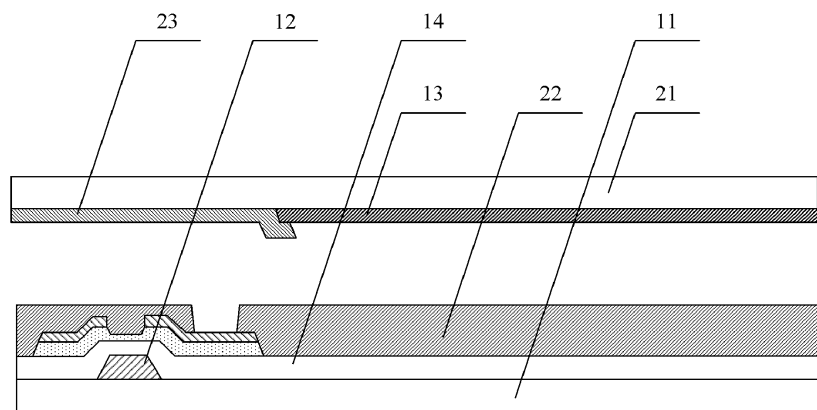
도면8b



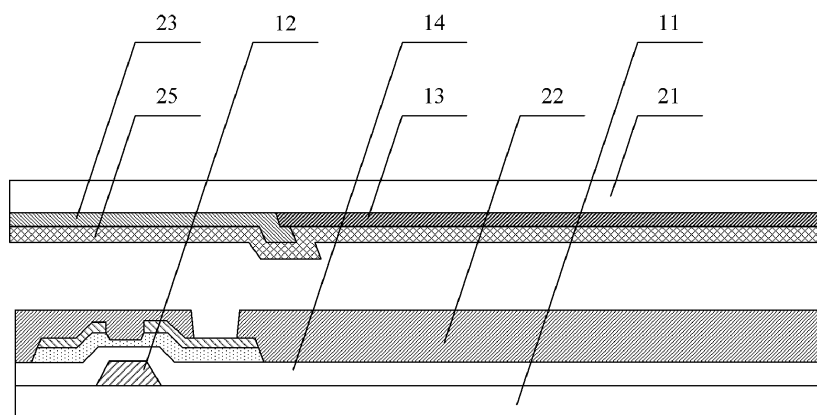
도면8c



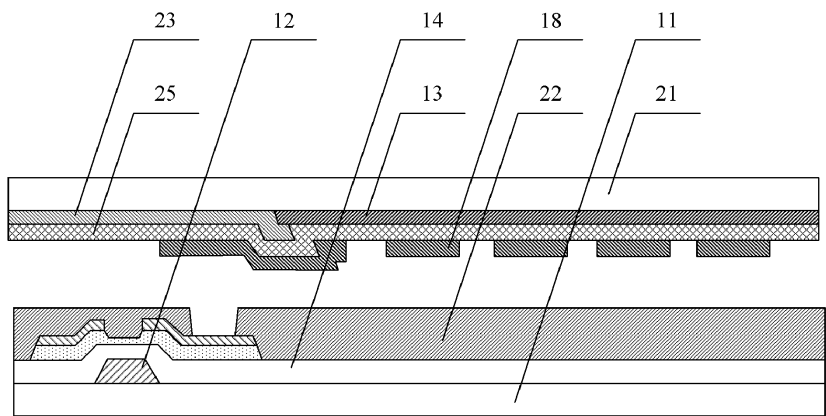
도면 8d



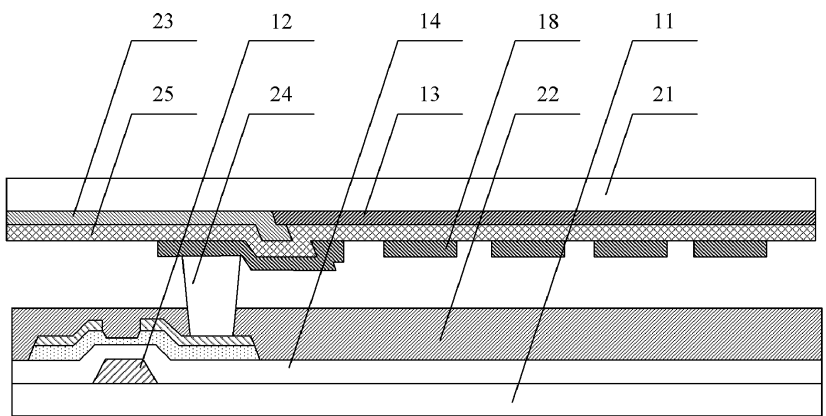
도면 8e



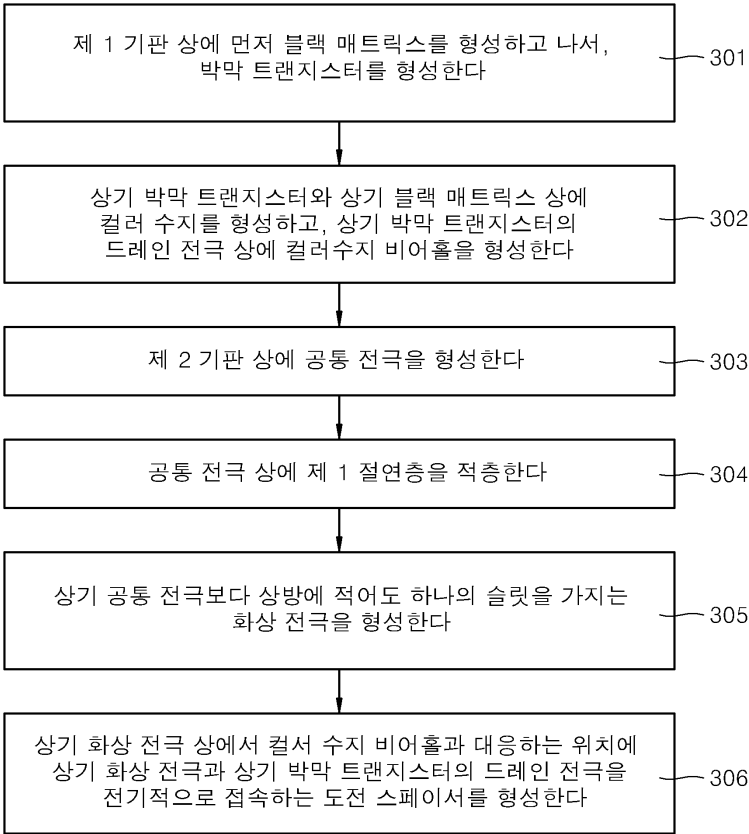
도면8f



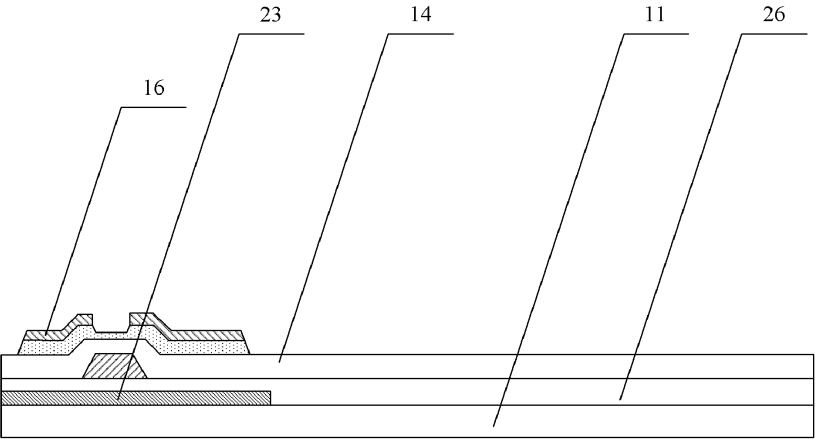
도면8g



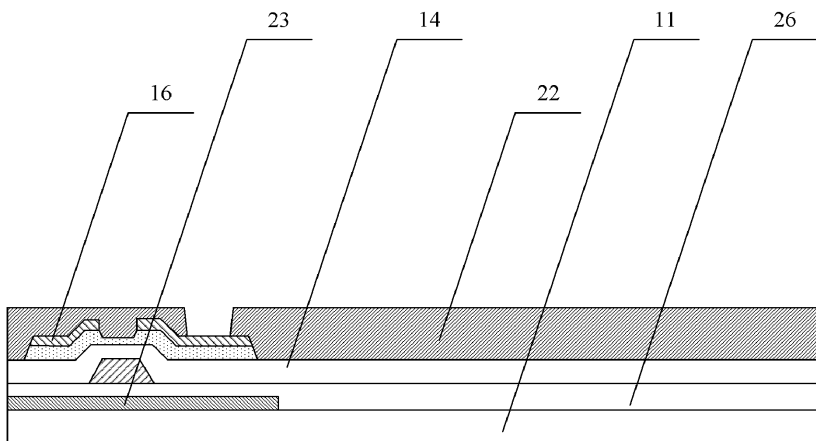
도면9a



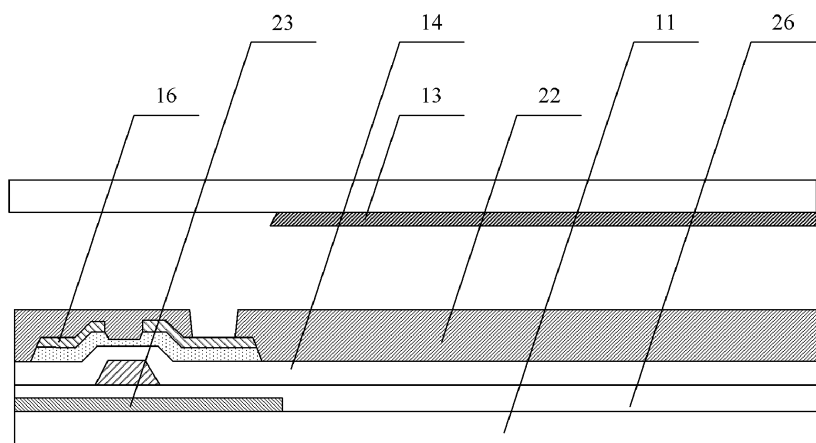
도면9b



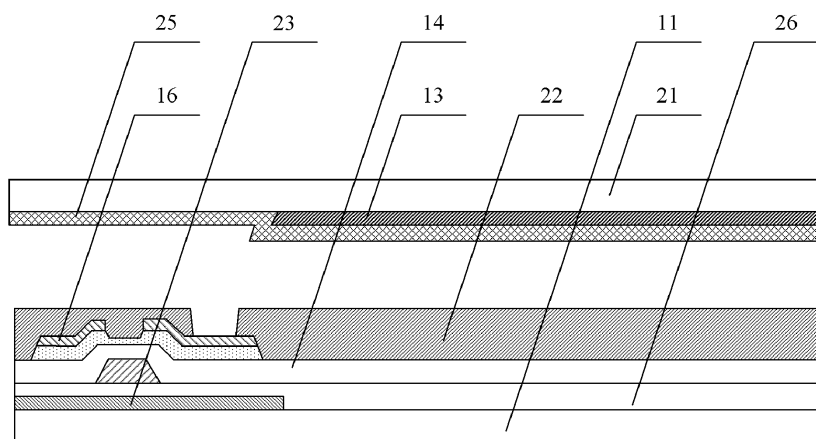
도면9c



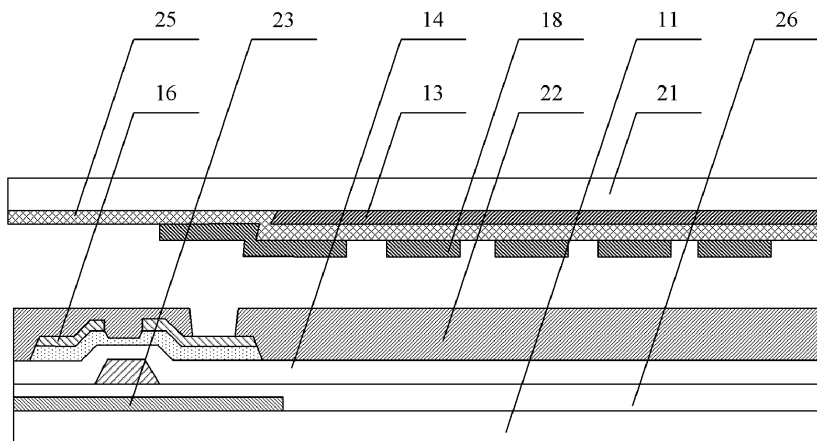
도면9d



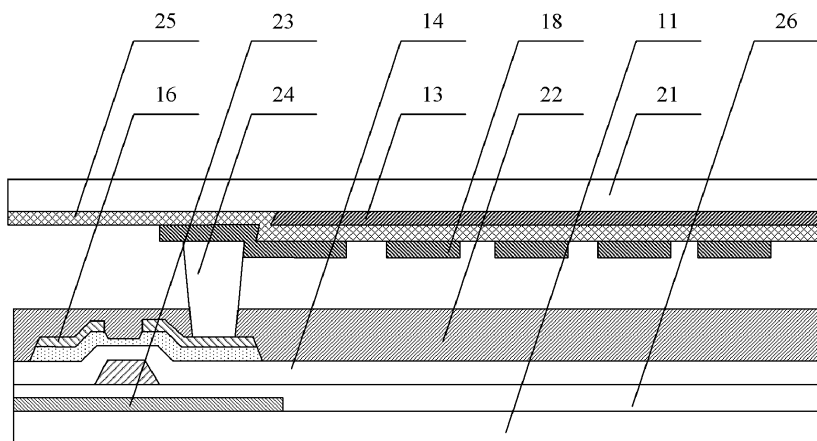
도면9e



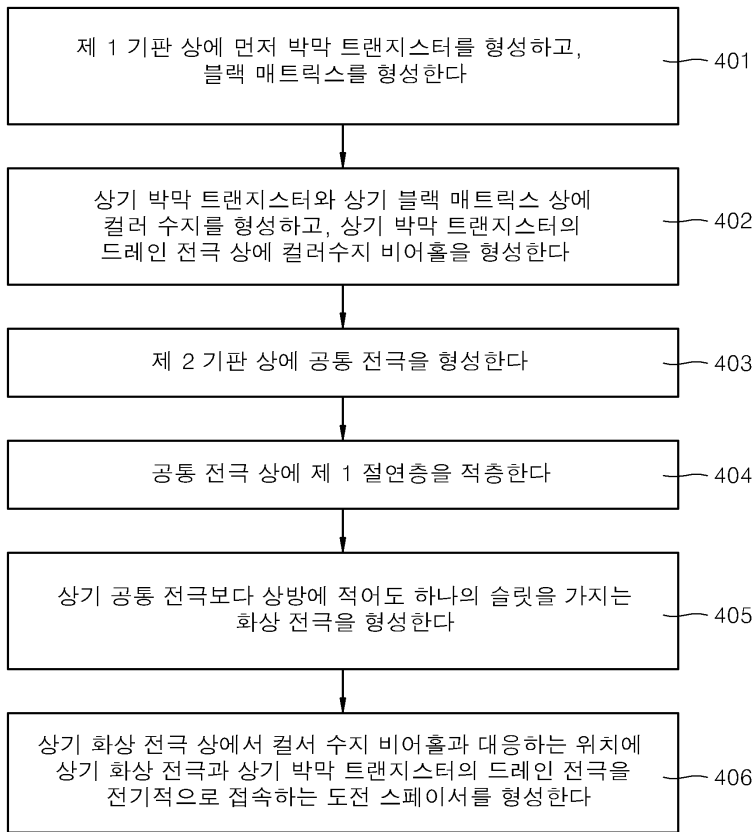
도면9f



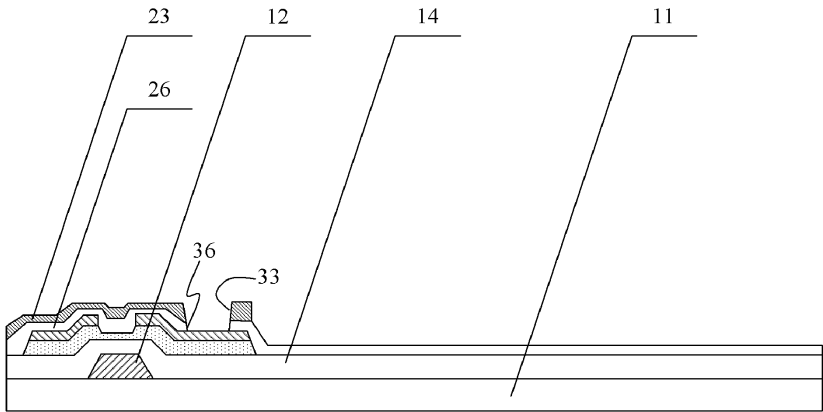
도면9g



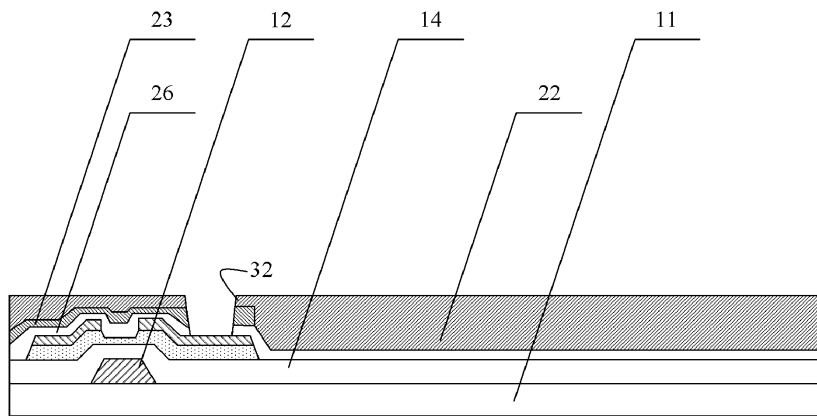
도면10a



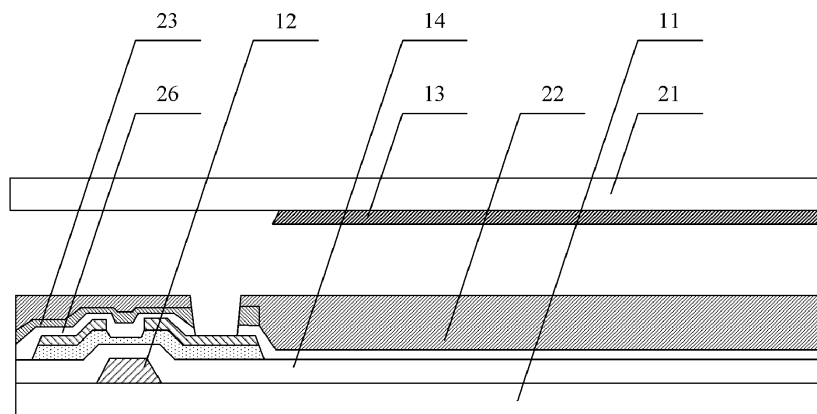
도면10b



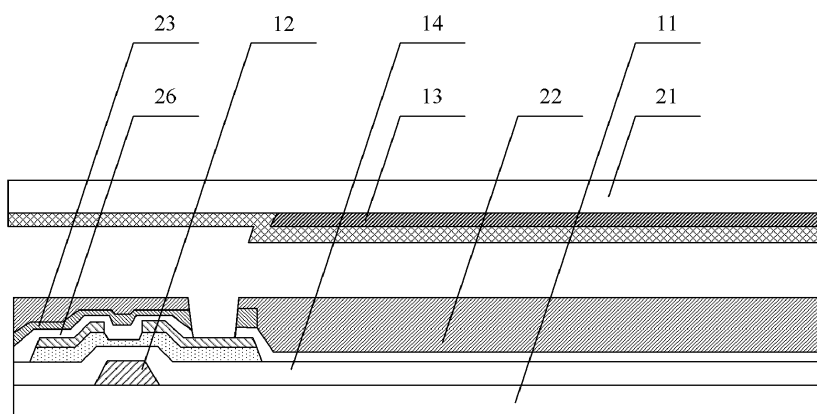
도면10c



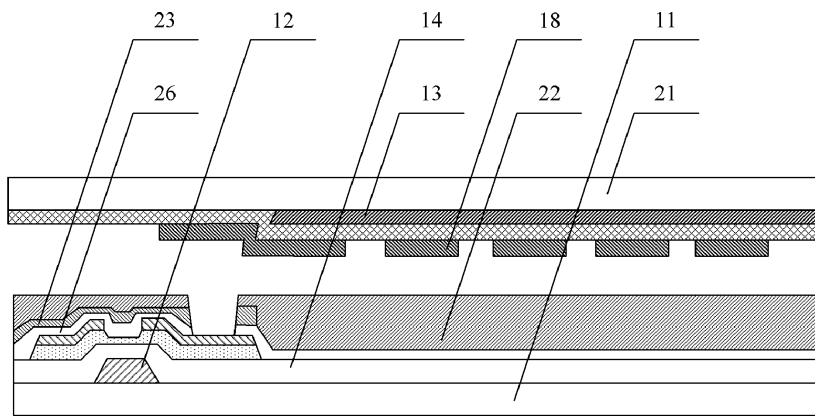
도면10d



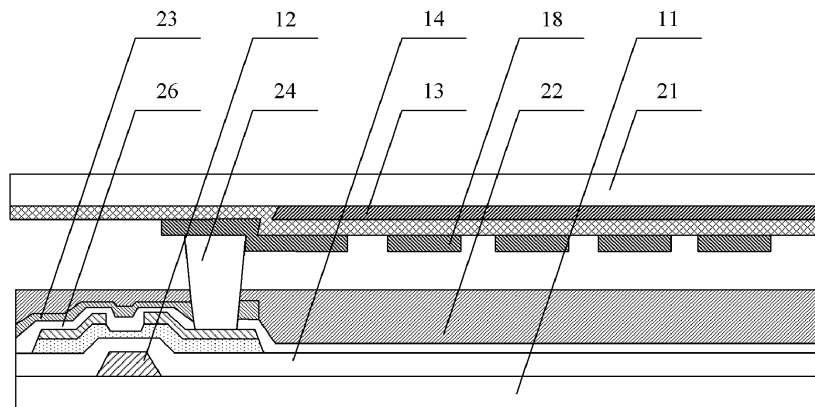
도면10e



도면10f



도면10g



专利名称(译)	标题：水平电场型液晶显示装置及其制造方法		
公开(公告)号	KR101243114B1	公开(公告)日	2013-03-13
申请号	KR1020100022347	申请日	2010-03-12
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	MIN TAE YUP 민태업 PEI YANG WANG JING 왕징 GAO WENBAO		
发明人	민태업 페이양 왕징 가오원바오		
IPC分类号	G02F1/1339 G02F		
CPC分类号	G02F1/13394 G02F2001/13398 G02F1/134363		
优先权	200910079953.0 2009-03-13 CN		
其他公开文献	KR1020100103424A		
外部链接	Espacenet		

摘要(译)

本发明的一个实施例涉及一种水平电场型液晶显示装置及其制造方法，包括第一基板，第二基板，插入在第一基板和第二基板之间的液晶层，以及插入在第一基板和第二基板之间的多个液晶层 其中，第一基板包括多个薄膜晶体管。 以及用于驱动多个薄膜晶体管的栅极线和数据线，像素电极的数量和对应于像素电极并形成水平电场的公共电极，第一基板上的每个像素电极和第二基板上的每个对应的薄膜晶体管彼此电连接 它属于导电垫片。 代表人物 - 图2

