



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년11월29일

(11) 등록번호 10-2049732

(24) 등록일자 2019년11월22일

(51) 국제특허분류(Int. Cl.)

G02F 1/1339 (2019.01)

(21) 출원번호 10-2012-0077145

(22) 출원일자 2012년07월16일

심사청구일자 2017년06월23일

(65) 공개번호 10-2014-0010634

(43) 공개일자 2014년01월27일

(56) 선행기술조사문헌

W02012074010 A1*

(뒷면에 계속)

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

최원준

경북 경주시 선주길 11-4, (동천동)

백세준

경기 과천시 독암길 14, 101동 1402호 (금릉동, 흰돌마을아파트)

(뒷면에 계속)

(74) 대리인

네이트특허법인

전체 청구항 수 : 총 14 항

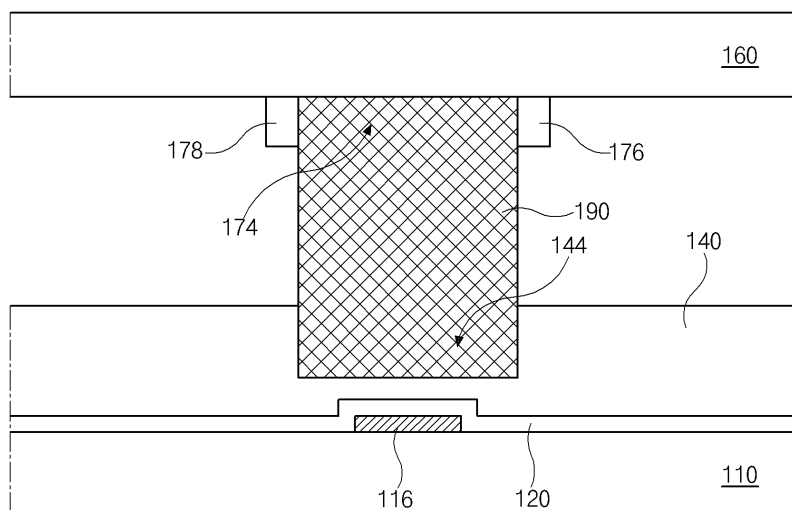
심사관 : 박정근

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 표시영역과 비표시영역 및 상기 비표시영역 내의 쉘패턴 영역을 갖고 서로 마주하는 제 1 기판 및 제 2 기판과; 상기 제 1 기판에 형성되며 상기 쉘패턴 영역에 제 1 쉘패턴 홈을 갖는 보호층과; 상기 제 2 기판에 형성되며 상기 제 1 쉘패턴 홈의 양끝 각각에 위치하며 상기 제 1 쉘패턴 홈에 대응하여 제 2 쉘패턴 홈을 형성하는 제 1 및 제 2 탭과; 상기 제 1 기판에 형성되는 화소전극과; 상기 제 1 기판 및 상기 제 2 기판 중 어느 하나에 형성되는 공통전극과; 상기 제 1 및 제 2 기판 사이에 위치하는 액정층과; 일단이 상기 제 1 쉘패턴 홈에 삽입되고 타단이 상기 제 2 쉘패턴 홈에 삽입되는 쉘패턴을 포함하는 액정표시장치를 제공한다.

대표도 - 도5



(72) 발명자

남성립

경기 파주시 후곡로 50, 409동 1702호 (금촌동, 후곡마을아파트)

서범식

경기도 파주시 교하읍 야당리 교하신도시 에이 15-1블럭 한빛마을 2단지 휴먼레이크펠리스 212동 1602호

오혁

서울 마포구 매봉산로 8, 301동 1704호 (상암동, 상암월드컵파크3단지아파트)

전효일

대전 서구 관저동로 42, 1304동 2301호 (관저동, 느리울아파트13단지)

(56) 선행기술조사문헌

US20090066903 A1*

US20060170854 A1*

US20080117344 A1*

US20050073638 A1*

US20060274247 A1*

*는 심사관에 의하여 인용된 문헌

명세서

청구범위

청구항 1

표시영역과 비표시영역 및 상기 비표시영역 내의 쉘패턴 영역을 갖고 서로 마주하는 제 1 기관 및 제 2 기관과;
 상기 제 1 기관에 형성되며 상기 쉘패턴 영역에 제 1 쉘패턴 홈을 갖는 보호층과;
 상기 제 2 기관에 형성되며 상기 제 1 쉘패턴 홈의 양끝 각각에 위치하며 상기 제 1 쉘패턴 홈에 대응하여 제 2 쉘패턴 홈을 형성하는 제 1 및 제 2 댐과;
 상기 제 1 기관에 형성되는 화소전극과;
 상기 제 1 기관 및 상기 제 2 기관 중 어느 하나에 형성되는 공통전극과;
 상기 제 1 및 제 2 기관 사이에 위치하는 액정층과;
 일단이 상기 제 1 쉘패턴 홈에 삽입되고 타단이 상기 제 2 쉘패턴 홈에 삽입되는 쉘패턴을 포함하고,
 상기 보호층은 상기 표시영역에서 제 1 두께를 갖고 상기 쉘패턴 영역에서 상기 제 1 두께보다 작은 제 2 두께를 가지며,
 상기 제 1 및 제 2 댐 사이 거리는 상기 쉘패턴의 폭과 동일한 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 제 1 기관 상에서 서로 교차하여 상기 표시영역 내에 화소영역을 정의하는 게이트 배선 및 데이터 배선과;
 상기 게이트 배선 및 데이터 배선 각각으로부터 상기 비표시영역으로 연장되는 게이트 링크 배선 및 데이터 링크 배선과;
 상기 게이트 배선 및 상기 데이터 배선에 연결되고 상기 화소영역 내에 위치하며, 상기 보호층 하부에 위치하는 박막트랜지스터
 를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,
 상기 게이트 배선 및 상기 게이트 링크 배선은 상기 제 1 기관 상에 위치하고,
 상기 게이트 배선 및 상기 게이트 링크 배선을 덮는 게이트 절연막을 포함하며,
 상기 데이터 배선 및 상기 데이터 링크 배선은 상기 게이트 절연막 상에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,
 상기 보호층은 상기 제 2 두께를 갖는 하부층과 상기 하부층 상에 위치하는 상부층으로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 하부층은 산화실리콘 또는 질화실리콘으로 이루어지고, 상기 상부층은 포토아크릴 또는 벤조사이클로부텐으로 이루어지는 것을 특징으로 하는 액정표시장치.

청구항 6

표시영역과 비표시영역 및 상기 비표시영역 내의 쉘패턴 영역을 갖고 서로 마주하는 제 1 기판 및 제 2 기판과;

상기 제 1 기판 상에서 서로 교차하여 상기 표시영역 내에 화소영역을 정의하는 게이트 배선 및 데이터 배선과;

상기 게이트 배선 및 데이터 배선 각각으로부터 상기 비표시영역으로 연장되는 게이트 링크 배선 및 데이터 링크 배선과;

상기 게이트 배선, 상기 데이터 배선, 상기 게이트 링크 배선, 상기 데이터 링크 배선 상부에 위치하고 상기 쉘패턴 영역에 제 1 쉘패턴 홈을 갖는 보호층과;

상기 제 2 기판에 형성되며 상기 제 1 쉘패턴 홈의 양끝 각각에 위치하며 상기 제 1 쉘패턴 홈에 대응하여 제 2 쉘패턴 홈을 형성하는 제 1 및 제 2 댐과;

상기 제 1 기판에 형성되는 화소전극과;

상기 제 1 기판 및 상기 제 2 기판 중 어느 하나에 형성되는 공통전극과;

상기 제 1 및 제 2 기판 사이에 위치하는 액정층과;

일단이 상기 제 1 쉘패턴 홈에 삽입되고 타단이 상기 제 2 쉘패턴 홈에 삽입되는 쉘패턴을 포함하고,

상기 게이트 배선과 상기 게이트 링크 배선 및 상기 데이터 링크 배선은 게이트 절연막 하부에 위치하고,

상기 데이터 배선은 상기 게이트 절연막 상에 위치하며 상기 게이트 절연막에 형성되는 데이터 배선 콘택홀을 통해 상기 데이터 링크 배선에 연결되고,

상기 제 1 쉘패턴 홈에서 상기 쉘패턴이 상기 데이터 링크 배선과 접촉하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제 1 쉘패턴 홈을 통해 상기 게이트 링크 배선 및 상기 데이터 링크 배선이 노출되는 것을 특징으로 하는 액정표시장치.

청구항 8

제 2 항에 있어서,

상기 박막트랜지스터는 상기 게이트 배선에 연결되는 게이트 전극, 상기 게이트 전극을 덮는 게이트 절연막, 상기 게이트 절연막 상에 위치하며 순수 비정질 실리콘으로 이루어지는 액티브층과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층을 포함하는 반도체층, 상기 반도체층 상에 위치하며 상기 데이터 배선에 연결되는 소스 전극 및 상기 반도체층 상에 위치하고 상기 소스 전극으로부터 이격되는 드레인 전극을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 2 항 또는 제 6 항에 있어서,

상기 게이트 배선과 상기 데이터 배선에 대응하는 블랙매트릭스와, 상기 화소영역에 대응하는 컬러필터층을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 9 항에 있어서,

상기 제 1 및 제 2 댐 각각은 상기 컬러필터층과 동일물질로 이루어지고 동일층에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 1 항 또는 제 6 항에 있어서,

상기 제 2 기관 상에 형성되며 상기 제 1 기관 및 상기 제 2 기관 사이의 간격을 유지하는 스페이서를 포함하고,

상기 제 1 및 제 2 댐 각각은 상기 스페이서와 동일물질로 이루어지고 동일층에 위치하는 것을 특징으로 하는 액정표시장치.

청구항 12

제 3 항에 있어서,

상기 제 1 쉘패턴 홈에서 상기 보호층은 상기 데이터 링크 배선을 덮는 것을 특징으로 하는 액정표시장치.

청구항 13

삭제

청구항 14

삭제

청구항 15

삭제

청구항 16

삭제

청구항 17

표시영역과 비표시영역 및 상기 비표시영역 내의 쉘패턴 영역을 갖는 기관과;

상기 표시영역에 위치하는 게이트 배선과;

상기 게이트 배선으로부터 상기 비표시영역으로 연장되는 게이트 링크 배선과;

상기 비표시영역에 위치하는 데이터 링크 배선과;

상기 게이트 배선, 상기 게이트 링크 배선, 상기 데이터 링크 배선을 덮는 게이트 절연막과;

상기 게이트 절연막 상에 위치하며 상기 게이트 배선과 교차하고, 상기 게이트 절연막에 형성되는 데이터 배선

콘택홀을 통해 상기 데이터 링크 배선에 연결되는 데이터 배선과;
 상기 데이터 배선 상부에 위치하고 상기 쉘패턴 영역에 쉘패턴 홈을 갖는 보호층과;
 상기 보호층 상에 위치하는 화소전극과;
 일단이 상기 쉘패턴 홈에 삽입되는 쉘패턴을 포함하고,
 상기 쉘패턴 홈에서 상기 쉘패턴이 상기 데이터 링크 배선과 접촉하는 것을 특징으로 하는 어레이 기판.

청구항 18

제 6 항에 있어서,
 상기 제 1 및 제 2 댄 사이 거리는 상기 쉘패턴의 폭과 동일한 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 쉘패턴을 위한 가이드 패턴을 형성함으로써 쉘패턴 형성 시 설계 공차를 줄일 수 있으며 이에 의해 네로우 베젤을 구현할 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들어 따라 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 박형화, 경량화, 저소비전력화의 우수한 성능을 지닌 평판표시장치로서 액정표시장치가 개발되어 기존의 브라운관(Cathode Ray Tube : CRT)을 대체하고 있다.

[0003] 액정표시장치 중에서는 각 화소(pixel)별로 전압의 온(on), 오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 어레이 기판을 포함하는 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 주목받고 있다.

[0004] 도 1은 종래 액정표시장치의 개략적인 평면도이며, 도 2는 도 1의 A부분에 대한 개략적인 단면도이다.

[0005] 도 1에 도시된 바와 같이, 액정표시장치는 스위칭 소자인 박막트랜지스터(Tr)와 화소전극(50) 등이 형성되는 제 1 기판(10), 공통 전극(66) 등이 형성되고 상기 제 1 기판(10)과 마주하는 제 2 기판(60), 상기 제 1 및 제 2 기판(10, 60) 사이에 위치하는 액정층(70) 및 상기 액정층(70)을 누설을 방지하기 위해 상기 제 1 및 제 2 기판(10, 60)을 합착하는 쉘패턴(80)을 포함한다.

[0006] 상기 제 1 기판(10)에는 영상을 표시하는 표시영역(DR)과 상기 표시영역 주변의 비표시영역(NDR)이 정의되어 있으며, 상기 쉘패턴(80)은 상기 비표시영역(NDR)에 위치한다.

[0007] 상기 제 1 기판(10)에는 상기 박막트랜지스터(Tr)의 스위칭을 위해 게이트 배선(미도시) 및 데이터 배선(미도시)이 형성되며, 상기 게이트 배선 및 상기 데이터 배선에 신호를 인가하기 위한 구동부가 상기 제 1 기판(10)의 적어도 일측에 형성된다. 이때, 상기 구동부와 외부구동회로의 연결을 위해 상기 제 2 기판(60)은 상기 제 1 기판(10)보다 작은 크기를 갖고 상기 제 1 기판(10)의 적어도 일측을 노출시킬 수 있다.

[0008] 상기 박막트랜지스터(Tr)는 상기 게이트 배선에 연결되는 게이트 전극(14), 상기 게이트 전극(14)을 덮는 게이트 절연막(20), 상기 게이트 절연막(20) 상에 위치하며 순수 비정질 실리콘으로 이루어지는 액티브층(22a)과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층(22b)으로 구성되는 반도체층(22), 상기 반도체층(22) 상에 위치하며 상기 데이터 배선에 연결되는 소스 전극(32) 및 상기 반도체층(22) 상에 위치하고 상기 소스 전극(32)으로부터 이격되는 드레인 전극(34)을 포함한다.

[0009] 상기 드레인 전극(34)을 노출하는 드레인 콘택홀(42)을 갖는 보호층(40)이 상기 박막트랜지스터(Tr)를 덮으며 형성되고, 상기 보호층(40) 상에는 상기 드레인 콘택홀(42)을 통해 상기 드레인 전극(34)에 연결되는 화소전극(50)이 형성된다. 상기 화소전극(50)은 상기 게이트 배선 및 상기 데이터 배선의 교차에 의해 정의되는 화소영역(P) 내에 위치한다.

[0010] 또한, 상기 제 1 기판(10)과 마주하는 상기 제 2 기판(60)에는 상기 박막트랜지스터(Tr), 상기 게이트 배선, 상

기 데이터 배선 등을 가리기 위한 블랙매트릭스(62)와, 상기 화소영역(P)에 대응되는 컬러필터층(64) 및 상기 화소전극(50)과 전계를 형성하기 위한 공통전극(66)이 형성된다.

- [0011] 상기 제 1 및 제 2 기관(10, 60)의 사이, 즉 상기 화소전극(50)과 상기 공통전극(66) 사이에는 상기 액정층(70)이 위치하며, 상기 화소전극(50)과 상기 공통전극(66) 사이에 형성되는 전계에 의해 상기 액정층(70)의 액정 분자가 구동된다.
- [0012] 전술한 바와 같이, 상기 비표시영역(NDR)에는 상기 액정층(70)의 누설을 방지하고 상기 제 1 및 제 2 기관(10, 60)을 합착하기 위한 셀패턴(80)이 형성된다. 상기 셀패턴(80)은 그 일단이 상기 보호층(40)과 접촉하고 그 타단이 상기 제 2 기관(60)과 접촉하고 있다.
- [0013] 상기 셀패턴(80)은 셀런트(sealant)를 디스펜서(dispenser)에 의해 상기 제 1 기관(10) 또는 상기 제 2 기관(60)에 형성하게 된다.
- [0014] 그런데, 상기 셀패턴(80)의 형성 공정에서 원하는 위치로부터 벗어나게 되는 문제가 발생하고 있다.
- [0015] 셀패턴의 위치 편차를 보여주는 도 3a 및 도 3b를 참조하여 보다 자세히 설명한다.
- [0016] 우선, 도 3a에 도시된 바와 같이, 디스펜서(미도시)가 제 1 위치(P01)에 위치한 상태에서 셀런트가 도포되면 셀패턴(80)이 원하는 위치에 형성되나, 도 3b 및 도 3c에 도시된 바와 같이, 디스펜서가 상기 제 1 위치(P01)으로부터 벗어나 제 2 위치(P02) 또는 제 3 위치(P03)에 위치한 상태에서 셀런트가 도포되거나 합착 공정에서 셀런트의 퍼짐 편차가 발생함으로써 셀패턴(80)이 원하는 위치로부터 벗어나 형성된다.
- [0017] 이러한 편차를 고려하여 셀런트(80)를 형성하기 위한 영역을 편차(DV)만큼 증가시켜야 하며 이에 따라 비표시영역(NDR)이 증가하는 문제가 발생한다. 즉, 액정표시장치에서 요구되는 네로우 베젤(narrow bezel) 구현을 저해하게 된다.

발명의 내용

해결하려는 과제

- [0018] 본 발명은 셀패턴의 형성될 위치를 결정하는 구조를 형성함으로써 셀패턴의 위치 편차가 발생하는 것을 방지하고자 한다.
- [0019] 이에 따라 네로우 베젤을 갖는 액정표시장치를 제공하고자 한다.

과제의 해결 수단

- [0020] 위와 같은 과제의 해결을 위해, 본 발명은 표시영역과 비표시영역 및 상기 비표시영역 내의 셀패턴 영역을 갖고 서로 마주하는 제 1 기관 및 제 2 기관과; 상기 제 1 기관에 형성되며 상기 셀패턴 영역에 제 1 셀패턴 홈을 갖는 보호층과; 상기 제 2 기관에 형성되며 상기 제 1 셀패턴 홈의 양끝 각각에 위치하며 상기 제 1 셀패턴 홈에 대응하여 제 2 셀패턴 홈을 형성하는 제 1 및 제 2 댐과; 상기 제 1 기관에 형성되는 화소전극과; 상기 제 1 기관 및 상기 제 2 기관 중 어느 하나에 형성되는 공통전극과; 상기 제 1 및 제 2 기관 사이에 위치하는 액정층과; 일단이 상기 제 1 셀패턴 홈에 삽입되고 타단이 상기 제 2 셀패턴 홈에 삽입되는 셀패턴을 포함하는 액정표시장치를 제공한다.
- [0021] 본 발명의 액정표시장치에 있어서, 상기 제 1 기관 상에서 서로 교차하여 상기 표시영역 내에 화소영역을 정의하는 게이트 배선 및 데이터 배선과; 상기 게이트 배선 및 데이터 배선 각각으로부터 상기 비표시영역으로 연장되는 게이트 링크 배선 및 데이터 링크 배선과; 상기 게이트 배선 및 상기 데이터 배선에 연결되고 상기 화소영역 내에 위치하며, 상기 보호층 하부에 위치하는 박막트랜지스터를 포함하는 것을 특징으로 한다.
- [0022] 본 발명의 액정표시장치에 있어서, 상기 게이트 배선 및 상기 게이트 링크 배선은 상기 제 1 기관 상에 위치하고, 상기 게이트 배선 및 상기 게이트 링크 배선을 덮는 게이트 절연막을 포함하며, 상기 데이터 배선 및 상기 데이터 링크 배선은 상기 게이트 절연막 상에 위치하고, 상기 보호층은 상기 표시영역에서 제 1 두께를 갖고 상기 셀패턴 영역에서 상기 제 1 두께보다 작은 제 2 두께를 갖는 것을 특징으로 한다.

- [0023] 본 발명의 액정표시장치에 있어서, 상기 보호층은 상기 제 2 두께를 갖는 하부층과 상기 하부층 상에 위치하는 상부층으로 이루어지는 것을 특징으로 한다.
- [0024] 본 발명의 액정표시장치에 있어서, 상기 하부층은 산화실리콘 또는 질화실리콘으로 이루어지고, 상기 상부층은 포토아크릴 또는 벤조사이클로부텐으로 이루어지는 것을 특징으로 한다.
- [0025] 본 발명의 액정표시장치에 있어서, 상기 게이트 배선과 상기 게이트 링크 배선 및 상기 데이터 링크 배선은 상기 제 1 기판 상에 위치하고, 상기 게이트 배선과 상기 게이트 링크 배선 및 상기 데이터 링크 배선을 덮는 게이트 절연막을 포함하며, 상기 데이터 배선은 상기 게이트 절연막 상에 위치하며 상기 게이트 절연막에 형성되는 데이터 배선 콘택홀을 통해 상기 데이터 링크 배선에 연결되는 것을 특징으로 한다.
- [0026] 본 발명의 액정표시장치에 있어서, 상기 제 1 셀패턴 홈을 통해 상기 게이트 링크 배선 및 상기 데이터 링크 배선이 노출되는 것을 특징으로 한다.
- [0027] 본 발명의 액정표시장치에 있어서, 상기 박막트랜지스터는 상기 게이트 배선에 연결되는 게이트 전극, 상기 게이트 전극을 덮는 게이트 절연막, 상기 게이트 절연막 상에 위치하며 순수 비정질 실리콘으로 이루어지는 액티브층과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층을 포함하는 반도체층, 상기 반도체층 상에 위치하며 상기 데이터 배선에 연결되는 소스 전극 및 상기 반도체층 상에 위치하고 상기 소스 전극으로부터 이격되는 드레인 전극을 포함하는 것을 특징으로 한다.
- [0028] 본 발명의 액정표시장치에 있어서, 상기 게이트 배선과 상기 데이터 배선 및 상기 박막트랜지스터에 대응하는 블랙매트릭스와, 상기 화소영역에 대응하는 컬러필터층을 포함하는 것을 특징으로 한다.
- [0029] 본 발명의 액정표시장치에 있어서, 상기 제 1 및 제 2 댄 각각은 상기 컬러필터층과 동일물질로 이루어지고 동일층에 위치하는 것을 특징으로 한다.
- [0030] 본 발명의 액정표시장치에 있어서, 상기 제 2 기판 상에 형성되며 상기 제 1 기판 및 상기 제 2 기판 사이의 간격을 유지하는 스페이서를 포함하고, 상기 제 1 및 제 2 댄 각각은 상기 스페이서와 동일물질로 이루어지고 동일층에 위치하는 것을 특징으로 한다.

발명의 효과

- [0031] 본 발명은 하부기판에 형성되는 보호층을 식각하여 셀패턴이 위치하는 홈을 형성함으로써 셀런트의 디스펜서 위치에 오차가 발생하더라도 셀패턴의 위치에는 오차가 발생하는 것을 방지하여 셀패턴이 형성되는 영역을 최소화할 수 있다.
- [0032] 따라서, 네로우 베젤을 구현할 수 있는 효과를 갖는다.
- [0033] 또한, 보호층에 홈이 형성함에 있어, 보호층의 일부만을 식각함으로써 하부의 데이터 링크 배선이 손상되는 것을 방지할 수 있다.
- [0034] 또한, 보호층 및 그 하부의 게이트 절연막을 모두 제거하여 홈을 형성함으로써 셀패턴의 두께를 증가시키고 폭을 감소시킴으로써 비표시영역의 면적을 보다 감소시킬 수 있으며, 데이터 링크 배선을 게이트 배선과 동일한 층에 형성함으로써 셀패턴의 두께를 균일하게 할 수 있다.

도면의 간단한 설명

- [0035] 도 1은 종래 액정표시장치의 개략적인 평면도.
 도 2는 도 1의 A부분에 대한 개략적인 단면도.
 도 3a 및 도 3b는 셀패턴의 위치 편차 발생을 설명하기 위한 개략적인 단면도.
 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치의 개략적인 평면도.
 도 5는 도 4의 V-V선을 따라 절단한 부분의 단면도.
 도 6은 도 4의 VI-VI선을 따라 절단한 부분의 단면도.

도 7은 본 발명의 제 1 실시예에 따른 액정표시장치의 화소영역을 보여주는 개략적인 단면도.

도 8은 본 발명의 제 2 실시예에 따른 액정표시장치의 개략적인 평면도.

도 9는 도 8의 IX-IX선을 따라 절단한 부분의 단면도.

도 10은 도 8의 X-X선을 따라 절단한 부분의 단면도.

도 11은 본 발명의 제 2 실시예에 따른 액정표시장치의 화소영역을 보여주는 개략적인 단면도.

발명을 실시하기 위한 구체적인 내용

- [0036] 이하, 본 발명에 따른 바람직한 실시예를 도면을 참조하여 설명한다.
- [0037] 도 4는 본 발명의 제 1 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 5는 도 4의 V-V선을 따라 절단한 부분의 단면도이다. 도 6은 도 4의 VI-VI선을 따라 절단한 부분의 단면도이고, 도 7은 본 발명의 제 1 실시예에 따른 액정표시장치의 화소영역을 보여주는 개략적인 단면도이다.
- [0038] 도 4 내지 도 7에 도시한 바와 같이, 본 발명의 제 1 실시예에 따른 액정표시장치는 액정표시장치는 스위칭 소자인 박막트랜지스터(Tr)와 화소전극(150) 등이 형성되는 제 1 기판(110), 공통 전극(166) 등이 형성되고 상기 제 1 기판(110)과 마주하는 제 2 기판(160), 상기 제 1 및 제 2 기판(110, 160) 사이에 위치하는 액정층(180) 및 상기 액정층(180)을 누설을 방지하기 위해 상기 제 1 및 제 2 기판(110, 160)을 합착하는 셀패턴(190)을 포함한다.
- [0039] 상기 제 1 기판(110)에는 영상을 표시하는 표시영역(DR)과 상기 표시영역 주변의 비표시영역(NDR)이 정의되어 있으며, 상기 셀패턴(190)은 상기 비표시영역(NDR)에 위치하는 셀패턴 영역(미도시)에 형성된다.
- [0040] 상기 제 1 기판(110)에는 상기 박막트랜지스터(Tr)의 스위칭을 위해 게이트 배선(112) 및 데이터 배선(130)이 형성되며, 상기 게이트 배선(112) 및 상기 데이터 배선(130)에 신호를 인가하기 위한 구동부가 상기 제 1 기판(110)의 적어도 일측에 형성된다. 이때, 상기 구동부와 외부구동회로의 연결을 위해 상기 제 2 기판(160)은 상기 제 1 기판(110)보다 작은 크기를 갖고 상기 제 1 기판(110)의 적어도 일측을 노출시킬 수 있다.
- [0041] 상기 표시영역(DR)에는 상기 게이트 배선(112)과 상기 데이터 배선(130)이 교차함으로써 다수의 화소영역(P)이 정의되며, 상기 화소영역(P) 각각에는 스위칭 소자인 박막트랜지스터(Tr)와 화소전극(150)이 형성된다.
- [0042] 상기 박막트랜지스터(Tr)는 상기 게이트 배선(112)에 연결되는 게이트 전극(114), 상기 게이트 전극(114)을 덮는 게이트 절연막(120), 상기 게이트 절연막(120) 상에 위치하며 순수 비정질 실리콘으로 이루어지는 액티브층(122a)과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층(122b)으로 구성되는 반도체층(122), 상기 반도체층(122) 상에 위치하며 상기 데이터 배선(130)에 연결되는 소스 전극(132) 및 상기 반도체층(122) 상에 위치하고 상기 소스 전극(132)으로부터 이격되는 드레인 전극(134)을 포함한다.
- [0043] 상기 드레인 전극(134)을 노출하는 드레인 콘택홀(142)을 갖는 보호층(140)이 상기 박막트랜지스터(Tr)를 덮으며 형성되고, 상기 보호층(140) 상에는 상기 드레인 콘택홀(142)을 통해 상기 드레인 전극(134)에 연결되는 화소전극(150)이 형성된다.
- [0044] 상기 제 1 기판(110)의 일측에 위치하는 비표시영역(NDR)에는, 상기 게이트 배선(112)으로부터 연장되는 게이트 링크 배선(116) 및 상기 게이트 링크 배선(116) 끝에 연결되는 게이트 패드(118)가 형성된다. 도시하지 않았으나, 상기 화소전극(150)과 동일물질로 이루어지고 동일층에 위치하며 상기 게이트 패드(118)에 연결되는 게이트 패드 전극이 형성될 수 있다.
- [0045] 상기 게이트 절연막(120) 및 상기 보호층(140)은 상기 게이트 링크 배선(118)을 덮으며 적층되어 있다.
- [0046] 또한, 상기 제 1 기판(110)의 타측에 위치하는 비표시영역(NDR)에는, 상기 데이터 배선(130)으로부터 연장되는 데이터 링크 배선(136) 및 상기 데이터 링크 배선(136) 끝에 연결되는 데이터 패드(138)가 형성된다. 도시하지 않았으나, 상기 화소전극(150)과 동일물질로 이루어지고 동일층에 위치하며 상기 데이터 패드(138)에 연결되는 데이터 패드 전극이 형성될 수 있다.
- [0047] 상기 게이트 절연막(120)은 상기 데이터 링크 배선(138) 하부에 위치하며, 상기 보호층(140)은 상기 데이터 링크 배선(138)을 덮고 있다.
- [0048] 이때, 상기 게이트 링크 배선(116) 및 상기 데이터 링크 배선(136)에 대응하여 상기 보호층(140)의 일부가 식각

됨으로써 상기 썰패턴 영역(미도시)에 제 1 썰패턴 홈(144)이 형성된다. 즉, 상기 보호층(140)이 제 1 두께를 갖는 경우, 상기 제 1 썰패턴 홈(144)에 있어 상기 보호층(140)은 상기 제 1 두께보다 작은 제 2 두께를 갖는다. 다시 말해, 상기 보호층(140)은 상기 썰패턴 영역에서 상기 제 1 기판(110)으로부터 제 1 높이를 갖고 다른 영역에서 상기 제 1 기판(110)으로부터 상기 제 1 높이보다 큰 제 2 높이를 갖는다.

[0049] 이때, 상기 보호층(140)의 식각 공정은 상기 보호층(140)을 완전히 제거하여 상기 드레인 콘택홀(142)을 형성하기 위한 공정과 상기 보호층(140)의 일부만을 제거하여 상기 제 1 썰패턴 홈(144)을 형성하기 위한 공정으로 진행될 수 있다.

[0050] 한편, 공정 효율을 위해 하프톤 마스크를 이용하여 상기 보호층(140)을 식각하는 것이 바람직하다. 즉, 투과부와 차단부 및 반투과부를 갖는 마스크를 이용하는 마스크 공정을 진행함으로써, 상기 투과부에 대응하여 상기 보호층(140)을 완전히 제거하고 상기 반투과부에 대응하여 상기 보호층(140)을 일부 식각한다.

[0051] 한편, 상기 보호층(140)을 완전히 제거함으로써 상기 제 1 썰패턴 홈(144)을 통해 상기 게이트 절연막(120) 및 상기 데이터 링크 배선(136)이 노출되도록 할 수도 있다. 그러나, 상기 데이터 링크 배선(136)이 상기 보호층(140)의 식각 공정에 노출됨으로써 손상되는 것을 방지하기 위하여 상기 보호층(140)의 일부만을 식각하는 것이 바람직하다.

[0052] 도 5 내지 도 7에서 보호층(140)이 단일층 구조인 것을 보이고 있으나, 상기 보호층(140)을 이중층으로 구성하고 상부층만을 식각할 수도 있다. 예를 들어, 산화실리콘 또는 질화실리콘과 같은 무기절연물질로 이루어지는 하부층과 포토아크릴 또는 벤조사이클로부텐과 같은 유기절연물질로 이루어지는 상부층을 적층하여 보호층(140)을 형성하고, 상기 하부층을 남기고 상기 상부층을 식각하여 상기 제 1 썰패턴 홈(144)을 형성할 수 있다.

[0053] 또한, 상기 제 1 기판(110)과 마주하는 상기 제 2 기판(160)에는 상기 박막트랜지스터(Tr), 상기 게이트 배선(112), 상기 데이터 배선(130) 등을 가리기 위한 블랙매트릭스(162)와, 상기 화소영역(P)에 대응되는 컬러필터층(164) 및 상기 화소전극(150)과 전계를 형성하기 위한 공통전극(166)이 형성된다. 상기 블랙매트릭스(162)와 상기 컬러필터층(164)은 생략되거나 상기 제 1 기판(110) 상에 형성될 수도 있다.

[0054] 한편, 상기 공통전극(166)이 상기 화소전극(150)과 함께 상기 제 1 기판(110)에 형성되어 수평 전계 또는 프린지 필드를 형성하는 구조일 수도 있다.

[0055] 또한, 상기 표시영역(DR)에는 셀갭을 유지하기 위한 스페이서(172)가 형성되며, 상기 비표시영역(NDR)에는 상기 제 1 썰패턴 홈(144)의 양단에 대응하여 제 1 및 제 2 댐(176, 178)을 형성함으로써 상기 제 1 썰패턴 홈(144)에 대응하는 제 2 썰패턴 홈(174)을 형성한다.

[0056] 이때, 상기 제 1 및 제 2 댐(176, 178)은 상기 스페이서(172)와 동일물질로 이루어지고 동일층에 형성될 있으며, 상기 스페이서(172)와 상기 제 1 및 제 2 댐(176, 178)이 서로 다른 높이를 갖도록 하기 위하여 반투과 마스크 공정을 이용할 수 있다. 한편, 상기 제 1 및 제 2 댐(176, 178)은 상기 컬러필터층(164)과 동일층에 동일물질로 형성될 수 있다. 상기 컬러필터층(164)이 적색, 녹색, 청색 컬러필터 패턴으로 이루어지는 경우, 이중 어느 하나의 물질로 단일층의 제 1 및 제 2 댐(176, 178)을 형성하거나 적색, 녹색 및 청색 컬러필터 패턴 중 적어도 둘을 적층하여 이중층 또는 삼중층의 제 1 및 제 2 댐(176, 178)을 형성할 수도 있다.

[0057] 또한, 상기 제 1 및 제 2 댐(176, 178)은 상기 썰패턴(190)을 따라 연속하여 형성될 수도 있고 복수개가 서로 이격하여 형성될 수도 있다.

[0058] 상기 제 1 및 제 2 기판(110, 160) 사이, 즉 상기 화소전극(150)과 상기 공통전극(166) 사이에는 상기 액정층(180)이 위치하며, 상기 화소전극(150)과 상기 공통전극(166) 사이에 형성되는 전계에 의해 상기 액정층(180)의 액정분자가 구동된다.

[0059] 상기 비표시영역(NDR)에는 상기 액정층(180)의 누설을 방지하고 상기 제 1 및 제 2 기판(110, 160)을 합착하기 위한 썰패턴(190)이 형성된다. 상기 썰패턴(190)은 그 일단이 상기 보호층(140)에 형성되는 상기 제 1 썰패턴 홈(144)에 삽입되고 그 타단이 상기 제 1 및 제 2 댐(176, 178) 사이의 상기 제 2 썰패턴 홈(174)에 삽입된다. 즉, 상기 제 1 및 제 2 댐(176, 178) 사이 거리는 상기 썰패턴(190)의 폭과 동일하다.

[0060] 이와 같은 구성에 의하면, 디스펜서(미도시)가 원하지 않는 제 2 위치(도 3b의 P02) 또는 제 3 위치(도 3c의 P03)에 위치한 상태에서 썰런트가 도포되더라도, 합착 공정이 진행된다면 상기 썰패턴(190)은 상기 제 1 및 제 2 썰런트 홈(144, 174)에 대응하여 형성된다.

- [0061] 따라서, 디스펜서의 위치 또는 합착 공정에 의해 발생할 수 있는 셀패턴(190)의 위치 편차 발생을 방지할 수 있으며, 공정 오차를 고려할 필요가 없기 때문에 비표시영역의 면적을 줄일 수 있다. 즉, 네로우 베젤의 액정표시장치를 제공할 수 있다.
- [0062] 한편, 네로우 베젤의 구현을 위해서는 셀패턴의 폭을 감소시켜야 한다. 디스펜서를 이용하여 도포되는 셀런트의 양을 줄여 셀패턴의 폭을 감소시킬 수 있으나 한계가 있다. 즉, 셀갭을 유지하면서 셀패턴의 폭을 감소시키기에 한계가 존재한다.
- [0063] 본 발명의 제 2 실시예에서는 셀패턴의 폭을 더욱 감소시키며 액정표시장치 전체에서 셀패턴의 두께를 균일하게 할 수 있는 구조를 제안한다.
- [0064] 도 8은 본 발명의 제 2 실시예에 따른 액정표시장치의 개략적인 평면도이고, 도 9는 도 8의 IX-IX선을 따라 절단한 부분의 단면도이다. 도 10은 도 8의 X-X선을 따라 절단한 부분의 단면도이고, 도 11은 본 발명의 제 2 실시예에 따른 액정표시장치의 화소영역을 보여주는 개략적인 단면도이다.
- [0065] 도 8 내지 도 11에 도시한 바와 같이, 본 발명의 제 2 실시예에 따른 액정표시장치는 액정표시장치는 스위칭 소자인 박막트랜지스터(Tr)와 화소전극(250) 등이 형성되는 제 1 기판(210), 공통 전극(266) 등이 형성되고 상기 제 1 기판(210)과 마주하는 제 2 기판(260), 상기 제 1 및 제 2 기판(210, 260) 사이에 위치하는 액정층(280) 및 상기 액정층(280)을 누설을 방지하기 위해 상기 제 1 및 제 2 기판(210, 260)을 합착하는 셀패턴(290)을 포함한다.
- [0066] 상기 제 1 기판(210)에는 영상을 표시하는 표시영역(DR)과 상기 표시영역 주변의 비표시영역(NDR)이 정의되어 있으며, 상기 셀패턴(290)은 상기 비표시영역(NDR)에 위치하는 셀패턴 영역(미도시)에 형성된다.
- [0067] 상기 제 1 기판(210)에는 상기 박막트랜지스터(Tr)의 스위칭을 위해 게이트 배선(212) 및 데이터 배선(230)이 형성되며, 상기 게이트 배선(212) 및 상기 데이터 배선(230)에 신호를 인가하기 위한 구동부가 상기 제 1 기판(210)의 적어도 일측에 형성된다. 이때, 상기 구동부와 외부구동회로의 연결을 위해 상기 제 2 기판(260)은 상기 제 1 기판(210)보다 작은 크기를 갖고 상기 제 1 기판(210)의 적어도 일측을 노출시킬 수 있다.
- [0068] 상기 표시영역(DR)에는 상기 게이트 배선(212)과 상기 데이터 배선(230)이 교차함으로써 다수의 화소영역(P)이 정의되며, 상기 화소영역(P) 각각에는 스위칭 소자인 박막트랜지스터(Tr)와 화소전극(250)이 형성된다.
- [0069] 상기 박막트랜지스터(Tr)는 상기 게이트 배선(212)에 연결되는 게이트 전극(214), 상기 게이트 전극(214)을 덮는 게이트 절연막(220), 상기 게이트 절연막(220) 상에 위치하며 순수 비정질 실리콘으로 이루어지는 액티브층(222a)과 불순물 비정질 실리콘으로 이루어지는 오믹콘택층(222b)으로 구성되는 반도체층(222), 상기 반도체층(222) 상에 위치하며 상기 데이터 배선(230)에 연결되는 소스 전극(232) 및 상기 반도체층(222) 상에 위치하고 상기 소스 전극(232)으로부터 이격되는 드레인 전극(234)을 포함한다.
- [0070] 상기 드레인 전극(234)을 노출하는 드레인 콘택홀(242)을 갖는 보호층(240)이 상기 박막트랜지스터(Tr)를 덮으며 형성되고, 상기 보호층(240) 상에는 상기 드레인 콘택홀(242)을 통해 상기 드레인 전극(234)에 연결되는 화소전극(250)이 형성된다.
- [0071] 상기 제 1 기판(210)의 일측에 위치하는 비표시영역(NDR)에는, 상기 게이트 배선(212)으로부터 연장되는 게이트 링크 배선(216) 및 상기 게이트 링크 배선(216) 끝에 연결되는 게이트 패드(218)가 형성된다. 도시하지 않았으나, 상기 화소전극(250)과 동일물질로 이루어지고 동일층에 위치하며 상기 게이트 패드(218)에 연결되는 게이트 패드 전극이 형성될 수 있다.
- [0072] 상기 게이트 절연막(220) 및 상기 보호층(240)은 상기 게이트 링크 배선(218)을 덮으며 적층되어 있다.
- [0073] 또한, 상기 제 1 기판(210)의 타측에 위치하는 비표시영역(NDR)에는, 상기 데이터 배선(230)에 연결되는 데이터 링크 배선(236) 및 상기 데이터 링크 배선(236) 끝에 연결되는 데이터 패드(238)가 형성된다. 상기 데이터 배선(230)은 데이터 배선 콘택홀(224)을 통해 상기 데이터 링크 배선(236)과 연결된다. 도시하지 않았으나, 상기 화소전극(250)과 동일물질로 이루어지고 동일층에 위치하며 상기 데이터 패드(238)에 연결되는 데이터 패드 전극이 형성될 수 있다.
- [0074] 상기 게이트 절연막(220) 및 상기 보호층(240)은 상기 데이터 링크 배선(238)을 덮으며 적층되어 있다.

- [0075] 이때, 상기 게이트 링크 배선(216) 및 상기 데이터 링크 배선(236)에 대응하여 상기 보호층(240) 및 상기 게이트 절연막(220)이 완전히 제거됨으로써 제 1 쉘패턴 홈(244)이 형성된다. 즉, 상기 쉘패턴(290)이 형성될 영역에 대응하여 상기 보호층(240) 및 상기 게이트 절연막(220)이 완전히 제거되어 상기 제 1 쉘패턴 홈(244)이 형성되며, 상기 제 1 쉘패턴 홈(244)을 통해 상기 게이트 링크 배선(216) 및 상기 데이터 링크 배선(236)이 노출된다.
- [0076] 이와 같이, 보호층(240)과 게이트 절연막(220)을 완전히 제거하여 제 1 쉘패턴 홈(244)을 형성하게 되면, 쉘패턴(290)의 두께를 증가시킬 수 있다. 따라서, 일정한 양의 쉘런트가 도포되는 경우, 두께 증가에 의해 그 폭이 감소하게 되어 네로우 베젤을 구현할 수 있다.
- [0077] 한편, 보호층(240) 및 게이트 절연막(220)을 완전히 제거하여 제 1 쉘패턴 홈(244)을 형성하는 경우에 있어, 데이터 링크 배선(236)이 데이터 배선(230)으로부터 연장되어, 즉 데이터 배선(230)과 동일층에 위치하게 되면, 게이트 링크 배선(216)에 대응한 제 1 쉘패턴 홈(244)과 데이터 링크 배선(236)에 대응한 제 1 쉘패턴 홈(244)은 그 깊이가 서로 다르게 된다.
- [0078] 즉, 게이트 링크 배선(216)에 대응한 제 1 쉘패턴 홈(244)에 있어서는 제 1 기판(210) 상에 게이트 링크 배선(216)만이 적층되는 반면, 데이터 링크 배선(236)에 대응한 제 1 쉘패턴 홈(244)에 있어서는 제 1 기판(210) 상에 게이트 절연막(220)과 데이터 링크 배선(236)이 적층된다. 따라서, 게이트 링크 배선(216)에 대응한 제 1 쉘패턴 홈(244)과 데이터 링크 배선(236)에 대응한 제 1 쉘패턴 홈(244)은 그 깊이가 서로 다르게 되며, 쉘패턴(290)의 두께 편차가 발생하여 일부 영역에서 제 1 및 제 2 기판(210, 260)이 완전히 합착되지 않는 문제가 발생할 수 있다.
- [0079] 그러나, 본 발명의 액정표시장치에서는, 보호층(240)과 게이트 절연막(220)을 완전히 제거하여 제 1 쉘패턴 홈(244)을 형성하면서 데이터 링크 배선(236)을 게이트 링크 배선(216)과 동일층에 형성함으로써 제 1 쉘패턴 홈(244)의 깊이 차이가 발생하는 것을 방지하게 된다.
- [0080] 즉, 본 발명에 있어서, 보호층(240)과 게이트 절연막(220)을 완전히 제거하여 제 1 쉘패턴 홈(244)을 형성함으로써 쉘패턴(290)의 폭을 감소시켜 네로우 베젤을 구현하는 동시에 데이터 링크 배선(236)을 게이트 링크 배선(216)과 동일층에 형성함으로써 쉘패턴(290)의 두께를 균일하게 할 수 있다.
- [0081] 또한, 상기 제 1 기판(210)과 마주하는 상기 제 2 기판(260)에는 상기박막트랜지스터(Tr), 상기 게이트 배선(212), 상기 데이터 배선(230) 등을 가리기 위한 블랙매트릭스(262)와, 상기 화소영역(P)에 대응되는 컬러필터층(264) 및 상기 화소전극(250)과 전계를 형성하기 위한 공통전극(266)이 형성된다. 상기 블랙매트릭스(262)와 상기 컬러필터층(264)은 생략되거나 상기 제 1 기판(210) 상에 형성될 수도 있다.
- [0082] 또한, 상기 표시영역(DR)에는 셀갭을 유지하기 위한 스페이서(272)가 형성되며, 상기 비표시영역(NDR)에는 상기 제 1 쉘패턴 홈(244)의 양단에 대응하여 제 1 및 제 2 댐(276, 278)을 형성함으로써 상기 제 1 쉘패턴 홈(244)에 대응하는 제 2 쉘패턴 홈(274)을 형성한다.
- [0083] 이때, 상기 제 1 및 제 2 댐(276, 278)은 상기 스페이서(272)와 동일물질로 이루어지고 동일층에 형성될 있으며, 상기 스페이서(272)와 상기 제 1 및 제 2 댐(276, 278)이 서로 다른 높이를 갖도록 하기 위하여 반투과 마스크 공정을 이용할 수 있다.
- [0084] 한편, 상기 제 1 및 제 2 댐(276, 278)은 상기 컬러필터층(264)과 동일층에 동일물질로 형성될 수 있다. 상기 컬러필터층(264)이 적색, 녹색, 청색 컬러필터 패턴으로 이루어지는 경우, 이중 어느 하나의 물질로 단일층의 제 1 및 제 2 댐(276, 278)을 형성하거나 적색, 녹색 및 청색 컬러필터 패턴 중 적어도 둘을 적층하여 이중층 또는 삼중층의 제 1 및 제 2 댐(276, 278)을 형성할 수도 있다.
- [0085] 또한, 상기 제 1 및 제 2 댐(276, 278)은 상기 쉘패턴(290)을 따라 연속하여 형성될 수도 있고 복수개가 서로 이격하여 형성될 수도 있다.
- [0086] 상기 제 1 및 제 2 기판(210, 260) 사이, 즉 상기 화소전극(250)과 상기 공통전극(266) 사이에는 상기 액정층(280)이 위치하며, 상기 화소전극(250)과 상기 공통전극(266) 사이에 형성되는 전계에 의해 상기 액정층(280)의 액정분자가 구동된다.
- [0087] 한편, 상기 공통전극(266)이 상기 화소전극(250)과 함께 상기 제 1 기판(210)에 형성되어 수평 전계 또는 프린지 필드를 형성하는 구조일 수도 있다.

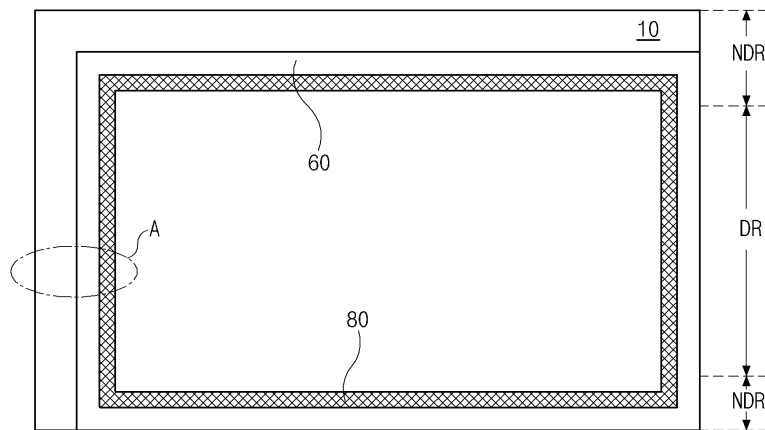
- [0088] 상기 비표시영역(NDR)에는 상기 액정층(280)의 누설을 방지하고 상기 제 1 및 제 2 기판(210, 260)을 합착하기 위한 셀패턴(290)이 형성된다. 상기 셀패턴(290)은 그 일단이 상기 보호층(240) 및 상기 게이트 절연막(220)을 통해 형성되는 상기 제 1 셀패턴 홈(244)에 삽입되고 그 타단이 상기 제 1 및 제 2 댐(276, 278) 사이의 상기 제 2 셀패턴 홈(274)에 삽입된다.
- [0089] 이와 같은 구성에 의하면, 디스펜서(미도시)가 원하지 않는 제 2 위치(도 3b의 P02) 또는 제 3 위치(도 3c의 P03)에 위치한 상태에서 셀런트가 도포되더라도, 합착 공정이 진행되면 상기 셀패턴(290)은 상기 제 1 및 제 2 셀런트 홈(244, 274)에 대응하여 형성된다.
- [0090] 따라서, 디스펜서의 위치 또는 합착 공정에 의해 발생할 수 있는 셀패턴(290)의 위치 편차 발생을 방지할 수 있으며, 공정 오차를 고려할 필요가 없기 때문에 비표시영역의 면적을 줄일 수 있다. 즉, 네로우 베젤의 액정표시 장치를 제공할 수 있다.
- [0091] 본 발명의 실시예에 따른 액정표시장치에 있어서, 셀패턴의 위치를 결정할 수 있는 구조를 추가하여 셀패턴의 위치 오차를 방지함으로써 네로우 베젤을 구현할 수 있다.
- [0092] 또한, 셀패턴의 두께 증가, 즉 셀패턴의 폭을 감소시켜 베젤의 폭을 더욱 감소시킬 수 있으며, 셀패턴의 두께 차이가 발생하는 것을 방지할 수 있다. 따라서, 셀패턴 두께 차이에 의해 발생하는 상하 기판의 합착 불량을 방지할 수 있다.
- [0093] 상기에서는 본 발명의 바람직한 실시예를 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

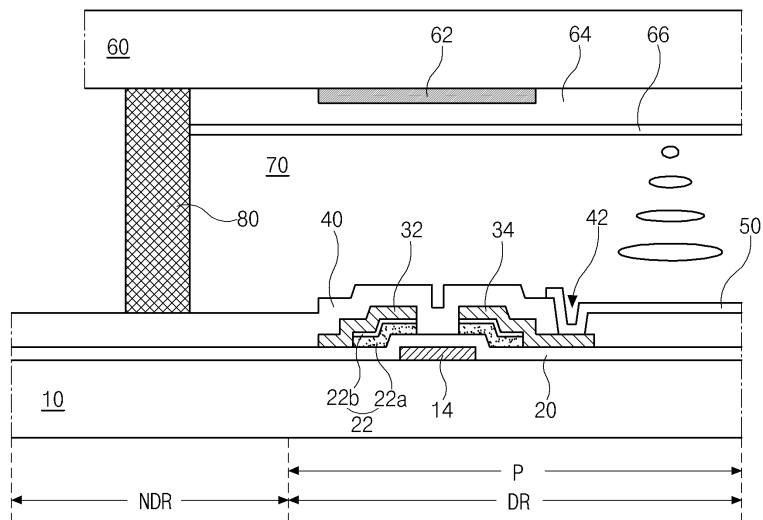
- [0094]
- | | |
|---------------------|---------------------|
| 110, 210: 제 1 기판 | 160, 260: 제 2 기판 |
| 112, 212: 게이트 배선 | 116, 216: 게이트 링크 배선 |
| 130, 230: 데이터 배선 | 136, 236: 데이터 링크 배선 |
| 140, 240: 보호층 | 144, 244: 제 1 셀패턴 홈 |
| 174, 274: 제 2 셀패턴 홈 | 176, 276: 제 1 댐 |
| 178, 278: 제 2 댐 | 190, 290: 셀패턴 |

도면

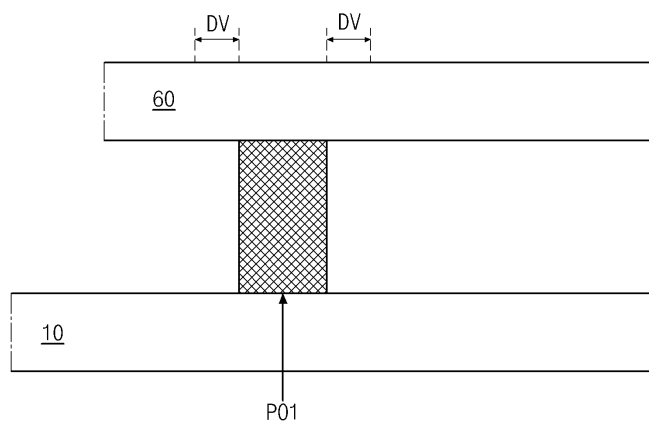
도면1



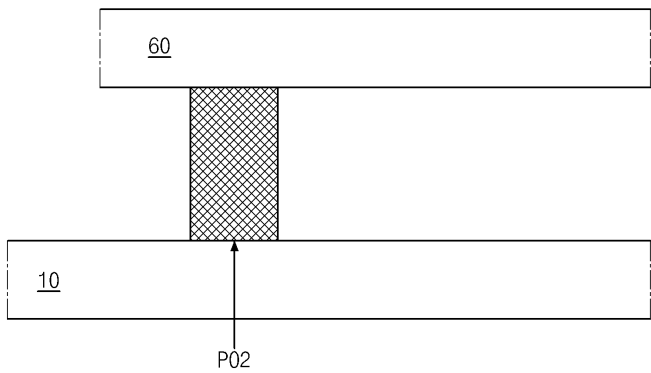
도면2



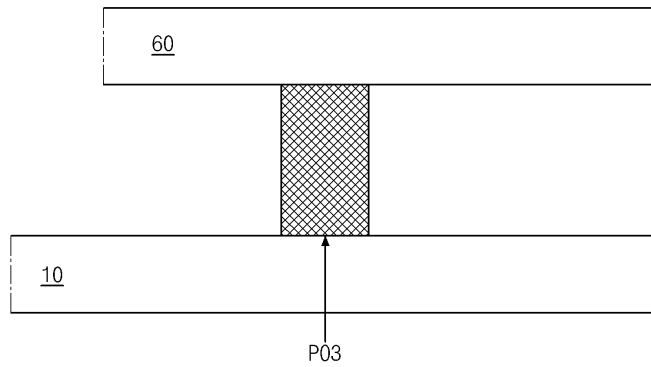
도면3a



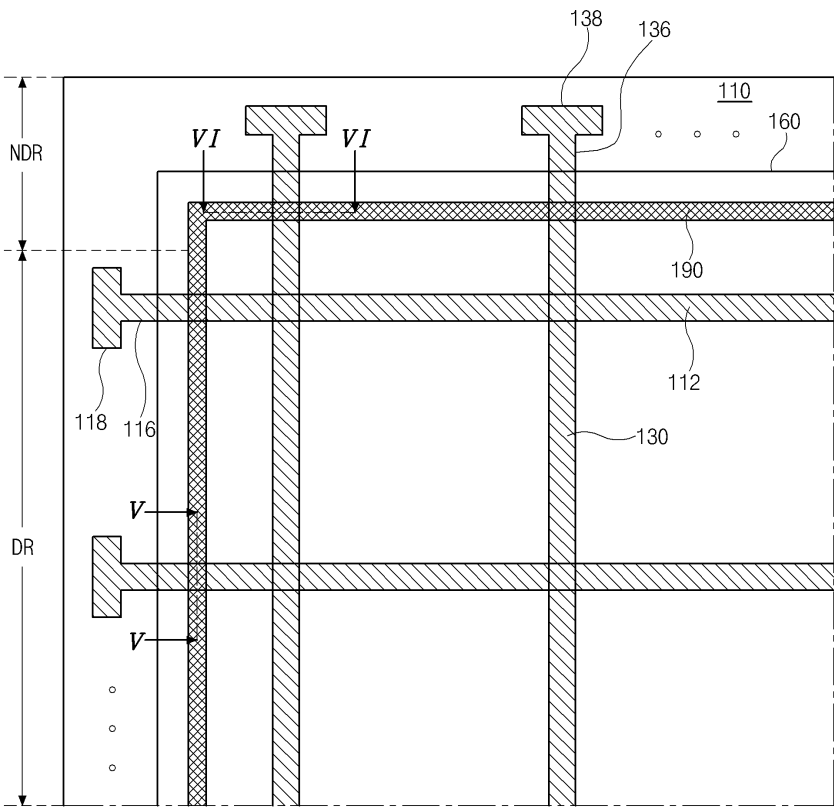
도면3b



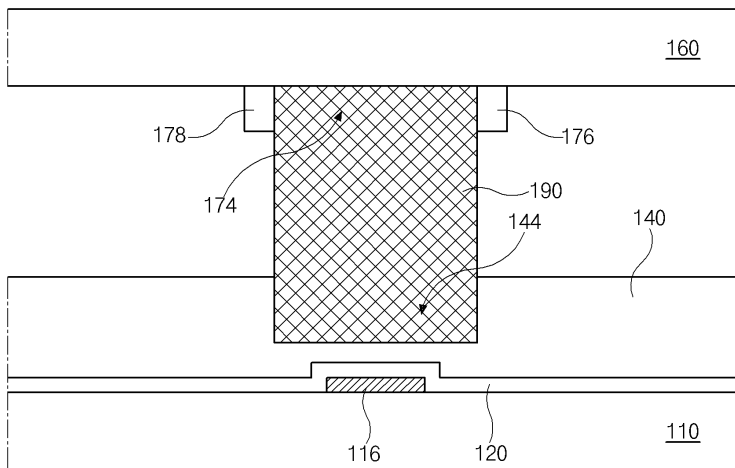
도면3c



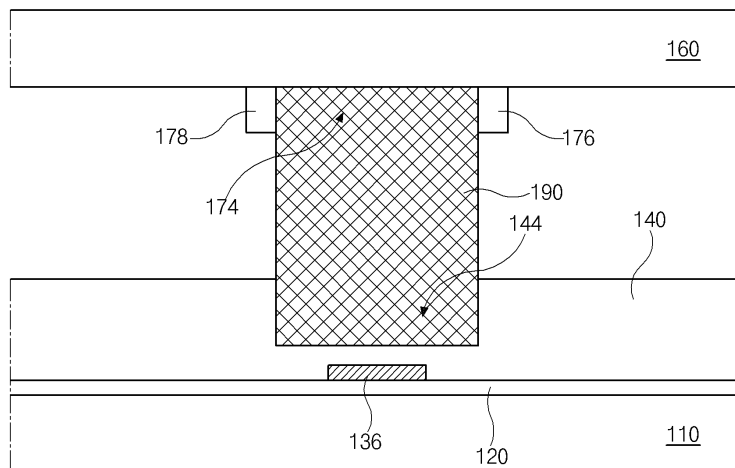
도면4



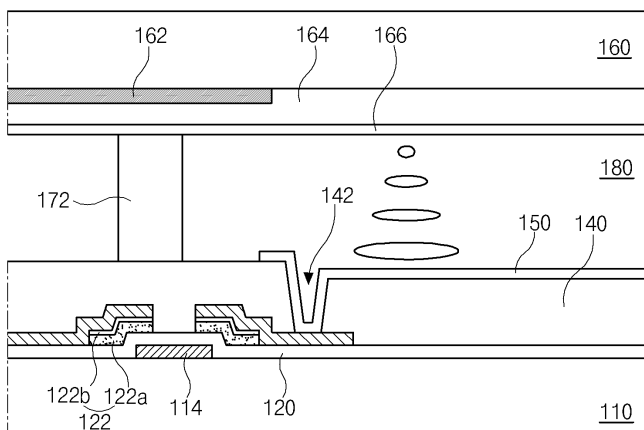
도면5



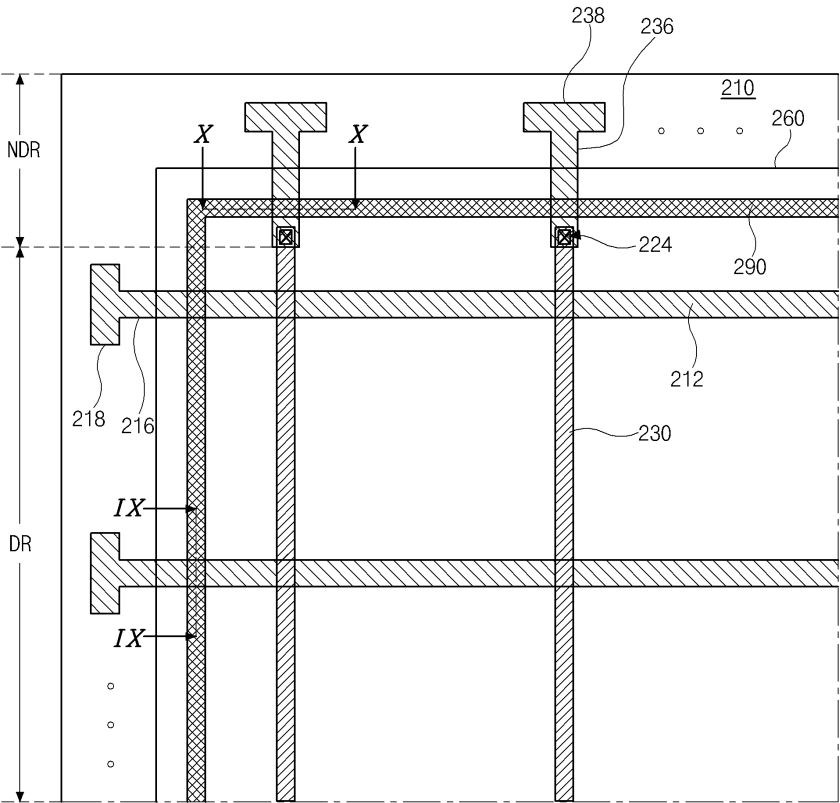
도면6



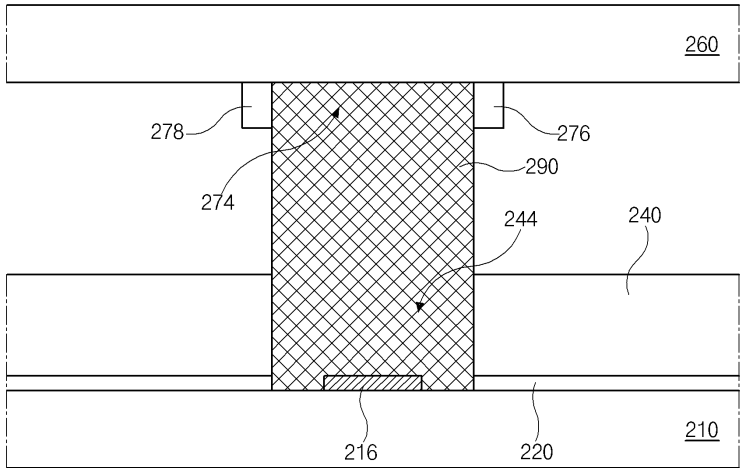
도면7



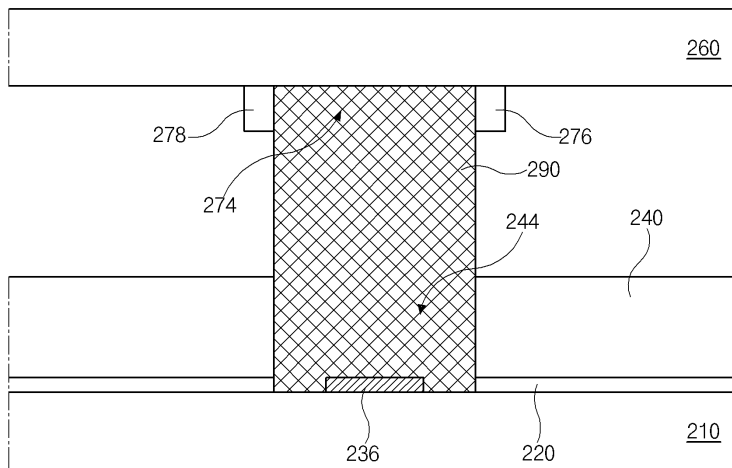
도면8



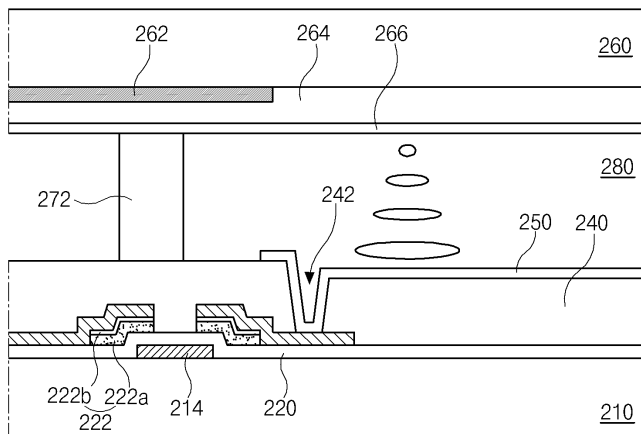
도면9



도면10



도면11



专利名称(译)	<无法获取翻译>		
公开(公告)号	KR102049732B1	公开(公告)日	2019-11-29
申请号	KR1020120077145	申请日	2012-07-16
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	최원준 백세준 남성림 서범식 오혁 전효일		
发明人	최원준 백세준 남성림 서범식 오혁 전효일		
IPC分类号	G02F1/1339		
CPC分类号	G02F1/1339 G02F2001/133354 G02F2202/28		
审查员(译)	朴贞根		
其他公开文献	KR1020140010634A		
外部链接	Espacenet		

摘要(译)

液晶显示 (LCD) 装置包括彼此面对的第一基板和第二基板 (110、210、160、260)，第一基板和第二基板中的每一个均具有第一基板，该第一基板具有显示区域 (DR)，非显示区域 (NDR)，以及在非显示区域中设置的密封图案区域；保护层 (140、240) 在第一基板上并且在密封图案区域中具有第一密封图案凹槽 (144、244)；在第二基板 (160、260) 上并分别设置在第一密封图案凹槽 (144、244) 的两端的第一和第二挡板 (176、178)，第一和第二挡板 (176、178) 构造成形成对应于第一密封图案凹槽的第二密封图案凹槽 (174、274)；在第一基板上的像素电极 (150、250)；在第一和第二基板之一上的公共电极 (166、266)；在第一和第二基板之间的液晶层 (180、280)；密封图案 (190、290)，其一端插入第一密封图案凹槽 (144、244)，另一端插入第二密封图案凹槽 (174、274)。

