



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2020-0050871
(43) 공개일자 2020년05월12일

(51) 국제특허분류(Int. Cl.)
G02F 1/1333 (2006.01) G09G 3/36 (2006.01)
(52) CPC특허분류
G02F 1/1333 (2013.01)
G09G 3/3614 (2013.01)
(21) 출원번호 10-2019-0134641
(22) 출원일자 2019년10월28일
심사청구일자 없음
(30) 우선권주장
1020180133879 2018년11월02일 대한민국(KR)

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
장훈
경기도 파주시 월롱면 엘지로 245
박주언
경기도 파주시 월롱면 엘지로 245
(뒷면에 계속)
(74) 대리인
특허법인인벤싱크

전체 청구항 수 : 총 28 항

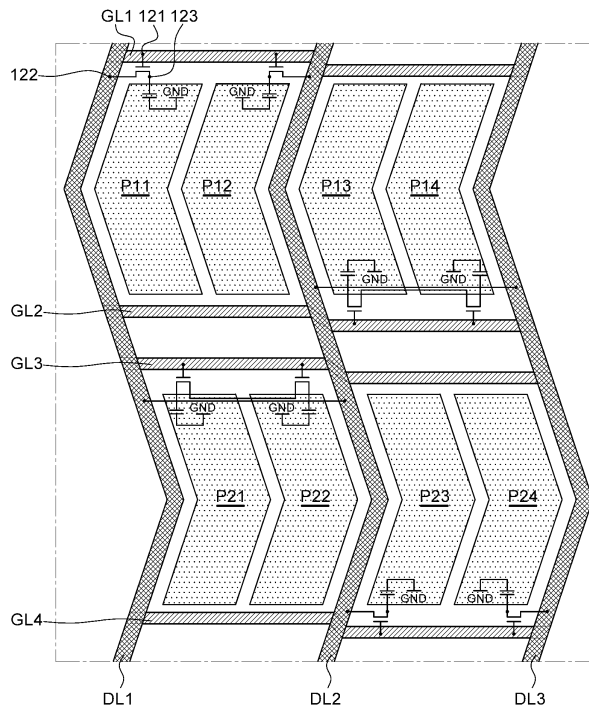
(54) 발명의 명칭 액정 표시 장치 및 그 구동 방식

(57) 요약

본 발명의 일 실시예에 따른 액정 표시 장치는, 2 x 4 매트릭스 형태로 배치되는 서브-화소를 포함하는 복수의 화소 유닛, 제1 열의 복수의 서브-화소의 제1 측에 배치된 제1 데이터 라인, 제2 열의 복수의 서브-화소와 제3 열의 복수의 서브-화소 사이에 배치된 제2 데이터 라인 및 제4 열의 복수의 서브-화소의 제2 측에 배치된 제3 데이터 라인

(뒷면에 계속)

대표도 - 도7



이터 라인을 포함하며, 상기 복수의 화소 유닛 각각은, 1행 1열에 배치된 제1 서브-화소 및 1행 2열에 배치된 제2 서브-화소를 포함하는 제1 서브-화소 유닛, 1행 3열에 배치된 제3 서브-화소 및 1행 4열에 배치된 제4 서브-화소를 포함하는 제2 서브-화소 유닛, 2행 1열에 배치된 제5 서브-화소 및 2행 2열에 배치된 제6 서브-화소를 포함하는 제3 서브-화소 유닛 및 2행 3열에 배치된 제7 서브-화소 및 2행 4열에 배치된 제8 서브-화소를 포함하는 제4 서브-화소 유닛을 포함하며, 상기 제1 데이터 라인에 상기 제6 서브-화소가 연결되고, 상기 제2 데이터 라인에 상기 제5 서브-화소가 연결되고, 상기 제2 데이터 라인에 상기 제4 서브-화소가 연결되고, 상기 제3 데이터 라인에 상기 제3 서브-화소가 연결됨으로써, DRD 칼럼 인버전(column inversion) 구조에서 발생하는 화질 이슈들을 개선함으로써 표시 품질이 향상되는 효과를 제공한다.

(52) CPC특허분류

G02F 2201/40 (2013.01)

(72) 발명자

조재형

경기도 과천시 월릉면 엘지로 245

이찬호

경기도 과천시 월릉면 엘지로 245

명세서

청구범위

청구항 1

2 x 4 매트릭스 형태로 배치되는 서브-화소를 포함하는 복수의 화소 유닛;

제1 열의 복수의 서브-화소의 제1 측에 배치된 제1 데이터 라인;

제2 열의 복수의 서브-화소와 제3 열의 복수의 서브-화소 사이에 배치된 제2 데이터 라인; 및

제4 열의 복수의 서브-화소의 제2 측에 배치된 제3 데이터 라인을 포함하며,

상기 복수의 화소 유닛 각각은,

1행 1열에 배치된 제1 서브-화소 및 1행 2열에 배치된 제2 서브-화소를 포함하는 제1 서브-화소 유닛;

1행 3열에 배치된 제3 서브-화소 및 1행 4열에 배치된 제4 서브-화소를 포함하는 제2 서브-화소 유닛;

2행 1열에 배치된 제5 서브-화소 및 2행 2열에 배치된 제6 서브-화소를 포함하는 제3 서브-화소 유닛; 및

2행 3열에 배치된 제7 서브-화소 및 2행 4열에 배치된 제8 서브-화소를 포함하는 제4 서브-화소 유닛을 포함하며,

상기 제1 데이터 라인에 상기 제6 서브-화소가 연결되고,

상기 제2 데이터 라인에 상기 제5 서브-화소가 연결되고,

상기 제2 데이터 라인에 상기 제4 서브-화소가 연결되고,

상기 제3 데이터 라인에 상기 제3 서브-화소가 연결되는, 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제1 데이터 라인 내지 상기 제3 데이터 라인 각각은,

한 프레임 동안 동일한 극성의 데이터 전압을 인가하는, 액정 표시 장치.

청구항 3

제 1 항에 있어서,

상기 제1 데이터 라인 내지 상기 제3 데이터 라인 중 서로 인접된 복수의 데이터 라인이 인가하는 데이터 전압의 극성은 서로 상이한, 액정 표시 장치.

청구항 4

제 1 항에 있어서,

상기 제1 서브-화소, 상기 제3 서브-화소, 상기 제5 서브-화소 및 상기 제7 서브-화소의 데이터 전압의 극성과
상기 제2 서브-화소, 상기 제4 서브-화소, 상기 제6 서브-화소 및 상기 제8 서브-화소의 데이터 전압의 극성은
서로 상이한, 액정 표시 장치.

청구항 5

제 1 항에 있어서,

상기 제1 데이터 라인 및 상기 제3 데이터 라인은 양의 극성의 데이터 전압을 인가하고,

상기 제2 데이터 라인은 음의 극성의 데이터 전압을 인가하고,

상기 제1 서브-화소, 상기 제3 서브-화소, 상기 제5 서브-화소 및 상기 제7 서브-화소에는 상기 양의 극성의 데이터 전압이 충전되고,

상기 제2 서브-화소, 상기 제4 서브-화소, 상기 제6 서브-화소 및 상기 제8 서브-화소에는 상기 음의 극성의 데이터 전압이 충전되는, 액정 표시 장치.

청구항 6

제 1 항에 있어서,

제1 행의 복수의 서브-화소의 제3 측에 배치된 제1 게이트 라인;

상기 제1 행의 복수의 서브-화소와 제2 행의 복수의 서브-화소 사이에 순차적으로 배치된 제2 게이트 라인과 제3 게이트 라인; 및

상기 제2 행의 복수의 서브-화소의 제4 측에 배치된 제4 게이트 라인을 더 포함하고,

상기 복수의 서브-화소 각각은 상기 제1 데이터 라인 내지 상기 제3 데이터 라인 중 어느 하나와 상기 제1 게이트 라인 및 상기 제4 게이트 라인 중 어느 하나에 연결되는 박막 트랜지스터를 더 포함하는, 액정 표시 장치.

청구항 7

제 6 항에 있어서,

상기 제2 게이트 라인에 연결되는 상기 제3 서브-화소의 박막 트랜지스터 및 상기 제4 서브-화소의 박막 트랜지스터는 상기 제2 게이트 라인에 인접되게 배치되고,

상기 제3 게이트 라인에 연결되는 상기 제7 서브-화소의 박막 트랜지스터 및 상기 제8 서브-화소의 박막 트랜지스터는 상기 제3 게이트 라인에 인접되게 배치되는, 액정 표시 장치.

청구항 8

제 6 항에 있어서,

상기 제1 게이트 라인에 연결되는 상기 제1 서브-화소의 박막 트랜지스터 및 상기 제2 서브-화소의 박막 트랜지스터는 상기 제1 게이트 라인에 인접되게 배치되고,

상기 제4 게이트 라인에 연결되는 상기 제5 서브-화소의 박막 트랜지스터 및 상기 제6 서브-화소의 박막 트랜지스터는 상기 제3 게이트 라인에 인접되게 배치되는, 액정 표시 장치.

청구항 9

제 6 항에 있어서,

2 x 4 서브-화소를 기준으로 상기 박막 트랜지스터는 상하좌우로 반전되는 원점 대칭으로 배치되는, 액정 표시 장치.

청구항 10

제 6 항에 있어서,

상기 제2 게이트 라인에 연결되는 상기 제3 서브-화소의 박막 트랜지스터 및 상기 제4 서브-화소의 박막 트랜지스터는 상기 제2 게이트 라인에 인접되게 배치되고,

상기 제3 게이트 라인에 연결되는 상기 제5 서브-화소의 박막 트랜지스터 및 상기 제6 서브-화소의 박막 트랜지스터는 상기 제3 게이트 라인에 인접되게 배치되는, 액정 표시 장치.

청구항 11

제 6 항에 있어서,

상기 제1 게이트 라인에 연결되는 상기 제1 서브-화소의 박막 트랜지스터 및 상기 제2 서브-화소의 박막 트랜지스터는 상기 제1 게이트 라인에 인접되게 배치되고,

상기 제4 게이트 라인에 연결되는 상기 제7 서브-화소의 박막 트랜지스터 및 상기 제8 서브-화소의 박막 트랜지스터는 상기 제4 게이트 라인에 인접되게 배치되는, 액정 표시 장치.

청구항 12

제 6 항에 있어서,

상기 서브-화소에 구비되는 컬러 필터; 및

상하로 이웃하는 상기 서브-화소 사이의 경계에 구비되며, 적어도 하나의 컬러 필터로 구성된 차광층을 더 포함하는 액정 표시 장치.

청구항 13

제 12 항에 있어서,

상기 차광층은 적색 컬러 필터 위에 청색 컬러 필터가 적층 되어 구성된 액정 표시 장치.

청구항 14

제 12 항에 있어서,

상기 제1 게이트 라인 내지 상기 제4 게이트 라인에 대해 나란한 방향으로, 상기 서브-화소의 일측과 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나 사이에 배치되는 수평 공통 라인을 더 포함하는, 액정 표시 장치.

청구항 15

제 14 항에 있어서,

상기 차광층 위에, 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나와 화소 전극 사이에 배치되는 차폐 라인을 더 포함하는, 액정 표시 장치.

청구항 16

제 15 항에 있어서,

상기 차폐 라인은 상기 제1 게이트 라인 내지 상기 제4 게이트 라인에 대해 나란한 방향으로, 상기 서브-화소의 상하 경계의 양측에 배치되는, 액정 표시 장치.

청구항 17

제 15 항에 있어서,

상기 차폐 라인은, 공통 전극 아래에 배치되어 상기 공통 전극과 중첩되는, 액정 표시 장치.

청구항 18

제 14 항에 있어서,

상기 제1 게이트 라인 내지 상기 제4 게이트 라인 및 상기 수평 공통 라인과 동일 층에, 상기 수평 공통 라인과 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나 사이에 배치되는 차폐 라인을 더 포함하는, 액정 표시 장치.

청구항 19

제 15 항에 있어서,

상기 제1 게이트 라인 내지 상기 제4 게이트 라인 및 상기 수평 공통 라인과 동일 층에, 상기 수평 공통 라인과 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나 사이에 배치되는 다른 차폐 라인을 더 포함하는, 액정 표시 장치.

청구항 20

제 14 항에 있어서,

상기 수평 공통 라인 하부에 배치되며, 상기 수평 공통 라인에 비해 상기 화소 전극 쪽으로 연장되는 차폐 라인을 더 포함하는, 액정 표시 장치.

청구항 21

제 20 항에 있어서,

상기 차폐 라인은, 상기 제1 게이트 라인 내지 상기 제4 게이트라인 중 어느 하나와 상기 수평 공통 라인의 일부와 중첩하는, 액정 표시 장치.

청구항 22

제 1 항에 있어서,

임의의 한 쌍의 게이트 라인이 정상적인 순서로 스캐닝될 때, 상기 임의의 한 쌍의 게이트 라인과 이웃하는 다른 한 쌍의 게이트 라인은 스캐닝 순서가 서로 교차하도록 변경되는, 액정 표시 장치.

청구항 23

제 22 항에 있어서,

8개의 게이트 라인을 기준으로, 3번째 게이트 라인과 4번째 게이트 라인의 스캐닝 순서를 변경하고, 7번째 게이트 라인과 8번째 게이트 라인의 스캐닝 순서를 변경하는, 액정 표시 장치.

청구항 24

제 1 항에 있어서,

8개의 게이트 라인을 기준으로, 1번째 게이트 라인, 6번째 게이트 라인, 3번째 게이트 라인, 8번째 게이트 라인, 5번째 게이트 라인, 2번째 게이트 라인, 7번째 게이트 라인 및 4번째 게이트 라인의 순서로 게이트 스캐닝이 진행되는, 액정 표시 장치.

청구항 25

제 24 항에 있어서,

각각의 링크 배선을 통해, 1번째 게이트 블록은 상기 1번째 게이트 라인에 연결되고, 2번째 게이트 블록은 상기 6번째 게이트 라인에 연결되며, 3번째 게이트 블록은 상기 3번째 게이트 라인에 연결되고, 4번째 게이트 블록은 상기 8번째 게이트 라인에 연결되고, 5번째 게이트 블록은 상기 5번째 게이트 라인에 연결되며, 6번째 게이트 블록은 상기 2번째 게이트 라인에 연결되고, 7번째 게이트 블록은 상기 7번째 게이트 라인에 연결되며, 8번째 게이트 블록은 상기 4번째 게이트 라인에 연결되는, 액정 표시 장치.

청구항 26

제 1 항에 있어서,

8개의 게이트 라인을 기준으로, 4번째 게이트 라인, 2번째 게이트 라인, 6번째 게이트 라인, 1번째 게이트 라인, 8번째 게이트 라인, 3번째 게이트 라인, 7번째 게이트 라인 및 5번째 게이트 라인의 순서로 게이트 스캐닝이 진행되는, 액정 표시 장치.

청구항 27

제 26 항에 있어서,

각각의 링크 배선을 통해, 1번째 게이트 블록은 상기 4번째 게이트 라인에 연결되고, 2번째 게이트 블록은 상기 2번째 게이트 라인에 연결되며, 3번째 게이트 블록은 상기 6번째 게이트 라인에 연결되고, 4번째 게이트 블록은 상기 1번째 게이트 라인에 연결되고, 5번째 게이트 블록은 상기 8번째 게이트 라인에 연결되며, 6번째 게이트 블록은 상기 3번째 게이트 라인에 연결되고, 7번째 게이트 블록은 상기 7번째 게이트 라인에 연결되며, 8번째 게이트 블록은 상기 5번째 게이트 라인에 연결되는, 액정 표시 장치.

청구항 28

제 15 항, 제 18 항 내지 제 20 항 중 어느 한 항에 있어서,

상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나에 공급되는 게이트 전압과 동일하거나 상기 게이트 전압보다 높은 전원이 상기 차폐 라인에 인가되는, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 보다 상세하게는 데이터 라인의 개수를 반으로 줄인 DRD(Double Rate Driving) 구조의 액정 표시 장치 및 그 구동 방식에 관한 것이다.

배경 기술

[0002] 근래에 들어 사회가 본격적인 정보화 시대로 접어들면서 대량의 정보를 처리 및 표시하는 디스플레이(display) 분야가 급속도로 발전해 왔고, 최근에는 특히 경량화, 박형화, 저소비전력화의 우수한 성능을 지닌 박막 트랜지스터(Thin Film Transistor; TFT) 액정 표시 장치(Liquid Crystal Display; LCD)가 개발되어 기존의 브라운관(Cathode Ray Tube; CRT)을 대체하였다.

[0003] 스위칭 소자로서 박막 트랜지스터(Thin Film Transistor; TFT)가 이용되는 액티브 매트릭스 방식의 액정 표시 장치는 동적인 영상을 표시하기에 적합하다.

[0004] 액티브 매트릭스 타입의 액정 표시 장치는 복수의 게이트 라인 및 데이터 라인의 교차지점에 구비되는 복수의 박막 트랜지스터로 이루어지는 액정 패널을 포함하며, 이러한 액정 패널은 디지털 비디오 신호를 감마전압을 기준으로 아날로그 신호로 변환하여 데이터 라인에 공급함과 동시에 게이트 신호를 게이트 라인에 공급함으로써, 데이터 신호를 액정 셀에 충전시키는 구조이다.

[0005] 박막 트랜지스터의 게이트 전극은 게이트 라인에 접속되고, 소스 전극은 데이터 라인에 접속되며, 또한 박막 트랜지스터의 드레인 전극은 액정 셀의 화소 전극에 접속된다.

[0006] 액정 셀의 공통 전극에는 수직 공통 라인을 통해 공통 전압이 공급된다. 게이트 신호가 게이트 라인에 인가되면 박막 트랜지스터가 턴-온(turn on)되어 소스 전극과 드레인 전극 사이의 채널을 형성하여 데이터 라인 상의 전압을 액정 셀의 화소 전극에 공급한다. 이때, 액정 셀의 액정 분자들은 화소 전극과 공통 전극 사이의 전계에 의하여 배열이 바뀌면서 입사 광에 따른 영상을 표시하게 된다.

[0007] 이때, 액정 패널의 공통 전극과 화소 전극의 위치에 따라 액정 표시 장치의 구동모드인 트위스티드 네마틱(Twisted Nematic; TN) 모드 또는 인-플레인 스위칭(In Plane Switching; IPS) 모드가 결정되며, 특히 공통 전극과 화소 전극이 하나의 기관 상에 평행하게 배치되어 수평 전계를 형성하는 IPS 모드는 수직 전계를 형성하는 TN 모드에 비해 시야각이 넓은 장점이 있다.

[0008] 한편, 액정 표시 장치의 액정 패널은 복수의 게이트 라인을 구동하기 위한 게이트 구동부와 복수의 데이터 라인을 구동하기 위한 데이터 구동부가 연결되며, 액정 표시 장치가 대형화 및 고해상도화 될수록 요구되는 구동부를 이루는 집적 회로(Integrated Circuit; IC)의 개수는 증가하게 된다.

[0009] 또한, 데이터 구동부의 IC는 타 소자에 비해 상대적으로 고가이기 때문에 최근에는 액정 표시 장치의 생산 단가를 낮추기 위해 IC 개수를 줄일 수 있는 기술이 연구 개발되고 있으며, 이중 하나로써 기존 대비 게이트 라인들의 개수는 2배로 늘리는 대신에 데이터 라인들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일한 해상도를 구현하는 DRD(Double Rate Driving) 구조가 개발되고 있다.

발명의 내용

해결하려는 과제

[0010] 본 발명이 해결하고자 하는 과제는, DRD(Double Rate Driving) 구동 방식에서 컬럼 인버전(column inversion)을 적용하는 액정 표시 장치 및 그 구동 방식을 제공하는 것이다.

[0011] 본 발명이 해결하고자 하는 다른 과제는, 개구율 감소를 최소화하면서 DRD 방식으로 구동되는 액정 표시 장치

및 그 구동 방식을 제공하는 것이다.

- [0012] 본 발명이 해결하고자 하는 또 다른 과제는, DRD 칼럼 인버전 구조에서 발생하는 화질 이슈들을 개선한 액정 표시 장치 및 그 구동 방식을 제공하는 것이다.
- [0013] 본 발명이 해결하고자 하는 또 다른 과제는, 컬러 필터를 어레이 기판의 TFT 위에 형성한 COT(Color filter On TFT) 구조를 적용한 액정 표시 장치 및 그 구동 방식을 제공하는 것이다.
- [0014] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0015] 전술한 바와 같은 과제를 해결하기 위하여 본 발명의 일 실시예에 따른 액정 표시 장치는, 2 x 4 매트릭스 형태로 배치되는 서브-화소를 포함하는 복수의 화소 유닛, 제1 열의 복수의 서브-화소의 제1 측에 배치된 제1 데이터 라인, 제2 열의 복수의 서브-화소와 제3 열의 복수의 서브-화소 사이에 배치된 제2 데이터 라인 및 제4 열의 복수의 서브-화소의 제2 측에 배치된 제3 데이터 라인을 포함하며, 상기 복수의 화소 유닛 각각은, 1행 1열에 배치된 제1 서브-화소 및 1행 2열에 배치된 제2 서브-화소를 포함하는 제1 서브-화소 유닛, 1행 3열에 배치된 제3 서브-화소 및 1행 4열에 배치된 제4 서브-화소를 포함하는 제2 서브-화소 유닛, 2행 1열에 배치된 제5 서브-화소 및 2행 2열에 배치된 제6 서브-화소를 포함하는 제3 서브-화소 유닛 및 2행 3열에 배치된 제7 서브-화소 및 2행 4열에 배치된 제8 서브-화소를 포함하는 제4 서브-화소 유닛을 포함하며, 상기 제1 데이터 라인에 상기 제6 서브-화소가 연결되고, 상기 제2 데이터 라인에 상기 제5 서브-화소가 연결되고, 상기 제2 데이터 라인에 상기 제4 서브-화소가 연결되고, 상기 제3 데이터 라인에 상기 제3 서브-화소가 연결될 수 있다.
- [0016] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0017] 본 발명은, 데이터 라인의 개수를 반으로 줄인 DRD 구조를 적용함으로써 액정 표시 장치의 생산 단가를 낮출 수 있는 효과를 제공한다.
- [0018] 본 발명은, 복수의 트랜지스터를 인접되게 배치하여 개구율을 증가시킴으로써, 액정 표시 장치의 발광 효율을 향상시킬 수 있다. 또한, 본 발명은, 인접된 트랜지스터를 대각 방향으로 배치함으로써, 비 개구영역을 최대한 분산시킬 수 있어, 트랜지스터가 뭉침으로 인하여 발생할 수 있는 화질 불량을 최소화 할 수 있다.
- [0019] 본 발명은, DRD 칼럼 인버전(column inversion) 구조에서 발생하는 화질 이슈들을 개선함으로써 표시 품위가 향상되는 효과를 제공한다. 즉, 본 발명은, 인접된 서브-화소끼리의 극성이 모두 상이하여, 일정 시야각에서 화질을 확인하여도 균일하게 되어, 도리도리 불량과 같은 화질불량은 발생되지 않는다. 또한, 본 발명은, 화소 충전 시 인접 게이트 라인과의 커플링에 의한 도리도리 불량을 방지할 수 있으며, GIP(Gate in Panel)-어레이 내부 링크의 오버랩 편차를 최소화할 수 있다. 또한, 본 발명은, 2 x 4 서브-화소에서 박막 트랜지스터를 상하좌우 반전되는 원점 대칭 배치함으로써 지그재그 형태의 벽돌 모양 문양 및 세로선의 발생을 방지할 수 있다.
- [0020] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0021] 도 1은 본 발명에 따른 액정 표시 장치를 보여주는 블록도이다.
- 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치의 표시 패널을 설명하기 위한 도면이다.
- 도 3a 및 도 3b는 본 발명의 제1 실시예에 따른 액정 표시 장치의 화소 유닛을 나타내는 도면이다.
- 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 데이터 전압을 설명하기 위한 타이밍도 이다.
- 도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치의 서브-화소에 인가되는 데이터 전압을 설명하기 위한 도면이다.
- 도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치의 어레이 기판의 구조를 보여주는 평면도이다.

- 도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소 구조를 예시적으로 보여주는 도면이다.
- 도 8a 및 도 8b는 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소 구조 및 그 구동 방식을 예로 들어 보여주는 도면들이다.
- 도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소 일부를 예로 보여주는 평면도이다.
- 도 10은 도 9에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치에 있어, A-A'선에 따라 절단한 단면을 예로 보여주는 도면이다.
- 도 11은 본 발명의 제2 실시예에 따른 액정 표시 장치의 다른 단면을 예로 보여주는 도면이다.
- 도 12는 본 발명의 제3 실시예에 따른 액정 표시 장치의 화소 일부를 예로 보여주는 평면도이다.
- 도 13은 도 12에 도시된 본 발명의 제3 실시예에 따른 액정 표시 장치에 있어, B-B'선에 따라 절단한 단면을 예로 보여주는 도면이다.
- 도 14는 본 발명의 제3 실시예에 따른 액정 표시 장치의 다른 단면을 예로 보여주는 도면이다.
- 도 15는 본 발명의 제4 실시예에 따른 액정 표시 장치의 단면을 예로 보여주는 도면이다.
- 도 16은 본 발명의 제5 실시예에 따른 액정 표시 장치의 화소 일부를 예로 보여주는 평면도이다.
- 도 17은 도 16에 도시된 본 발명의 제5 실시예에 따른 액정 표시 장치에 있어, C-C'선에 따라 절단한 단면을 예로 보여주는 도면이다.
- 도 18은 본 발명의 제6 실시예에 따른 액정 표시 장치의 단면을 예로 보여주는 도면이다.
- 도 19는 비교예에 따른 구동 방식을 보여주기 위한 도면이다.
- 도 20은 실시예에 따른 구동 방식을 보여주기 위한 도면이다.
- 도 21은 다른 실시예에 따른 구동 방식을 보여주기 위한 도면이다.
- 도 22은 실시예에 따른 GIP-어레이 내부 링크 설계를 예로 들어 보여주는 도면이다.
- 도 23는 다른 실시예에 따른 GIP-어레이 내부 링크 설계를 예로 들어 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0022] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나, 본 발명은 이하에서 개시되는 실시예들에 제한되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0023] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 면적, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 제한되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 발명 위에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0024] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0025] 위치 관계에 대한 설명일 경우, 예를 들어, '~ 위에', '~ 상부에', '~ 하부에', '~ 옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0026] 소자 또는 층이 다른 소자 또는 층 "위(on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0027] 또한, 제1, 제2 등이 다양한 구성 요소들을 서술하기 위해서 사용되나, 이들 구성 요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성 요소를 다른 구성 요소와 구별하기 위하여 사용하는 것이다.

따라서, 이하에서 언급되는 제1 구성 요소는 본 발명의 기술적 사상 내에서 제2 구성 요소일 수도 있다.

- [0028] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0029] 도면에서 나타난 각 구성의 면적 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 면적 및 두께에 반드시 한정되는 것은 아니다.
- [0030] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하고, 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시할 수도 있다.
- [0031] 이하에서는 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0032] 도 1은 본 발명에 따른 액정 표시 장치를 보여주는 블록도이다.
- [0033] 도 1을 참조하면, 본 발명에 따른 액정 표시 장치는, 다수의 화소(P)들이 매트릭스 형태로 배치된 표시 패널(100)과 표시 패널(100)을 구동하는 구동회로를 포함할 수 있다. 표시 패널(100)을 구동하는 구동회로는, 데이터 구동회로(200)와, 게이트 구동회로(300) 및 타이밍 제어회로(400)를 포함할 수 있다.
- [0034] 표시 패널(100)에 대해 살펴보면, 표시 패널(100)에는 화소(P)를 구동하기 위한 구동 신호를 전달하는 각종 배선들이 형성될 수 있다.
- [0035] 이때, 일 예로 데이터 전압을 전달하는 다수의 데이터 라인(DL) 각각이 칼럼(column)(또는, 열) 라인 방향을 따라 연장되어 해당 칼럼 라인의 화소(P)에 연결될 수 있다. 그리고, 게이트 전압을 전달하는 다수의 게이트 라인(GL) 각각이 로우(row)(또는, 행) 라인 방향을 따라 연장되어 해당하는 로우 라인의 화소(P)에 연결될 수 있다.
- [0036] 타이밍 제어회로(400)는 데이터 구동회로(200) 및 게이트 구동회로(300)의 구동 타이밍을 제어할 수 있다. 타이밍 제어회로(400)는 외부 시스템으로부터 입력되는 디지털 데이터(RGB)를 표시 패널(100)의 해상도에 맞게 재정렬하여 데이터 구동회로(200)에 공급할 수 있다.
- [0037] 또한, 타이밍 제어회로(400)는 수직 동기신호(Vsync), 수평 동기신호(Hsync), 클럭신호(CLK) 및 데이터 인에이블신호(DE)의 타이밍 신호들에 기초하여 데이터 구동회로(200)의 동작 타이밍을 제어하기 위한 데이터 제어신호(DCS) 및 게이트 구동회로(300)의 동작 타이밍을 제어하기 위한 게이트 제어신호(GCS)를 발생시킬 수 있다.
- [0038] 데이터 구동회로(200)는 데이터 라인(DL)을 구동하게 된다. 즉, 데이터 구동회로(200)는 데이터 제어신호(DCS)를 기반으로 입력된 디지털 데이터(RGB)를 아날로그 데이터 전압으로 변환하여 해당 데이터 라인(DL)에 공급할 수 있다.
- [0039] 게이트 구동회로(300)는 게이트 라인(GL)을 구동하게 된다. 즉, 게이트 구동회로(300)는 게이트 제어신호(GCS)를 기반으로 게이트 전압을 발생시켜 이를 라인 순차 방식으로 게이트 라인(GL)에 공급할 수 있다.
- [0040] 본 발명에 따른 액정 표시 장치는 기존 대비 게이트 라인(GL)들의 개수를 2배로 늘리는 대신 데이터 라인(DL)들의 개수를 1/2배로 줄여 필요로 하는 IC의 개수를 반으로 줄이면서도 기존과 동일한 해상도를 구현하는 DRD(Double Rate Driving) 구조로 구성될 수 있다.
- [0041] 또한, 본 발명에 따른 액정 표시 장치는 컬러 필터를 어레이 기판에 박막 트랜지스터와 함께 형성한 COT(Color filter On TFT) 구조로 구성될 수 있으나, 이에 제한되는 것은 아니다.
- [0042] COT 구조의 액정 표시 장치는, 컬러 필터를 박막 트랜지스터가 형성되는 어레이 기판에 함께 형성하기 때문에 컬러필터 기판 및 어레이 기판을 합착하는 과정에서 고려되는 합착마진을 줄일 수 있어 개구율의 향상을 가져올 수 있다.
- [0043] 이하에서는 본 발명의 제1 실시예에 따른 액정 표시 장치의 표시 패널(100)의 일부를 예로 들어, 본 발명의 제1 실시예에 따른 액정 표시 장치의 표시 패널(100)의 구성 요소의 연결 관계를 설명한다.
- [0044] 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치의 표시 패널(100)을 설명하기 위한 도면이다.
- [0045] 본 발명의 제1 실시예에 따른 액정 표시 장치의 표시 패널(100)은, 전술한 바와 같이, 복수의 데이터 라인(DL1 내지 DL5), 복수의 게이트 라인(GL1 내지 GL8), 복수의 서브-화소(SP11 내지 SP48) 및 복수의 서브-화소(SP11 내지 SP48)를 구동하기 위한 복수의 박막 트랜지스터(T11 내지 T48)를 포함할 수 있다.
- [0046] 일 예로, 도 2를 참조하면, 표시 패널(100)에 열 방향으로 제1 데이터 라인 내지 제5 데이터 라인(DL1 내지

DL5)이 배치되고, 행 방향으로 제1 게이트 라인 내지 제8 게이트 라인(GL1 내지 GL8)이 배치될 수 있다. 다만, 본 발명이 이에 제한되는 것은 아니다.

- [0047] 제1 데이터 라인 내지 제5 데이터 라인(DL1 내지 DL5) 각각은 2열로 배치되는 복수의 서브-화소(SP11 내지 SP48)마다 배치된다.
- [0048] 제1 열의 복수의 서브-화소(SP11, SP21, SP31, SP41)의 좌측인 제1 측에 제1 데이터 라인(DL1)이 배치되고, 제2 열의 복수의 서브-화소(SP12, SP22, SP32, SP42)와 제3 열의 복수의 서브-화소(SP13, SP23, SP33, SP43) 사이에 제2 데이터 라인(DL2)이 배치되고, 제4 열의 복수의 서브-화소(SP14, SP24, SP34, SP44)의 우측인 제2 측에 제3 데이터 라인(DL3)이 배치된다.
- [0049] 다시 말하면, 제1 데이터 라인(DL1)과 제2 데이터 라인(DL2) 사이에 2열로 배치되는 제1 열의 복수의 서브-화소(SP11, SP21, SP31, SP41) 및 제2 열의 복수의 서브-화소(SP12, SP22, SP32, SP42)가 배치되고, 제2 데이터 라인(DL2)과 제3 데이터 라인(DL3) 사이에는 2열로 배치되는 제3 열의 복수의 서브-화소(SP13, SP23, SP33, SP43) 및 제4 열의 복수의 서브-화소(SP14, SP24, SP34, SP44)가 배치된다.
- [0050] 제4 데이터 라인(DL4) 이후의 데이터 라인도 제1 데이터 라인 내지 제3 데이터 라인(DL1 내지 DL3)의 배치 방식과 동일하게 배치될 수 있다.
- [0051] 여기서 제1 열의 복수의 서브-화소(SP11, SP21, SP31, SP41), 제4 열의 복수의 서브-화소(SP14, SP24, SP34, SP44) 및 제7 열의 복수의 서브-화소(SP17, SP27, SP37, SP47)는 적색을 구현하는 적색 서브-화소(R)일 수 있다. 그리고, 제2 열의 복수의 서브-화소(SP12, SP22, SP32, SP42), 제5 열의 복수의 서브-화소(SP15, SP25, SP35, SP45) 및 제8 열의 복수의 서브-화소(SP18, SP28, SP38)는 녹색을 구현하는 녹색 서브-화소(G)일 수 있다. 그리고, 제3 열의 복수의 서브-화소(SP13, SP23, SP33, SP43) 및 제6 열의 복수의 서브-화소(SP16, SP26, SP36, SP46)는 청색을 구현하는 청색 서브-화소(B)일 수 있다.
- [0052] 제1 게이트 라인 내지 제8 게이트 라인(GL1 내지 GL8)은 각 행의 복수의 서브-화소(SP11 내지 SP48)의 양측에 배치될 수 있다.
- [0053] 구체적으로, 제1 행의 복수의 서브-화소(SP11 내지 SP18)의 상측인 제3 측에는 제1 게이트 라인(GL1)이 배치되고, 제1 행의 복수의 서브-화소(SP11 내지 SP18)의 하측인 제4 측에는 제2 게이트 라인(GL2)이 배치될 수 있다. 그리고, 제2 행의 복수의 서브-화소(SP21 내지 SP28)의 제3 측에는 제3 게이트 라인(GL3)이 배치되고, 제2 행의 복수의 서브-화소(SP21 내지 SP28)의 하측인 제4 측에는 제4 게이트 라인(GL4)이 배치될 수 있다. 그리고, 제3 행의 복수의 서브-화소(SP31 내지 SP38)의 상측인 제5 측에는 제5 게이트 라인(GL5)이 배치되고, 제3 행의 복수의 서브-화소(SP31 내지 SP38)의 하측인 제4 측에는 제6 게이트 라인(GL6)이 배치될 수 있다. 그리고, 제4 행의 복수의 서브-화소(SP41 내지 SP48)의 제3 측에는 제7 게이트 라인(GL7)이 배치되고, 제4 행의 복수의 서브-화소(SP41 내지 SP48)의 하측인 제4 측에는 제8 게이트 라인(GL8)이 배치될 수 있다.
- [0054] 여기서, 설명의 편의상 표시 패널(100)에 정의되는 복수의 서브-화소(SP11 내지 SP48)는 2 x 4 매트릭스 형태로 배치되는 복수의 서브-화소(SP41 내지 SP48)를 포함하는 복수의 화소 유닛(PU1 내지 PU4)으로 구분할 수 있다.
- [0055] 구체적으로, 제1 행에서 제1열 내지 제4열의 서브-화소(SP11, SP12, SP13, SP14) 및 제2 행에서 제1열 내지 제4열의 서브-화소(SP21, SP22, SP23, SP24)는 제1 화소 유닛(PU1)을 구성할 수 있고, 제1 행에서 제5열 내지 제8열의 서브-화소(SP15, SP16, SP17, SP18) 및 제2 행에서 제5열 내지 제8열의 서브-화소(SP25, SP26, SP27, SP28)는 제2 화소 유닛(PU2)을 구성할 수 있다. 그리고, 제3 행에서 제1열 내지 제4열의 서브-화소(SP31, SP32, SP33, SP34) 및 제4 행에서 제1열 내지 제4열의 서브-화소(SP41, SP42, SP43, SP44)는 제3 화소 유닛(PU3)을 구성할 수 있고, 제3 행에서 제5열 내지 제8열의 서브-화소(SP35, SP36, SP37, SP38) 및 제4 행에서 제5열 내지 제8열의 서브-화소(SP45, SP46, SP47, SP48)는 제4 화소 유닛(PU4)을 구성할 수 있다.
- [0056] 본 발명의 제1 실시예에 따른 액정 표시 장치에서, 표시 패널(100) 전체의 서브-화소(SP11 내지 SP48)와 게이트 라인(GL1 내지 GL8) 및 데이터 라인(DL1 내지 DL5)의 연결 관계는 제1 서브-화소 유닛(PU1)이 반복되는 형태이므로, 이하에서는 제1 화소 유닛(PU1)에 대하여 구체적으로 설명한다.
- [0057] 도 3a 및 도 3b는 본 발명의 제1 실시예에 따른 액정 표시 장치의 화소 유닛을 나타내는 도면이다.
- [0058] 구체적으로 도 3a는 화소 유닛에서 서브-화소의 연결 관계를 설명하기 위한 회로도 이고, 도 3b는 화소 유닛의 실제 서브-화소를 예로 나타내고 있다.

- [0059] 도 3a를 참조하면, 본 발명의 제1 실시예에 따른 액정 표시 장치의 제1 화소 유닛(PU1)은 2 x 4 매트릭스 형태로 배치되는 복수의 서브-화소(SP11 내지 SP24)를 포함하는 형태로 배치될 수 있다.
- [0060] 그리고, 제1 화소 유닛(PU1)은 1 x 2 매트릭스 형태로 배치되는 복수의 서브-화소(SP11 내지 SP24)를 포함하는 복수의 서브-화소 유닛(SPU1 내지 SPU4)을 포함할 수 있다.
- [0061] 구체적으로, 제1 화소 유닛(PU1)은, 1행 1열에 배치된 제1 서브-화소(SP11) 및 1행 2열에 배치된 제2 서브-화소(SP12)를 포함하는 제1 서브-화소 유닛(SPU1), 1행 3열에 배치된 제3 서브-화소(SP13) 및 1행 4열에 배치된 제4 서브-화소(SP14)를 포함하는 제2 서브-화소 유닛(SPU2), 2행 1열에 배치된 제5 서브-화소(SP21) 및 2행 2열에 배치된 제6 서브-화소(SP22)를 포함하는 제3 서브-화소 유닛(SPU3) 및 2행 3열에 배치된 제7 서브-화소(SP23) 및 2행 4열에 배치된 제8 서브-화소(SP24)를 포함하는 제4 서브-화소 유닛(SPU4)을 포함할 수 있다.
- [0062] 그리고, 각각의 서브-화소(SP11 내지 SP24) 각각은 구동을 위하여 복수의 박막 트랜지스터(T11 내지 T24)와 일대일로 연결될 수 있다.
- [0063] 구체적으로, 제1 서브-화소(SP11)를 구동하는 제1 박막 트랜지스터(T11)의 게이트 전극은 제1 게이트 라인(GL1)과 연결되고, 제1 박막 트랜지스터(T11)의 소스 전극은 제1 데이터 라인(DL1)과 연결되고, 제1 박막 트랜지스터(T11)의 드레인 전극은 제1 서브-화소(SP1)의 화소 전극과 연결된다. 그리고, 제2 서브-화소(SP12)를 구동하는 제2 박막 트랜지스터(T12)의 게이트 전극은 제1 게이트 라인(GL1)과 연결되고, 제2 박막 트랜지스터(T12)의 소스 전극은 제2 데이터 라인(DL2)과 연결되고, 제2 박막 트랜지스터(T12)의 드레인 전극은 제2 서브-화소(SP12)의 화소 전극과 연결된다. 그리고, 제3 서브-화소(SP13)를 구동하는 제3 박막 트랜지스터(T13)의 게이트 전극은 제2 게이트 라인(GL2)과 연결되고, 제3 박막 트랜지스터(T13)의 소스 전극은 제3 데이터 라인(DL3)과 연결되고, 제3 박막 트랜지스터(T13)의 드레인 전극은 제3 서브-화소(SP3)의 화소 전극과 연결된다. 그리고, 제4 서브-화소(SP14)를 구동하는 제4 박막 트랜지스터(T14)의 게이트 전극은 제2 게이트 라인(GL2)과 연결되고, 제4 박막 트랜지스터(T14)의 소스 전극은 제2 데이터 라인(DL2)과 연결되고, 제4 박막 트랜지스터(T14)의 드레인 전극은 제4 서브-화소(SP14)의 화소 전극과 연결된다. 그리고, 제5 서브-화소(SP21)를 구동하는 제5 박막 트랜지스터(T21)의 게이트 전극은 제4 게이트 라인(GL4)과 연결되고, 제5 박막 트랜지스터(T21)의 소스 전극은 제2 데이터 라인(DL2)과 연결되고, 제5 박막 트랜지스터(T21)의 드레인 전극은 제5 서브-화소(SP21)의 화소 전극과 연결된다. 그리고, 제6 서브-화소(SP22)를 구동하는 제6 박막 트랜지스터(T22)의 게이트 전극은 제4 게이트 라인(GL4)과 연결되고, 제6 박막 트랜지스터(T22)의 소스 전극은 제1 데이터 라인(DL1)과 연결되고, 제6 박막 트랜지스터(T22)의 드레인 전극은 제6 서브-화소(SP22)의 화소 전극과 연결된다. 그리고, 제7 서브-화소(SP23)를 구동하는 제7 박막 트랜지스터(T23)의 게이트 전극은 제3 게이트 라인(GL3)과 연결되고, 제7 박막 트랜지스터(T23)의 소스 전극은 제2 데이터 라인(DL2)과 연결되고, 제7 박막 트랜지스터(T23)의 드레인 전극은 제7 서브-화소(SP23)의 화소 전극과 연결된다. 그리고, 제8 서브-화소(SP24)를 구동하는 제8 박막 트랜지스터(T24)의 게이트 전극은 제3 게이트 라인(GL3)과 연결되고, 제8 박막 트랜지스터(T24)의 소스 전극은 제3 데이터 라인(DL3)과 연결되고, 제8 박막 트랜지스터(T24)의 드레인 전극은 제8 서브-화소(SP24)의 화소 전극과 연결된다.
- [0064] 또한, 제2 서브-화소 유닛(SPU2)의 제3 박막 트랜지스터(T13) 및 제4 박막 트랜지스터(T14)와 제4 서브-화소 유닛(SPU4)의 제7 박막 트랜지스터(T23) 및 제8 박막 트랜지스터(T24)는 서로 인접되게 배치될 수 있다.
- [0065] 구체적으로, 제3 박막 트랜지스터(T13) 및 제4 박막 트랜지스터(T14)는 제2 게이트 라인(GL2)에 인접되게 배치되어 연결될 수 있고, 제7 박막 트랜지스터(T23) 및 제8 박막 트랜지스터(T24)는 제3 게이트 라인(GL3)에 인접되게 배치되어 연결될 수 있다. 그리고, 제2 게이트 라인(GL2)과 제3 게이트 라인(GL3)이 인접되게 배치되므로, 제3 박막 트랜지스터(T13), 제4 박막 트랜지스터(T14), 제7 박막 트랜지스터(T23) 및 제8 박막 트랜지스터(T24)는 서로 인접되게 배치될 수 있다.
- [0066] 보다 상세하게는 도 3b를 참조하면, 본 발명의 제1 실시예에 따른 액정 표시 장치에서 4개의 인접된 박막 트랜지스터(T13, T14, T23, T24)가 배치되는 비 투과 영역(NTA)에서는 4개의 인접된 박막 트랜지스터(T13, T14, T23, T24)로 인해 후면에서 입사되는 빛이 전면으로 투과하지 못한다.
- [0067] 다만, 종래의 액정 표시 장치는 각각의 서브-화소에 연결된 박막 트랜지스터가 인접되지 않고, 각각 분리되어 배치되었다. 이에, 각각 분리된 박막 트랜지스터로 인해 비투과 영역이 상대적으로 증가되었고, 종래의 액정 표시 장치의 경우, 개구율은 68%정도에 불과하였다.
- [0068] 그러나, 본 발명의 제1 실시예에 따른 액정 표시 장치의 경우는 후면에서 입사되는 빛을 차단하는 박막 트랜지스터(T13, T14, T23, T24)를 밀집되게 배치 함으로써, 박막 트랜지스터(T13, T14, T23, T24)가 배치되는 비투

과 영역(NTA)의 비율을 감소시킬 수 있다. 이로 인하여, 본 발명의 제1 실시예에 따른 액정 표시 장치의 개구율은 71%정도로 향상되게 된다.

- [0069] 본 발명의 제1 실시예에 따른 액정 표시 장치의 개구율이 증가됨으로써, 액정 표시 장치의 발광 효율을 향상시킬 수 있다.
- [0070] 또한, 도 2 및 도 3a에 도시된 바와 같이, 인접된 4개의 박막 트랜지스터끼리는 서로 인접되게 배치되지 않는다.
- [0071] 구체적으로, 상술한 제1 화소 유닛(PU1)에서, 제2 서브-화소 유닛(SPU2)의 박막 트랜지스터(T13, T14)와 제4 서브-화소 유닛(SPU4)의 박막 트랜지스터(T23, T24)는 서로 인접되어 하나의 비 개구영역을 형성한다.
- [0072] 또한, 상술한 제1 화소 유닛(PU1)에서 인접된 4개의 박막 트랜지스터(T13, T14, T23, T24)와 연속되지 않도록, 제2 화소 유닛(PU2)에서 제1 서브-화소 유닛의 박막 트랜지스터(T15, T16)와 제3 서브-화소의 박막 트랜지스터(T25, T26)는 서로 인접되는 것이 아닌, 제2 서브-화소 유닛의 박막 트랜지스터(T17, T18)와 제4 서브-화소(T27, T28)의 박막 트랜지스터는 서로 인접된다.
- [0073] 그리고, 상술한 제1 화소 유닛(PU1)에서 인접된 4개의 박막 트랜지스터(T13, T14, T23, T24)와 연속되지 않도록, 제3 화소 유닛(PU3)에서 제2 서브-화소 유닛의 박막 트랜지스터(T33, T34)와 제4 서브-화소의 박막 트랜지스터(T43, T44)는 서로 인접된다.
- [0074] 다시 말하면, 상술한 복수의 인접된 4개의 박막 트랜지스터끼리는 직선 방향으로 연속되게 배치되지 않고, 대각 방향으로 교차되어 배치될 수 있다.
- [0075] 구체적으로, 상술한 제1 화소 유닛(PU1)에서 인접된 4개의 박막 트랜지스터(T13, T14, T23, T24)와 대각 방향에 배치된, 제2 행에서 제1 열 내지 제2 열에 배치된 박막 트랜지스터(T21, T22) 및 제3 행에서 제1 열 내지 제2 열에 배치된 박막 트랜지스터(T31, T32)는 서로 인접되게 배치될 수 있다. 또한, 상술한 제1 화소 유닛(PU1)에서 인접된 4개의 박막 트랜지스터(T13, T14, T23, T24)와 다른 대각 방향에 배치된, 제2 행에서 제5 열 내지 제6 열에 배치된 박막 트랜지스터(T25, T26) 및 제3 행에서 제5 열 내지 제6 열에 배치된 박막 트랜지스터(T35, T36) 또한 서로 인접되게 배치될 수 있다.
- [0076] 이렇게, 복수의 인접된 4개의 박막 트랜지스터를 직선 방향으로 연속되게 배치하지 않음으로써, 비 개구영역이 직선 방향으로 연속되게 배치되지 않도록 한다. 이로써, 비 개구영역이 연속됨으로 인하여 발생할 수 있는 세로 선과 같은 화면 이상이 발생하지 않게 된다. 다시 말하면, 인접된 4개의 박막 트랜지스터를 대각 방향으로 배치함으로써, 비 개구영역을 최대한 분산시킬 수 있어, 박막 트랜지스터가 뭉침으로 인하여 발생할 수 있는 화질 불량을 최소화 할 수 있다.
- [0077] 그리고, 본 발명의 제1 실시예에 따른 액정 표시 장치에서 복수의 서브-화소 유닛(SPU1 내지 SPU4) 중 일부는 제1 데이터 라인 내지 제3 데이터 라인(DL1 내지 DL3) 중 인접된 데이터 라인과 교차 연결될 수 있다.
- [0078] 일례로, 도 3a 및 도 3b에 도시된 바와 같이, 제2 서브-화소 유닛(SPU2)과 제4 서브-화소 유닛(SPU4)은 제1 데이터 라인 내지 제3 데이터 라인(DL1 내지 DL3) 중 인접된 데이터 라인과 교차 연결될 수 있다.
- [0079] 구체적으로, 진술한 바와 같이, 제2 서브-화소 유닛(SPU2)에서, 제3 박막 트랜지스터(T13)는 인접된 제2 데이터 라인(DL2)과 연결되는 것이 아닌 제3 데이터 라인(DL3)과 연결되고, 제4 박막 트랜지스터(T14)는 역시 인접된 제3 데이터 라인(DL3)과 연결되는 것이 아닌 제2 데이터 라인(DL2)과 연결될 수 있다.
- [0080] 또한, 제3 서브-화소 유닛(SPU3)에서, 제5 박막 트랜지스터(T21)는 인접된 제1 데이터 라인(DL1)과 연결되는 것이 아닌 제2 데이터 라인(DL2)과 연결되고, 제6 박막 트랜지스터(T22) 역시 인접된 제2 데이터 라인(DL2)과 연결되는 것이 아닌 제1 데이터 라인(DL1)과 연결될 수 있다.
- [0081] 데이터 라인 기준과 서브-화소 기준으로 다시 설명하면, 제1 데이터 라인(DL1)과 제1 서브-화소(SP11) 및 제6 서브-화소(SP22)가 연결되고, 제2 데이터 라인(DL2)과 제4 서브-화소(SP14) 및 제5 서브-화소(SP21)가 연결되고, 제3 데이터 라인(DL3)과 제3 서브-화소(SP13) 및 제8 서브-화소(SP24)가 연결될 수 있다.
- [0082] 이렇게, 본 발명의 제1 실시예에 따른 액정 표시 장치에서, 일부 서브-화소 유닛이 인접 데이터 라인과 교차 연결함으로써, 후술할 바와 같이 컬럼 인버전 방식을 적용하였을 때, 각각의 서브-화소의 데이터 전압의 극성과 이와 인접된 서브-화소의 데이터 전압의 극성은 상이하게 된다. 이로 인해, 동일한 극성으로 충전된 서브-화소의 뭉침 현상이 없어져, 화질불량이 개선되는 효과가 있다. 이에 대한 구체적 내용은 도 5를 참조하여

후술한다.

- [0083] 이하에서는, 본 발명의 제1 실시예에 따른 액정 표시 장치의 구동방식에 대해서 설명한다.
- [0084] 도 4는 본 발명의 제1 실시예에 따른 액정 표시 장치의 데이터 전압을 설명하기 위한 타이밍도 이다.
- [0085] 도 5는 본 발명의 제1 실시예에 따른 액정 표시 장치의 서브-화소에 인가되는 데이터 전압을 설명하기 위한 도면이다.
- [0086] 전술한 바와 같이 본 발명의 제1 실시예에 따른 표시 장치는 DRD(Double Rate Driving) 방식으로 구동되면서 컬럼 인버전(column inversion)이 적용된다.
- [0087] DRD(Double Rate Driving) 방식과 관련하여 도 2를 참조하면, 데이터 라인(DL1 내지 DL5)은 2열로 배치되는 복수의 서브-화소(SP11 내지 SP48)마다 배치됨으로써 기존에 비해 데이터 라인(DL1 내지 DL5)이 절반으로 감소할 수 있으나, 게이트 라인(GL1 내지 GL8)은 복수의 서브-화소(SP11 내지 SP48) 사이에 2개씩 배치됨으로써 기존에 비해 게이트 라인 GL1 내지 GL8)이 2배로 증가할 수 있다.
- [0088] 이에, 데이터 라인(DL1 내지 DL5)이 절반으로 감소하면서 기존과 동일 해상도를 구현하기 위하여, 구동 주파수는 2배(double rate) 증가된다.
- [0089] 컬럼 인버전 방식과 관련하여, 하나의 프레임 동안 하나의 데이터 라인(DL1 내지 DL5)에 인가되는 데이터 전압(Vdata)의 극성은 동일하게 유지된다.
- [0090] 도 4를 참조하면, 하나의 프레임의 복수의 수평 기간(H) 동안에 홀수 번째 데이터 라인(DL(2n-1))에는 양의 극성의 데이터 전압(Vdata)이 인가될 수 있고, 짝수 번째 데이터 라인(DL(2n))에는 음의 극성의 데이터 전압(Vdata)이 인가될 수 있다. 여기서, n은 자연수를 의미한다.
- [0091] 일례로, 공통 전압을 8V로 가정하였을 때, 홀수 번째 데이터 라인(DL(2n-1))에는 8V 내지 16V의 양의 극성의 데이터 전압(Vdata)이 인가될 수 있고, 짝수 번째 데이터 라인(DL(2n))에는 0V 내지 8V의 음의 극성의 데이터 전압(Vdata)이 인가될 수 있다.
- [0092] 또한, 본 발명의 제1 실시예에 따른 액정 표시 장치에서, 각각의 데이터 라인(DL1 내지 DL5)에 인가되는 동일 극성의 데이터 전압(Vdata)은 첫 번째 수평 기간(H) 이전의 더미 기간에 충전될 수 있다. 이에, 첫 번째 수평 기간(H)이 시작할 때에는 이미 데이터 라인(DL1 내지 DL5)에 데이터 전압(Vdata)이 완전하게 충전되고, 데이터 전압(Vdata)이 완전하게 충전된 상태에서 하나의 프레임 동안 동일 극성으로 계속 유지되어, 각각의 서브-화소(SP11 내지 SP48)에 데이터 전압(Vdata)이 인가될 때, 데이터 전압(Vdata)의 충전 불량의 문제는 발생하지 않는다.
- [0093] 이와 대비하여, 종래의 액정 표시 장치는 4개의 수평 기간마다 데이터 전압(Vdata)의 극성을 변환하는 인버전 방식을 사용하였다. 이 경우, 4개의 수평 기간마다 데이터 전압(Vdata)의 극성을 변환해야 하므로, 하나의 프레임 중간에서 극성 변환 후에 충전되는 서브-화소는 데이터 전압(Vdata)이 완전하게 충전되지 못하여, 원하지 않는 계조가 표현되는 문제점이 있었다. 이러한 서브-화소 불완전 충전으로 인하여 의도하지 않는 세로 점선 형태가 인지될 수 있다.
- [0094] 그러나, 본 발명의 제1 실시예에 따른 액정 표시 장치는 DRD(Double Rate Driving)구동 방식에서 컬럼 인버전(column inversion)을 적용하여, 하나의 프레임 동안 데이터 전압(Vdata)은 동일한 극성을 유지하므로, 하나의 프레임 중간에 극성이 변환되지 않는다. 이에, 서브-화소(SP11 내지 SP48)에 충전되는 데이터 전압(Vdata)은 모두 완전히 충전되어, 세로 점선 형태와 같은 화면 불량이 개선되므로, 화질의 균일성(uniformity)이 향상된다.
- [0095] 화질의 균일성과 관련하여 구체적으로, 종래의 액정 표시 장치는 데이터 전압의 충전 지연으로 인하여 최저 충전률이 91.63%로 저조하였으나, 본 발명의 제1 실시예에 따른 액정 표시 장치는 데이터 전압(Vdata)의 충전 지연이 거의 없어 최저 충전률이 94.38%로 상승하였다. 이에, 본 발명의 제1 실시예에 따른 액정 표시 장치에서는 최저 충전률이 상승되므로, 최고 충전률과 최저 충전률의 차이는 보다 감소하여 화질의 균일성 또한 상승할 수 있다.
- [0096] 또한, 본 발명의 제1 실시예에 따른 액정 표시 장치는 DRD(Double Rate Driving)구동 방식에서 컬럼 인버전(column inversion)을 적용하여, 하나의 프레임 동안 데이터 전압(Vdata)은 동일한 극성을 유지하므로, 각각의 데이터 전압(Vdata)의 변화 범위는 음의 극성의 데이터 전압(Vdata)이 인가될 경우에는 0V 에서 8V 사이이고, 양의 극성의 데이터 전압(Vdata)이 인가될 경우에는 8V에서 16V사이 일수 있다.

- [0097] 이와 관련하여, 종래의 액정 표시 장치의 데이터 전압은 하나의 프레임 내에서도 극성 변화가 필요하므로, 데이터 전압의 변화 범위는 0V 내지 16V 일 수 있다. 이에, 종래의 액정 표시 장치의 데이터 전압 변화 범위보다 본 발명의 일 실시예에 따른 표시 장치(100)의 데이터 전압의 변화 범위는 좁으므로, 표시 장치의 발열 수준이 감소될 수 있다.
- [0098] 구체적으로 종래의 액정 표시 장치는 풀-화이트계조를 구현할 경우 온도가 139℃까지 상승될 있으나, 본 발명의 제1 실시예에 따른 액정 표시 장치는 풀-화이트계조를 구현할 경우 61℃까지만 상승되어, 발열 수준이 감소된 것을 확인할 수 있다.
- [0099] 이하에서는 본 발명의 제1 실시예에 따른 액정 표시 장치의 렌더링(Rendering) 순서와 관련된 설명 편의를 위해, 음의 극성의 데이터 전압(Vdata)이 인가되는 제2 데이터 라인(DL2) 및 양의 극성의 데이터 전압(Vdata)이 인가되는 제3 데이터 라인(DL3)에 연결되는 서브-화소를 중심으로 설명한다.
- [0100] 제1 수평 기간 동안에, 제1 게이트 라인(GL1)에는 게이트 하이 전압이 인가되어, 1행 2열에 배치된 서브-화소(SP12)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 1행 5열에 배치된 서브-화소(SP15)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0101] 그리고, 제2 수평 기간 동안에, 제2 게이트 라인(GL2)에는 게이트 하이 전압이 인가되어, 1행 4열에 배치된 서브-화소(SP14)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 1행 3열에 배치된 서브-화소(SP13)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0102] 그리고, 제3 수평 기간 동안에, 제3 게이트 라인(GL3)에는 게이트 하이 전압이 인가되어, 2행 3열에 배치된 서브-화소(SP23)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 2행 4열에 배치된 서브-화소(SP24)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0103] 그리고, 제4 수평 기간 동안에, 제4 게이트 라인(GL4)에는 게이트 하이 전압이 인가되어, 2행 1열에 배치된 서브-화소(SP21)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 2행 6열에 배치된 서브-화소(SP26)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0104] 그리고, 제5 수평 기간 동안에, 제5 게이트 라인(GL5)에는 게이트 하이 전압이 인가되어, 3행 2열에 배치된 서브-화소(SP32)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 3행 5열에 배치된 서브-화소(SP35)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0105] 그리고, 제6 수평 기간 동안에, 제6 게이트 라인(GL6)에는 게이트 하이 전압이 인가되어, 3행 4열에 배치된 서브-화소(SP34)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 3행 3열에 배치된 서브-화소(SP33)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0106] 그리고, 제7 수평 기간 동안에, 제7 게이트 라인(GL7)에는 게이트 하이 전압이 인가되어, 4행 3열에 배치된 서브-화소(SP43)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 4행 4열에 배치된 서브-화소(SP44)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0107] 그리고, 제8 수평 기간 동안에, 제8 게이트 라인(DL8)에는 게이트 하이 전압이 인가되어, 4행 1열에 배치된 서브-화소(SP41)에는 제2 데이터 라인(DL2)을 통해 음의 극성의 데이터 전압(Vdata)이 인가되고, 4행 6열에 배치된 서브-화소(SP46)에는 제3 데이터 라인(DL3)을 통해 양의 극성의 데이터 전압(Vdata)이 인가된다.
- [0108] 이와 같은 충전 방식으로 인하여, 각각의 서브-화소에 충전된 데이터 전압(Vdata)의 극성과 이와 인접된 서브-화소에 충전된 데이터 전압(Vdata)의 극성은 상이하게 된다. 즉, 본 발명의 제1 실시예에 따른 액정 표시 장치에서 동일한 극성으로 충전된 서브-화소의 뭉침 현상이 없다.
- [0109] 또한, 종래의 액정 표시 장치의 경우, 4개의 서브-화소가 동일한 극성으로 충전되어, 일정 시야각에서 화질 확인 시 일정 경계가 보이는 일명 도리도리 불량 발생하였다.
- [0110] 그러나, 본 발명의 제1 실시예에 따른 액정 표시 장치는 인접된 서브-화소끼리의 극성이 모두 상이하여, 일정 시야각에서 화질을 확인하여도 균일하게 되어, 전술한 도리도리 불량과 같은 화질불량은 발생되지 않는다.
- [0111] 다만, 전술한 제1 실시예의 경우에도 지그재그 형태의 벽돌 모양의 문양 및 세로선의 발생을 완전히 방지할 수는 없는데, 이하에서는 이를 해결하는 본 발명의 다른 실시예들을 도면을 참조하여 상세히 설명한다.
- [0112] 도 6은 본 발명의 제2 실시예에 따른 액정 표시 장치의 어레이 기관의 구조를 보여주는 평면도이다.

- [0113] 도 7은 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소 구조를 예시적으로 보여주는 도면이다.
- [0114] 도 8a 및 도 8b는 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소 구조 및 그 구동 방식을 예로 들어 보여주는 도면들이다.
- [0115] 이때, 도 6 및 도 7은 2 x 4의 8개의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 평면 구조를 예로 들어 보여주고 있으며, 도 8a 및 도 8b는 2 x 12의 24개의 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212)의 평면 구조를 예로 들어 보여주고 있다. 다만, 본 발명이 이에 제한되는 것은 아니다.
- [0116] 또한, 도 8a 및 도 8b는 칼럼 인버전(column inversion)의 구동 방식을 예로 들어 보여주고 있다. 도 8a는 n번째 프레임(frame)에서의 화소 구조 및 그 구동 방식을 예로 들어 보여주고 있으며, 도 8b는 n+1번째 프레임에서의 화소 구조 및 그 구동 방식을 예로 들어 보여주고 있다.
- [0117] 우선, 도 6 및 도 7을 참조하면, 본 발명의 제2 실시예에 따른 액정 표시 장치는 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)를 포함할 수 있다.
- [0118] 이때, 도 6 및 도 7은 2 x 4의 8개의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 평면 구조를 예로 보여주고 있으나, 본 발명이 이에 제한되는 것은 아니다.
- [0119] 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)는, 어레이 기판 위에 복수의 게이트 라인(GL1, GL2, GL3, GL4, GL5)과 데이터 라인(DL1, DL2, DL3)이 서로 교차하여 매트릭스 형태로 배치될 수 있다.
- [0120] 게이트 라인(GL1, GL2, GL3, GL4, GL5)은 어레이 기판 위에 제1 방향으로 배치될 수 있다. 또한, 데이터 라인(DL1, DL2, DL3)은 제1 방향과 상이한 제2 방향으로 배치되어 게이트 라인(GL1, GL2, GL3, GL4, GL5)과 함께 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)를 구획할 수 있다.
- [0121] 데이터 라인(DL1, DL2, DL3) 사이에는 제2 방향으로 수직 공통 라인(CL)이 배치될 수 있으나, 이에 제한되는 것은 아니다.
- [0122] 수직 공통 라인(CL)은 데이터 라인(DL1, DL2, DL3)과 동일 층에 배치될 수 있으나, 이에 제한되는 것은 아니다.
- [0123] 데이터 라인(DL1, DL2, DL3) 및 수직 공통 라인(CL)은 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 형태에 따라 꺾임 구조를 가질 수 있으나, 이에 제한되는 것은 아니다.
- [0124] 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)는 칼럼(column) 방향 및 로우(row) 방향으로 배열되어 매트릭스 형태로 배치될 수 있다. 예를 들어, 도 6 및 도 7은 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)가 4개의 칼럼과 2개의 로우로 배열된 경우를 예로 들어 보여주고 있다. 즉, 도 6 및 도 7에서는 임의의 2 x 4의 8개의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)만이 예로 도시되어 있지만, 본 발명이 이에 제한되는 것은 아니다. 이하, 설명의 편의상 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24) 중 로우 방향으로 배열된 서브-화소의 그룹을 로우 서브-화소 유닛으로 정의하며, 칼럼 방향으로 배열된 서브-화소의 그룹을 칼럼 서브-화소 유닛으로 정의한다.
- [0125] 일 예로, 로우 서브-화소 유닛은 제1 행의 로우 서브-화소 유닛(P11, P12, P13, P14)과 제2 행의 로우 서브-화소 유닛(P21, P22, P23, P24)을 들 수 있다. 또한, 칼럼 서브-화소 유닛은 제1 열의 칼럼 서브-화소 유닛(P11, P21), 제2 열의 칼럼 서브-화소 유닛(P12, P22), 제3 열의 칼럼 서브-화소 유닛(P13, P23) 및 제4 열의 칼럼 서브-화소 유닛(P14, P24)을 들 수 있다.
- [0126] 복수의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)는 각각 특정 컬러의 빛을 구현할 수 있다. 예를 들어, 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)는 적색을 구현하는 적색 서브-화소, 녹색을 구현하는 녹색 서브-화소 및 청색을 구현하는 청색 서브-화소 중 어느 하나로 구성될 수 있다. 이 경우, 적색 서브-화소, 녹색 서브-화소 및 청색 서브-화소의 그룹이 하나의 화소를 구성할 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 하나의 화소는 적색 서브-화소, 녹색 서브-화소, 청색 서브-화소 및 백색 서브-화소로 구성될 수도 있다.
- [0127] 한편, 본 발명은, 데이터 라인(DL1, DL2, DL3)의 개수를 반으로 줄인 DRD 구조의 액정 표시 장치를 특징으로 한다. DRD 구조의 액정 표시 장치는 일 예로, 하나의 수평선상에 배치된 복수의 서브-화소(P11, P12, P13, P14)가 2개의 게이트 라인(GL1, GL2)과 한 개의 데이터 라인(DL1, DL2, DL3)에 각각 접속되며, 또한 다른 하나의 수평선상에 배치된 복수의 서브-화소(P21, P22, P23, P24)가 다른 2개의 게이트 라인(GL3, GL4)과 동일한 한 개의

데이터 라인(DL1, DL2, DL3)에 접속된다.

- [0128] 일 예로, 이러한 화소 어레이에서 적색 데이터가 인가되는 적색 서브-화소, 녹색 데이터가 인가되는 녹색 서브-화소, 청색 데이터가 인가되는 청색 서브-화소 각각은 칼럼 방향을 따라 배치될 수도 있으나, 이에 제한되지 않는다. 이 화소 어레이에서 하나의 화소는 칼럼 방향과 직교하는 로우 방향을 따라 이웃하는 적색 서브-화소, 녹색 서브-화소 및 청색 서브-화소를 포함할 수 있다.
- [0129] 도 6 및 도 7을 참조하면, 각 행에서 동일한 데이터 라인(DL1, DL2, DL3)을 공유하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)는 전, 후단의 게이트 라인(GL1, GL2, GL3, GL4, GL5)에 각각 접속될 수 있다. 일 예로, 제2 데이터 라인(DL2)을 공유하는 제1 행의 한 쌍의 서브-화소(P12, P13)는 제1, 제2 게이트 라인(GL1, GL2)에 각각 접속될 수 있으며, 제2 데이터 라인(DL2)을 공유하는 제2 행의 다른 한 쌍의 서브-화소(P22, P23)는 제3, 제4 게이트 라인(GL3, GL4)에 각각 접속될 수 있다.
- [0130] 본 발명의 제2 실시예에 따른 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)는, 게이트 라인(GL1, GL2, GL3, GL4, GL5)과 데이터 라인(DL1, DL2, DL3)의 교차 지점에 박막 트랜지스터를 구성할 수 있다.
- [0131] 박막 트랜지스터는, 게이트 라인(GL1, GL2, GL3, GL4, GL5)에 연결된 게이트 전극(121), 액티브층, 데이터 라인(DL1, DL2, DL3)에 연결된 소스 전극(122) 및 소스 전극(122)과 대향 배치되어 화소 전극(118)에 전기적으로 접속된 드레인 전극(123)으로 구성될 수 있다.
- [0132] 한편, 이하에서는 설명의 편의를 위해, 각 행에서 데이터 라인(DL1, DL2, DL3) 사이에 배치되는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)를 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)로 지칭하기로 한다.
- [0133] 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)에 있어, 각각의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 박막 트랜지스터는 이웃하는 서로 다른 데이터 라인(DL1, DL2, DL3)에 연결될 수 있다.
- [0134] 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)에 있어, 각각의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 박막 트랜지스터는 동일한 게이트 라인(GL1, GL2, GL3, GL4, GL5)에 연결될 수 있다.
- [0135] 또한, 하나의 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 박막 트랜지스터 각각이 데이터 라인(DL1, DL2, DL3)들 중 가까운 하나의 데이터 라인(DL1, DL2, DL3)에 연결되는 반면에, 하나의 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)에 이웃하는 다른 하나의 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 박막 트랜지스터 각각은 데이터 라인(DL1, DL2, DL3)들 중 더 먼 하나의 데이터 라인(DL1, DL2, DL3)에 연결될 수 있다.
- [0136] 이때, 하나의 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 박막 트랜지스터 한 쌍이 하나의 동일한 게이트 라인(GL1, GL2, GL3, GL4, GL5)에 연결되는 한편, 하나의 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)에 이웃하는 다른 하나의 이웃하는 한 쌍의 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)의 박막 트랜지스터 한 쌍은 하나의 게이트 라인(GL1, GL2, GL3, GL4, GL5)에 인접하는 다른 하나의 동일한 게이트 라인(GL1, GL2, GL3, GL4, GL5)에 연결될 수 있다. 일 예로, 1행 1-2열의 이웃하는 한 쌍의 서브-화소(P11, P12)의 박막 트랜지스터 한 쌍은 하나의 동일한 제1 게이트 라인(GL1)에 연결되는 한편, 1행 1-2열의 이웃하는 한 쌍의 서브-화소(P11, P12)에 이웃하는 1행 3-4열의 이웃하는 한 쌍의 서브-화소(P13, P14)의 박막 트랜지스터 한 쌍은 하나의 동일한 제1 게이트 라인(GL1)에 인접하는 다른 하나의 동일한 제2 게이트 라인(GL2)에 연결될 수 있다.
- [0137] 이러한 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24) 내에 복수의 공통 전극(108)과 화소 전극(118)이 교대로 배치될 수 있다.
- [0138] 화소 전극(118)은 제1 컨택 홀(140a)을 통해 박막 트랜지스터의 드레인 전극(123)에 전기적으로 접속되어 화소 전압을 인가 받으며, 공통 전극(108)은 제2 컨택 홀(140b)을 통해 수평 공통 라인(1081)에 전기적으로 접속되어 공통 전압을 인가 받을 수 있다. 인가 받은 화소 전압과 공통 전압의 전압 차에 의해 화소 전극(118)과 공통 전극(108) 사이에 전계가 발생되어 액정 분자의 배열을 변화시킴으로써 화상을 표시할 수 있다.
- [0139] 한편, 수평 공통 라인(1081)은, 게이트 라인(GL1, GL2, GL3, GL4, GL5) 사이에 게이트 라인(GL1, GL2, GL3,

GL4, GL5)과 실질적으로 동일한 제1 방향으로 배치될 수 있다.

- [0140] 수평 공통 라인(1081)은 게이트 라인(GL1, GL2, GL3, GL4, GL5)과 동일 층에 배치될 수 있으나, 이에 제한되는 것은 아니다.
- [0141] 공통 전극(108) 및 화소 전극(118)은 데이터 라인(DL1, DL2, DL3)을 따라 꺾임 구조를 가지며, 이에 액정 분자가 2방향으로 배열되어 2-도메인(domain)을 형성함으로써 모노-도메인에 비해 시야각이 더욱 향상된다. 다만, 본 발명이 2-도메인 구조에 한정되는 것은 아니며 2-도메인 이상의 멀티-도메인(multi-domain) 구조에 적용 가능하다.
- [0142] 이와 같이 본 발명은, 데이터 라인(DL1, DL2, DL3)의 개수를 반으로 줄인 DRD 구조를 적용함으로써 액정 표시 장치의 생산 단가를 낮출 수 있게 된다.
- [0143] 또한, 본 발명은, DRD 칼럼 인버전(column inversion) 구조에서 발생하는 화질 이슈들을 개선함으로써 표시 품질이 향상될 수 있게 된다. 예를 들어, 본 발명의 제2 실시예는, 2 x 4 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)를 기준으로 박막 트랜지스터 배치를 상하좌우 반전되는 원점 대칭 설계함으로써 제1 실시예에서 발생할 수 있는 지그재그 형태의 벽돌 모양의 문양 및 세로선의 발생을 완전하게 방지할 수 있게 된다.
- [0144] 즉, 제1 실시예는 박막 트랜지스터의 문양 설계(하나의 화소 유닛 내의 박막 트랜지스터들이 몰려 배치)에 따라 상하로 이웃하는 로우 서브-화소 유닛들 사이의 간격에 차이가 발생하였다. 이에 따라 상하로 이웃하는 로우 서브-화소 유닛들 사이의 차광층(Black Strip: BS)의 면적에도 차이가 발생되어 근접 관찰 시 지그재그 형태의 벽돌 모양의 문양이 인지될 수 있다. 또한, 이러한 구조적 차이에 따라 도메인이 비대칭 하게 형성되며, 플리커 패턴 등의 특정 화면에서 세로선이 발생할 수 있다.
- [0145] 이에 본 발명의 제2 실시예는, 예를 들어, 2 x 4 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)를 기준으로 박막 트랜지스터를 상하좌우로 반전되는 원점 대칭으로 배치함으로써 기존의 지그재그 형태의 벽돌 모양의 문양 및 세로선의 발생을 방지할 수 있게 된다. 즉, 2 x 4 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)에서, 왼쪽 위의 한 쌍의 서브-화소(P11, P12)의 박막 트랜지스터는 오른쪽 아래의 한 쌍의 서브-화소(P23, P24)의 박막 트랜지스터와 원점 대칭으로 배치되며, 오른쪽 위의 한 쌍의 서브-화소(P13, P14)의 박막 트랜지스터는 왼쪽 아래의 한 쌍의 서브-화소(P21, P22)의 박막 트랜지스터와 원점 대칭으로 배치될 수 있다.
- [0146] 이에 따라, 왼쪽 위의 한 쌍의 서브-화소(P11, P12)의 박막 트랜지스터 및 (왼쪽 위의 한 쌍의 서브-화소(P11, P12)에 원점 대칭되는) 오른쪽 아래의 한 쌍의 서브-화소(P23, P24)의 박막 트랜지스터 각각이 가까운 데이터 라인(DL1, DL2, DL3)에 연결되며, 오른쪽 위의 한 쌍의 서브-화소(P13, P14)의 박막 트랜지스터 및 (오른쪽 위의 한 쌍의 서브-화소(P13, P14)에 원점 대칭되는) 왼쪽 아래의 한 쌍의 서브-화소(P21, P22)의 박막 트랜지스터 각각은 더 먼 데이터 라인(DL1, DL2, DL3)에 연결될 수 있다. 즉, 왼쪽 위의 1행 1열의 서브-화소(P11) 및 1행 2열의 서브-화소(P12)는 각각 가까운 제1 데이터 라인(DL1) 및 제2 데이터 라인(DL2)에 연결되고, 오른쪽 아래의 2행 3열의 서브-화소(P23) 및 2행 4열의 서브-화소(P24)는 각각 가까운 제2 데이터 라인(DL2) 및 제3 데이터 라인(DL3)에 연결될 수 있다. 반면에, 오른쪽 위의 1행 3열의 서브-화소(P13) 및 1행 4열의 서브-화소(P14)는 각각 더 먼 제3 데이터 라인(DL3) 및 제2 데이터 라인(DL2)에 연결되고, 왼쪽 아래의 2행 1열의 서브-화소(P21) 및 2행 2열의 서브-화소(P22)는 각각 더 먼 제2 데이터 라인(DL2) 및 제1 데이터 라인(DL1)에 연결될 수 있다.
- [0147] 또한, 왼쪽 위의 한 쌍의 서브-화소(P11, P12)의 박막 트랜지스터가 모두 동일한 제1 게이트 라인(GL1)에 연결되는 한편, (왼쪽 위의 한 쌍의 서브-화소(P11, P12)에 이웃하는) 오른쪽 위의 한 쌍의 서브-화소(P13, P14)의 박막 트랜지스터 모두는 제1 게이트 라인(GL1)에 이웃하는 동일한 제2 게이트 라인(GL2)에 연결될 수 있다. 즉, 왼쪽 위의 1행 1열의 서브-화소(P11) 및 1행 2열의 서브-화소(P12)는 동일한 제1 게이트 라인(GL1)에 연결되는 한편, 오른쪽 위의 1행 3열의 서브-화소(P13) 및 1행 4열의 서브-화소(P14)는 제1 게이트 라인(GL1)에 이웃하는 동일한 제2 게이트 라인(GL2)에 연결될 수 있다.
- [0148] 또한, 왼쪽 아래의 한 쌍의 서브-화소(P21, P22)의 박막 트랜지스터가 모두 동일한 제3 게이트 라인(GL3)에 연결되는 한편, (왼쪽 아래의 한 쌍의 서브-화소(P21, P22)에 이웃하는) 오른쪽 아래의 한 쌍의 서브-화소(P23, P24)의 박막 트랜지스터 모두는 제3 게이트 라인(GL3)에 이웃하는 동일한 제4 게이트 라인(GL4)에 연결될 수 있다. 즉, 왼쪽 아래의 2행 1열의 서브-화소(P21) 및 2행 2열의 서브-화소(P22)는 동일한 제3 게이트 라인(GL3)에 연결되는 한편, 오른쪽 아래의 2행 3열의 서브-화소(P23) 및 2행 4열의 서브-화소(P24)는 제3 게이트 라인(GL3)에 이웃하는 동일한 제4 게이트 라인(GL4)에 연결될 수 있다.

- [0149] 또한, 일 예로, 제2 게이트 라인(GL2)에 연결되는 제3 서브-화소(P13)의 박막 트랜지스터 및 제4 서브-화소(P14)의 박막 트랜지스터는 제2 게이트 라인(GL2)에 인접되게 배치되고, 제3 게이트 라인(GL3)에 연결되는 제5 서브-화소(P21)의 박막 트랜지스터 및 제6 서브-화소(P22)의 박막 트랜지스터는 제3 게이트 라인(GL3)에 인접되게 배치될 수 있다.
- [0150] 또한, 제1 게이트 라인(GL1)에 연결되는 제1 서브-화소(P11)의 박막 트랜지스터 및 제2 서브-화소(P12)의 박막 트랜지스터는 제1 게이트 라인(GL1)에 인접되게 배치되고, 제4 게이트 라인(GL4)에 연결되는 제7 서브-화소(P23)의 박막 트랜지스터 및 제8 서브-화소(P24)의 박막 트랜지스터는 제4 게이트 라인(GL4)에 인접되게 배치될 수 있다.
- [0151] 이와 같이 구성된 본 발명의 제2 실시예에 따른 액정 표시 장치는 도 8a 및 도 8b에서와 같이 칼럼 인버전 방식으로 구동될 수 있다.
- [0152] 즉, 컨트롤러(400)는 극성 제어 신호를 이용하여 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212) 각각에 인가되는 데이터 전압의 극성을 제어하여 액정 표시 장치의 구동을 다양한 인버전 방식으로 제어할 수 있다.
- [0153] 도 8a 및 도 8b를 참조하면, 극성(+, -)이 표기되어 있는 사각형은 하나의 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212)를 의미한다.
- [0154] 본 발명에서는 도 8a 및 도 8b와 대응되는 칼럼 인버전 구동 방식을 예로 설명하지만, 이에 제한되는 것은 아니다. 본 발명의 액정 표시 장치는, 표시 패널에 배치되는 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212), 데이터 라인(DL1, DL2, DL3, DL4, DL5, DL6, DL7), 게이트 라인(GL1, GL2, GL3, GL4)의 연결 구조 등을 변형하거나 데이터 구동부(200)에서 공급되는 데이터 전압을 조절하여 다양한 인버전 구동 방식으로 구동될 수 있다.
- [0155] 특히, 표시 패널이 대형화되고 고해상화 되어 감에 따라 입력 영상의 프레임 레이트(frame rate) 주파수(Hz)가 높아지는데, 이와 같이 프레임 레이트 주파수가 높아질 경우 각 게이트 라인(GL1, GL2, GL3, GL4)에 공급되는 게이트 신호의 수평주기(H: 펄스 폭)가 짧아져 각 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212)에 극성 데이터 전압이 충분히 충전되지 못하는 문제가 발생한다. 이와 같이, 각 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212)에 데이터 전압이 충분히 충전되지 못하면 인버전 구동 방식이 의도했던 각 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212)의 잔류 전하를 완전히 상쇄하지 못해 플리커 불량 및 잔상 불량이 다시 발생한다.
- [0156] 하지만, 본 발명의 제2 실시예는 입력 영상의 프레임 레이트 주파수(Hz)가 높아지더라도 각 서브-화소(P11, P12, P13, P14, P15, P16, P17, P18, P19, P110, P111, P112; P21, P22, P23, P24, P25, P26, P27, P28, P29, P210, P211, P212)에서 극성 데이터 전압이 충분히 충전될 수 있도록 하여 인버전 구동 방식에 의한 플리커 불량 및 잔상 불량을 제거할 수 있도록 하였다.
- [0157] 또한, 본 발명의 제2 실시예는 표시 패널의 2 x 4의 8개 서브-화소(P11, P12, P13, P14, P21, P22, P23, P24; P15, P16, P17, P18, P25, P26, P27, P28; P19, P110, P111, P112, P29, P210, P211, P212)를 렌더링(rendering) 화소 단위로 정의하고, 각 렌더링 화소 내의 서브-화소(P11, P12, P13, P14, P21, P22, P23, P24; P15, P16, P17, P18, P25, P26, P27, P28; P19, P110, P111, P112, P29, P210, P211, P212)를 분할 구동하여 각 서브-화소(P11, P12, P13, P14, P21, P22, P23, P24; P15, P16, P17, P18, P25, P26, P27, P28; P19, P110, P111, P112, P29, P210, P211, P212)에서 데이터 전압이 충분히 충전될 수 있는 것을 특징으로 한다.
- [0158] 또한, 본 발명의 제2 실시예는 렌더링 순서를, 예를 들어, 첫 번째 2 x 4 서브-화소(P11, P12, P13, P14; P21, P22, P23, P24)를 기준으로 왼쪽 위의 한 쌍의 서브-화소(P11, P12)에서 오른쪽 위의 한 쌍의 서브-화소(P13, P14), 오른쪽 아래의 한 쌍의 서브-화소(P23, P24) 및 왼쪽 아래의 한 쌍의 서브-화소(P21, P22)의 순서로 변경하는 것을 특징으로 한다.
- [0159] 또한, 전술한 바와 같이 본 발명의 제2 실시예는, 후술하는 게이트 구동(또는, 스캐닝) 순서 변경에 따라 일부 박막 트랜지스터 배치가 상하 반전되며, 렌더링 화소 단위의 구조는 원점 대칭되는 것을 특징으로 한다. 이는

박막 트랜지스터의 문턱 설계를 회피할 수 있는 구조로, 이에 따라 지그재그 형태의 화면 불량 및 시야각에서의 세로선 불량을 완전히 방지할 수 있게 된다.

- [0160] 또한, 본 발명의 제2 실시예는 화질 관점에서 서브-화소(P11, P12, P13, P14, P21, P22, P23, P24; P15, P16, P17, P18, P25, P26, P27, P28; P19, P110, P111, P112, P29, P210, P211, P212)의 투과 영역 및 비투과 영역(BS 영역)의 대칭 설계를 특징으로 한다.
- [0161] 또한, 본 발명의 제2 실시예는 충전 관점에서 드레인 전극에서 이웃한 서브-화소(P11, P12, P13, P14, P21, P22, P23, P24; P15, P16, P17, P18, P25, P26, P27, P28; P19, P110, P111, P112, P29, P210, P211, P212)를 충전함에 있어 원점 대칭 설계를 특징으로 한다.
- [0162] 이하, 이와 같이 구성되는 본 발명에 따른 액정 표시 장치의 적층 구조를 상세히 설명한다.
- [0163] 도 9는 본 발명의 제2 실시예에 따른 액정 표시 장치의 화소 일부를 예로 보여주는 평면도이다.
- [0164] 도 10은 도 9에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치에 있어, A-A'선에 따라 절단한 단면을 예로 보여주는 도면이다.
- [0165] 이때, 도 9는 n번째 게이트 라인(GL) 및 n+1번째 게이트 라인(GLn+1)에 각각 연결되는 상하로 이웃하는 한 쌍의 서브-화소의 일부를 게이트 라인(GLn, GLn+1)을 중심으로 보여주고 있다.
- [0166] 도 9 및 도 10에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치는, 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스의 차폐 라인(125)을 차광층 위에 n번째 게이트 라인(GLn)과 화소 전극(118) 사이에 형성하여 게이트 라인(GLn, GLn+1)과 화소 전극(118) 사이의 전계를 차폐하는 것을 특징으로 한다.
- [0167] 도 9 및 도 10에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치는, 컬러 필터(109a, 109b)를 어레이 기판(110)에 박막 트랜지스터와 함께 형성한 COT(Color filter On TFT) 구조로 구성될 수 있으나, 이에 제한되는 것은 아니다.
- [0168] 또한, 본 발명의 제2 실시예에 따른 액정 표시 장치는, 기존의 블랙 매트릭스를 제거하는 대신에 서브-화소 영역의 좌우 경계에 불투명 도전 물질로 차광 패턴을 형성하는 한편, 서브-화소 영역의 상하 경계에 컬러 안료로 이루어진 차광층을 적층 하는 것을 특징으로 한다.
- [0169] 이때, 차광 패턴은 데이터 라인(DLm, DLm+1) 상부에 데이터 라인(DLm, DLm+1)을 덮도록 형성되어 인접한 서브-화소간의 색 간섭을 방지할 수 있다.
- [0170] 차광층은 게이트 라인(GLn, GLn+1)과 수평 공통 라인(1081)이 지나가는 세로 방향의 블랙 매트릭스 영역에 적색 및 청색의 컬러필터(109a, 109b)를 구성하는 컬러 안료를 혼합, 적층 하여 형성할 수 있다.
- [0171] 도 9 및 도 10을 참조하면, 게이트 라인(GLn, GLn+1), 게이트 전극(121), 수직 공통 라인(CL) 및 수평 공통 라인(1081)이 어레이 기판(110) 위의 동일 층에 배치될 수 있다.
- [0172] 게이트 라인(GLn, GLn+1) 및 수평 공통 라인(1081)은 제1 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0173] 수직 공통 라인(CL)은 제1 방향과 상이한 제2 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0174] 수직 공통 라인(CL)의 일단은 수평 공통 라인(1081)에 연결될 수 있다.
- [0175] 어레이 기판(110)은 유리와 같은 투명한 절연물질로 이루어질 수 있다.
- [0176] 게이트 전극(121)은 게이트 라인(GLn, GLn+1)의 일부를 구성할 수도 있다.
- [0177] 게이트 라인(GLn, GLn+1), 게이트 전극(121), 수직 공통 라인(CL) 및 수평 공통 라인(1081)은, 어레이 기판(110) 위에 제1 금속층으로 형성될 수 있다.
- [0178] 제1 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금, 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0179] 그리고, 게이트 라인(GLn, GLn+1), 게이트 전극(121), 수직 공통 라인(CL) 및 수평 공통 라인(1081) 위에는 제1 절연층(115a)이 구비될 수 있다.

- [0180] 제1 절연층(115a)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다.
- [0181] 일 예로, 제1 절연층(115a)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0182] 액티브층이 제1 절연층(115a) 위의 배치될 수 있다.
- [0183] 액티브층은 반도체층으로 이루어질 수 있다.
- [0184] 반도체층으로는 비정질 실리콘(a-Si), 저온 다결정 실리콘(Low Temperature Poly Silicon; LTPS), IGZO 계열의 산화물 반도체, 화합물 반도체, 카본 나노 튜브(carbon nano tube), 그래핀(graphene) 및 유기 반도체 등을 포함할 수 있다.
- [0185] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 반도체층은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO: SIZO)으로 이루어질 수도 있다.
- [0186] 반도체층이 SIZO로 이루어지는 경우, 액티브층에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비 실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.
- [0187] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티늄(La), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유퀴륨(Eu), 가돌리뮴(Gd), 세륨(Ce), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.
- [0188] 데이터 라인(DL_m, DL_{m+1})과 소스 전극(122) 및 드레인 전극(123)이 액티브층 위의 동일 층에 배치될 수 있다.
- [0189] 데이터 라인(DL_m, DL_{m+1}) 하부에는 액티브층과 동일한 반도체층으로 이루어진 반도체 패턴이 배치될 수도 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 데이터 라인(DL_m, DL_{m+1})과 액티브층을 서로 다른 마스크 공정에서 형성하는 경우 데이터 라인(DL_m, DL_{m+1}) 하부에는 반도체 패턴이 배치되지 않을 수도 있다.
- [0190] 데이터 라인(DL_m, DL_{m+1})과 소스 전극(122) 및 드레인 전극(123)은 제2 금속층으로 이루어질 수 있다.
- [0191] 제2 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0192] 데이터 라인(DL_m, DL_{m+1})은 제1 방향과 상이한 제2 방향으로 배치되어 게이트 라인(GL_n, GL_{n+1})과 함께 복수의 서브-화소를 구획할 수 있다.
- [0193] 게이트 라인(GL_n, GL_{n+1})에 연결된 게이트 전극(121), 게이트 전극(121) 상부에 배치된 액티브층, 데이터 라인(DL_m, DL_{m+1})에 연결된 소스 전극(122) 및 소스 전극(122)과 대향 배치되어 화소 전극(118)에 전기적으로 접속된 드레인 전극(123)은 박막 트랜지스터를 구성할 수 있다.
- [0194] 데이터 라인(DL_m, DL_{m+1})과 소스 전극(122) 및 드레인 전극(123) 위에는 제2 절연층(115b)이 배치될 수 있다.
- [0195] 제2 절연층(115b)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제2 절연층(115b)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄

(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.

- [0196] 제2 절연층(115b)이 형성된 어레이 기관(110)의 서브-화소 영역 내에 적색, 녹색 및 청색의 컬러필터(109a, 109b)가 형성될 수 있다.
- [0197] 이때, 게이트 라인(GLn, GLn+1)과 수평 공통 라인(1081)이 지나가는 세로 방향의 블랙 매트릭스 영역에는 적색 및 청색의 컬러필터(109a, 109b)를 구성하는 컬러 안료를 혼합, 적층 하여 차광층을 형성할 수 있다. 즉, 서브-화소의 상하 경계의 제2 절연층(115b) 위에는 차광층이 배치될 수 있다.
- [0198] 적색, 녹색 및 청색의 컬러필터(109a, 109b)가 형성된 어레이 기관(110) 위에 제3 절연층(115c)이 배치될 수 있다.
- [0199] 제3 절연층(115c)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제3 절연층(115c)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화haf늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0200] 제3 절연층(115c) 위에 차폐 라인(125)이 배치될 수 있다.
- [0201] 일 예로, 차폐 라인(125)은 n번째 게이트 라인(GLn)과 화소 전극(118) 사이의 제3 절연층(115c) 위에 배치될 수 있으나, 이에 제한되는 것은 아니다.
- [0202] 차폐 라인(125)은 게이트 라인(GLn, GLn+1)과 동일한 제1 방향으로 배치될 수 있다.
- [0203] 차폐 라인(125)은 공통 전극(108) 아래에 배치되어 공통 전극(108)에 의해 중첩될 수 있다.
- [0204] 차폐 라인(125)은 차광층 위에 배치되어 차광층과 일부 중첩될 수 있다.
- [0205] 차폐 라인(125)은 제3 금속층으로 이루어질 수 있다.
- [0206] 제3 금속층으로, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0207] 차폐 라인(125)에는 게이트 라인(GLn, GLn+1)에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스가 인가될 수 있다. 이에 n번째 게이트 라인(GLn)과 화소 전극(118) 사이에 발생하는 전계를 차폐할 수 있다.
- [0208] 이에 따라, 예를 들어 n번째 게이트 라인(GLn)과 화소 전극(118) 사이에 형성되는 기생 커패시턴스가 기존(= 약 5.08x10⁻¹⁶F)에 비해 약 4.31x10⁻¹⁶F으로 약 15.2% 감소한 것을 알 수 있다.
- [0209] 차폐 라인(125)이 형성된 어레이 기관(110) 위에는 제4 절연층(115d)이 배치될 수 있다.
- [0210] 제4 절연층(115d)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제4 절연층(115d)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화haf늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0211] 제4 절연층(115d) 위에는 공통 전극(108)과 화소 전극(118)이 배치될 수 있다.
- [0212] 화소 전극(118)은 서브-화소 내에서 공통 전극(108)과 교대로 배치되어 횡전계를 형성할 수 있다.

- [0213] 제2 절연층(115b), 제3 절연층(115c) 및 제4 절연층(115d)의 일부 영역이 제거되어 드레인 전극(123)의 일부를 노출시키는 제1 컨택 홀이 형성될 수 있다.
- [0214] 이때, 복수의 화소 전극(118)의 일단은 게이트 라인(GL_n , GL_{n+1})에 대해 나란하게 배치된 화소 라인에 연결될 수 있다. 따라서, 화소 전극 라인은, 제1 컨택 홀을 통해 드레인 전극(123)에 전기적으로 접속될 수 있다.
- [0215] 한편, 본 발명의 차폐 라인은 n 번째 게이트 라인과 화소 전극 사이뿐만 아니라 $n+1$ 번째 게이트 라인과 화소 전극 사이에도 배치될 수 있으며, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0216] 도 11은 본 발명의 제2 실시예에 따른 액정 표시 장치의 다른 단면을 예로 보여주는 도면이다.
- [0217] 도 11에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치의 다른 단면은, 차폐 라인(125a, 125b)이 전술한 n 번째 게이트 라인(GL_n)과 화소 전극(118) 사이뿐만 아니라 $n+1$ 번째 게이트 라인(GL_{n+1})과 화소 전극(118) 사이에도 배치된 것을 제외하고는 도 9 및 도 10에 도시된 본 발명의 제2 실시예에 따른 액정 표시 장치와 동일한 구성으로 이루어져 있다. 따라서, 동일한 구성에 대해서는 설명을 생략하기로 한다.
- [0218] 도 11을 참조하면, 제3 절연층(115c) 위에 차폐 라인(125a, 125b)이 배치될 수 있다.
- [0219] 차폐 라인(125a, 125b)은 n 번째 게이트 라인(GL_n)과 화소 전극(118) 사이에 배치되는 제1 차폐 라인(125a)과 $n+1$ 번째 게이트 라인(GL_{n+1})과 화소 전극(118) 사이에 배치되는 제2 차폐 라인(125b)으로 구성될 수 있다.
- [0220] 즉, 차폐 라인(125a, 125b)은 서브-화소의 상하 경계의 양측에 배치될 수 있다.
- [0221] 차폐 라인(125a, 125b)은 게이트 라인(GL_n , GL_{n+1})과 동일한 제1 방향으로 배치될 수 있다.
- [0222] 차폐 라인(125a, 125b)은 제3 금속층으로 이루어질 수 있다.
- [0223] 제3 금속층으로, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0224] 차폐 라인(125a, 125b)에는 게이트 라인(GL_n , GL_{n+1})에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스가 인가될 수 있다. 이에 n 번째 게이트 라인(GL_n)과 화소 전극(118) 사이 및 $n+1$ 번째 게이트 라인(GL_{n+1})과 화소 전극(118) 사이에 발생하는 전계를 차폐할 수 있다.
- [0225] 한편, 본 발명의 차폐 라인은 게이트 라인과 동일 층에 게이트 라인과 수평 공통 라인 사이에 배치될 수 있으며, 이를 다음의 본 발명의 제3 실시예를 통해 상세히 설명한다.
- [0226] 도 12는 본 발명의 제3 실시예에 따른 액정 표시 장치의 화소 일부를 예로 보여주는 평면도이다.
- [0227] 도 13은 도 12에 도시된 본 발명의 제3 실시예에 따른 액정 표시 장치에 있어, B-B'선에 따라 절단한 단면을 예로 보여주는 도면이다.
- [0228] 이때, 도 12는 n 번째 게이트 라인(GL) 및 $n+1$ 번째 게이트 라인(GL_{n+1})에 각각 연결되는 상하로 이웃하는 한 쌍의 서브-화소의 일부를 게이트 라인(GL_n , GL_{n+1})을 중심으로 보여주고 있다.
- [0229] 도 12 및 도 13에 도시된 본 발명의 제3 실시예에 따른 액정 표시 장치는, 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스의 차폐 라인(235)을 n 번째 게이트 라인(GL_n)과 수평 공통 라인(2081) 사이에 형성함으로써 게이트 라인(GL_n , GL_{n+1})과 화소 전극(218) 사이의 전계를 차폐하는 것을 특징으로 한다.
- [0230] 도 12 및 도 13에 도시된 본 발명의 제3 실시예에 따른 액정 표시 장치는, 컬러 필터(209a, 209b)를 어레이 기판(210)에 박막 트랜지스터와 함께 형성한 COT(Color filter On TFT) 구조로 구성될 수 있으나, 이에 제한되는 것은 아니다.
- [0231] 또한, 본 발명의 제3 실시예에 따른 액정 표시 장치는, 기존의 블랙 매트릭스를 제거하는 대신에 서브-화소 영역의 좌우 경계에 불투명 도전 물질로 차광 패턴을 형성하는 한편, 서브-화소 영역의 상하 경계에 컬러 안료로 이루어진 차광층을 적층 하는 것을 특징으로 한다.
- [0232] 이때, 차광 패턴은 데이터 라인(DL_m , DL_{m+1}) 상부에 데이터 라인(DL_m , DL_{m+1})을 덮도록 형성되어 인접한 서브-화소간의 색 간섭을 방지할 수 있다.

- [0233] 차광층은 게이트 라인(GLn, GLn+1)과 수평 공통 라인(2081)이 지나가는 세로 방향의 블랙 매트릭스 영역에 적색 및 청색의 컬러필터(209a, 209b)를 구성하는 컬러 안료를 혼합, 적층 하여 형성할 수 있다.
- [0234] 도 12 및 도 13을 참조하면, 게이트 라인(GLn, GLn+1), 게이트 전극(221), 수직 공통 라인(CL), 수평 공통 라인(2081) 및 차폐 라인(235)이 어레이 기판(210) 위의 동일 층에 배치될 수 있다.
- [0235] 게이트 라인(GLn, GLn+1), 수평 공통 라인(2081) 및 차폐 라인(235)은 제1 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0236] 또한, 수직 공통 라인(CL)은 제1 방향과 상이한 제2 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0237] 수직 공통 라인(CL)의 일단은 수평 공통 라인(2081)에 연결될 수 있다.
- [0238] 일 예로, 차폐 라인(235)은 n번째 게이트 라인(GLn)과 수평 공통 라인(2081) 사이의 어레이 기판(210) 위에 배치될 수 있으나, 이에 제한되는 것은 아니다.
- [0239] 차폐 라인(235)에는 게이트 라인(GLn, GLn+1)에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스가 인가될 수 있다. 이에 n번째 게이트 라인(GLn)과 화소 전극(218) 사이에 발생하는 전계를 차폐할 수 있다.
- [0240] 이에 따라, 예를 들어 n번째 게이트 라인(GLn)과 화소 전극(218) 사이에 형성되는 기생 커패시턴스가 기존(= 약 5.08×10^{-16} F)에 비해 약 3.70×10^{-16} F으로 약 27.2% 감소한 것을 알 수 있다.
- [0241] 어레이 기판(210)은 유리와 같은 투명한 절연물질로 이루어질 수 있다.
- [0242] 게이트 전극(221)은 게이트 라인(GLn, GLn+1)의 일부를 구성할 수도 있다.
- [0243] 게이트 라인(GLn, GLn+1), 게이트 전극(221), 수직 공통 라인(CL), 수평 공통 라인(2081) 및 차폐 라인(235)은, 어레이 기판(210) 위에 제1 금속층으로 형성될 수 있다.
- [0244] 제1 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금, 몰리브덴(MoW), 몰리브덴티타늄(MoTi), 구리/몰리브덴티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0245] 그리고, 게이트 라인(GLn, GLn+1), 게이트 전극(221), 수직 공통 라인(CL), 수평 공통 라인(2081) 및 차폐 라인(235) 위에는 제1 절연층(215a)이 구비될 수 있다.
- [0246] 제1 절연층(215a)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al_2O_3 를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다.
- [0247] 일 예로, 제1 절연층(215a)으로는, 산화실리콘(SiO_2), 질화실리콘($SiNx$), 산화지르코늄(ZrO_2), 산화하프늄(HfO_2), 산화티타늄(TiO_2), 산화탄탈륨(Ta_2O_5), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0248] 액티브층이 제1 절연층(215a) 위의 배치될 수 있다.
- [0249] 액티브층은 반도체층으로 이루어질 수 있다.
- [0250] 반도체층으로는 비정질 실리콘(a-Si), 저온 다결정 실리콘(Low Temperature Poly Silicon; LTPS), IGZO 계열의 산화물 반도체, 화합물 반도체, 카본 나노 튜브(carbon nano tube), 그래핀(graphene) 및 유기 반도체 등을 포함할 수 있다.
- [0251] 산화물 반도체로는, 게르마늄(Ge), 주석(Sn), 납(Pb), 인듐(In), 티타늄(Ti), 갈륨(Ga) 및 알루미늄(Al)으로 이루어지는 그룹으로부터 선택된 하나 이상의 물질 및 아연(Zn)을 포함하는 산화물 반도체에 실리콘(Si)이 첨가된 물질로 이루어질 수 있다. 일 예로, 반도체층은 인듐아연 복합 산화물(InZnO)에 실리콘 이온이 첨가된 실리콘 산화인듐아연(Si-InZnO: SIZO)으로 이루어질 수도 있다.
- [0252] 반도체층이 SIZO로 이루어지는 경우, 액티브층에서 아연(Zn), 인듐(In) 및 실리콘(Si) 원자의 전체 함량 대비

실리콘(Si) 원자 함량의 조성비는 약 0.001 중량%(wt%) 내지 약 30 wt%일 수도 있다. 실리콘(Si) 원자 함량이 높아질수록 전자 생성을 제어하는 역할이 강해져서, 이동도가 낮아질 수 있으나, 그 소자의 안정성은 더 좋아질 수 있다.

- [0253] 산화물 반도체로는, 전술한 물질 외에 리튬(Li) 또는 칼륨(K)과 같은 I족 원소, 마그네슘(Mg), 칼슘(Ca) 또는 스트론튬(Sr)과 같은 II족 원소, 갈륨(Ga), 알루미늄(Al), 인듐(In) 또는 이트륨(Y)과 같은 III족 원소, 티타늄(Ti), 지르코늄(Zr), 실리콘(Si), 주석(Sn) 또는 게르마늄(Ge)과 같은 IV족 원소, 탄탈륨(Ta), 바나듐(V), 니오븀(Nb) 또는 안티몬(Sb)과 같은 V족 원소, 또는 란티늄(La), 프라세오디뮴(Pr), 네오디뮴(Nd), 프로메튬(Pm), 사마륨(Sm), 유퀴륨(Eu), 가돌리늄(Gd), 세륨(Ce), 터븀(Tb), 디스프로슘(Dy), 홀뮴(Ho), 어븀(Er), 툴륨(Tm), 이터븀(Yb) 또는 루테튬(Lu)과 같은 란탄(Ln) 계열 원소 등이 더 포함될 수도 있다.
- [0254] 데이터 라인(DL_m, DL_{m+1})과 소스 전극(222) 및 드레인 전극(223)이 액티브층 위의 동일 층에 배치될 수 있다.
- [0255] 데이터 라인(DL_m, DL_{m+1}) 하부에는 액티브층과 동일한 반도체층으로 이루어진 반도체 패턴이 배치될 수도 있다. 다만, 본 발명이 이에 한정되는 것은 아니며, 데이터 라인(DL_m, DL_{m+1})과 액티브층을 서로 다른 마스크 공정에서 형성하는 경우 데이터 라인(DL_m, DL_{m+1}) 하부에는 반도체 패턴이 배치되지 않을 수도 있다.
- [0256] 데이터 라인(DL_m, DL_{m+1})과 소스 전극(222) 및 드레인 전극(223)은 제2 금속층으로 이루어질 수 있다.
- [0257] 제2 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0258] 데이터 라인(DL_m, DL_{m+1})은 제1 방향과 상이한 제2 방향으로 배치되어 게이트 라인(GL_n, GL_{n+1})과 함께 복수의 서브-화소를 구획할 수 있다.
- [0259] 게이트 라인(GL_n, GL_{n+1})에 연결된 게이트 전극(221), 게이트 전극(221) 상부에 배치된 액티브층, 데이터 라인(DL_m, DL_{m+1})에 연결된 소스 전극(222) 및 소스 전극(222)과 대향 배치되어 화소 전극(218)에 전기적으로 접속된 드레인 전극(223)은 박막 트랜지스터를 구성할 수 있다.
- [0260] 데이터 라인(DL_m, DL_{m+1})과 소스 전극(222) 및 드레인 전극(223) 위에는 제2 절연층(215b)이 배치될 수 있다.
- [0261] 제2 절연층(215b)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제2 절연층(215b)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0262] 제2 절연층(215b)이 형성된 어레이 기관(210)의 서브-화소 영역 내에 적색, 녹색 및 청색의 컬러필터(209a, 209b)가 형성될 수 있다.
- [0263] 이때, 게이트 라인(GL_n, GL_{n+1})과 수평 공통 라인(2081)이 지나가는 세로 방향의 블랙 매트릭스 영역에는 적색 및 청색의 컬러필터(209a, 209b)를 구성하는 컬러 안료를 혼합, 적층 하여 차광층을 형성할 수 있다. 즉, 서브-화소의 상하 경계의 제2 절연층(215b) 위에는 차광층이 배치될 수 있다.
- [0264] 적색, 녹색 및 청색의 컬러필터(209a, 209b)가 형성된 어레이 기관(210) 위에 제3 절연층(215c)이 배치될 수 있다.
- [0265] 제3 절연층(215c)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제3 절연층(215c)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.

- [0266] 제3 절연층(215c) 위에는 공통 전극(208)과 화소 전극(218)이 배치될 수 있다.
- [0267] 화소 전극(218)은 서브-화소 내에서 공통 전극(208)과 교대로 배치되어 횡전계를 형성할 수 있다.
- [0268] 본 발명의 차폐 라인(n번째 게이트 라인)과 수평 공통 라인 사이뿐만 아니라 n+1번째 게이트 라인(n+1번째 게이트 라인)과 수평 공통 라인 사이에도 배치될 수 있으며, 이를 다음의 도면을 참조하여 상세히 설명한다.
- [0269] 도 14는 본 발명의 제3 실시예에 따른 액정 표시 장치의 다른 단면을 예로 보여주는 도면이다.
- [0270] 도 14에 도시된 본 발명의 제3 실시예에 따른 액정 표시 장치의 다른 단면은, 차폐 라인(235a, 235b)이 전술한 n번째 게이트 라인(GLn)과 수평 공통 라인(2081) 사이뿐만 아니라 n+1번째 게이트 라인(GLn+1)과 수평 공통 라인(2081) 사이에도 배치된 것을 제외하고는 도 12와 도 13에 도시된 본 발명의 제3 실시예에 따른 액정 표시 장치와 동일한 구성으로 이루어져 있다. 따라서, 동일한 구성에 대해서는 설명을 생략하기로 한다.
- [0271] 도 14를 참조하면, 게이트 라인(GLn, GLn+1), 게이트 전극(221), 수직 공통 라인(CL), 수평 공통 라인(2081) 및 차폐 라인(235a, 235b)이 어레이 기판(210) 위의 동일 층에 배치될 수 있다.
- [0272] 게이트 라인(GLn, GLn+1), 수평 공통 라인(2081) 및 차폐 라인(235a, 235b)은 제1 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0273] 또한, 수직 공통 라인(CL)은 제1 방향과 상이한 제2 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0274] 수직 공통 라인(CL)의 일단은 수평 공통 라인(2081)에 연결될 수 있다.
- [0275] 일 예로, 차폐 라인(235a, 235b)은 n번째 게이트 라인(GLn)과 수평 공통 라인(2081) 사이에 배치된 제1 차폐 라인(235a) 및 n+1번째 게이트 라인(GLn+1)과 수평 공통 라인(2081) 사이에 배치된 제2 차폐 라인(235b)으로 구성될 수 있다.
- [0276] 차폐 라인(235a, 235b)에는 게이트 라인(GLn, GLn+1)에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전위 소스가 인가될 수 있다. 이에 n번째 게이트 라인(GLn)과 화소 전극(218) 및 n+1번째 게이트 라인(GLn+1)과 화소 전극(218) 사이에 발생하는 전계를 차폐할 수 있다.
- [0277] 어레이 기판(210)은 유리와 같은 투명한 절연물질로 이루어질 수 있다.
- [0278] 게이트 전극(221)은 게이트 라인(GLn, GLn+1)의 일부를 구성할 수도 있다.
- [0279] 게이트 라인(GLn, GLn+1), 게이트 전극(221), 수직 공통 라인(CL), 수평 공통 라인(2081) 및 차폐 라인(235a, 235b)은, 어레이 기판(210) 위에 제1 금속층으로 형성될 수 있다.
- [0280] 제1 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금, 몰리브덴(MoW), 몰리브덴티타늄(MoTi), 구리/몰리브덴티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0281] 한편, 본 발명의 차폐 라인(n번째 게이트 라인)은 차광층 위에 게이트 라인(n번째 게이트 라인)과 화소 전극(n번째 화소 전극) 사이 및 게이트 라인(n번째 게이트 라인)과 동일 층에 게이트 라인(n번째 게이트 라인)과 수평 공통 라인(n번째 수평 공통 라인) 사이 모두에 배치될 수 있으며, 이를 다음의 본 발명의 제4 실시예를 통해 상세히 설명한다.
- [0282] 도 15는 본 발명의 제4 실시예에 따른 액정 표시 장치의 단면을 예로 보여주는 도면이다.
- [0283] 도 15에 도시된 본 발명의 제4 실시예에 따른 액정 표시 장치는, 게이트 전압과 동일하거나 게이트 전압보다 높은 전위 소스의 상부 차폐 라인(325a, 325b)과 하부 차폐 라인(335a, 335b)을 게이트 라인(GLn, GLn+1)과 화소 전극(318) 사이에 형성함으로써 게이트 라인(GLn, GLn+1)과 화소 전극(318) 사이의 전계를 차폐하는 것을 특징으로 한다. 즉, 본 발명의 제4 실시예에 따른 액정 표시 장치는, 상부 차폐 라인(325a, 325b)을 차광층 위에 게이트 라인(GLn, GLn+1)과 화소 전극(318) 사이에 형성하고, 하부 차폐 라인(335a, 335b)을 게이트 라인(GLn, GLn+1)과 수평 공통 라인(3081) 사이에 형성하여 게이트 라인(GLn, GLn+1)과 화소 전극(318) 사이의 전계를 차폐하는 것을 특징으로 한다.
- [0284] 도 15에 도시된 본 발명의 제4 실시예에 따른 액정 표시 장치는, 컬러 필터(309a, 309b)를 어레이 기판(310)에 박막 트랜지스터와 함께 형성한 COT 구조로 구성될 수 있으나, 이에 제한되는 것은 아니다.
- [0285] 또한, 본 발명의 제4 실시예에 따른 액정 표시 장치는, 기존의 블랙 매트릭스를 제거하는 대신에 서브-화소 영

역의 좌우 경계에 불투명 도전 물질로 차광 패턴을 형성하는 한편, 서브-화소 영역의 상하 경계에 컬러 안료로 이루어진 차광층을 적층 하는 것을 특징으로 한다.

- [0286] 이때, 차광 패턴은 데이터 라인 상부에 데이터 라인을 덮도록 형성되어 인접한 서브-화소간의 색 간섭을 방지할 수 있다.
- [0287] 차광층은 게이트 라인(GLn, GLn+1)과 수평 공통 라인(3081)이 지나가는 세로 방향의 블랙 매트릭스 영역에 적색 및 청색의 컬러필터(309a, 309b)를 구성하는 컬러 안료를 혼합, 적층 하여 형성할 수 있다.
- [0288] 도 15를 참조하면, 게이트 라인(GLn, GLn+1), 게이트 전극, 수직 공통 라인, 수평 공통 라인(3081) 및 하부 차폐 라인(335a, 335b)이 어레이 기관(310) 위의 동일 층에 배치될 수 있다.
- [0289] 게이트 라인(GLn, GLn+1), 수평 공통 라인(3081) 및 하부 차폐 라인(335a, 335b)은 제1 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0290] 또한, 수직 공통 라인은 제1 방향과 상이한 제2 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0291] 수직 공통 라인의 일단은 수평 공통 라인(3081)에 연결될 수 있다.
- [0292] 일 예로, 하부 차폐 라인(335a, 335b)은 n번째 게이트 라인(GLn)과 수평 공통 라인(3081) 사이에 배치된 하부 제1 차폐 라인(335a) 및 n+1번째 게이트 라인(GLn+1)과 수평 공통 라인(3081) 사이에 배치된 하부 제2 차폐 라인(335b)을 포함할 수 있다.
- [0293] 하부 차폐 라인(335a, 335b)에는 게이트 라인(GLn, GLn+1)에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스가 인가될 수 있다.
- [0294] 이에 n번째 게이트 라인(GLn)과 화소 전극(318) 및 n+1번째 게이트 라인(GLn+1)과 화소 전극(318) 사이에 발생 하는 전계를 차폐할 수 있다.
- [0295] 어레이 기관(310)은 유리와 같은 투명한 절연물질로 이루어질 수 있다.
- [0296] 게이트 전극은 게이트 라인(GLn, GLn+1)의 일부를 구성할 수도 있다.
- [0297] 게이트 라인(GLn, GLn+1), 게이트 전극, 수직 공통 라인, 수평 공통 라인(3081) 및 하부 차폐 라인(335a, 335b)은, 어레이 기관(310) 위에 제1 금속층으로 형성될 수 있다.
- [0298] 제1 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금, 몰리브덴(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0299] 그리고, 게이트 라인(GLn, GLn+1), 게이트 전극, 수직 공통 라인, 수평 공통 라인(3081) 및 하부 차폐 라인(335a, 335b) 위에는 제1 절연층(315a)이 구비될 수 있다.
- [0300] 제1 절연층(315a)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다.
- [0301] 일 예로, 제1 절연층(315a)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0302] 액티브층이 제1 절연층(315a) 위의 배치될 수 있다.
- [0303] 액티브층은 반도체층으로 이루어질 수 있다.
- [0304] 반도체층으로는 비정질 실리콘(a-Si), 저온 다결정 실리콘(Low Temperature Poly Silicon; LTPS), IGZO 계열의 산화물 반도체, 화합물 반도체, 카본 나노 튜브(carbon nano tube), 그래핀(graphene) 및 유기 반도체 등을 포함할 수 있다.
- [0305] 데이터 라인과 소스 전극 및 드레인 전극이 액티브층 위의 동일 층에 배치될 수 있다.

- [0306] 데이터 라인과 소스 전극 및 드레인 전극은 제2 금속층으로 이루어질 수 있다.
- [0307] 제2 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리 텅스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0308] 데이터 라인은 제2 방향으로 배치되어 게이트 라인(GLn, GLn+1)과 함께 복수의 서브-화소를 구획할 수 있다.
- [0309] 데이터 라인과 소스 전극 및 드레인 전극 위에는 제2 절연층(315b)이 배치될 수 있다.
- [0310] 제2 절연층(315b)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제2 절연층(315b)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0311] 제2 절연층(315b)이 형성된 어레이 기관(310)의 서브-화소 영역 내에 적색, 녹색 및 청색의 컬러필터(309a, 309b)가 형성될 수 있다.
- [0312] 이때, 게이트 라인(GLn, GLn+1)과 수평 공통 라인(3081)이 지나가는 세로 방향의 블랙 매트릭스 영역에는 적색 및 청색의 컬러필터(309a, 309b)를 구성하는 컬러 안료를 혼합, 적층 하여 차광층을 형성할 수 있다. 즉, 서브-화소의 상하 경계의 제2 절연층(315b) 위에는 차광층이 배치될 수 있다.
- [0313] 적색, 녹색 및 청색의 컬러필터(309a, 309b)가 형성된 어레이 기관(310) 위에 제3 절연층(315c)이 배치될 수 있다.
- [0314] 제3 절연층(315c)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제3 절연층(315c)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0315] 제3 절연층(315c) 위에는 상부 차폐 라인(325a, 325b)이 배치될 수 있다.
- [0316] 상부 차폐 라인(325a, 325b)은 n번째 게이트라인(GLn)과 화소 전극(318) 사이에 배치되는 상부 제1 차폐 라인(325a) 및 n+1번째 게이트라인(GLn+1)과 화소 전극(318) 사이에 배치되는 상부 제2 차폐 라인(325b)을 포함할 수 있다.
- [0317] 상부 차폐 라인(325a, 325b)은 게이트라인(GLn, GLn+1)과 동일한 제1 방향으로 배치될 수 있다.
- [0318] 상부 차폐 라인(325a, 325b)은 공통 전극(308) 아래에 배치되어 공통 전극(308)에 의해 중첩될 수 있다.
- [0319] 상부 차폐 라인(325a, 325b)은 차광층 위에 배치되어 차광층과 일부 중첩될 수 있다.
- [0320] 상부 차폐 라인(325a, 325b)은 제3 금속층으로 이루어질 수 있다.
- [0321] 제3 금속층으로, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리 텅스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0322] 상부 차폐 라인(325a, 325b)에는 게이트라인(GLn, GLn+1)에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스가 인가될 수 있다. 이에 n번째 게이트라인(GLn)과 화소 전극(318) 및 n+1번째 게이트라인(GLn+1)과 화소 전극(318) 사이에 발생하는 전계를 차폐할 수 있다.
- [0323] 상부 차폐 라인(325a, 325b)이 형성된 어레이 기관(310) 위에는 제4 절연층(315d)이 배치될 수 있다.

- [0324] 제4 절연층(315d)으로는, 실리콘(Si) 계열의 산화막, 질화막, 또는 이를 포함하는 화합물과, Al₂O₃를 포함하는 금속산화막(metal oxide), 유기절연막, 낮은 유전 상수(low-k) 값을 갖는 재료를 포함할 수 있다. 일 예로, 제4 절연층(315d)으로는, 산화실리콘(SiO₂), 질화실리콘(SiNx), 산화지르코늄(ZrO₂), 산화하프늄(HfO₂), 산화티타늄(TiO₂), 산화탄탈륨(Ta₂O₅), 바륨-스트론튬-티타늄-산소화합물(Ba-Sr-Ti-O) 및 비스머스-아연-니오븀-산소 화합물(Bi-Zn-Nb-O)로 이루어지는 그룹으로부터 선택되는 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0325] 제4 절연층(315d) 위에는 공통 전극(308)과 화소 전극(318)이 배치될 수 있다.
- [0326] 화소 전극(318)은 서브-화소 내에서 공통 전극(308)과 교대로 배치되어 횡전계를 형성할 수 있다.
- [0327] 한편, 본 발명은 어레이 기판 하부로 형성되는 전계를 차폐하여 게이트 라인과 화소 전극 사이의 기생 커패시턴스를 원천적으로 차폐할 수 있으며, 이를 다음의 본 발명의 제5 실시예 및 제 5 실시예를 통해 상세히 설명한다.
- [0328] 도 16은 본 발명의 제5 실시예에 따른 액정 표시 장치의 화소 일부를 예로 보여주는 평면도이다.
- [0329] 도 17은 도 16에 도시된 본 발명의 제5 실시예에 따른 액정 표시 장치에 있어, C-C'선에 따라 절단한 단면을 예로 보여주는 도면이다.
- [0330] 이때, 도 16은 n번째 게이트 라인(GL) 및 n+1번째 게이트 라인(GLn+1)에 각각 연결되는 상하로 이웃하는 한 쌍의 서브-화소의 일부를 게이트 라인(GLn, GLn+1)을 중심으로 보여주고 있다.
- [0331] 도 16과 도 17에 도시된 본 발명의 제5 실시예에 따른 액정 표시 장치는, 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스의 차폐 라인(4081a)을 수평 공통 라인(4081)의 일부로 형성함으로써 어레이 기판(410) 하부로 형성되는 전계를 차폐하는 것을 특징으로 한다.
- [0332] 도 16과 도 17에 도시된 본 발명의 제5 실시예에 따른 액정 표시 장치는, 컬러 필터(409a, 409b)를 어레이 기판(410)에 박막 트랜지스터와 함께 형성한 COT(Color filter On TFT) 구조로 구성될 수 있으나, 이에 제한되는 것은 아니다.
- [0333] 또한, 본 발명의 제5 실시예에 따른 액정 표시 장치는, 기존의 블랙 매트릭스를 제거하는 대신에 서브-화소 영역의 좌우 경계에 불투명 도전 물질로 차광 패턴을 형성하는 한편, 서브-화소 영역의 상하 경계에 컬러 안료로 이루어진 차광층을 적층 하는 것을 특징으로 한다.
- [0334] 이때, 차광 패턴은 데이터 라인(DLm, DLm+1) 상부에 데이터 라인(DLm, DLm+1)을 덮도록 형성되어 인접한 서브-화소간의 색 간섭을 방지할 수 있다.
- [0335] 차광층은 게이트 라인(GLn, GLn+1)과 수평 공통 라인(4081)이 지나가는 세로 방향의 블랙 매트릭스 영역에 적색 및 청색의 컬러필터(409a, 409b)를 구성하는 컬러 안료를 혼합, 적층 하여 형성할 수 있다.
- [0336] 도 16 및 도 17을 참조하면, 게이트 라인(GLn, GLn+1), 게이트 전극(421), 수직 공통 라인(CL) 및 수평 공통 라인(4081)이 어레이 기판(410) 위의 동일 층에 배치될 수 있다.
- [0337] 게이트 라인(GLn, GLn+1) 및 수평 공통 라인(4081)은 제1 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0338] 또한, 수직 공통 라인(CL)은 제1 방향과 상이한 제2 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0339] 수직 공통 라인(CL)의 일단은 수평 공통 라인(4081)에 연결될 수 있다.
- [0340] 게이트 라인(GLn, GLn+1), 게이트 전극(421), 수직 공통 라인(CL) 및 수평 공통 라인(4081)은 투명한 제1 금속층과 불투명한 제2 금속층의 이중 층 구조로 이루어질 수 있다.
- [0341] 제1 금속층으로는, 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)의 투명한 도전 물질을 포함할 수 있다.
- [0342] 제2 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금, 몰리브덴(MoW), 몰리타타늄(MoTi), 구리/몰리타타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.

- [0343] 일 예로, 게이트 라인(GLn, GLn+1)은 상부 게이트 라인(GLn_b, GLn+1_b)과 하부 게이트 라인(GLn_a, GLn+1_a)으로 구성될 수 있다.
- [0344] 또한, 수평 공통 라인(4081)은 상부 수평 공통 라인(4081_b) 및 하부 수평 공통 라인(4081_a)으로 구성될 수 있다.
- [0345] 이때, 하부 수평 공통 라인(4081_a)은 상부 수평 공통 라인(4081_b)에 비해 화소 전극(418) 쪽으로 연장되어 차폐 라인을 구성할 수 있다. 차폐 라인을 포함하는 수평 공통 라인(4081)에는 게이트라인(GLn, GLn+1)에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스가 인가될 수 있다. 이에 게이트라인(GLn, GLn+1)과 화소 전극(418) 사이에 발생하는 전계를 차폐할 수 있다.
- [0346] 이에 따라, 예를 들어 n번째 게이트라인(GLn)과 화소 전극(418) 사이에 형성되는 기생 커패시턴스가 기존(= 약 5.08×10^{-16} F)에 비해 약 1.54×10^{-19} F으로 약 99% 감소한 것을 알 수 있다.
- [0347] 게이트 전극(421)은 게이트 라인(GLn, GLn+1)의 일부를 구성할 수도 있다.
- [0348] 그리고, 게이트 라인(GLn, GLn+1), 게이트 전극(421), 수직 공통 라인(CL) 및 수평 공통 라인(4081) 위에는 제1 절연층(415a)이 구비될 수 있다.
- [0349] 액티브층이 제1 절연층(415a) 위의 배치될 수 있다.
- [0350] 데이터 라인(DLm, DLm+1)과 소스 전극(422) 및 드레인 전극(423)이 액티브층 위의 동일 층에 배치될 수 있다.
- [0351] 데이터 라인(DLm, DLm+1)과 소스 전극(422) 및 드레인 전극(423)은 제3 금속층으로 이루어질 수 있다.
- [0352] 제3 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금(Ti alloy), 몰리 텅스텐(MoW), 몰리티타늄(MoTi), 구리/몰리티타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0353] 데이터 라인(DLm, DLm+1)은 제1 방향과 상이한 제2 방향으로 배치되어 게이트 라인(GLn, GLn+1)과 함께 복수의 서브-화소를 구현할 수 있다.
- [0354] 데이터 라인(DLm, DLm+1)과 소스 전극(422) 및 드레인 전극(423) 위에는 제2 절연층(415b)이 배치될 수 있다.
- [0355] 제2 절연층(415b)이 형성된 어레이 기관(410)의 서브-화소 영역 내에 적색, 녹색 및 청색의 컬러필터(409a, 409b)가 형성될 수 있다.
- [0356] 이때, 게이트 라인(GLn, GLn+1)과 수평 공통 라인(4081)이 지나가는 세로 방향의 블랙 매트릭스 영역에는 적색 및 청색의 컬러필터(409a, 409b)를 구성하는 컬러 안료를 혼합, 적층 하여 차광층을 형성할 수 있다. 즉, 서브-화소의 상하 경계의 제2 절연층(415b) 위에는 차광층이 배치될 수 있다.
- [0357] 적색, 녹색 및 청색의 컬러필터(409a, 409b)가 형성된 어레이 기관(410) 위에 제3 절연층(415c)이 배치될 수 있다.
- [0358] 제3 절연층(415c) 위에는 공통 전극(408)과 화소 전극(418)이 배치될 수 있다.
- [0359] 화소 전극(418)은 서브-화소 내에서 공통 전극(408)과 교대로 배치되어 횡전계를 형성할 수 있다.
- [0360] 도 18은 본 발명의 제5 실시예에 따른 액정 표시 장치의 단면을 예로 보여주는 도면이다.
- [0361] 도 18에 도시된 본 발명의 제5 실시예에 따른 액정 표시 장치는, 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스의 차폐 라인(545)을 게이트 라인(GLn, GLn+1) 하부에 형성함으로써 어레이 기관(510) 하부로 형성되는 전계를 차폐하는 것을 특징으로 한다.
- [0362] 도 18에 도시된 본 발명의 제5 실시예에 따른 액정 표시 장치는, 컬러 필터(509a, 509b)를 어레이 기관(510)에 박막 트랜지스터와 함께 형성한 COT 구조로 구성될 수 있으나, 이에 제한되는 것은 아니다.
- [0363] 또한, 본 발명의 제5 실시예에 따른 액정 표시 장치는, 기존의 블랙 매트릭스를 제거하는 대신에 서브-화소 영역의 좌우 경계에 불투명 도전 물질로 차광 패턴을 형성하는 한편, 서브-화소 영역의 상하 경계에 컬러 안료로 이루어진 차광층을 적층 하는 것을 특징으로 한다.

- [0364] 이때, 차광 패턴은 데이터 라인 상부에 데이터 라인을 덮도록 형성되어 인접한 서브-화소간의 색 간섭을 방지할 수 있다.
- [0365] 차광층은 게이트 라인(GLn, GLn+1)과 수평 공통 라인(5081)이 지나가는 세로 방향의 블랙 매트릭스 영역에 적색 및 청색의 컬러필터(509a, 509b)를 구성하는 컬러 안료를 혼합, 적층 하여 형성할 수 있다.
- [0366] 도 18을 참조하면, 차폐 라인(545)이 어레이 기관(510) 위에 배치될 수 있다.
- [0367] 차폐 라인(545)은 불투명한 금속층으로 형성할 수 있다.
- [0368] 금속층으로는, 알루미늄(Al), 알루미늄 합금(Al alloy), 텅스텐(W), 구리(Cu), 구리 합금, 몰리브덴(Mo), 은(Ag), 은 합금(Ag alloy), 금(Au), 금 합금(Au alloy), 크롬(Cr), 티타늄(Ti), 티타늄 합금, 몰리브덴(MoW), 몰리타늄(MoTi), 구리/몰리타늄(Cu/MoTi)을 포함하는 도전성 금속 그룹 중에서 선택된 적어도 어느 하나, 또는 이들의 2 이상의 조합, 또는 다른 적절한 물질을 포함할 수도 있다.
- [0369] 이때, 차폐 라인(545)에는 게이트라인(GLn, GLn+1)에 공급되는 게이트 전압과 동일하거나 게이트 전압보다 높은 전원 소스가 인가될 수 있다. 이에 게이트라인(GLn, GLn+1)과 화소 전극(518) 사이에 발생하는 전계를 차폐할 수 있다.
- [0370] 이에 따라, 예를 들어 n번째 게이트라인(GLn)과 화소 전극(518) 사이에 형성되는 기생 커패시턴스가 기준(= 약 5.08×10^{-16} F)에 비해 약 8.00×10^{-21} F으로 약 99% 감소한 것을 알 수 있다.
- [0371] 또한, 차폐 라인(545)은 그 상부의 게이트라인(GLn, GLn+1)과 수평 공통 라인(5081)의 일부와 중첩할 수 있다.
- [0372] 차폐 라인(545) 위에 버퍼층(511) 위의 배치될 수 있다.
- [0373] 버퍼층(511) 위에 게이트 라인(GLn, GLn+1), 게이트 전극, 수직 공통 라인 및 수평 공통 라인(5081)이 동일 층에 배치될 수 있다.
- [0374] 게이트 라인(GLn, GLn+1) 및 수평 공통 라인(5081)은 제1 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0375] 수직 공통 라인은 제1 방향과 상이한 제2 방향에 대해 나란한 방향으로 배치될 수 있다.
- [0376] 수직 공통 라인의 일단은 수평 공통 라인(5081)에 연결될 수 있다.
- [0377] 게이트 전극은 게이트 라인(GLn, GLn+1)의 일부를 구성할 수도 있다.
- [0378] 그리고, 게이트 라인(GLn, GLn+1), 게이트 전극, 수직 공통 라인 및 수평 공통 라인(5081) 위에는 제1 절연층(515a)이 구비될 수 있다.
- [0379] 액티브층이 제1 절연층(515a) 위의 배치될 수 있다.
- [0380] 데이터 라인과 소스 전극 및 드레인 전극이 액티브층 위의 동일 층에 배치될 수 있다.
- [0381] 데이터 라인은 제2 방향으로 배치되어 게이트 라인(GLn, GLn+1)과 함께 복수의 서브-화소를 구획할 수 있다.
- [0382] 데이터 라인과 소스 전극 및 드레인 전극 위에는 제2 절연층(515b)이 배치될 수 있다.
- [0383] 제2 절연층(515b)이 형성된 어레이 기관(510)의 서브-화소 영역 내에 적색, 녹색 및 청색의 컬러필터(509a, 509b)가 형성될 수 있다.
- [0384] 이때, 게이트 라인(GLn, GLn+1)과 수평 공통 라인(5081)이 지나가는 세로 방향의 블랙 매트릭스 영역에는 적색 및 청색의 컬러필터(509a, 509b)를 구성하는 컬러 안료를 혼합, 적층 하여 차광층을 형성할 수 있다. 즉, 서브-화소의 상하 경계의 제2 절연층(515b) 위에는 차광층이 배치될 수 있다.
- [0385] 적색, 녹색 및 청색의 컬러필터(509a, 509b)가 형성된 어레이 기관(510) 위에 제3 절연층(515c)이 배치될 수 있다.
- [0386] 제3 절연층(515c) 위에는 공통 전극(508)과 화소 전극(518)이 배치될 수 있다.
- [0387] 화소 전극(518)은 서브-화소 내에서 공통 전극(508)과 교대로 배치되어 횡전계를 형성할 수 있다.
- [0388] 한편, 본 발명은 구조적 차이에 기인한 극성 비대칭을 해소하고자 교차 구동(gate swap driving) 또는 비순차 구동(out-of-order driving)으로 게이트 구동 방식을 변경하는 것을 특징으로 하며, 이를 상세히 설명한다.

- [0389] 도 19는 비교예에 따른 구동 방식을 보여주기 위한 도면이다.
- [0390] 도 20은 실시예에 따른 구동 방식을 보여주기 위한 도면이다.
- [0391] 도 21은 다른 실시예에 따른 구동 방식을 보여주기 위한 도면이다.
- [0392] 도 20은 본 발명의 실시예에 따른 교차 구동 방식을 예로 보여주며, 도 21은 본 발명의 다른 실시예에 따른 비순차 구동 방식을 예로 보여주고 있다. 이러한 교차 구동 및 비순차 구동 방식은 예로 도시된 8개의 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)을 기본 단위로 하여 반복 적용될 수 있다.
- [0393] 도 19 내지 도 21은 8개의 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)과 3개의 데이터 라인(DL1, DL2, DL3)이 서로 교차하여 4x4의 16개의 서브-화소가 구획되는 경우를 예로 들고 있다.
- [0394] 도 19 내지 도 21은 8개의 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)이 스캐닝 되는 순서를 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)의 우측에 ①, ②, ③, ④, ⑤, ⑥, ⑦, ⑧로 표시하고 있다.
- [0395] 도 19를 참조하면, 통상 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)을 따라 ①, ②, ③, ④, ⑤, ⑥, ⑦, ⑧의 순서로 순차적으로 구동하는 것을 알 수 있다.
- [0396] 기존에는 DRD 칼럼 인버전(column inversion) 구조의 구조적 한계에 의해 게이트 라인과 화소 전극간 커플링(coupling)에 기인한 전압 강하(drop) 및 극성 비대칭이 발생하였다. 참고로, 극성 비대칭은, 예를 들어, n번째 서브-화소 충전 시 n+1번째 게이트 전압에 의한 전압 강하의 발생에 기인한다. 이에 따라 도리도리 불량 등의 화질 이슈가 발생하였다.
- [0397] 이에 본 발명은, 이웃하는 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)의 스캐닝 순서를 교차하는 교차 구동 방식을 채택할 수 있다.
- [0398] 도 20을 참조하면, 일부 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)의 스캐닝 순서를 교차하여 구동할 수 있다.
- [0399] 즉, 예를 들어, 2번째 게이트 라인(GL2) 이후에 4번째 게이트 라인(GL4)이 구동하고, 이후 3번째 게이트 라인(GL3)이 구동하는 것을 알 수 있다. 또한, 6번째 게이트 라인(GL6) 이후에 8번째 게이트 라인(GL8)이 구동하고, 이후 7번째 게이트 라인(GL7)이 구동하는 것을 알 수 있다. 즉, 3번째 게이트 라인(GL3)과 4번째 게이트 라인(GL4)의 스캐닝 순서를 변경하고, 7번째 게이트 라인(GL7)과 8번째 게이트 라인(GL8)의 스캐닝 순서를 변경하는 것이다.
- [0400] 이와 같이 임의의 한 쌍의 게이트 라인(GL1, GL2, GL5, GL6)이 정상적인 순서로 스캐닝될 때, 임의의 한 쌍의 게이트 라인(GL1, GL2, GL5, GL6)과 이웃하는 다른 한 쌍의 게이트 라인(GL3, GL4, GL7, GL8)은 스캐닝 순서를 서로 교차하도록 변경할 수 있다.
- [0401] 이는, n+1번째 게이트 라인을 구동할 때, n번째 서브-화소의 충전 시 기생 커패시턴스에 의해 전압 강하가 발생하게 된다. 그러나, n+2번째 게이트 라인을 구동할 때는 n번째 서브-화소의 충전 시 영향이 없는 점을 이용하는 것이다.
- [0402] 다른 방식으로, 본 발명은, 서브-화소 구동 시에 이웃하는 게이트 라인에 의한 전압 강하를 방지하기 위해 게이트 라인의 스캐닝 순서를 비순차 구동할 수 있다.
- [0403] 도 21을 참조하면, 예를 들어, 1번째 게이트 라인(GL1) 이후에 6번째 게이트 라인(GL6)이 구동하고, 이후 3번째 게이트 라인(GL3)이 구동하는 것을 알 수 있다. 이어서, 8번째 게이트 라인(GL8)이 구동하고, 이후 5번째 게이트 라인(GL8)이 구동하는 것을 알 수 있다. 다음으로, 2번째 게이트 라인(GL2)이 구동하고, 이후 7번째 게이트 라인(GL7)이 구동하는 것을 알 수 있다. 마지막으로, 4번째 게이트 라인(GL4)이 구동하게 된다.
- [0404] 즉, 예를 들어, 1번째 게이트 라인(GL1), 6번째 게이트 라인(GL6), 3번째 게이트 라인(GL3), 8번째 게이트 라인(GL8), 5번째 게이트 라인(GL5), 2번째 게이트 라인(GL2), 7번째 게이트 라인(GL7) 및 4번째 게이트 라인(GL4)의 순서로 게이트 스캐닝이 진행될 수 있다. 다만, 본 발명이 이에 제한되는 것은 아니다.
- [0405] 이러한 비순차 구동 방식을 적용할 경우, n번째 서브-화소 충전 시에 n+3번째 게이트 라인에 의한 커플링 영향이 없으며, 효과 측면에서 우수한 것을 알 수 있다.

- [0406] 이와 같이 본 발명은, DRD 칼럼 인버전 구조에서 발생하는 화질 이슈들을 개선함으로써 표시 품질이 향상될 수 있게 된다. 한편, 본 발명은, 비순차 구동 방식에서 링크 배선과 게이트 라인 사이의 연결 순서를 변경함으로써 GIP(Gate in Panel)-어레이 내부 링크의 오버랩 편차를 최소화할 수 있게 된다.
- [0407] 도 22는 실시예에 따른 GIP-어레이 내부 링크 설계를 예로 들어 보여주는 도면이다.
- [0408] 도 23은 다른 실시예에 따른 GIP-어레이 내부 링크 설계를 예로 들어 보여주는 도면이다.
- [0409] 도 22는 도 21에 도시된 비순차 구동 방식을 예로 GIP-어레이 내부 링크 설계를 보여주고 있다. 그리고, 도 23은 다른 비순차 구동 방식을 적용한 경우의 GIP-어레이 내부 링크 설계를 예로 들어 보여주고 있다. 이러한 GIP-어레이 내부 링크 설계는 예로 도시된 8개의 게이트 라인(GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8)을 기본 단위로 하여 반복 적용될 수 있다.
- [0410] 도 22를 참조하면, 본 발명의 실시예에 의하면, 1번째 게이트 라인(GL1), 6번째 게이트 라인(GL6), 3번째 게이트 라인(GL3), 8번째 게이트 라인(GL8), 5번째 게이트 라인(GL5), 2번째 게이트 라인(GL2), 7번째 게이트 라인(GL7) 및 4번째 게이트 라인(GL4)의 순서로 게이트 스캐닝이 진행될 경우, 각각의 링크 배선(LL)을 통해 1번째 게이트 블록(GIP Block #1)은 1번째 게이트 라인(GL1)에 연결되고, 2번째 게이트 블록(GIP Block #2)은 6번째 게이트 라인(GL6)에 연결되며, 3번째 게이트 블록(GIP Block #3)은 3번째 게이트 라인(GL3)에 연결될 수 있다. 또한, 4번째 게이트 블록(GIP Block #4)은 8번째 게이트 라인(GL8)에 연결되고, 5번째 게이트 블록(GIP Block #5)은 5번째 게이트 라인(GL5)에 연결되며, 6번째 게이트 블록(GIP Block #6)은 2번째 게이트 라인(GL2)에 연결될 수 있다. 또한, 7번째 게이트 블록(GIP Block #7)은 7번째 게이트 라인(GL7)에 연결되며, 8번째 게이트 블록(GIP Block #8)은 4번째 게이트 라인(GL4)에 연결될 수 있다.
- [0411] 이 경우, 예를 들어, 홀수 번째 게이트 블록(GIP Block #1, GIP Block #3, GIP Block #5, GIP Block #7)은 해당하는 번째 게이트 라인(GL1, GL3, GL5, GL7)에 각각 연결될 수 있다.
- [0412] 또한, 이 경우 링크 배선(LL)간 4회 중첩되며, 링크 배선(LL)간 중첩이 특정 링크 배선(LL)에만 존재함에 따라 링크 배선(LL)간 신호 편차에 의한 화질 저하 가능성이 있다.
- [0413] 반면, 도 23의 경우에는 4번째 게이트 라인(GL4) 이후에 2번째 게이트 라인(GL2)이 구동하고, 이후 6번째 게이트 라인(GL6)이 구동하는 것을 알 수 있다. 이어서, 1번째 게이트 라인(GL1)이 구동하고, 이후 8번째 게이트 라인(GL8)이 구동하는 것을 알 수 있다. 다음으로, 3번째 게이트 라인(GL3)이 구동하고, 이후 7번째 게이트 라인(GL7)이 구동하는 것을 알 수 있다. 마지막으로, 5번째 게이트 라인(GL5)이 구동하게 된다.
- [0414] 즉, 예를 들어, 4번째 게이트 라인(GL4), 2번째 게이트 라인(GL2), 6번째 게이트 라인(GL6), 1번째 게이트 라인(GL1), 8번째 게이트 라인(GL8), 3번째 게이트 라인(GL3), 7번째 게이트 라인(GL7) 및 5번째 게이트 라인(GL5)의 순서로 게이트 스캐닝이 진행될 수 있다.
- [0415] 이 경우 도 23을 참조하면, 본 발명의 다른 실시예에 의하면, 4번째 게이트 라인(GL4), 2번째 게이트 라인(GL2), 6번째 게이트 라인(GL6), 1번째 게이트 라인(GL1), 8번째 게이트 라인(GL8), 3번째 게이트 라인(GL3), 7번째 게이트 라인(GL7) 및 5번째 게이트 라인(GL5)의 순서로 게이트 스캐닝이 진행될 경우, 각각의 링크 배선(LL)을 통해 1번째 게이트 블록(GIP Block #1)은 4번째 게이트 라인(GL4)에 연결되고, 2번째 게이트 블록(GIP Block #2)은 2번째 게이트 라인(GL2)에 연결되며, 3번째 게이트 블록(GIP Block #3)은 6번째 게이트 라인(GL6)에 연결될 수 있다. 또한, 4번째 게이트 블록(GIP Block #4)은 1번째 게이트 라인(GL1)에 연결되고, 5번째 게이트 블록(GIP Block #5)은 8번째 게이트 라인(GL8)에 연결되며, 6번째 게이트 블록(GIP Block #6)은 3번째 게이트 라인(GL3)에 연결될 수 있다. 또한, 7번째 게이트 블록(GIP Block #7)은 7번째 게이트 라인(GL7)에 연결되며, 8번째 게이트 블록(GIP Block #8)은 5번째 게이트 라인(GL5)에 연결될 수 있다.
- [0416] 이 경우, 예를 들어, 2번째 게이트 블록(GIP Block #2) 및 5번째 게이트 블록(GIP Block #5) 각각은 2번째 게이트 라인(GL2) 및 5번째 게이트 라인(GL5)에 각각 연결될 수 있다.
- [0417] 또한, 이 경우 링크 배선(LL)간 4회 중첩되며, 링크 배선(LL)간 중첩이 특정 링크 배선(LL)에만 존재하지 않고 분산됨에 따라 화질 저하가 방지될 수 있다.
- [0418] 본 발명의 예시적인 실시예는 다음과 같이 설명될 수 있다.
- [0419] 본 발명의 일 실시예에 따른 액정 표시 장치는, 2 x 4 매트릭스 형태로 배치되는 서브-화소를 포함하는 복수의 화소 유닛, 제1 열의 복수의 서브-화소의 제1 측에 배치된 제1 데이터 라인, 제2 열의 복수의 서브-화소와 제3

열의 복수의 서브-화소 사이에 배치된 제2 데이터 라인 및 제4 열의 복수의 서브-화소의 제2 측에 배치된 제3 데이터 라인을 포함하며, 상기 복수의 화소 유닛 각각은, 1행 1열에 배치된 제1 서브-화소 및 1행 2열에 배치된 제2 서브-화소를 포함하는 제1 서브-화소 유닛, 1행 3열에 배치된 제3 서브-화소 및 1행 4열에 배치된 제4 서브-화소를 포함하는 제2 서브-화소 유닛, 2행 1열에 배치된 제5 서브-화소 및 2행 2열에 배치된 제6 서브-화소를 포함하는 제3 서브-화소 유닛 및 2행 3열에 배치된 제7 서브-화소 및 2행 4열에 배치된 제8 서브-화소를 포함하는 제4 서브-화소 유닛을 포함하며, 상기 제1 데이터 라인에 상기 제6 서브-화소가 연결되고, 상기 제2 데이터 라인에 상기 제5 서브-화소가 연결되고, 상기 제2 데이터 라인에 상기 제4 서브-화소가 연결되고, 상기 제3 데이터 라인에 상기 제3 서브-화소가 연결될 수 있다.

- [0420] 본 발명의 다른 특징에 따르면, 상기 제1 데이터 라인 내지 상기 제3 데이터 라인 각각은, 한 프레임 동안 동일한 극성의 데이터 전압을 인가할 수 있다.
- [0421] 본 발명의 또 다른 특징에 따르면, 상기 제1 데이터 라인 내지 상기 제3 데이터 라인 중 서로 인접된 복수의 데이터 라인이 인가하는 데이터 전압의 극성은 서로 상이할 수 있다.
- [0422] 본 발명의 또 다른 특징에 따르면, 상기 제1 서브-화소, 상기 제3 서브-화소, 상기 제5 서브-화소 및 상기 제7 서브-화소의 데이터 전압의 극성과 상기 제2 서브-화소, 상기 제4 서브-화소, 상기 제6 서브-화소 및 상기 제8 서브-화소의 데이터 전압의 극성은 서로 상이할 수 있다.
- [0423] 본 발명의 또 다른 특징에 따르면, 상기 제1 데이터 라인 및 상기 제3 데이터 라인은 양의 극성의 데이터 전압을 인가하고, 상기 제2 데이터 라인은 음의 극성의 데이터 전압을 인가하고, 상기 제1 서브-화소, 상기 제3 서브-화소, 상기 제5 서브-화소 및 상기 제7 서브-화소에는 상기 양의 극성의 데이터 전압이 충전되고, 상기 제2 서브-화소, 상기 제4 서브-화소, 상기 제6 서브-화소 및 상기 제8 서브-화소에는 상기 음의 극성의 데이터 전압이 충전될 수 있다.
- [0424] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는, 제1 행의 복수의 서브-화소의 제3 측에 배치된 제1 게이트 라인, 상기 제1 행의 복수의 서브-화소와 제2 행의 복수의 서브-화소 사이에 순차적으로 배치된 제2 게이트 라인과 제3 게이트 라인 및 상기 제2 행의 복수의 서브-화소의 제4 측에 배치된 제4 게이트 라인을 더 포함하고, 상기 복수의 서브-화소 각각은 상기 제1 데이터 라인 내지 상기 제3 데이터 라인 중 어느 하나와 상기 제1 게이트 라인 및 상기 제4 게이트 라인 중 어느 하나에 연결되는 박막 트랜지스터를 더 포함할 수 있다.
- [0425] 본 발명의 또 다른 특징에 따르면, 상기 제2 게이트 라인에 연결되는 상기 제3 서브-화소의 박막 트랜지스터 및 상기 제4 서브-화소의 박막 트랜지스터는 상기 제2 게이트 라인에 인접되게 배치되고, 상기 제3 게이트 라인에 연결되는 상기 제7 서브-화소의 박막 트랜지스터 및 상기 제8 서브-화소의 박막 트랜지스터는 상기 제3 게이트 라인에 인접되게 배치될 수 있다.
- [0426] 본 발명의 또 다른 특징에 따르면, 상기 제1 게이트 라인에 연결되는 상기 제1 서브-화소의 박막 트랜지스터 및 상기 제2 서브-화소의 박막 트랜지스터는 상기 제1 게이트 라인에 인접되게 배치되고, 상기 제4 게이트 라인에 연결되는 상기 제5 서브-화소의 박막 트랜지스터 및 상기 제6 서브-화소의 박막 트랜지스터는 상기 제3 게이트 라인에 인접되게 배치될 수 있다.
- [0427] 본 발명의 또 다른 특징에 따르면, 2 x 4 서브-화소를 기준으로 상기 박막 트랜지스터는 상하좌우로 반전되는 원점 대칭으로 배치될 수 있다.
- [0428] 본 발명의 또 다른 특징에 따르면, 상기 제2 게이트 라인에 연결되는 상기 제3 서브-화소의 박막 트랜지스터 및 상기 제4 서브-화소의 박막 트랜지스터는 상기 제2 게이트 라인에 인접되게 배치되고, 상기 제3 게이트 라인에 연결되는 상기 제5 서브-화소의 박막 트랜지스터 및 상기 제6 서브-화소의 박막 트랜지스터는 상기 제3 게이트 라인에 인접되게 배치될 수 있다.
- [0429] 본 발명의 또 다른 특징에 따르면, 상기 제1 게이트 라인에 연결되는 상기 제1 서브-화소의 박막 트랜지스터 및 상기 제2 서브-화소의 박막 트랜지스터는 상기 제1 게이트 라인에 인접되게 배치되고, 상기 제4 게이트 라인에 연결되는 상기 제7 서브-화소의 박막 트랜지스터 및 상기 제8 서브-화소의 박막 트랜지스터는 상기 제4 게이트 라인에 인접되게 배치될 수 있다.
- [0430] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는, 상기 서브-화소에 구비되는 컬러 필터 및 상하로 이웃하는 상기 서브-화소 사이의 경계에 구비되며, 적어도 하나의 컬러 필터로 구성된 차광층을 더 포함할 수 있다.
- [0431] 본 발명의 또 다른 특징에 따르면, 상기 차광층은 적색 컬러 필터 위에 청색 컬러 필터가 적층되어 구성될 수

있다.

- [0432] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는, 상기 제1 게이트 라인 내지 상기 제4 게이트 라인에 대해 나란한 방향으로, 상기 서브-화소의 일측과 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나 사이에 배치되는 수평 공통 라인을 더 포함할 수 있다.
- [0433] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는, 상기 차폐층 위에, 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나와 화소 전극 사이에 배치되는 차폐 라인을 더 포함할 수 있다.
- [0434] 본 발명의 또 다른 특징에 따르면, 상기 차폐 라인은 상기 제1 게이트 라인 내지 상기 제4 게이트 라인에 대해 나란한 방향으로, 상기 서브-화소의 상하 경계의 양측에 배치될 수 있다.
- [0435] 본 발명의 또 다른 특징에 따르면, 상기 차폐 라인은, 공통 전극 아래에 배치되어 상기 공통 전극과 중첩될 수 있다.
- [0436] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는, 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 및 상기 수평 공통 라인과 동일 층에, 상기 수평 공통 라인과 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나 사이에 배치되는 차폐 라인을 더 포함할 수 있다.
- [0437] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는, 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 및 상기 수평 공통 라인과 동일 층에, 상기 수평 공통 라인과 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나 사이에 배치되는 다른 차폐 라인을 더 포함할 수 있다.
- [0438] 본 발명의 또 다른 특징에 따르면, 액정 표시 장치는, 상기 수평 공통 라인 하부에 배치되며, 상기 수평 공통 라인에 비해 상기 화소 전극 쪽으로 연장되는 차폐 라인을 더 포함할 수 있다.
- [0439] 본 발명의 또 다른 특징에 따르면, 상기 차폐 라인은, 상기 제1 게이트 라인 내지 상기 제4 게이트라인 중 어느 하나와 상기 수평 공통 라인의 일부와 중첩할 수 있다.
- [0440] 본 발명의 또 다른 특징에 따르면, 임의의 한 쌍의 게이트 라인이 정상적인 순서로 스캐닝될 때, 상기 임의의 한 쌍의 게이트 라인과 이웃하는 다른 한 쌍의 게이트 라인은 스캐닝 순서가 서로 교차하도록 변경될 수 있다.
- [0441] 본 발명의 또 다른 특징에 따르면, 8개의 게이트 라인을 기준으로, 3번째 게이트 라인과 4번째 게이트 라인의 스캐닝 순서를 변경하고, 7번째 게이트 라인과 8번째 게이트 라인의 스캐닝 순서를 변경할 수 있다.
- [0442] 본 발명의 또 다른 특징에 따르면, 8개의 게이트 라인을 기준으로, 1번째 게이트 라인, 6번째 게이트 라인, 3번째 게이트 라인, 8번째 게이트 라인, 5번째 게이트 라인, 2번째 게이트 라인, 7번째 게이트 라인 및 4번째 게이트 라인의 순서로 게이트 스캐닝이 진행될 수 있다.
- [0443] 본 발명의 또 다른 특징에 따르면, 각각의 링크 배선을 통해, 1번째 게이트 블록은 상기 1번째 게이트 라인에 연결되고, 2번째 게이트 블록은 상기 6번째 게이트 라인에 연결되며, 3번째 게이트 블록은 상기 3번째 게이트 라인에 연결되고, 4번째 게이트 블록은 상기 8번째 게이트 라인에 연결되고, 5번째 게이트 블록은 상기 5번째 게이트 라인에 연결되며, 6번째 게이트 블록은 상기 2번째 게이트 라인에 연결되고, 7번째 게이트 블록은 상기 7번째 게이트 라인에 연결되며, 8번째 게이트 블록은 상기 4번째 게이트 라인에 연결될 수 있다.
- [0444] 본 발명의 또 다른 특징에 따르면, 8개의 게이트 라인을 기준으로, 4번째 게이트 라인, 2번째 게이트 라인, 6번째 게이트 라인, 1번째 게이트 라인, 8번째 게이트 라인, 3번째 게이트 라인, 7번째 게이트 라인 및 5번째 게이트 라인의 순서로 게이트 스캐닝이 진행될 수 있다.
- [0445] 본 발명의 또 다른 특징에 따르면, 각각의 링크 배선을 통해, 1번째 게이트 블록은 상기 4번째 게이트 라인에 연결되고, 2번째 게이트 블록은 상기 2번째 게이트 라인에 연결되며, 3번째 게이트 블록은 상기 6번째 게이트 라인에 연결되고, 4번째 게이트 블록은 상기 1번째 게이트 라인에 연결되고, 5번째 게이트 블록은 상기 8번째 게이트 라인에 연결되며, 6번째 게이트 블록은 상기 3번째 게이트 라인에 연결되고, 7번째 게이트 블록은 상기 7번째 게이트 라인에 연결되며, 8번째 게이트 블록은 상기 5번째 게이트 라인에 연결될 수 있다.
- [0446] 본 발명의 또 다른 특징에 따르면, 상기 제1 게이트 라인 내지 상기 제4 게이트 라인 중 어느 하나에 공급되는 게이트 전압과 동일하거나 상기 게이트 전압보다 높은 전원이 상기 차폐 라인에 인가될 수 있다.
- [0447] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수

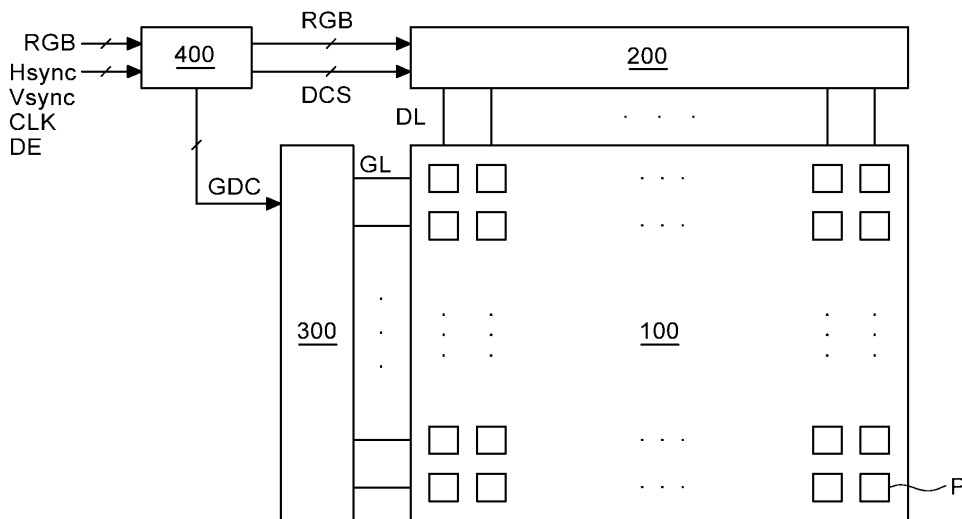
있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 그러므로, 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

- [0448] 108: 공통 전극
- 1081: 수평 공통 라인
- 110: 어레이 기판
- 118: 화소 전극
- 121: 게이트 전극
- 122: 소스 전극
- 123: 드레인 전극
- 125, 125a, 125b, 235, 235a, 235b, 325a, 325b, 335a, 335b, 4081a, 545: 차폐 라인
- 200: 데이터 구동회로
- 300: 게이트 구동회로
- 400: 타이밍 제어회로
- CL: 수직 공통 라인
- DL1, DL2, DL3, DL4, DL5, DL6, DL7: 데이터 라인
- GL1, GL2, GL3, GL4, GL5, GL6, GL7, GL8: 게이트 라인
- LL: 링크 라인

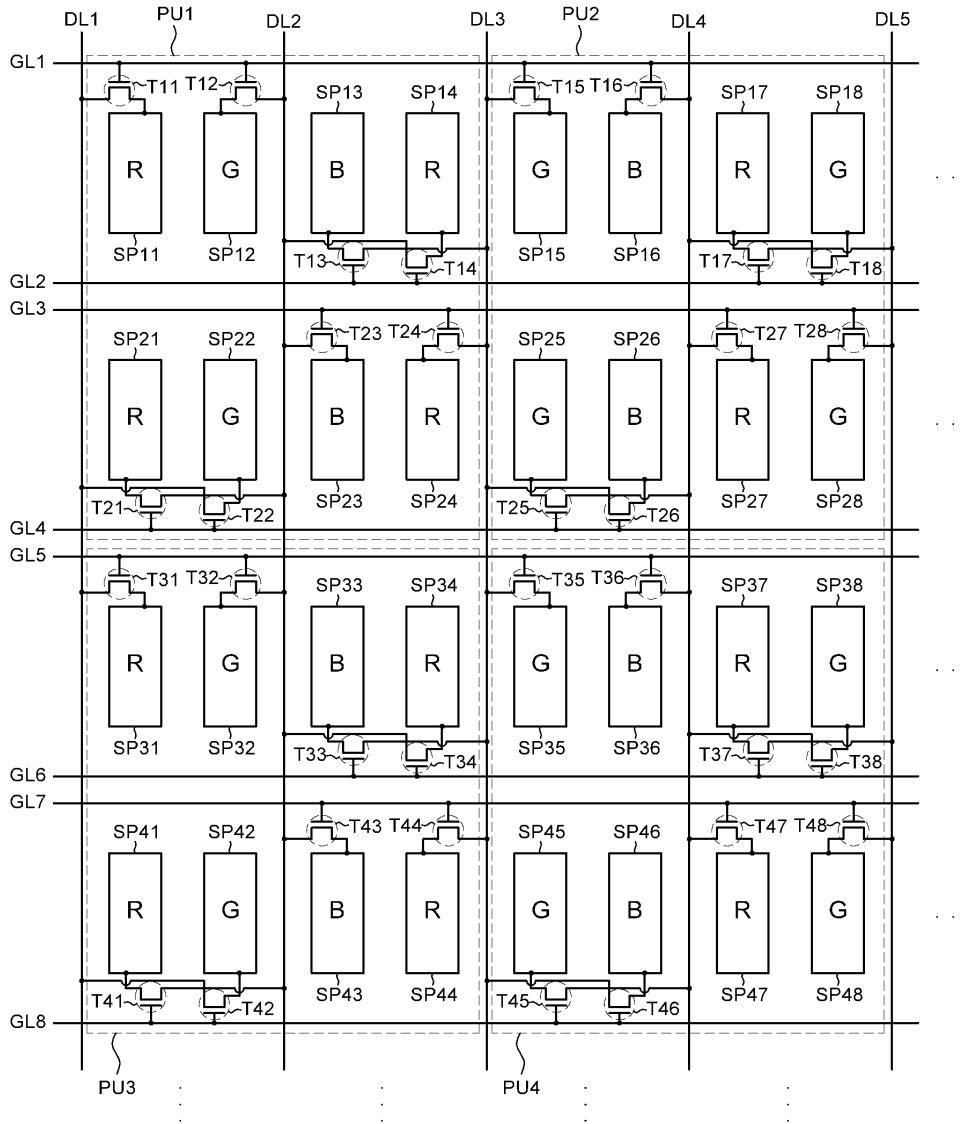
도면

도면1

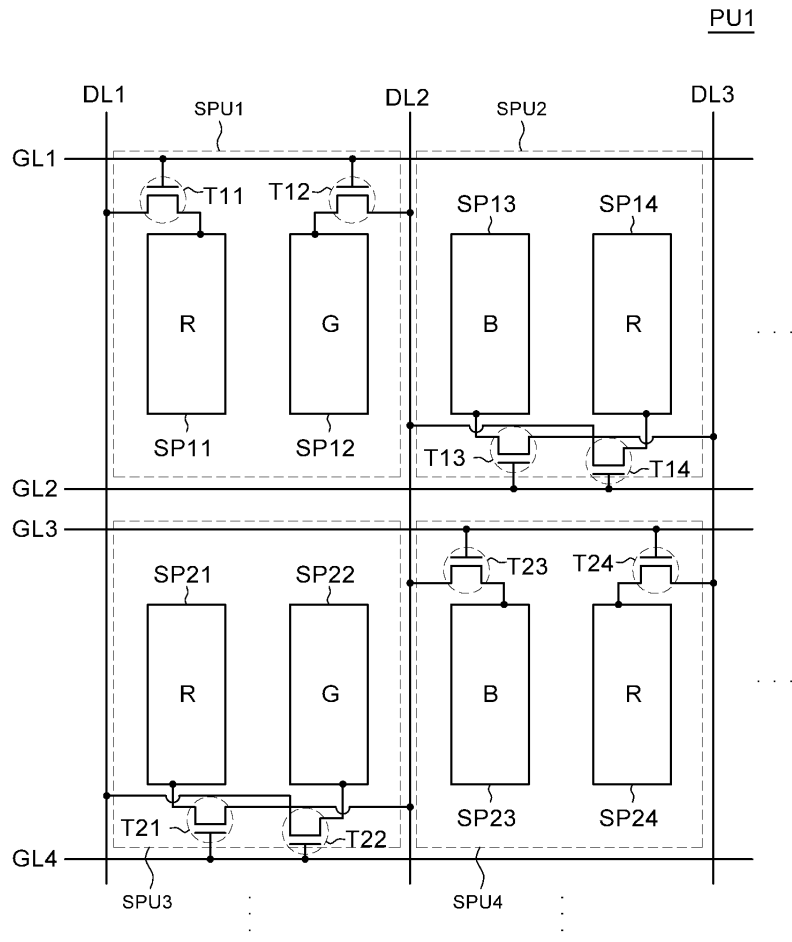


도면2

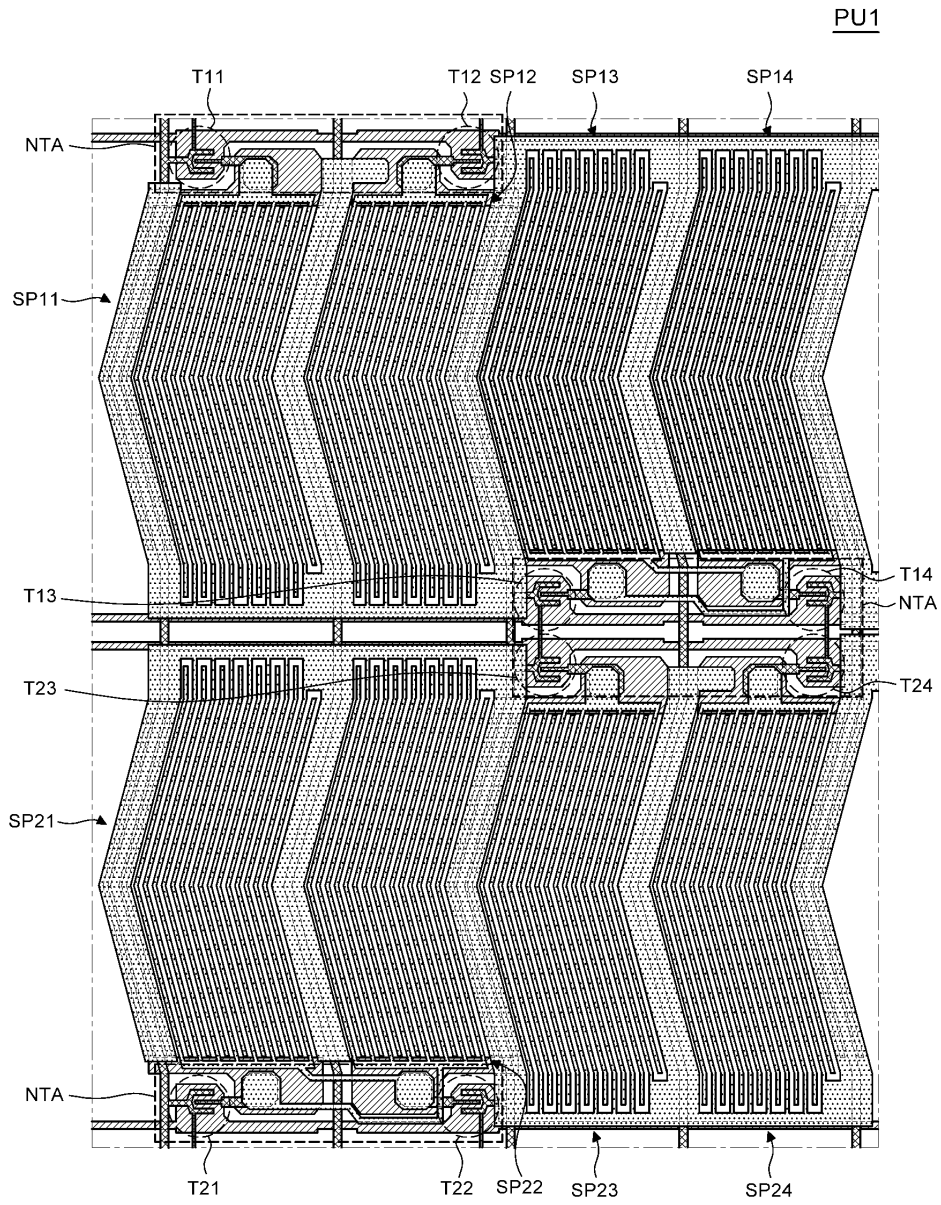
110



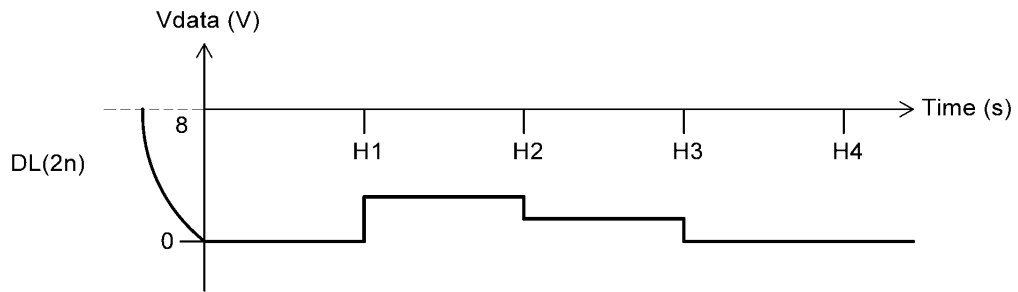
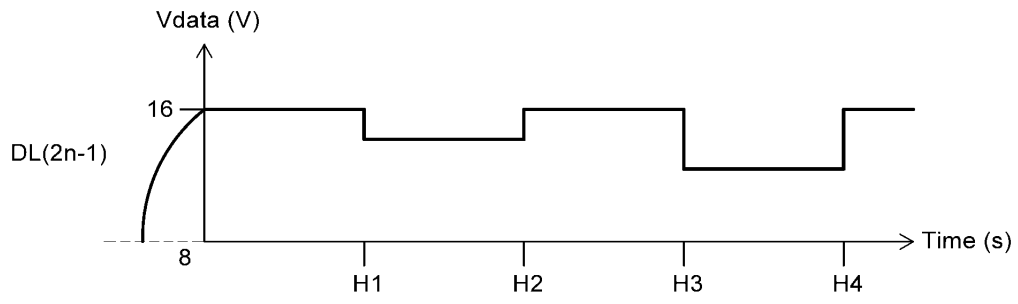
도면3a



도면3b

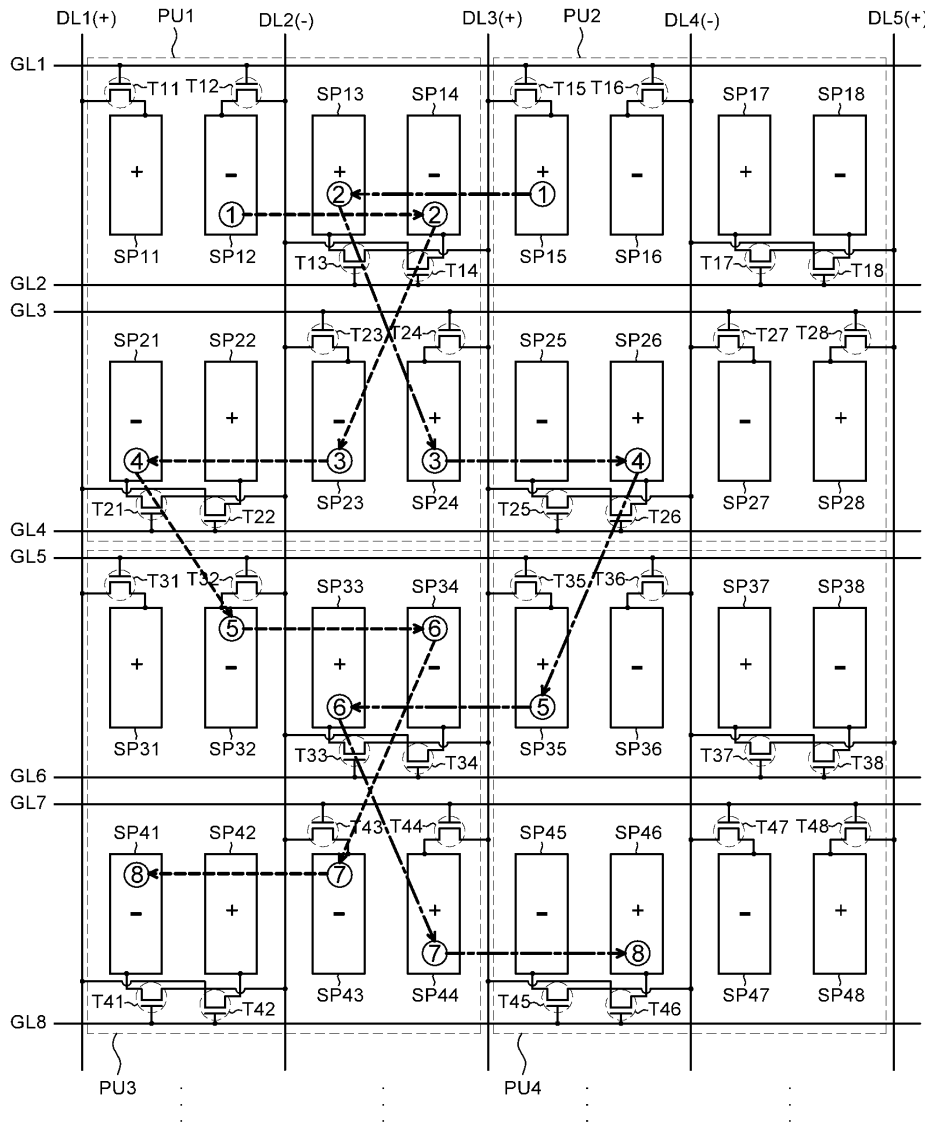


도면4

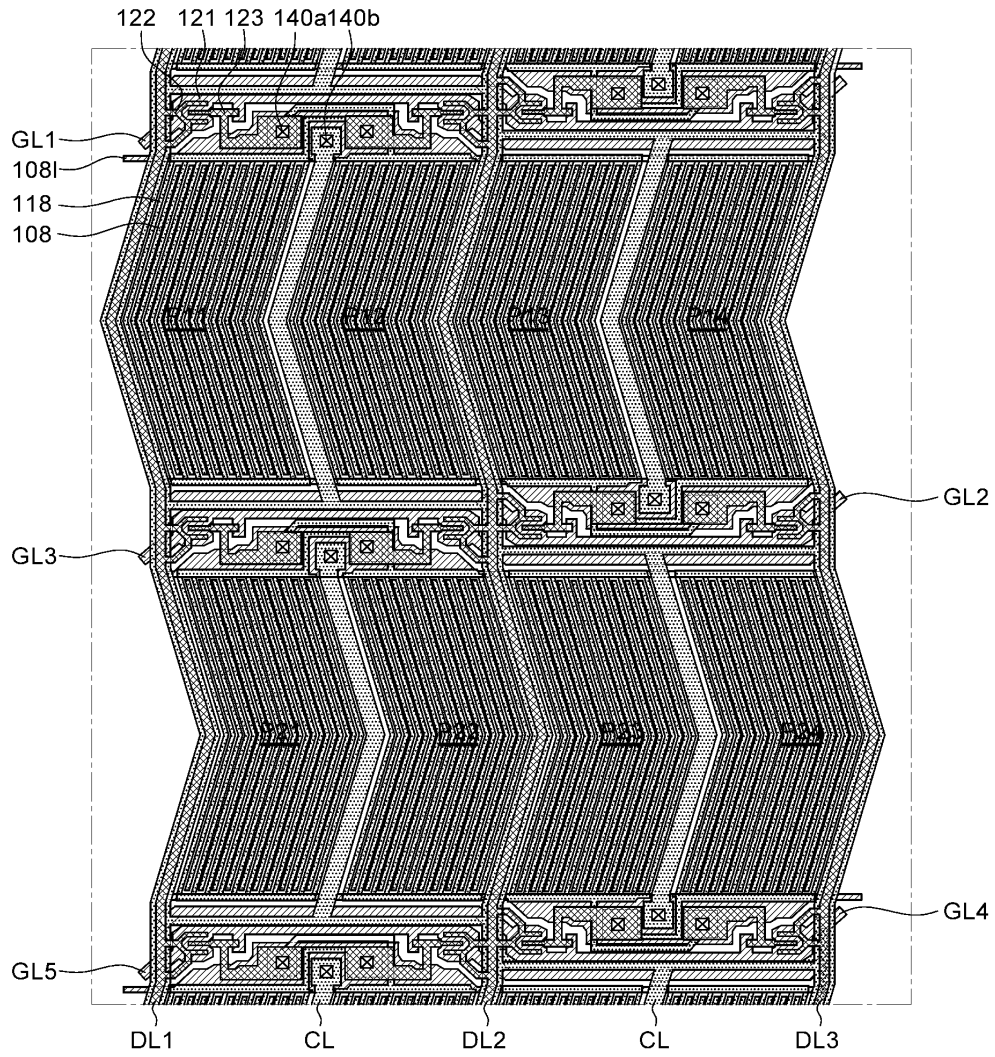


도면5

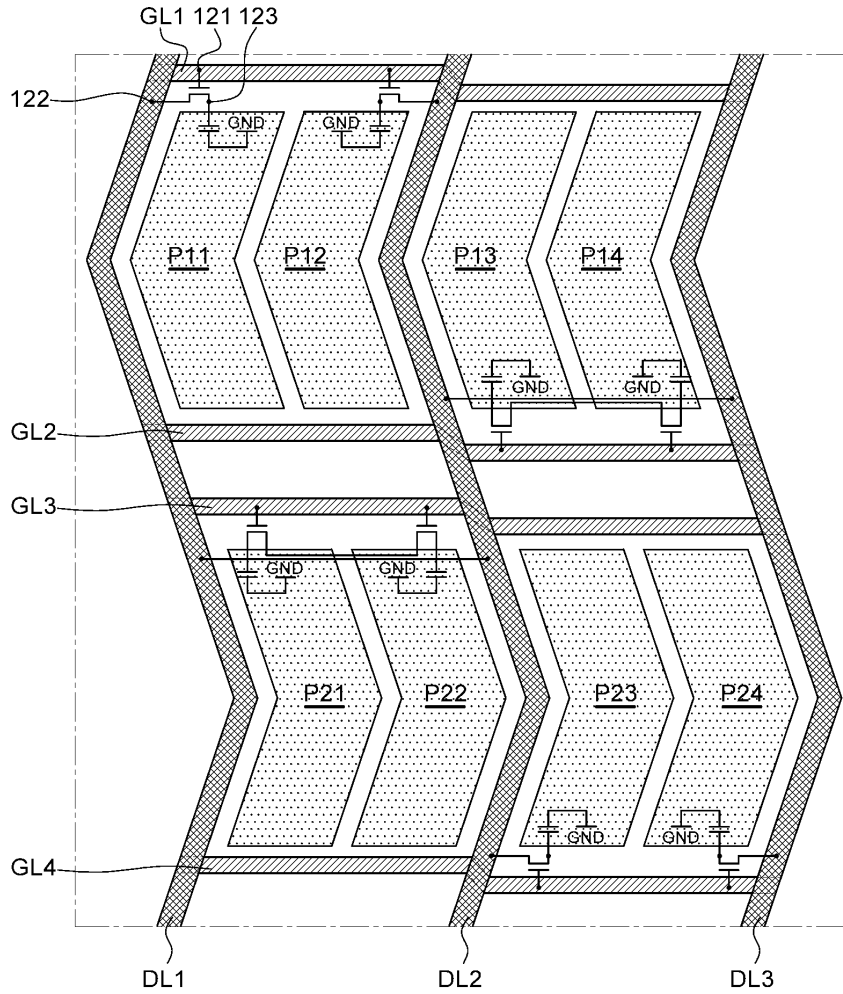
110



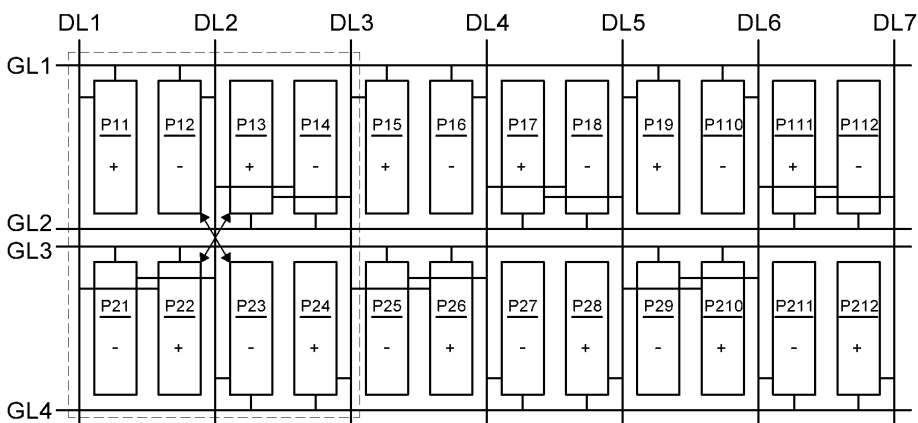
도면6



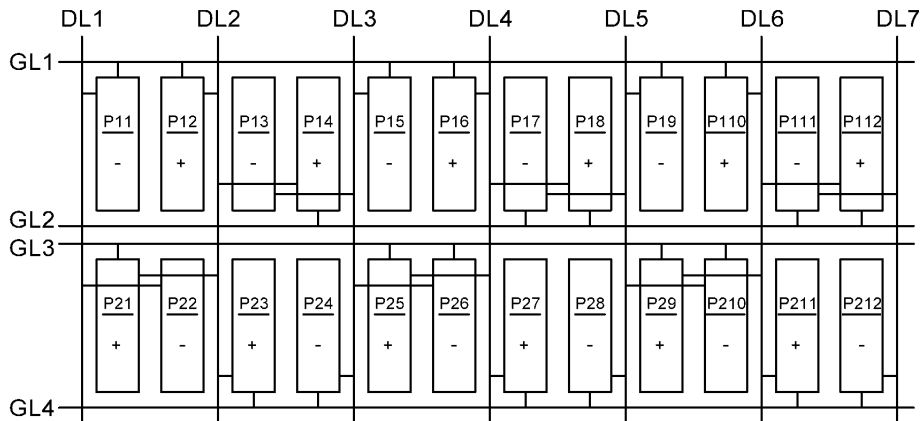
도면7



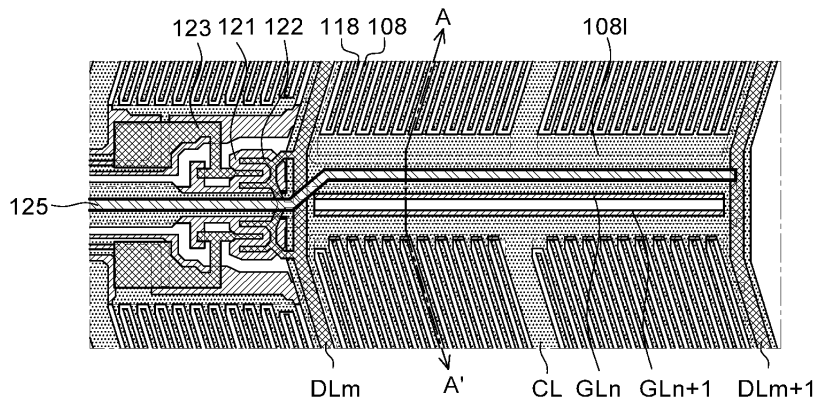
도면8a



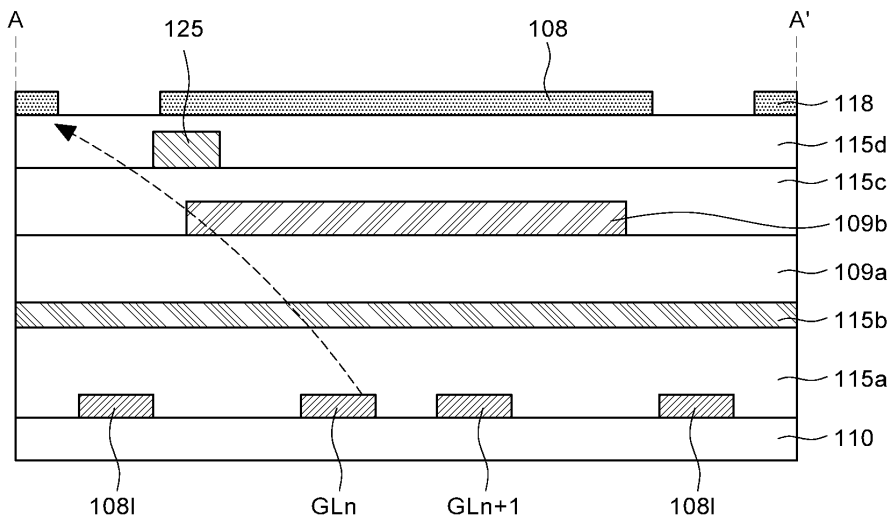
도면8b



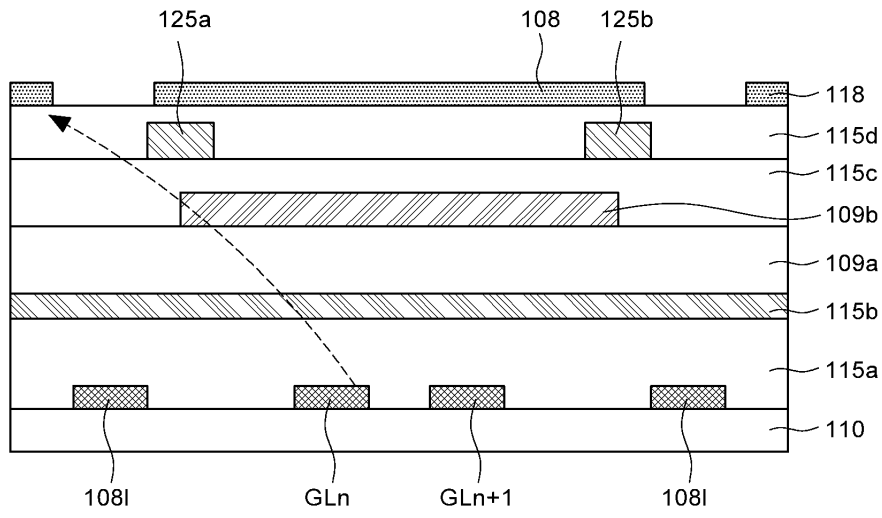
도면9



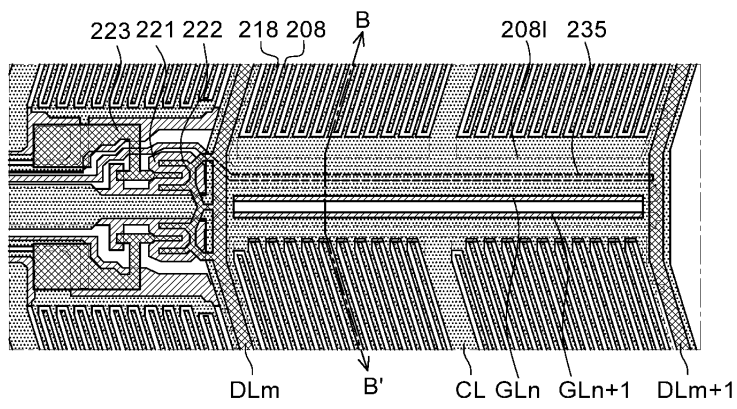
도면10



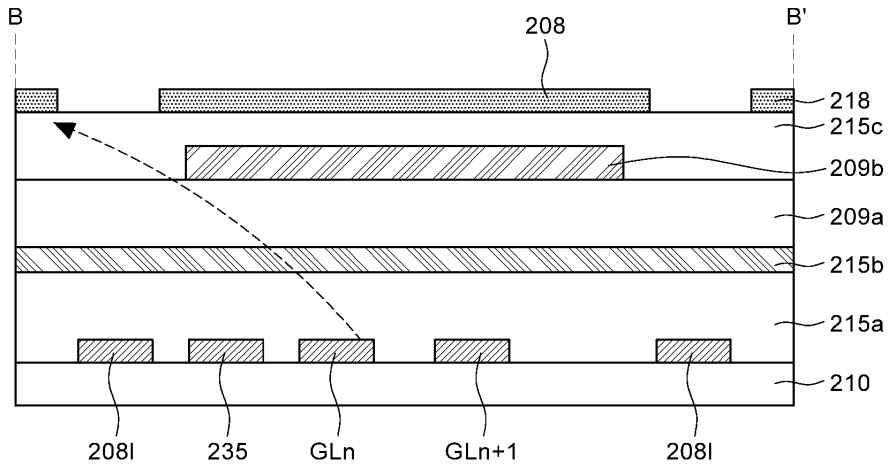
도면11



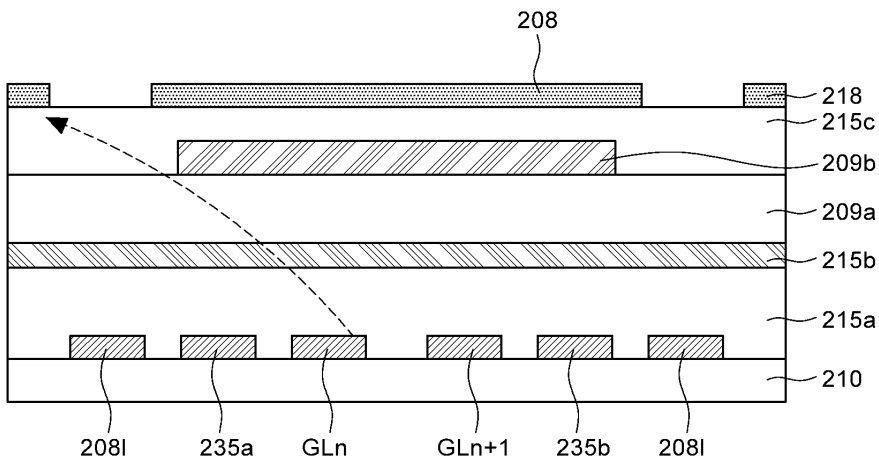
도면12



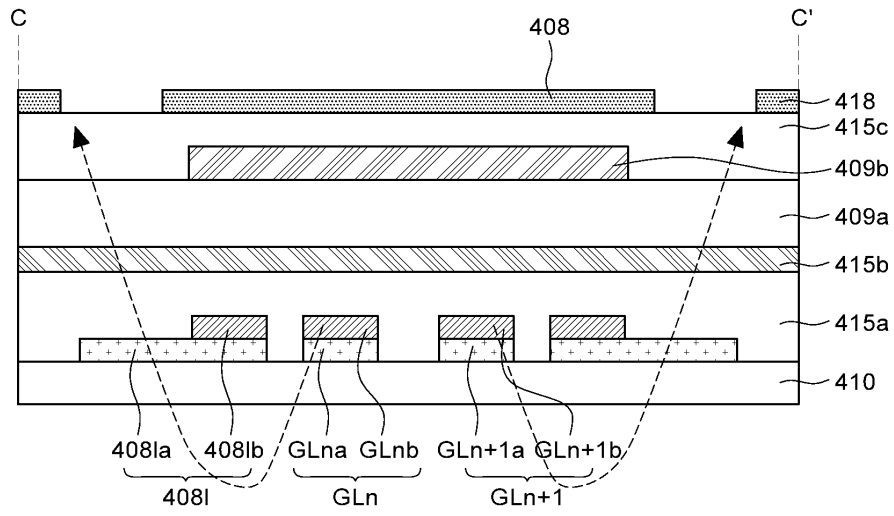
도면13



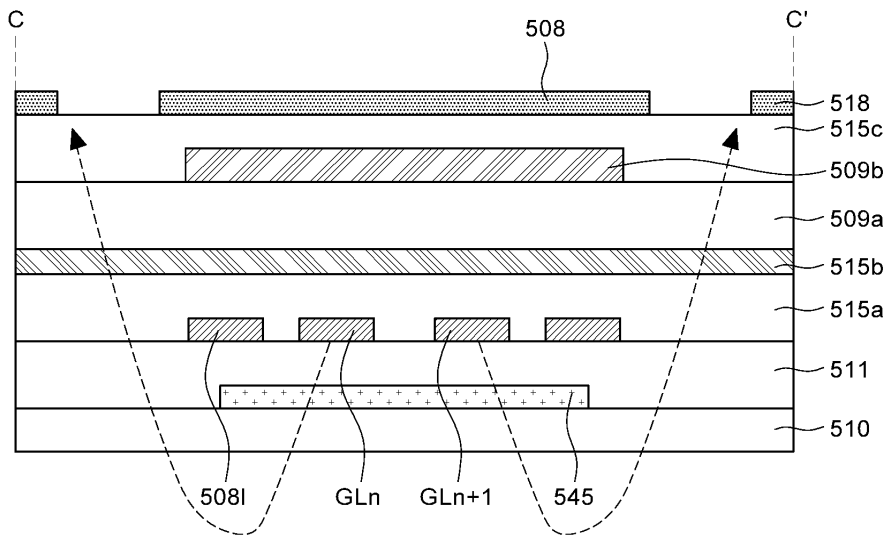
도면14



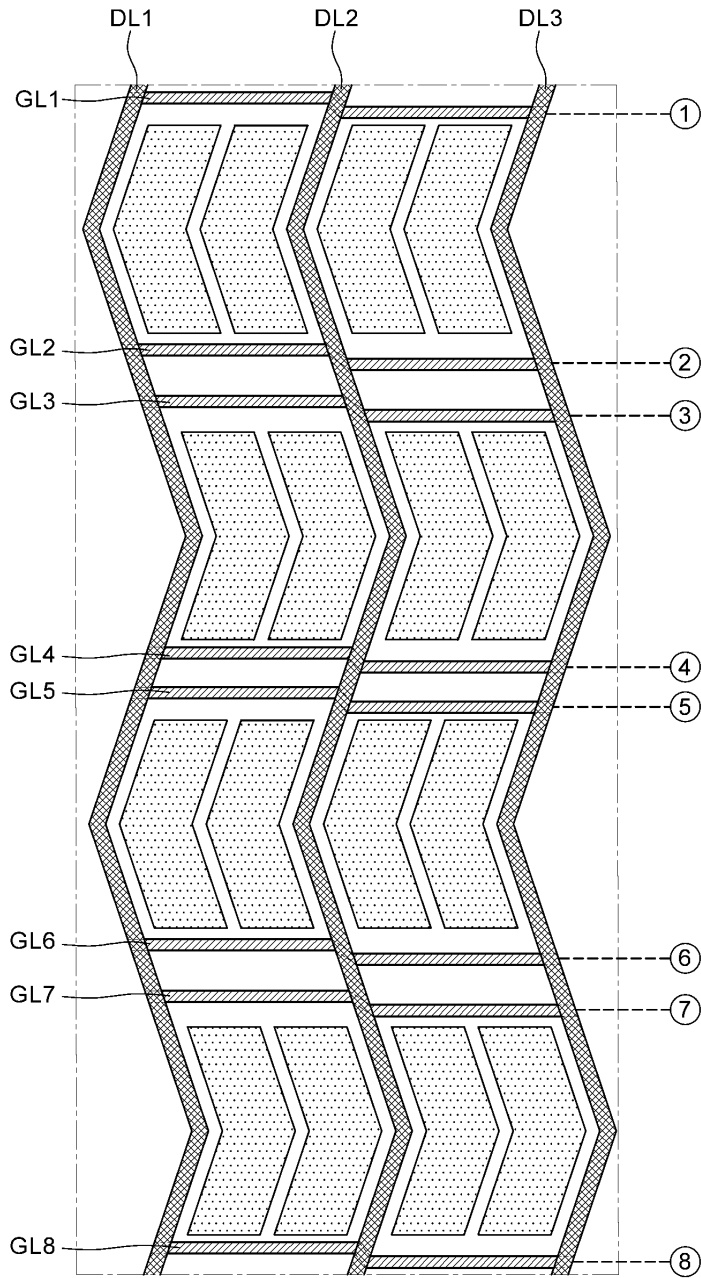
도면17



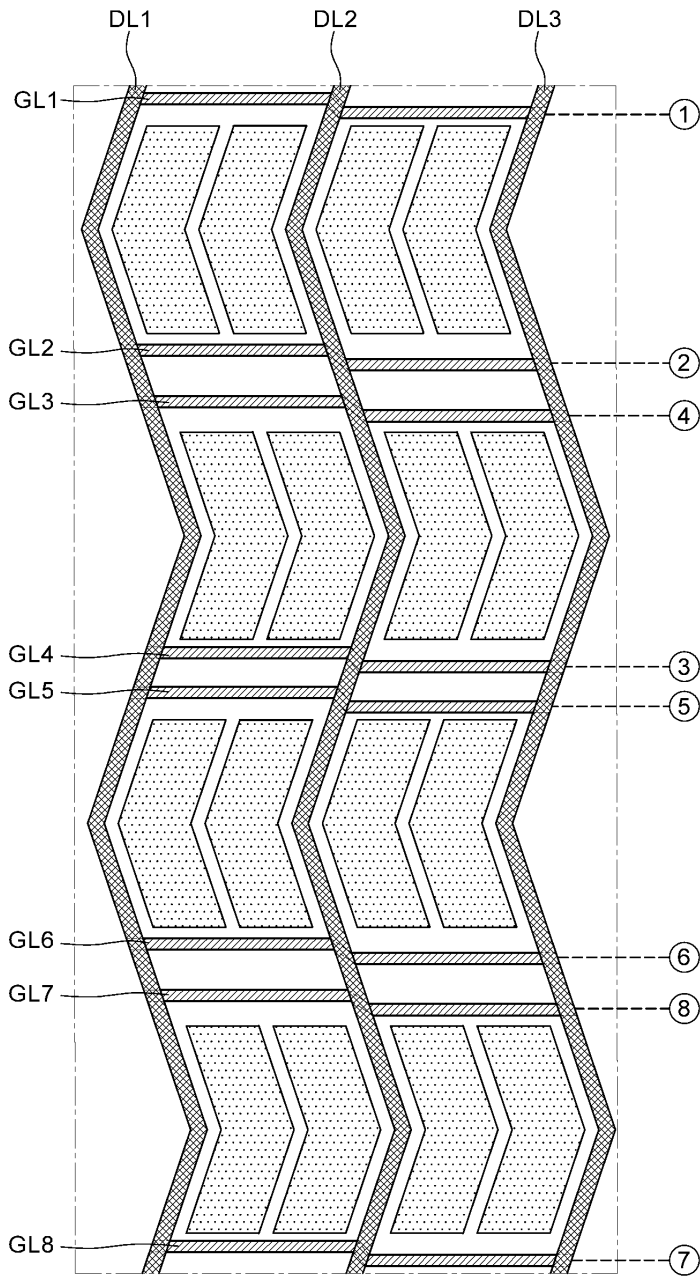
도면18



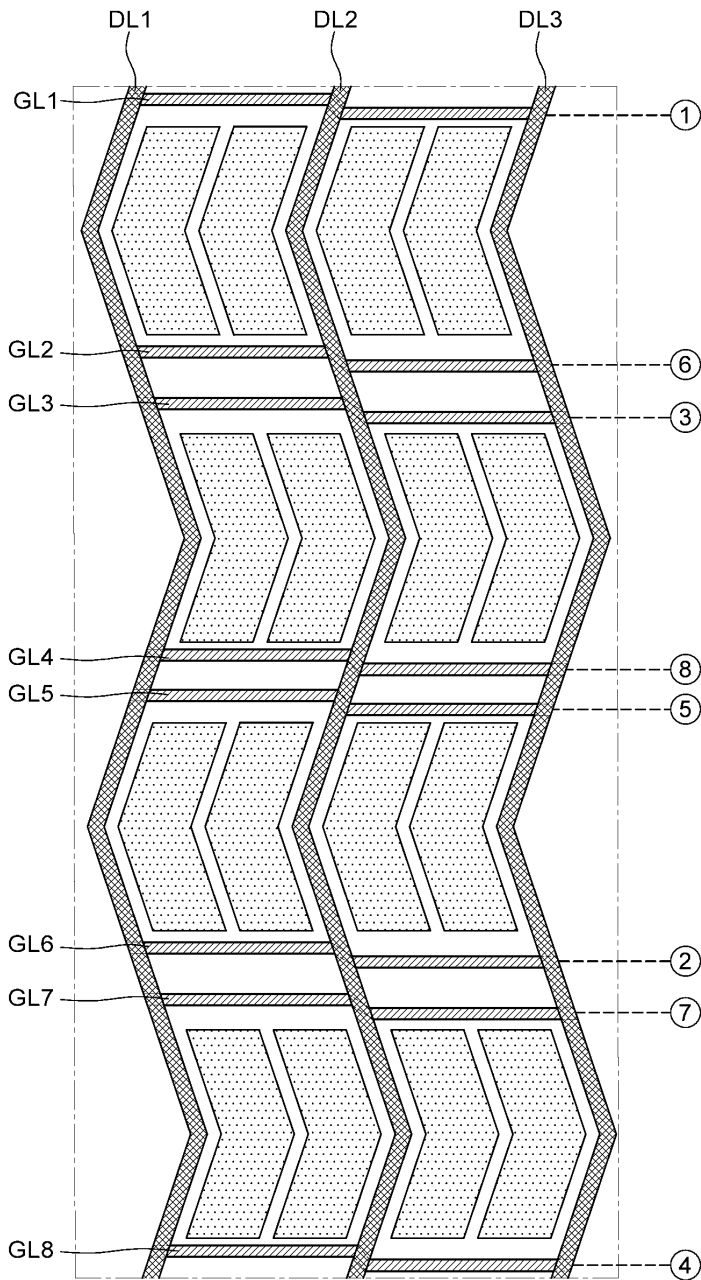
도면19



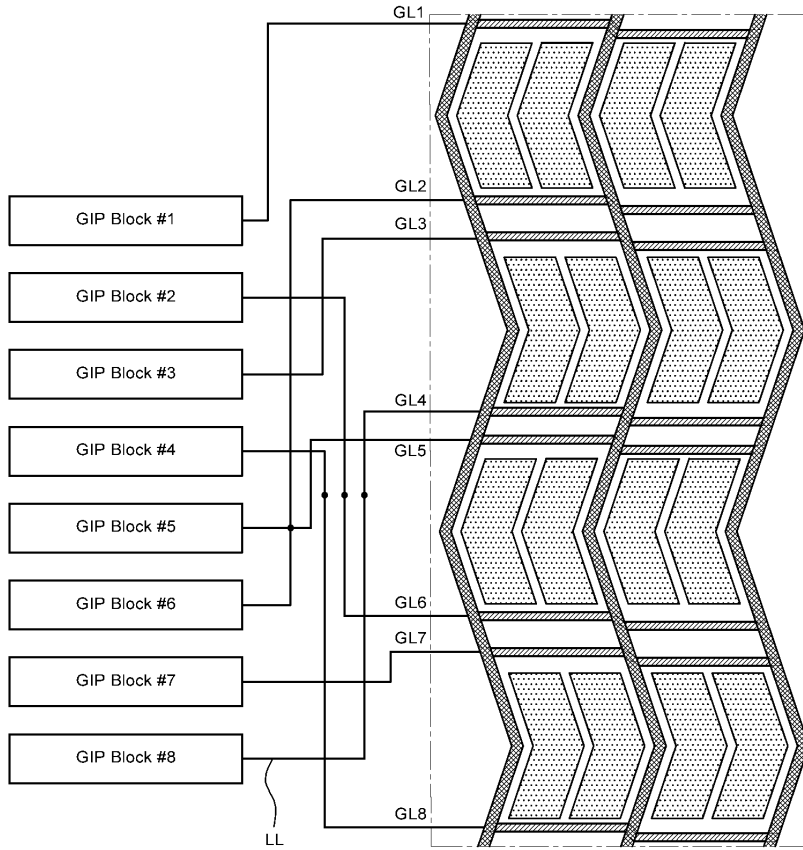
도면20



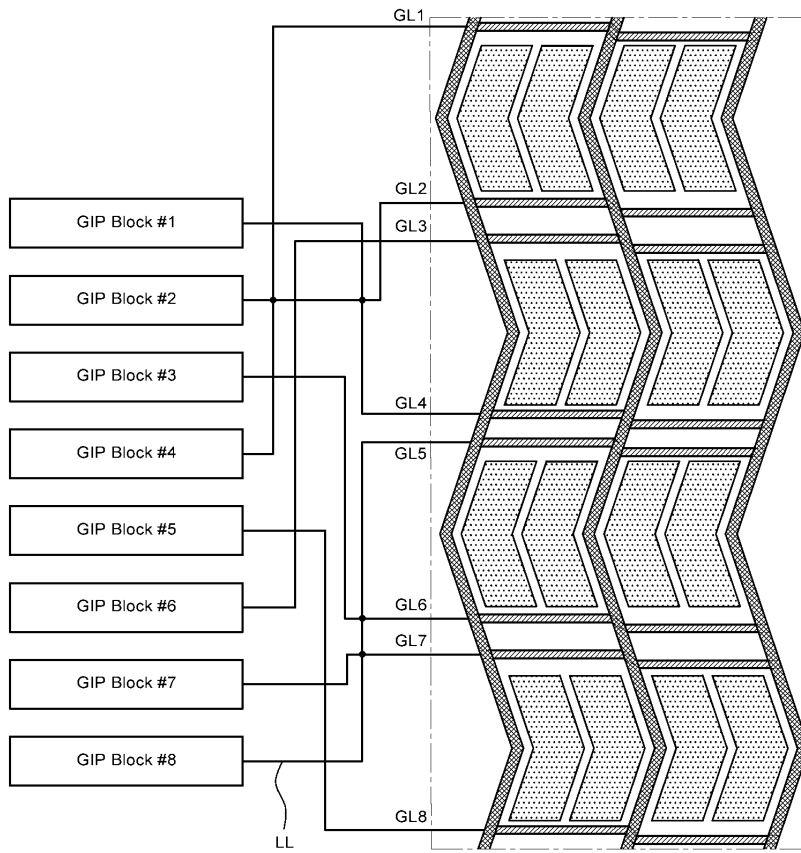
도면21



도면22



도면23



专利名称(译)	液晶显示装置及其驱动方法		
公开(公告)号	KR1020200050871A	公开(公告)日	2020-05-12
申请号	KR1020190134641	申请日	2019-10-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	장훈 박주언 조재형 이찬호		
发明人	장훈 박주언 조재형 이찬호		
IPC分类号	G02F1/1333 G09G3/36		
CPC分类号	G02F1/1333 G09G3/3614 G02F2201/40		
优先权	1020180133879 2018-11-02 KR		
外部链接	Espacenet		

摘要(译)

根据本发明示例性实施例的液晶显示器包括：多个像素单元，其包括以2×4矩阵形式布置的子像素；以及第一数据线，其布置在第一列中的多个子像素的第一侧。线，设置在第二列的多个子像素与第三列的多个子像素之间的第二数据线，以及布置在第四列的多个子像素的第二侧的第三数据线，多个像素单元中的每一个包括第一子像素单元，该第一子像素单元包括布置成一行和一列的第一子像素，布置成一行和两列的第二子像素以及布置成一行和三列的第三子像素。第二子像素单元包括设置在行1和列4中的子像素和第四子像素，设置在行2和列1中的第五子像素以及设置在行2和列2中的第六子像素 包括布置在行2和列3中的第三子像素单元和第七子像素以及布置在行2和列4中的第八子像素 第四子像素单元，第六子像素连接至第一数据线，第五子像素连接至第二数据线，第二数据线连接至第二数据线。连接第四子像素，并且第三子像素连接到第三数据线，从而通过改善在DRD列反转结构中出现的图像质量问题来改善显示质量。做。

