



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0056708
(43) 공개일자 2018년05월29일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1368 (2006.01)
(52) CPC특허분류
G02F 1/136227 (2013.01)
G02F 1/134309 (2013.01)
(21) 출원번호 10-2018-7011025
(22) 출원일자(국제) 2015년12월18일
심사청구일자 2018년04월19일
(85) 번역문제출일자 2018년04월19일
(86) 국제출원번호 PCT/CN2015/097901
(87) 국제공개번호 WO 2017/049780
국제공개일자 2017년03월30일
(30) 우선권주장
201510609170.4 2015년09월22일 중국(CN)

(71) 출원인
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 광둥 프로빈스, 센젠 시티, 광밍 뉴 디스트릭트, 탕밍 로드, 넘버 9-2
(72) 발명자
왕 멩
중국 518132 광둥 센젠 시티 광밍 뉴 디스트릭트 탕밍 로드 넘버 9-2
(74) 대리인
박소현

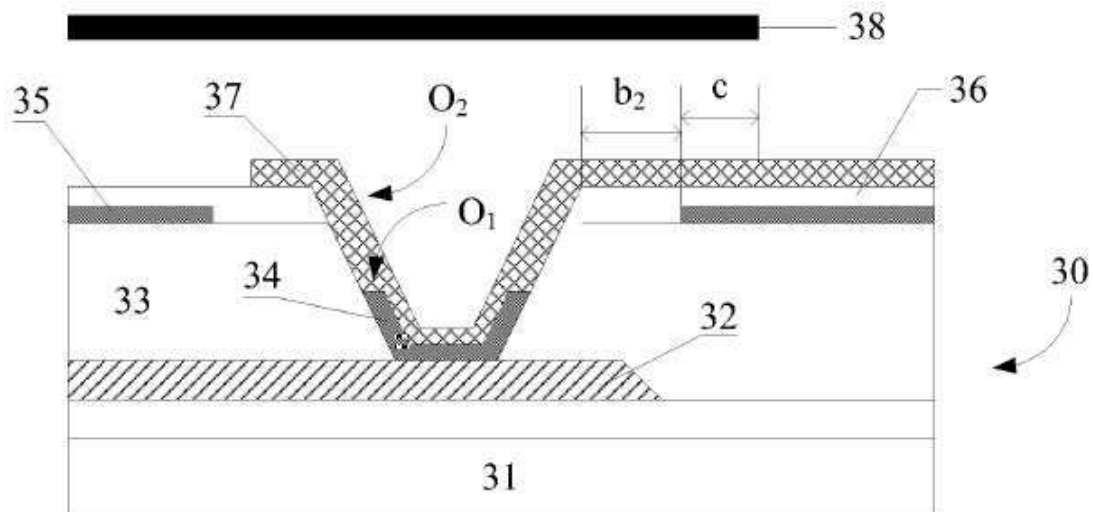
전체 청구항 수 : 총 13 항

(54) 발명의 명칭 액정 디스플레이 패널, 어레이 기판 및 그 제조 방법

(57) 요약

어레이 기판(30)에 있어서, 상기 어레이 기판(30)의 제조 방법 및 상기 어레이 기판(30)을 구비하는 액정 디스플레이 패널(40)은, TFT의 금속층(32)과 픽셀 전극층(37)의 전기적 연결을 실현하는 접촉홀(O₁, O₂)에 부유 전극층(34)을 증가하여, 픽셀 전극층(37)이 부유 전극층(34)의 브리징을 통해 다시 금속층(32)과 전기적으로 연결되도록 하여, 접촉홀(O₁, O₂)의 전기 저항 및 접촉홀(O₁, O₂) 내부에서의 픽셀 전극층(37)의 필름 멈춤 확률을 감소시킬 수 있고, 이 밖에 상기 부유 전극층(34)의 가장자리는 접촉홀(O₁, O₂) 내부에 위치하여, 블랙 매트릭스층(38)에 대응되는 크기를 줄여, 픽셀 구경비를 향상한다.

대표도 - 도3



(52) CPC특허분류

G02F 1/13439 (2013.01)

G02F 1/1368 (2013.01)

G02F 2201/121 (2013.01)

G02F 2201/40 (2013.01)

명세서

청구범위

청구항 1

기판;

상기 기판에 형성되는 금속층;

상기 금속층에 위치하고, 상기 금속층의 표면을 노출하는 제1 접착홀이 형성되어 있는 제1 패시베이션층;

상기 제1 접착홀의 최저면 및 상기 최저면과 서로 연결되는 상기 제1 접착홀의 측벽의 일부분에 커버되는 부유 전극층;

상기 제1 패시베이션층에 위치하고 상기 제1 접착홀 주변에 위치하는 공통 전극층;

상기 공통 전극층 및 상기 공통 전극층에 의해 노출되는 상기 제1 패시베이션층에 위치하고, 상기 제2 패시베이션층에 상기 부유 전극층의 표면을 노출하는 제2 접착홀이 형성되어 있는 제2 패시베이션층;

상기 제2 패시베이션층에 및 상기 제1 접착홀과 상기 제2 접착홀 내부에 위치하고, 상기 픽셀 전극층이 상기 제1 접착홀과 상기 제2 접착홀을 통해 상기 금속층과 전기적으로 연결되도록 하는 픽셀 전극층을 포함하는 것을 특징으로 하는 어레이 기판.

청구항 2

제 1항에 있어서,

상기 금속층은 상기 어레이 기판의 박막 트랜지스터의 소스 전극과 드레인 전극 중의 하나인 것을 특징으로 하는 어레이 기판.

청구항 3

제 1항에 있어서,

상기 부유 전극층의 상부 엣지와 상기 제1 접착홀 사이에 사전 결정 거리가 간격을 두고 있는 것을 특징으로 하는 어레이 기판.

청구항 4

제 1항에 있어서,

상기 부유 전극층과 상기 공통 전극층은 동일한 마스크 제조 과정을 거쳐 형성되는 것을 특징으로 하는 어레이 기판.

청구항 5

어레이 기판 및 상기 어레이 기판과 마주하고 간격을 두고 있는 컬러 필름 기판을 포함하고, 상기 어레이 기판은,

기판;

상기 기판에 형성되는 금속층;

상기 금속층에 위치하고, 상기 금속층의 표면을 노출하는 제1 접촉홀이 형성되어 있는 제1 패시베이션층;

상기 제1 접촉홀의 최저면 및 상기 최저면과 서로 연결되는 상기 제1 접촉홀의 측벽의 일부분에 커버되는 부유 전극층;

상기 제1 패시베이션층에 위치하고 상기 제1 접촉홀 주변에 위치하는 공통 전극층;

상기 공통 전극층 및 상기 공통 전극층에 의해 노출되는 상기 제1 패시베이션층에 위치하고, 상기 제2 패시베이션층에 상기 부유 전극층의 표면을 노출하는 제2 접촉홀이 형성되어 있는 제2 패시베이션층;

상기 제2 패시베이션층에 및 상기 제1 접촉홀과 상기 제2 접촉홀 내부에 위치하고, 상기 픽셀 전극층이 상기 제1 접촉홀과 상기 제2 접촉홀을 통해 상기 금속층과 전기적으로 연결되도록 하는 픽셀 전극층을 포함하는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 6

제 5항에 있어서,

상기 금속층은 상기 어레이 기판의 박막 트랜지스터의 소스 전극과 드레인 전극 중의 하나인 것을 특징으로 하는 액정 디스플레이 패널.

청구항 7

제 5항에 있어서,

상기 부유 전극층의 상부 엣지와 상기 제1 접촉홀 사이에 사전 결정 거리가 간격을 두고 있는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 8

제 5항에 있어서,

상기 부유 전극층과 상기 공통 전극층은 동일한 마스크 제조 과정을 거쳐 형성되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 9

제 5항에 있어서,

상기 컬러 필름 기판은 블랙 매트릭스층을 포함하고, 상기 어레이 기판에 수직되는 방향을 따라, 상기 공통 전극층의 상기 금속층과 근접한 가장자리는 상기 블랙 매트릭스층의 가장자리와 중첩되는 것을 특징으로 하는 액정 디스플레이 패널.

청구항 10

기판에 금속층을 형성하는 단계;

상기 금속층에 제1 패시베이션층을 형성하고, 상기 제1 패시베이션층에 상기 금속층의 표면을 노출하는 제1 접촉홀을 형성하는 단계;

상기 제1 접촉홀 내부에 부유 전극층을 형성하고, 상기 제1 패시베이션층에 공통 전극층을 형성하는 단계에서, 상기 부유 전극층은 상기 제1 접촉홀의 최저면 및 상기 최저면과 서로 연결되는 상기 제1 접촉홀의 측벽의 일부분을 커버하고, 상기 공통 전극층은 상기 제1 접촉홀의 주변에 위치하는 형성 단계;

상기 제1 접촉홀 내부, 상기 공통 전극층 및 상기 공통 전극층에 의해 노출되는 상기 제1 패시베이션층에 제2 패시베이션층을 형성하고, 상기 제2 패시베이션층에 상기 부유 전극층의 표면을 노출하는 제2 접촉홀을 형성하는 단계;

상기 제2 패시베이션층 및 상기 제1 접촉홀과 상기 제2 접촉홀 내부에 픽셀 전극층을 형성하고, 상기 픽셀 전극층이 상기 제1 접촉홀과 상기 제2 접촉홀을 통해 상기 금속층과 전기적으로 연결되도록 하는 단계를 포함하는 것을 특징으로 하는 어레이 기판의 제조 방법.

청구항 11

제 10항에 있어서,

상기 금속층은 상기 어레이 기판의 박막 트랜지스터의 소스 전극과 드레인 전극 중의 하나인 것을 특징으로 하는 어레이 기판의 제조 방법.

청구항 12

제 10항에 있어서,

상기 부유 전극층의 상부 엣지와 상기 제1 접촉홀 사이에 사전 결정 거리가 간격을 두고 있는 것을 특징으로 하는 어레이 기판의 제조 방법.

청구항 13

제 10항에 있어서,

상기 부유 전극층과 상기 공통 전극층은 동일한 마스크 제조 과정을 거쳐 형성되는 것을 특징으로 하는 어레이 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술분야에 관한 것으로서, 구체적으로는 어레이 기판 및 그 제조 방법과 상기 어레이 기판을 구비하는 액정 디스플레이 패널에 관한 것이다.

배경 기술

[0002] 도 1에 도시된 바와 같이 어레이 기판의 픽셀 구조에서, 픽셀 전극층(11)은 패시베이션층(12)에 형성되는 접촉홀(Via)(13)과 TFT(Thin Film Transistor, 박막 트랜지스터)의 금속층(M)을 통해 전기적으로 연결되어야 한다. 그러나 픽셀 전극층(11)의 두께는 40 내지 60나노미터이고, 패시베이션층(12)의 두께는 1.5 내지 3마이크로미터이며, 접촉홀(13)의 개구가 비교적 작기에, 접촉홀(13) 내부에 형성되는 픽셀 전극층(11)의 필름 멈춤 확률이 비교적 커지거나 두께가 비교적 작게 되므로, 접촉홀(13)의 전기 저항이 높아지는 현상을 초래하여, 디스플레이 품질에 영향을 미친다. 상기 문제를 개선하기 위해, 선행기술은 도 2에 도시된 바와 같은 픽셀 구조를 제공하는 바, 접촉홀(13)에 부유 전극층(14)을 추가하고, 픽셀 전극층(11)은 부유 전극층(14)의 브리징을 통해 다시 TFT의 금속층(M)과 전기적으로 연결됨으로써, 픽셀 전극층(11)이 접촉홀(13)에서의 저항 및 필름 멈춤 확률을 감소한다. 그러나 부유 전극층(14)과 공통 전극층(15)의 단락을 방지해야 하기에, 공통 전극층(15)과 부유 전극층(14)의 가장자리 거리를 증가시켜야 하며, 이는 반드시 블랙 매트릭스(Black Matrix, BM)층(16)의 크기를 증가시켜, 픽셀 구경비를 감소한다.

발명의 내용

해결하려는 과제

[0003] 이에 감안하여, 본 발명의 실시예는 액정 디스플레이 패널, 어레이 기판 및 그 제조 방법을 제공하는 바, 접촉홀의 전기 저항 및 접촉홀 내부에서의 픽셀 전극층의 필름 멈춤 확률을 감소할 수 있을뿐만 아니라, 픽셀 구경비도 확보할 수 있다.

과제의 해결 수단

[0004] 본 발명의 실시예에서 제공하는 어레이 기판은, 기판; 기판에 형성되는 금속층; 금속층에 위치하고, 금속층의 표면을 노출하는 제1 접촉홀이 형성되어 있는 제1 패시베이션층; 제1 접촉홀의 최저면 및 최저면과 서로 연결되는 제1 접촉홀의 측벽의 일부분에 커버되는 부유 전극층; 제1 패시베이션층에 위치하고 제1 접촉홀 주변에 위치하는 공통 전극층; 공통 전극층 및 공통 전극층에 의해 노출되는 제1 패시베이션층에 위치하고, 제2 패시베이션층에 부유 전극층의 표면을 노출하는 제2 접촉홀이 형성되어 있는 제2 패시베이션층; 제2 패시베이션층에 및 제1 접촉홀과 제2 접촉홀 내부에 위치하고, 제1 접촉홀과 제2 접촉홀을 통해 금속층과 전기적으로 연결되는 픽셀 전극층을 포함한다.

[0005] 여기서, 금속층은 어레이 기판의 박막 트랜지스터의 소스 전극과 드레인 전극 중의 하나이다.

[0006] 여기서, 부유 전극층의 상부 엣지와 제1 접촉홀 사이에 사전 결정 거리가 간격을 두고 있다.

[0007] 여기서, 부유 전극층과 공통 전극층은 동일한 마스크 제조 과정을 거쳐 형성된다.

[0008] 본 발명의 실시예에서 제공하는 액정 디스플레이 패널은, 어레이 기판 및 상기 어레이 기판과 마주하고 간격을 두고 있는 컬러 필름 기판을 포함하고, 상기 어레이 기판은, 기판; 기판에 형성되는 금속층; 금속층에 위치하고, 금속층의 표면을 노출하는 제1 접촉홀이 형성되어 있는 제1 패시베이션층; 제1 접촉홀의 최저면 및 최저면과 서로 연결되는 제1 접촉홀의 측벽의 일부분에 커버되는 부유 전극층; 제1 패시베이션층에 위치하고 제1 접촉홀 주변에 위치하는 공통 전극층; 공통 전극층 및 공통 전극층에 의해 노출되는 제1 패시베이션층에 위치하고, 제2 패시베이션층에 부유 전극층의 표면을 노출하는 제2 접촉홀이 형성되어 있는 제2 패시베이션층; 제2 패시베이션층에 및 제1 접촉홀과 제2 접촉홀 내부에 위치하고, 제1 접촉홀과 제2 접촉홀을 통해 금속층과 전기적으로 연결되는 픽셀 전극층을 포함한다.

[0009] 여기서, 금속층은 어레이 기판의 박막 트랜지스터의 소스 전극과 드레인 전극 중의 하나이다.

[0010] 여기서, 부유 전극층의 상부 엣지와 제1 접촉홀 사이에 사전 결정 거리가 간격을 두고 있다.

[0011] 여기서, 부유 전극층과 공통 전극층은 동일한 마스크 제조 과정을 거쳐 형성된다.

[0012] 여기서, 컬러 필름 기판은 블랙 매트릭스층을 포함하고, 어레이 기판에 수직되는 방향을 따라, 공통 전극층의 금속층과 근접한 가장자리는 블랙 매트릭스층의 가장자리와 중첩된다.

[0013] 본 발명의 실시예에서 제공하는 어레이 기판의 제조 방법은, 기판에 금속층을 형성하는 단계; 금속층에 제1 패시베이션층을 형성하고, 제1 패시베이션층에 금속층의 표면을 노출하는 제1 접촉홀을 형성하는 단계; 제1 접촉홀 내부에 부유 전극층을 형성하고, 제1 패시베이션층에 공통 전극층을 형성하는 단계에서, 부유 전극층은 제1 접촉홀의 최저면 및 최저면과 서로 연결되는 제1 접촉홀의 측벽의 일부분을 커버하고, 공통 전극층은 제1 접촉홀의 주변에 위치하는 형성 단계; 제1 접촉홀 내부, 공통 전극층 및 공통 전극층에 의해 노출되는 제1 패시베이션층에 제2 패시베이션층을 형성하고, 제2 패시베이션층에 부유 전극층의 표면을 노출하는 제2 접촉홀을 형성하는 단계; 제2 패시베이션층 및 제1 접촉홀과 제2 접촉홀 내부에 픽셀 전극층을 형성하고, 픽셀 전극층이 제1 접촉홀과 제2 접촉홀을 통해 금속층과 전기적으로 연결되도록 하는 단계를 포함한다.

[0014] 여기서, 금속층은 어레이 기판의 박막 트랜지스터의 소스 전극과 드레인 전극 중의 하나이다.

[0015] 여기서, 부유 전극층의 상부 엣지와 제1 접촉홀 사이에 사전 결정 거리가 간격을 두고 있다.

[0016] 여기서, 부유 전극층과 공통 전극층은 동일한 마스크 제조 과정을 거쳐 형성된다.

발명의 효과

[0017] 본 발명의 실시예의 액정 디스플레이 패널, 어레이 기판 및 그 제조 방법은, TFT의 금속층과 픽셀 전극층의 전기적 연결을 실현하는 접촉홀에 부유 전극층을 증가하여, 픽셀 전극층이 부유 전극층의 브리징을 통해 다시 금

속층과 전기적으로 연결되도록 하여, 접촉홀의 전기 저항 및 접촉홀 내부에서의 픽셀 전극층의 필름 멈춤 확률을 감소시킬 수 있고, 이 밖에 상기 부유 전극층의 가장자리는 접촉홀 내부에 위치하여, 블랙 매트릭스층에 대응되는 크기를 줄여, 픽셀 구경비를 향상한다.

도면의 간단한 설명

- [0018] 도 1은 선행기술의 어레이 기관의 일 실시예의 구조 단면도이다.
- 도 2는 선행기술의 어레이 기관의 다른 일 실시예의 구조 단면도이다.
- 도 3은 본 발명의 어레이 기관의 일 실시예의 구조 단면도이다.
- 도 4는 본 발명의 액정 디스플레이 패널의 일 실시예의 구조 단면도이다.
- 도 5는 본 발명의 어레이 기관의 제조 방법의 일 실시예의 흐름도이다.
- 도 6은 도 5에 도시된 방법을 사용하여 어레이 기관을 형성하는 모식도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 아래, 본 발명의 실시예 중의 도면과 결부하여, 본 발명에서 제공하는 예시적인 실시예의 기술적 해결수단을 분명하고 완전하게 설명한다.

[0020] 도 3은 본 발명의 어레이 기관 일 실시예의 구조 단면도이다. 도 3에 도시된 바와 같이, 상기 어레이 기관(30)은 기관(31), 금속층(32), 제1 패시베이션층(33), 부유 전극층(34), 공통 전극층(35), 제2 패시베이션층(36) 및 픽셀 전극층(37)을 포함한다.

[0021] 여기서, 금속층(32)은 기관(31)에 형성되고; 제1 패시베이션층(33)은 금속층(32)에 형성되며 금속층(32)의 표면을 노출하는 제1 접촉홀(O_1)이 형성되어 있으며; 부유 전극층(34)은 제1 접촉홀(O_1)의 최저면 및 상기 최저면과 서로 연결되는 제1 접촉홀(O_1)의 측벽의 일부분을 커버하고; 공통 전극층(35)은 제1 패시베이션층(33)에 위치하며 제1 접촉홀(O_1)의 주변에 위치하고, 즉 제1 패시베이션층(33)은 제1 접촉홀(O_1) 주위의 사전 결정 범위(크기는 도면에 도시된 b_2 와 같음) 내에서 공통 전극층(35)을 커버하지 않는다. 제2 패시베이션층(36)은 공통 전극층(35) 및 공통 전극층(35)에 의해 노출되는 제1 패시베이션층(33)에 위치하고, 제2 패시베이션층(36)에는 부유 전극층(34)의 표면을 노출하는 제2 접촉홀(O_2)이 형성되어 있으며, 제2 접촉홀(O_2)과 제1 접촉홀(O_1)은 서로 통하여 선행기술의 상기 접촉홀을 형성하고; 픽셀 전극층(37)은 제2 패시베이션층(36) 및 제1 접촉홀(O_1)과 제2 접촉홀(O_2) 내부에 위치하여, 픽셀 전극층(37)이 제1 접촉홀(O_1)과 제2 접촉홀(O_2)을 통해 금속층(32)과 전기적으로 연결되도록 한다.

[0022] 상기 금속층(32)은 어레이 기관(30)의 박막 트랜지스터의 소스 전극 및 드레인 전극 중의 하나이고, 도 1에 도시된 선행기술과 비교하면, 본 발명의 실시예는 TFT의 금속층(32) 및 픽셀 전극층(37)과 전기적으로 연결되는 접촉홀에 부유 전극층(34)을 증가하여, 픽셀 전극층(37)이 부유 전극층(34)의 브리징을 통해 다시 금속층(32)과 전기적으로 연결되도록 함으로써, 접촉홀 내부에서의 픽셀 전극층(37)의 필름 멈춤 확률을 감소할 수 있고, 또한 접촉홀 내부의 픽셀 전극층(37)의 두께가 비교적 얇아서 접촉홀의 전기 저항을 감소시키는 것을 방지할 수 있다.

[0023] 본 발명의 실시예의 어레이 기관(30)의 부유 전극층(34)은 접촉홀 내부에 완전히 위치하고, 즉 부유 전극층(34)의 상부 엣지와 제1 접촉홀(O_1) 사이에 사전 결정 거리가 간격을 두고 있으며, 이때 대응되는 위치의 블랙 매트릭스층(38)은 제2 접촉홀(O_2)우측에서의 크기는 b_2+c 이고, 여기서 b_2 는 공통 전극층(35)과 접촉홀(제2 접촉홀(O_2))의 가장자리 거리이며, c 는 빔샘 차단부의 사전 증가 거리이다. 도 2에 도시된 블랙 매트릭스층(16)가 접촉홀 우측에서의 크기는 $a+b_1+c$ 이고, 여기서 a 는 부유 전극층(34)이 제2 패시베이션층(17)의 표면에서의 크기이며, b_1 은 공통 전극층(15)과 부유 전극층(34)의 가장자리 거리이다. 보아낼 수 있는 바, $b_1=b_2$ 일 경우, 도 2에 도시된 선행기술과 비교하면, 본 발명의 실시예는 거리(a)를 감소한 것에 해당되므로, 블랙 매트릭스층(38)의 크기를 감소할 수 있고, 픽셀 구경비를 향상한다.

[0024] 본 발명은 도 4에 도시된 액정 디스플레이 패널(40)을 제공하는 바, 상기 액정 디스플레이 패널(40)은 상기 어

레이 기판(30) 및 어레이 기판과 마주하고 거리를 두고 설치되는 컬러 필름 기판(41)을 포함한다. 여기서, 블랙 매트릭스층(38)은 어레이 기판(30)에 설치될 수도 있고, 컬러 필름 기판(41)에 설치될 수도 있으며, 블랙 매트릭스층(38)의 가장자리와 공통 전극층(35)에 근접하는 금속층(32)의 가장자리를 중첩시키면 가능하고, 상기 중첩은 반드시 도 3에 도시된 구조로 이해해야 한다.

- [0025] 본 발명의 실시예의 부유 전극층(34)과 공통 전극층(35)은 동일한(마스크) 제조 과정을 거쳐 형성되기에, 전체 어레이 기판(30)의 제조 공정을 감소시킬 수 있다. 아래, 도 5와 도 6을 결부하여 상기 어레이 기판(30)의 제조 방법을 소개한다.
- [0026] 도 5는 본 발명의 어레이 기판의 일 실시예의 제조 방법의 흐름도이다. 도 5에 도시된 바와 같이, 본 실시예의 제조 방법은 하기의 단계를 포함한다.
- [0027] S51: 기판에 금속층을 형성한다.
- [0028] S52: 금속층에 제1 패시베이션층을 형성하고, 제1 패시베이션층에 금속층의 표면을 노출하는 제1 접촉홀을 형성한다.
- [0029] 도 6에 도시된 바와 같이, 기판(31)은 전술한 액정 디스플레이 패널(40)의 어레이 기판(30)을 형성하기 위한 것이고, 상기 기판(31)은 유리 기판, 플라스틱 기판 또는 플렉시블 기판일 수 있다.
- [0030] 본 실시예는 화학 기상 증착법(Chemical vapor deposition, CVD), 진공 석출, 플라즈마 화학 기상 증착법(Plasma Enhanced Chemical vapor deposition, PECVD), 스퍼터링 또는 저압 화학 기상 증착법 등 방법으로 기판(31)에 금속층(32)을 형성하는 바, 즉 사전 결정 패턴을 갖는 어레이 기판(30)의 박막 트랜지스터의 소스 전극 또는 드레인 전극을 형성하며, 대응되게는, 박막 트랜지스터의 게이트를 더 형성할 필요가 있고, 상기 게이트 및 소스 전극과 드레인 전극 사이에 게이트 절연층(Gate Insulation Layer, GI)이 제공된다.
- [0031] 본 실시예는 인산, 질산, 초산 및 탈염수를 포함하는 에칭액을 이용하여 금속층(32)에 형성된 전체 제1 패시베이션층(33)을 에칭함으로써, 제1 접촉홀(O_1)을 구비하는 제1 패시베이션층(33)을 획득할 수 있고, 물론 드라이 에칭법도 사용할 수 있다.
- [0032] S53: 제1 접촉홀 내부에 부유 전극층을 형성하고, 제1 패시베이션층에 공통 전극층을 형성하며, 부유 전극층은 제1 접촉홀의 최저면 및 최저면과 서로 연결되는 제1 접촉홀의 측벽의 일부분을 커버하고, 공통 전극층은 제1 접촉홀의 주변에 위치한다.
- [0033] 계속하여 도 6을 참조하면, 부유 전극층(34)의 상부 엣지와 제1 접촉홀(O_1) 사이에 사전 결정 거리가 간격을 두고 있다. 부유 전극층(34)과 공통 전극층(35)은 동일한 마스크 제조 과정을 거쳐 형성될 수 있으며, 구체적으로는, 제1 패시베이션층(33)에서 하나의 전체 전극층(345)을 형성하고, 이는 제1 접촉홀(O_1)을 커버한다. 전극층(345)에 포토레지스트층(346)을 형성하고; 마스크(347)를 사용하여 포토레지스트층(346)을 노광하여, 포토레지스트층(346)에서의 제1 접촉홀(O_1)에 위치하는 부분을 제거하며, 잔여 포토레지스트층(346)은 제1 접촉홀(O_1)의 최저면 및 상기 최저면과 서로 연결되는 제1 접촉홀(O_1)의 측벽의 일부분을 커버하고; 잔여 포토레지스트층(346)에 의해 커버되지 않은 전극층(346)을 에칭하며; 잔여 포토레지스트층(346); 부유 전극층(34)과 공통 전극층(35)을 에칭하여 획득한다.
- [0034] 여기서, 포토레지스트층(346)이 제1 패시베이션층(33)에서의 두께(d_1)는 제1 접촉홀(O_1)이 최저면에서의 두께(d_2)보다 얇고, 즉 $d_1 < d_2$ 이다. 본 발명의 실시예는 풀-톤 마스크를 사용하여 포토레지스트층(346)을 노광할 수 있고, 포토레지스트층(346)의 노광된 후 제1 접촉홀(O_1)의 최저면에서의 두께(d_3)는 노광되기 전에 제1 접촉홀(O_1)의 최저면에서의 두께(d_2)보다 얇고, 즉 $d_3 < d_2$ 이다. 물론, 하프-톤 마스크(half-tone mask)를 사용하여 포토레지스트층(346)을 노광할 수도 있다.
- [0035] S54: 제1 접촉홀 내부, 공통 전극층 및 공통 전극층에 의해 노출되는 제1 패시베이션층에 제2 패시베이션층을 형성하고, 제2 패시베이션층에 부유 전극층의 표면을 노출하는 제2 접촉홀을 형성한다.
- [0036] S55: 제2 패시베이션층 및 제1 접촉홀과 제2 접촉홀 내부에 픽셀 전극층을 형성하고, 픽셀 전극층이 제1 접촉홀과 제2 접촉홀을 통해 금속층과 전기적으로 연결되도록 한다.
- [0037] 본 실시예는 노광, 현상(developing), 에칭을 이용하여 제2 접촉홀(O_2), 사전 결정 패턴을 갖는 공통 전극층

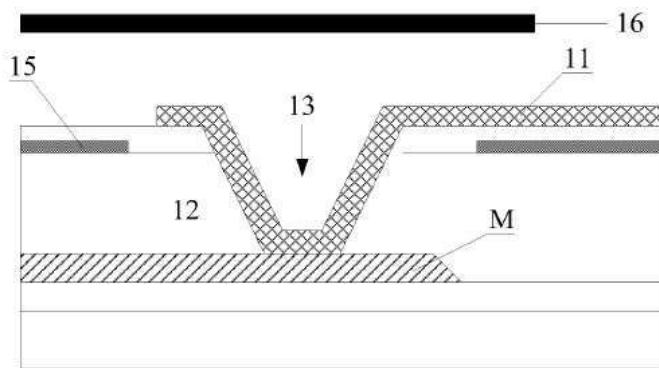
(35) 및 픽셀 전극층(37)을 획득할 수 있고, 또한 픽셀 전극층(37)은 제1 접착홀(O_1) 및 제2 접착홀(O_2)을 통해 박막 트랜지스터의 금속층(32)과 전기적으로 연결될 수 있다. 박막 트랜지스터의 게이트는 어레이 기판(30)에 형성된 게이트 라인과 대응되게 전기적으로 연결되고, 박막 트랜지스터의 소스 전극은 어레이 기판(30)에 형성된 데이터 라인과 대응되게 전기적으로 연결되며, 게이트 라인과 데이터 라인은 수직 교차하여 어레이 기판(30)의 픽셀 디스플레이 영역을 형성한다.

[0038]

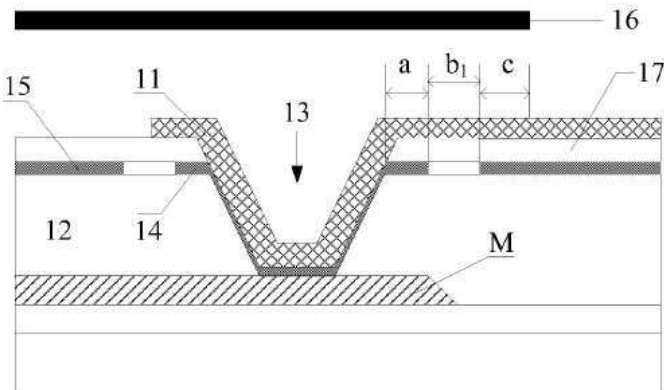
상기 내용은 단지 본 발명의 실시방식으로서, 본 발명의 특허범위를 한정하기 위한 것이 아니며, 본 발명의 명세서 및 도면의 내용을 이용한 등가 동등한 구조 또는 동등한 흐름의 변환, 또는 기타 관련 기술분야에서의 직접적이거나 간접적인 응용은 모두 본 발명의 특허보호범위에 속해야 한다.

도면

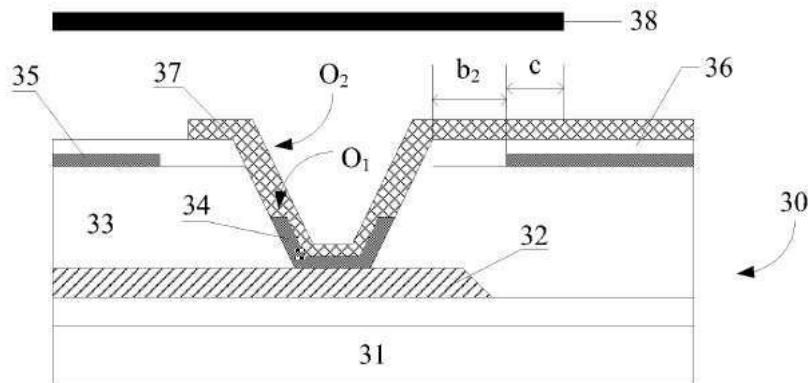
도면1



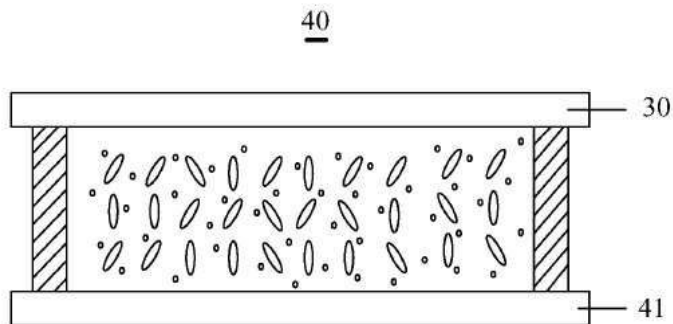
도면2



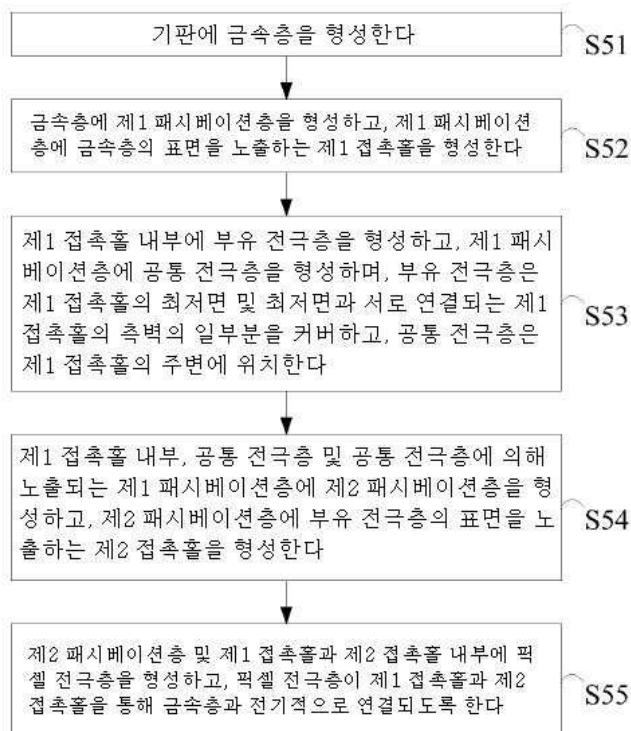
도면3



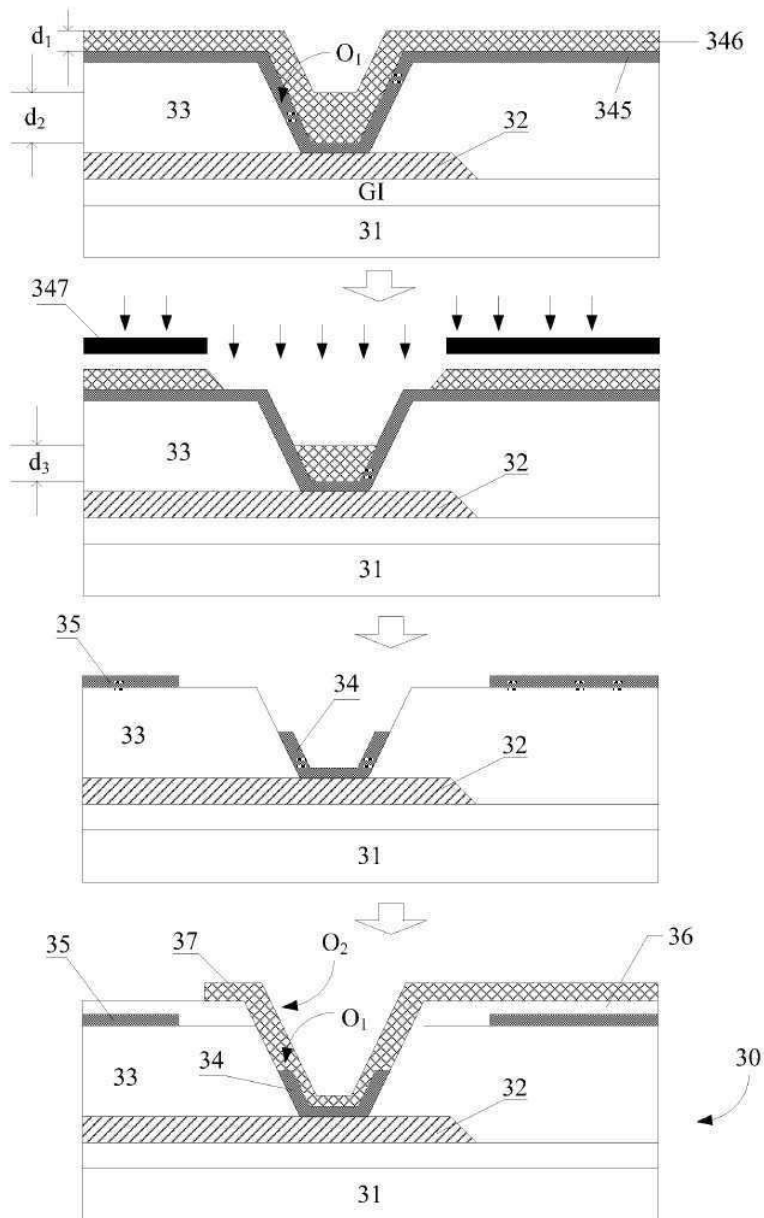
도면4



도면5



도면6



专利名称(译)	液晶显示面板，阵列基板及其制造方法		
公开(公告)号	KR1020180056708A	公开(公告)日	2018-05-29
申请号	KR1020187011025	申请日	2015-12-18
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	WANG MENG 왕멍		
发明人	왕멍		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/136227 G02F1/1368 G02F1/13439 G02F1/134309 G02F2201/40 G02F2201/121 H01L27/1214 H01L27/1259 G02F1/133512 G02F1/133345 G02F1/133514 G02F2201/123		
代理人(译)	朴素贤		
优先权	201510609170.4 2015-09-22 CN		
其他公开文献	KR102057821B1		
外部链接	Espacenet		

摘要(译)

除了TFT的金属层32与像素电极层37之间的电连接之外，阵列基板30和包括阵列基板30中的阵列基板30的液晶显示面板40的制造方法与第一实施例中的相同。在接触孔 (O₁ , O₂)

