



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0063308
(43) 공개일자 2017년06월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1339 (2006.01) G02F 1/1362 (2006.01)
G02F 1/1368 (2006.01)

(52) CPC특허분류

G02F 1/136 (2013.01)
G02F 1/133514 (2013.01)

(21) 출원번호 10-2015-0169543

(22) 출원일자 2015년11월30일
심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

안상욱
경상북도 구미시 박정희로 599 푸르지오캐슬A단지
아파트 112동 903호

(74) 대리인

특허법인인벤투스

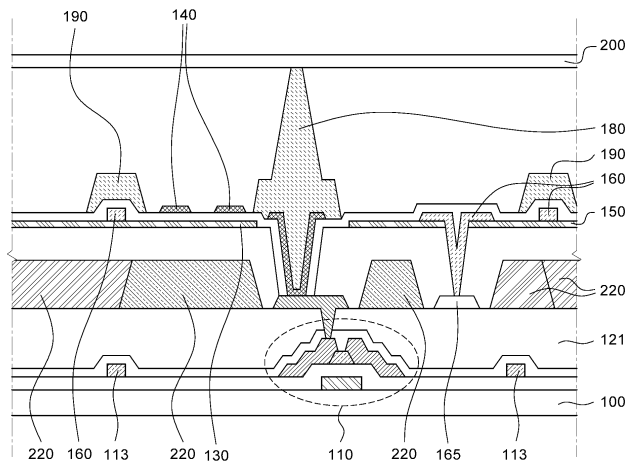
전체 청구항 수 : 총 12 항

(54) 발명의 명칭 액정 표시장치

(57) 요약

본 명세서는 액정 표시장치를 개시한다. 상기 액정 표시장치는 제1 기판 상의 박막 트랜지스터 (Thin Film Transistor)의 상부를 덮는 제1 평탄화 층; 상기 제1 평탄화 층 상에 있는 컬러 층; 상기 컬러 층의 상부를 덮는 제2 평탄화 층; 상기 제2 평탄화 층 상에 배치되며, 차광 영역을 정의하고 셀 갭을 유지하는 역할을 하는 이중 역할 부재를 포함한다.

대표도 - 도5



(52) CPC특허분류

G02F 1/1339 (2013.01)

G02F 1/136209 (2013.01)

G02F 1/1368 (2013.01)

명세서

청구범위

청구항 1

제1 기관 상의 박막 트랜지스터 (Thin Film Transistor)의 상부를 덮는 제1 평탄화 층;

상기 제1 평탄화 층 상에 있는 컬러 층;

상기 컬러 층의 상부를 덮는 제2 평탄화 층;

상기 제2 평탄화 층 상에 배치되며, 차광 영역을 정의하고 셀 갭을 유지하는 역할을 하는 이중 역할 부재를 포함하는 액정 표시장치.

청구항 2

제1 항에 있어서,

상기 이중 역할 부재는,

차광 영역을 정의하는 블랙 매트릭스; 셀 갭을 유지하는 컬럼 스페이서; 및 상기 컬럼 스페이서의 유동을 제한하는 범퍼의 역할을 모두 수행하는 액정 표시장치.

청구항 3

제2 항에 있어서,

상기 이중 역할 부재는,

상기 제2 평탄화 층에 마련된 콘택 홀(contact hole) 상에 있으며,

상기 콘택 홀은, 화소 전극과 상기 박막 트랜지스터를 연결하기 위해 구비된 액정 표시장치.

청구항 4

제1 항에 있어서,

상기 컬러 층의 각 색상 경계에 대응된 블랙 매트릭스를 더 포함하는 액정 표시장치.

청구항 5

제4 항에 있어서,

상기 제1 기관과 대향하며, 상기 이중 역할 부재와 접하는 제2 기관을 더 포함하는 액정 표시장치.

청구항 6

제5 항에 있어서,

상기 제2 기관은, 컬러 층 및 블랙 매트릭스를 구비하지 않은 액정 표시장치.

청구항 7

제6 항에 있어서,

상기 블랙 매트릭스는, 상기 제1 기관과 상기 제2 기관 사이의 푸쉬 갭(push gap)을 유지하도록 구비된 액정 표시장치.

청구항 8

제7 항에 있어서,

상기 이중 역할 부재와 상기 블랙 매트릭스는 동일 공정을 통해 만들어진 액정 표시장치.

청구항 9

제1 항에 있어서,

상기 제2 평탄화 층은,

상기 제2 평탄화 층 상의 공통전극, 및 상기 박막 트랜지스터와 동일 층상의 데이터 배선 사이에서 발생하는 커패시턴스(capacitance)가 일정 수준 이하가 되는 두께를 갖는 액정 표시장치.

청구항 10

제9 항에 있어서, 상기 제2 평탄화 층 상의 터치 전극을 더 포함하는 액정 표시장치.

청구항 11

제10 항에 있어서,

상기 박막 트랜지스터는, 비표시 영역에 배치된 박막 트랜지스터와는 다른 종류의 박막 트랜지스터인 액정 표시장치.

청구항 12

한 쌍의 기관;

상기 한 쌍의 기관 중 어느 한 기관에 있는 화소구동회로;

상기 화소구동회로와 동일 기관에 있고, 상기 화소구동회로의 상부에 위치한 컬러 층;

상기 컬러 층 상에 있으며, 상기 한 쌍의 기관 사이의 간격을 유지하면서 유동성이 최소화되고, 차광 역할도 수행하도록 마련된 복합 구조물을 포함하는 액정 표시장치.

발명의 설명

기술 분야

[0001] 본 명세서는 액정 표시장치에 관한 것으로서, 보다 상세하게는 한 기관에 화소구동회로 및 컬러 층이 구비된 액정 표시장치에 관한 것이다.

배경 기술

[0002] 액정 표시장치(Liquid Crystal Display; LCD)는 액정의 하부에 광원을 두고, 액정에 전기장을 인가하여 액정의 배열을 제어함으로써 광원에서 발생된 빛의 투과율을 조절하는 방식으로 화상을 구현하는 표시장치로서, 스마트폰, 태블릿 PC 등 다양한 전자 장비에 적용된다. 일반적으로, 액정 표시장치는 액정층을 포함하는 액정 표시패널, 액정 표시패널에 빛을 공급하는 백라이트 유닛(backlight unit) 및 백라이트 유닛을 수용하는 프레임(frame)으로 이루어질 수 있다. 액정 표시패널은 백라이트 유닛에서 공급된 빛을 액정층을 투과시켜 이미지를 표시한다.

[0003] 일반적인 액정표시장치는 컬러필터가 형성된 상부 기관과, 화소 영역이 정의되고 화소구동회로가 배치된 하부 기관이 있고, 상부 기관과 하부 기관 사이에는 액정이 충전되어 있다. 상기 하부 기관은 어레이기관(array substrate)이라고도 하며, 스위칭 소자인 박막트랜지스터가 매트릭스 형태로 위치한다.

[0004] 별도의 공정에서 각각 제작된 상부의 컬러필터 기관과 하부의 어레이 기관이 합착되어 액정패널이 제작되는데, 이때, 양 기관의 합착 오차에 의해 빛샘 불량 등이 발생하는 경우가 있다.

발명의 내용

해결하려는 과제

[0005] 본 명세서는 하나의 기관에 화소구동회로와 컬러필터가 모두 구비된 액정 표시장치를 제공하는 것을 목적으로 한다. 또한 본 명세서는 블랙 매트릭스와 컬럼 스페이서를 간소화된 공정으로 기관에 배치하는 방법을 제안하는

것을 목적으로 한다. 더 나아가, 본 명세서는 액정 표시장치에 나타나는 기생 커패시턴스를 줄이는 구조를 제공하고자 한다.

[0006] 본 명세서의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

[0007] 본 명세서의 일 실시예에 따라 액정 표시장치가 제공된다. 상기 액정 표시장치는, 제1 기판 상의 박막 트랜지스터 (Thin Film Transistor)의 상부를 덮는 제1 평탄화 층; 상기 제1 평탄화 층 상에 있는 컬러 층; 상기 컬러 층의 상부를 덮는 제2 평탄화 층; 상기 제2 평탄화 층 상에 배치되며, 차광 영역을 정의하고 셀 갭을 유지하는 역할을 하는 이중 역할 부재를 포함할 수 있다.

[0008] 본 명세서의 다른 실시예에 따라 액정 표시장치가 제공된다. 상기 액정 표시장치는 한 쌍의 기판; 상기 한 쌍의 기판 중 어느 한 기판에 있는 화소구동회로; 상기 화소구동회로와 동일 기판에 있고, 상기 화소구동회로의 상부에 위치한 컬러 층; 상기 컬러 층 상에 있으며, 상기 한 쌍의 기판 사이의 간격을 유지하면서 유동성이 최소화되고, 차광 역할도 수행하도록 마련된 복합 구조물을 포함할 수 있다.

[0009] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

[0010] 본 명세서의 실시예들, 하나의 기판에 TFT와 컬러필터가 모두 구비된 액정 표시장치에서 블랙 매트릭스와 컬럼 스페이서의 역할을 하는 복합 구조물을 단순화된 공정으로 배치할 수 있다. 이에 따라 본 명세서의 실시예에 따른 액정 표시장치는 컬러필터를 별도 기판에 제작하는 것에 비하여, 제조 비용과 장치의 두께 면에서 장점을 가질 수 있다. 또한 본 명세서의 실시예에 따른 액정 표시장치는 상하 기판 사이의 오정렬이 근본적으로 예방되는 장점이 있다.

[0011] 실시예들에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0012] 도 1는 본 명세서의 실시예에 따른 표시장치의 개략적인 평면도이다.
- 도 2는 본 명세서의 실시예에 따른 액정 표시장치의 표시 영역 중 일부를 나타낸 평면도이다.
- 도 3은 본 명세서의 실시예에 따른 액정 표시장치의 단면도 중 제1 예이다.
- 도 4는 본 명세서의 실시예에 따른 액정 표시장치의 단면도 중 제2 예이다.
- 도 5는 본 명세서의 실시예에 따른 액정 표시장치의 단면도 중 제3 예이다.

발명을 실시하기 위한 구체적인 내용

[0013] 본 명세서의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

[0014] 본 명세서의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 명세서가 도시된 사항에 한정되는 것은 아니다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성 요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.

[0015] 구성 요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.

- [0016] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다. 소자 또는 층이 다른 소자 또는 층 "위 (on)"로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0017] 어떤 구성 요소가 다른 구성요소에 "연결", "결합" 또는 "접속"된다고 기재된 경우, 그 구성 요소는 그 다른 구성요소에 직접적으로 연결되거나 또는 접속될 수 있지만, 각 구성 요소 사이에 다른 구성 요소가 "개재"되거나, 각 구성 요소가 다른 구성 요소를 통해 "연결", "결합" 또는 "접속"될 수도 있다고 이해되어야 할 것이다.
- [0018] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0019] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0020] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0021] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0022] 도 1은 본 명세서의 실시예에 따른 표시장치의 개략적인 평면도이다.
- [0023] 상기 표시장치의 한 예로서 액정 표시장치를 설명한다. 액정 표시장치(10)는 한 쌍의 기관과 그 사이의 액정(liquid crystal) 층을 포함할 수 있다.
- [0024] 하부 기관(100)과 상부 기관(200)이 합착된 영역 중 일부에는 영상 표시가 이루어지는 표시 영역(active area, A/A)이 있다. 상기 표시 영역에는 픽셀들의 어레이(array)가 배치된다. 하나 이상의 비표시 영역(inactive area, I/A)이 상기 표시 영역의 주위에 배치될 수 있다. 즉, 상기 비표시 영역(I/A)은, 표시 영역(A/A)의 하나 이상의 측면에 인접할 수 있다. 도 1에서 상기 비표시 영역은 사각형 형태의 표시 영역을 둘러싸고 있다. 그러나, 표시 영역의 형태 및 표시 영역에 인접한 비표시 영역의 형태 및/또는 배치는, 도 1에 도시된 예에 한정되지 않는다. 상기 표시 영역 및 상기 비표시 영역은, 상기 표시장치(10)를 탑재한 전자장치의 디자인에 적합한 형태일 수 있다. 상기 표시 영역의 예시적 형태는 오각형, 육각형, 원형, 타원형 등이다.
- [0025] 표시 영역(A/A)의 외부에는 비표시 영역(I/A)이 있다. 비표시 영역(I/A)에는 인터페이스부, 다수의 배선들 등이 위치한다. 인터페이스부에는 표시 영역으로 연장된 배선과 연결된 다수의 연결 인터페이스(pad, pin 등)가 위치한다.
- [0026] 상기 표시 영역 내의 각 픽셀(pixel)은 픽셀 회로와 연관될 수 있다. 상기 픽셀 회로는, 하나 이상의 트랜지스터(transistor)를 포함할 수 있다. 각 픽셀 회로는, 상기 비표시 영역에 위치한 게이트 드라이버 및 데이터 드라이버와 같은 하나 이상의 구동 회로와 통신하기 위해, 게이트 라인 및 데이터 라인과 전기적으로 연결될 수 있다.
- [0027] 상기 구동 회로는 상기 비표시 영역에 TFT(thin film transistor)로 구현될 수 있다. 이러한 구동 회로는 GIP(gate-in-panel)로 지칭될 수 있다. 또한, 데이터 드라이버 IC와 같은 몇몇 부품들은, 분리된 인쇄 회로 기판에 탑재되고, FPCB (flexible printed circuit board), COF (chip-on-film), TCP (tape-carrier-package) 등과 같은 회로 필름을 이용하여 상기 비표시 영역에 배치된 연결 인터페이스(패드, 핀 등)와 결합될 수 있다. 상기 인쇄 회로(COF, PCB 등)는 상기 표시장치(10)의 뒷편에 위치할 수 있다.
- [0028] 상기 표시장치(10)는, 다양한 신호를 생성하거나 표시 영역내의 픽셀을 구동하기 위한, 다양한 부가 요소들 포함할 수 있다. 상기 픽셀을 구동하기 위한 부가 요소는 인버터 회로, 멀티플렉서, 정전기 방전 회로(electrostatic discharge) 등을 포함할 수 있다. 상기 표시장치(10)는 픽셀 구동 이외의 기능과 연관된 부가 요소도 포함할 수 있다. 예를 들어, 상기 표시장치(10)는 터치 감지 기능, 사용자 인증 기능(예: 지문 인식), 멀티 레벨 압력 감지 기능, 촉각 피드백(tactile feedback) 기능 등을 제공하는 부가 요소들을 포함할 수 있다. 상기 언급된 부가 요소들은 상기 비표시 영역 및/또는 상기 연결 인터페이스와 연결된 외부 회로에 위치할 수 있다.
- [0029] 기관 상의 TFT 어레이와 컬러필터는, 박막증착(thin film deposition), 포토리소그래피 (photo-lithography),

식각(etching) 등의 공정을 통해 구현된다. 이후에 TFT 어레이 기판과 컬러필터 기판 중 어느 하나에 합착을 위한 셀 패턴(seal pattern)이 형성되고, 두 기판은 액정 층을 사이에 두고 대면 합착되어 액정 패널이 만들어진다. 이렇게 완성된 액정 패널은 편광판, 구동회로 등이 부착된 후 백라이트 유닛(backlight unit)과 일체화되어 액정 표시장치를 이룬다.

- [0030] 이때 상부 기판과 하부 기판을 합착시키는 실런트(sealant, 300)로는, 가열에 의해 경화되는 열경화성 수지 또는 자외선에 의해 경화되는 자외선 경화성 수지가 사용될 수 있다. 자외선 경화성 수지는 광개시제와 자외선(UV)경화제가 함유된 모노머(monomer), 셀 갭 유지를 위한 유리 섬유(glass fiber) 등을 포함할 수 있다. 양 기판 중 어느 하나의 가장자리에 실런트가 도포된 후, 양 기판 사이에 액정을 주입한 상태에서 수은 자외선 램프(mercury lamp) 또는 메탈 할라이드 램프(metal halide lamp)를 통해 자외선(UV)이 조사되면, 실런트가 경화되면서 양 기판이 합착된다.
- [0031] 도 2는 본 명세서의 실시예에 따른 액정 표시장치의 표시 영역 중 일부를 나타낸 평면도이다.
- [0032] 표시 영역은, 빛이 투과되어 화상이 표시되는 개구 영역(aperture area)과 빛이 투과되지 않는 차광 영역(shielding area)으로 구분될 수 있다. 일반적으로 차광 영역은 블랙 매트릭스와 같은 차광재가 덮는 영역이다. 이때 차광 영역에는 TFT, 스페이서, 신호 라인 등이 배치된다. 또한 차광 영역은 서로 다른 컬러 사이의 경계가 된다.
- [0033] 상기 스페이서는 컬럼 스페이서(column spacer)일 수 있다. 상기 컬럼 스페이서는 상하 기판 사이의 간격(cell gap)을 유지시키는 제1 스페이서(갭 스페이서) 및 상하 기판 사이에 눌림 간격(push gap)을 형성시키는 제2 스페이서(푸쉬 스페이서,)를 포함할 수 있다. 갭 스페이서 및 푸쉬 스페이서는 하프톤 마스크(half tone mask)를 이용한 단일 마스크 공정으로 동시에 형성될 수 있다.
- [0034] 푸쉬 스페이서는 갭 스페이서보다 낮은 높이로 형성될 수 있다. 푸쉬 스페이서는 소정의 눌림 간격(예: 5,000~6,000Å)을 형성하여 상부 기판을 누르는 외력이 가해졌을 때 액정 패널이 파손되는 것을 방지한다.
- [0035] 도 3은 본 명세서의 실시예에 따른 액정 표시장치의 단면도 중 제1 예이다.
- [0036] 도 3에는 컬러 층이 상부 기판에 배열된 액정 표시장치가 도시되었다. 상기 액정 표시장치는 제1 기판(100, 하부 기판), 제2 기판(200, 상부 기판), 상기 제1 기판(100)과 제2 기판(200) 사이에 형성된 액정층, 박막 트랜지스터(110), 평탄화 층(121, 122), 공통 전극(130), 화소 전극(140), 블랙 매트릭스(210), 컬러 층(220), 컬럼 스페이서(250) 등을 포함한다.
- [0037] 제1 기판(100)은 TFT 어레이 기판으로서, 실리콘(Si), 유리(glass) 또는 투명한 플라스틱이나 고분자 필름 등의 절연 물질로 이루어질 수 있다. 제1 기판(100)에는 복수의 화소(픽셀 또는 서브 픽셀) 및 화소를 구동하는 소자(트랜지스터, 커패시터 등)가 배열된다. 제1 기판(100)에는 복수의 화소 영역이 정의된다. 각 화소 영역에는 스위칭 소자로서 박막 트랜지스터(TFT, 110)가 형성되어 있다. 박막 트랜지스터(110)는 각각의 서브 화소(R, G, B)에 대응하여 배치된다. 박막 트랜지스터(110)는 게이트 전극, 액티브 층, 소스 전극, 드레인 전극을 포함하며, 소스 전극과 드레인 전극 사이의 액티브층이 박막 트랜지스터(110)의 채널이 된다.
- [0038] 박막 트랜지스터(110)를 덮도록 제1 평탄화 층(121)이 위치한다. 평탄화 층(120)은 박막 트랜지스터(110)의 상부를 평탄화한다. 즉, 평탄화층(120)은 박막 트랜지스터(110)로 인한 제1 기판(100)의 표면의 단차를 없앤다.
- [0039] 제2 평탄화 층(122)이 제1 평탄화 층(121) 상부에 위치한다. 제2 평탄화 층(122)에는 화소 전극과 박막 트랜지스터(110)를 연결하기 위한 콘택 홀(contact hole)이 마련된다. 제2 평탄화 층(122)의 두께에 따라, 제2 평탄화 층(122) 상의 전극과 하부 배선들 사이의 커패시턴스(capacitance)가 달라질 수 있다.
- [0040] 공통 전극(130)이 제2 평탄화 층(122) 상에 위치한다. 공통 전극(130)은 액정을 구동하기 위한 공통 전압(Vcom)을 픽셀에 공급하는 전극으로서, 제2 평탄화 층 상부에(콘택 홀이 있는 영역을 제외) 단일 패턴으로 형성될 수도 있다. 공통 전극(130)은 별도의 콘택 홀을 통해 공통 라인과 전기적으로 연결될 수 있다.
- [0041] 보호막(150)은 공통 전극(130)을 덮는다. 보호막(150)은 공통 전극(130)을 보호함과 동시에 공통 전극(130) 상부를 평탄화한다. 보호막(150)은 평탄화 층(121, 122)과 동일한 물질로 형성될 수도 있고, 상이한 절연 물질로 형성될 수도 있다.
- [0042] 화소 전극(140)이 보호막(150) 상에 위치한다. 화소 전극(140)은 액정을 구동하는 전극이다. 화소 전극(140)은 박막 트랜지스터(110)의 드레인 전극과 전기적으로 연결된다. 이때 상기 화소 전극(140)은 연결 전극(115)을 통

해 박막 트랜지스터(110)의 드레인 전극과 전기적으로 연결될 수 있다.

- [0043] 보호막(150) 상의 박막 트랜지스터(110)와 중첩되는 영역에 컬러필터 기관(200) 방향으로 돌출된 돌출 구조물(170)이 위치한다. 상기 돌출 구조물은 범퍼(bumper), 스톱퍼(stopeer), 홀더(holder) 등으로 호칭될 수도 있다. 상기 돌출 구조물(이하 범퍼)은 컬럼 스페이서들(250)의 움직임을 제한한다. 상기 범퍼(170)는 원(circle) 모양 또는, 바(bar) 모양의 단면을 가질 수 있다.
- [0044] 제1 배향막(alignment layer)이 보호막(150) 및 범퍼(170) 상에 위치할 수 있다. 제1 배향막은 폴리이미드(PI: Polyimide)로 형성될 수 있으며, 액정의 배향 방향을 조절한다.
- [0045] 제2 기관(200)은 컬러필터 기관으로서, 제1 기관(100)에 대향한다. 제2 기관(200)은 블랙 매트릭스(210), 컬러필터(220), 오버코팅 층(230), 컬럼 스페이서(250), 제2 배향막 등을 포함할 수 있다. 블랙 매트릭스(210)는 차광 영역에 대응하도록 형성되며, 적색(R), 녹색(G), 청색(B) 컬러필터(220)는 개구 영역에 대응하도록 배치된다.
- [0046] 블랙 매트릭스(210)는 각 화소 영역의 경계에 대응되어 빛샘을 방지하며, 불투명한 물질로 만들어진다. 컬러필터(220)는 컬러 화상을 표시하기 위해 적색(red), 녹색(green), 청색(blue)의 컬러 안료를 마스크를 이용하여 선택적으로 도포 및 제거하여 형성된다.
- [0047] 오버코팅 층(230)은 블랙 매트릭스(210)와 컬러필터(220)를 덮는다. 오버코팅 층(230)은 블랙 매트릭스(210), 적색, 녹색 및 청색 컬러필터가 상부를 평탄화하기 위한 층으로서, 절연 물질로 만들어진다.
- [0048] 제1 기관(100)의 범퍼(170)와 대응되도록 제2 기관(200)에 컬럼 스페이서(250)가 위치한다. 컬럼 스페이서(250)는 단면이 원(circle) 모양, 또는 바(bar) 모양일 수 있다. 또한 각각의 컬럼 스페이서(250)의 외형은 테이퍼(taper) 형상일 수 있다. 예를 들어, 오버코팅 층(230)과 접하는 갭 스페이서(250)는 상단부가 16 μ m의 폭이고, 하단부는 12 μ m의 폭인 테이퍼 형상일 수 있다.
- [0049] 제2 배향막이 컬럼 스페이서(250)를 덮는다. 제2 배향막은 폴리이미드(PI: Polyimide)로 형성될 수 있다.
- [0050] 갭 스페이서는 제1 기관(100)의 범퍼(170) 및 제2 기관(200)의 블랙 매트릭스(210)와 (수직방향에서) 중첩된다. 범퍼(171)와 대응되는 영역에 컬럼 스페이서(250)가 형성되어 제1 기관(100)과 제2 기관(200) 사이의 셀 갭을 유지한다. 외력에 의해 갭 스페이서(250)가 좌우로 유동되더라도, 범퍼(170)에 의해서 갭 스페이서(250)가 표시 영역의 제1 배향막과 접촉하지 않게 된다. 이로써 표시 영역의 제1 배향막과, 컬럼 스페이서의 접촉에 의해 제1 기관상의 손상(제1 배향막의 배향 방향이 틀어지거나 제1 배향막에 균열이 발생하는 것)이 방지된다.
- [0051] 도 3과 같이 컬러필터와 화소구동소자가 서로 다른 기관에 배치되고 나중에 서로 합착되는 경우에는, 각 픽셀의 정렬(alignment)에 어려움을 겪을 수 있다. 만약 정렬이 흐트러지면 투과율, 시감 등이 악영향을 받게 된다.
- [0052] 한편, 상부 층의 전극과 하부 층의 배선 사이에 형성되는 기생 커패시턴스를 줄이려면, 평탄화 층이 충분히 두꺼워야 하는데, 이는 표시장치의 박형화 추세에 걸림돌이 된다.
- [0053] 도 4는 본 명세서의 실시예에 따른 액정 표시장치의 단면도 중 제2 예이다.
- [0054] 도 4에는 컬러 층이 하부 기관의 TFT 상에 배열된 액정 표시장치가 도시되었다. 도 4에서 도 3과 식별 부호가 동일한 구성 요소는 도 3에서의 설명된 것과 실질적으로 동일하므로, 중복된 설명을 생략한다.
- [0055] 도 4와 같은 구조의 액정 표시장치는, 제1 평탄화 층(121) 상부에 컬러 층(220)이 배치된다. 이에 따라 상부 기관(200)에는 블랙 매트릭스(210)와 오버코팅 층(230)만 놓이게 된다.
- [0056] 진술하였듯이, 상부 층의 전극(130, 140)과 하부 층의 배선(113) 사이에 형성되는 기생 커패시턴스를 줄이려면, 평탄화 층이 충분히 두꺼워야 한다. 이 경우 표시장치의 전체 두께가 두꺼워지지만, 도 4와 같이 컬러 층(220)을 제2 평탄화 층(122) 내부에 배열한다면, 컬러 층(220)의 두께만큼 표시장치의 상하 폭이 줄어들 수 있다. 이에 본 실시예와 같은 구조는 기생 커패시턴스를 해결하면서도 표시장치의 박형화를 달성할 수 있다.
- [0057] 한편, 터치 전극(160) 및 터치 배선(165)은 인셀터치(In-cell touch)의 구현을 위해 제2 평탄화 층(122) 상부에 마련될 수 있다.
- [0058] 도 5는 본 명세서의 다른 실시예에 따른 액정 표시장치의 스페이서를 나타낸 평면도이다.
- [0059] 도 5에는 컬러 층이 하부 기관의 TFT 상에 배열된 액정 표시장치가 도시되었다. 상기 액정 표시장치는 제1 기관(100, 상부 기관), 제2 기관(200, 하부 기관), 상기 제1 기관(100)과 제2 기관(200) 사이에 형성된 액정층, 박

막 트랜지스터(110), 평탄화 층(121, 122), 공통 전극(130), 컬러 층(220), 복합 구조물(180) 등을 포함한다.

[0060] 상기 제1 기관의 표시 영역(A/A)에는 화소 소자들이 마련된다. 표시 영역의 바깥 쪽에는 비표시 영역(I/A)이 마련되고, 비표시 영역(I/A)에는 구동회로(GIP, MUX 등), 표시 영역으로 연장된 배선, 다수의 연결 인터페이스(pad, pin 등) 등이 위치할 수 있다 제1 기관(100)은 실리콘(Si), 유리(glass) 또는 투명한 플라스틱이나 고분자 필름 등의 절연 물질로 이루어질 수 있다. 다만, 제1 기관(100)이 전술한 절연 물질에 한정되는 것은 아니며, 그 위에 형성되는 다수의 층과 소자를 지지할 수 있는 재료면 충분하다. 제1 기관(100)에는 복수의 화소(픽셀 또는 서브 픽셀) 및 화소를 구동하는 소자(트랜지스터, 커패시터 등), 적색/녹색/청색 컬러 층(220)이 배열된다. 이하에서, 제1 기관(100)은 지지 기관 및 그 위에 배열된 소자들의 어셈블리(assembly)를 지칭하기도 한다.

[0061] 제1 기관(100)에는 복수의 화소 영역이 정의된다. 각 화소 영역에는 스위칭 소자로서 박막 트랜지스터(TFT, 110)가 형성되어 있다. 박막 트랜지스터(110)는 각각의 서브 화소(R, G, B)에 대응하여 배치된다. 박막 트랜지스터(110)는 게이트 전극, 액티브 층, 소스 전극, 드레인 전극을 포함하며, 소스 전극과 드레인 전극 사이의 액티브 층이 박막 트랜지스터(110)의 채널이 된다. 게이트 전극, 소스 전극, 드레인 전극은 저저항 특성을 갖는 금속물질, 예를 들어 알루미늄(Al), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 또는 이들의 합금으로 이루어진 단일 층 또는 다중 층으로 구성될 수 있다. 액티브 층은 비정질 실리콘막, 비정질 실리콘을 결정화한 다결정 실리콘막, 산화물(oxide) 반도체 또는 유기물(organic) 반도체 등으로 구성될 수 있다. 이때, 하나의 표시장치에 2종 이상의 박막 트랜지스터가 사용될 수도 있다. 예컨대, 표시 영역에는 산화물(oxide) TFT가 사용되고, 비표시 영역의 GIP, MUX 등에는 LTPS(Low Temperature Polycrystalline Silicon) TFT가 사용될 수 있다.

[0062] 박막 트랜지스터(110)가 스테거드(staggered) 구조인 경우, 제1 기관(100) 상에 게이트 라인과 전기적으로 연결된 게이트 전극이 위치하고, 게이트 전극 상에 게이트 절연 층이 덮인다. 게이트 절연 층 상에 채널이 형성되는 액티브 층이 있고, 액티브 층 상에 데이터 라인과 전기적으로 연결된 드레인 전극 및 화소 전극과 전기적으로 연결된 소스 전극이 위치한다.

[0063] 박막 트랜지스터(110)가 코플라나(coplanar) 구조인 경우, 액티브 층이 기관 위에 형성된다. 이 때, 기관(100)과 액티브 층 사이에는 버퍼 층이 더 위치할 수 있다. 버퍼 층은 기관(100)으로부터 유출되는 알칼리 이온과 같은 불순물로부터 박막 트랜지스터를 보호할 수 있다. 액티브 층 위에는 실리콘질화막(SiNx), 실리콘산화막(SiO2) 등으로 이루어진 게이트 절연 층이 형성된다. 게이트 절연 층은 표시영역 및 패드영역에 형성될 수 있다. 즉, 게이트 절연 층은 액티브 층이 형성된 기관(100) 전면에 형성될 수 있다. 다만, 본 발명이 이에 한정되는 것은 아니다. 게이트 절연 층 위에 게이트 전극이 위치한다. 게이트 전극은 표시영역에서 액티브 층과 중첩되도록 형성될 수 있다. 한편, 게이트 전극과 게이트 라인은 일체로 형성될 수 있다. 게이트 전극 위에는 실리콘질화막 또는 실리콘산화막 등으로 이루어진 층간 절연막(inter insulation layer)이 위치한다. 층간 절연막 위에 소스/드레인 전극이 형성된다. 이 때, 층간 절연막은 다수의 콘택 홀(contact hole)을 포함할 수 있다. 소스 전극과 드레인 전극은 소정 간격으로 이격되어 액티브 층과 전기적으로 연결된다. 보다 구체적으로는, 게이트 절연 층 및 층간 절연막에는 액티브 층을 노출시키는 반도체층 콘택홀이 있으며, 반도체층 콘택홀을 통해 소스/드레인 전극이 액티브 층과 전기적으로 접속된다.

[0064] 박막 트랜지스터(110)를 덮도록 제1 평탄화 층(121)이 위치한다. 평탄화 층(120)은 박막 트랜지스터(110)의 상부를 평탄화한다. 제1 평탄화층(121)은 제1 기관(100) 전면에 포토 아크릴(photo acrylic) 등과 같이 낮은 유전율을 가진 유기 절연 물질로 형성될 수 있다. 이러한, 제1 평탄화층(121)은 박막 트랜지스터(110)로 인한 제1 기관(100)의 표면의 단차를 없앤다. 제1 평탄화층(121)은 약 2.3 μm의 두께일 수 있다.

[0065] 컬러 층(220)이 제1 평탄화층(121)의 상부에 위치한다. 적색(R), 녹색(G), 청색(B) 컬러 층(220)은 개구 영역에 대응하도록 배치된다. 컬러 층(220)은 각 컬러 안료를 마스크를 통해 선택적으로 도포 및 제거함으로써 형성될 수 있다.

[0066] 제2 평탄화 층(122)은 상기 컬러 층(220)의 상부를 덮는다. 도 5와 같이 컬러 층(220)을 제2 평탄화 층(122) 내부에 배열한다면, 컬러 층(220)의 두께만큼 표시장치의 상하 폭이 줄어들 수 있다. 이에 본 구조는 도 4에서 설명된 바와 같이, 기생 캐패시턴스를 해결하면서도 표시장치의 박형화를 달성할 수 있다. 일 예로, 상기 제2 평탄화 층(122)은, 기생 캐패시턴스(예: 제2 평탄화 층 상의 공통전극, 및 상기 박막 트랜지스터와 동일 층상의 데이터 배선 사이에서 발생하는 커패시턴스)가 일정 수준 이하가 되는 두께(예: 3.0~3.8 μm)를 가질 수 있다.

- [0067] 공통 전극(130)이 제2 평탄화 층(122) 상에 위치한다. 공통 전극(130)은 액정을 구동하기 위한 공통 전압(Vcom)을 픽셀에 공급하는 전극으로서, 제2 평탄화 층(122) 상부에 (컨택 홀이 있는 영역을 제외하고) 단일 패턴으로 형성될 수도 있다. 공통 전극(130)은 별도의 컨택 홀을 통해 공통 라인과 전기적으로 연결될 수 있다. 공통 전극(130)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와 같은 투명 전도성 물질로 형성될 수 있다.
- [0068] 보호막(150)은 공통 전극(130)을 덮는다. 보호막(150)은 산화실리콘(SiO₂) 또는 질화실리콘(SiN_x) 등과 같은 무기 물질로 이루어질 수 있다. 또한, 보호막(150)은 무기 물질뿐만 아니라 유기 물질로 형성될 수도 있다. 보호막(150)은 공통 전극(130)을 보호함과 동시에 공통 전극(130) 상부를 평탄화한다. 보호막(150)은 평탄화 층(121, 122)과 동일한 물질로 형성될 수도 있고, 상이한 절연 물질로 형성될 수도 있다.
- [0069] 화소 전극(140)이 보호막(150) 상에 위치한다. 화소 전극(140)은 액정을 구동하는 전극으로서, 각각의 화소에 박스 형태로 형성되는 한편 보호막(150) 위에 다수의 슬릿(slit)을 가지도록 형성될 수 있다. 화소 전극(140)은 박막 트랜지스터(110)의 드레인 전극과 전기적으로 연결된다. 화소 전극은 중앙부가 적어도 1회 꺾어진 형태를 가질 수 있다. 화소 전극(140)과 공통 전극(130)은 투명 도전성 물질로 형성될 수 있다. 공통 전극(130)이 화소 전극 상부에 위치할 수도 있으며, 화소 전극과 공통 전극(130)이 동일 층에 위치할 수도 있다.
- [0070] 보호막(150) 상의 박막 트랜지스터(110)와 중첩되는 영역에 상부 기관(200) 방향으로 돌출된 복합 구조물(180)이 위치한다. 상기 복합 구조물(180)은 원(circle) 모양 또는 바(bar) 모양의 단면을 가질 수 있다. 상기 복합 구조물(180)은 상기 제2 평탄화 층(122) 상에 배치되며, 차광 영역을 정의하고 셀 갭을 유지하는 역할을 한다. 이에 상기 복합 구조물(180)은 이중 역할 부재로 호칭될 수도 있다.
- [0071] 상기 이중 역할 부재(180)는 차광 영역을 정의하는 블랙 매트릭스; 셀 갭을 유지하는 컬럼 스페이서; 및 상기 컬럼 스페이서의 유동을 제한하는 범퍼의 역할을 모두 수행할 수 있다. 즉, 상기 이중 역할 부재(180)는 불투명한 물질로 구성되어 차광 영역을 만들 수 있으며, 도 3 및 4에 도시된 컬럼 스페이서와 범퍼를 일체화하여 각각의 기능(셀 갭 유지 및 유동 방지)을 모두 수행할 수 있다. 이때, 제1 기관(100)과 제2 기관(200) 사이의 셀 갭은 2.7~2.8 μm일 수 있다.
- [0072] 한편, 상기 이중 역할 부재(180)는 회로 소자들 사이의 전기적 연결을 위해 구비된 하나 이상의 컨택 홀의 상부에 위치할 수 있다. 예를 들어 상기 컨택 홀은 화소 전극(140)과 박막 트랜지스터(110)를 연결하기 위해 제2 평탄화 층(122)에 마련된 것일 수 있다. 상기 컨택 홀이 시야에 노출되면 깨알처럼 보이는 얼룩으로 인식될 수 있기 때문에, 상기 이중 역할 부재(180)는 컨택 홀 위에 위치함으로써 이러한 불량을 예방할 수 있다.
- [0073] 이중 역할 부재(180)는 청색 화소와 적색 화소 사이의 차광 영역에 대응하여 배치될 수 있다. 그러나, 이에 한정되지 않고, 이중 역할 부재(180)는 적색 화소와 녹색 화소 사이의 차광영역에 대응하여 배치될 수도 있다.
- [0074] 블랙 매트릭스(190)는 컬러 층(220)의 각 색상 경계에 대응된 위치에 배치될 수 있다. 즉, 상기 블랙 매트릭스(190)는 각 서브 픽셀의 경계에 대응되어 빛샘을 방지할 수 있다. 상기 블랙 매트릭스(190)는 상기 이중 역할 부재(180)와 동일한 물질로 구성될 수 있다. 또한 상기 블랙 매트릭스(190)는, 하프톤 마스크(half tone mask)를 이용한 단일 공정으로 상기 이중 역할 부재(180)와 함께 형성될 수 있다. 또한 상기 블랙 매트릭스(190)는 푸쉬 스페이서의 기능, 즉 제1 기관(100)과 제2 기관(200) 사이의 푸쉬 갭(push gap)을 유지하도록 구비될 수 있다. 상기 블랙 매트릭스(190)에 대응하는 영역에는 신호 라인(113), 전극(160) 등이 위치할 수 있다.
- [0075] 제2 기관(200)은 제1 기관(100)에 대향한다. 상기 제2 기관(200)은 상기 이중 역할 부재(180)와 접한다. 컬러 층(220)과 블랙 매트릭스(190)가 제1 기관에 있기 때문에, 상기 제2 기관(200)은, 컬러 층 및 블랙 매트릭스를 구비하지 않는다.
- [0076] 터치 전극(160) 및 터치 배선(165)은 인셀터치(In-cell touch)의 구현을 위해 제2 평탄화 층(122) 상부에 마련될 수 있다. 상기 터치 전극(160)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)와 같은 투명 전도성 물질로 형성될 수 있다.
- [0077] 본 실시예에 따른 액정 표시장치는 한 쌍의 기관(100, 200); 상기 한 쌍의 기관 중 어느 한 기관에 있는 화소구동회로(110, 113, 130, 140); 상기 화소구동회로와 동일 기관에 있고, 상기 화소구동회로의 상부에 위치한 컬러 층(220); 상기 컬러 층(220) 상에 있는 복합 구조물(180)을 포함할 수 있다. 상기 복합 구조물(180)은 상기 한 쌍의 기관(100, 200) 사이의 간격을 유지하면서 유동성이 최소화되고, 차광 역할도 수행하도록 마련된다.
- [0078] 본 실시예는 컬럼 스페이서와 범퍼가 일체화된 이중 역할 부재(복합 구조물)를 적용함으로써 외력이 가해졌을 때 컬럼 스페이서의 유동에 의해 배향막이 손상(배향막의 배향 방향이 틀어지거나 배향막에 굽힘이 발생하는

것)이 예방된다. 더 나아가, 컬러 층(220) 및 블랙 매트릭스(190)를 하부 기판(제2 평탄화 층(122) 내부)에 배열하여, 컬러 층(220)의 두께만큼 표시장치의 상하 폭이 줄어들 수 있다. 이에 본 실시예와 같은 구조는 기생 캐패시턴스를 해결하면서도 표시장치의 박형화를 달성할 수 있다. 이와 더불어 평탄화 층의 두께를 충분히 크게 할 수 있어(예: 4.5 ~5.3 μm), 기생 캐패시턴스 문제를 해결할 수 있다.

[0079] 또한 본 실시예에 따른 액정 표시장치는 상부 기판(컬러필터 기판)을 제작하는 복잡성과 비용이 절감된다. 특히, 도 3의 구조에서는 블랙 매트릭스, 컬럼 스페이서 및 범퍼를 형성하는 각각의 공정이 필요하지만, 도 5의 구조는 이를 하나의 공정에서 만들 수 있는 장점이 있다.

[0080] 또 다른 측면에서, 본 실시예는 컬러층과 화소구동소자가 하나의 기판에 있기 때문에, 도 3의 구조에서 나타날 수 있는 상하 기판의 오정렬(misalignment) 문제가 해결된다.

[0081] 이상 첨부된 도면을 참조하여 본 명세서의 실시예들을 상세하게 설명하였으나, 본 명세서는 반드시 이러한 실시예로 국한되는 것은 아니고, 본 명세서의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 명세서에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리 범위에 포함되는 것으로 해석되어야 할 것이다.

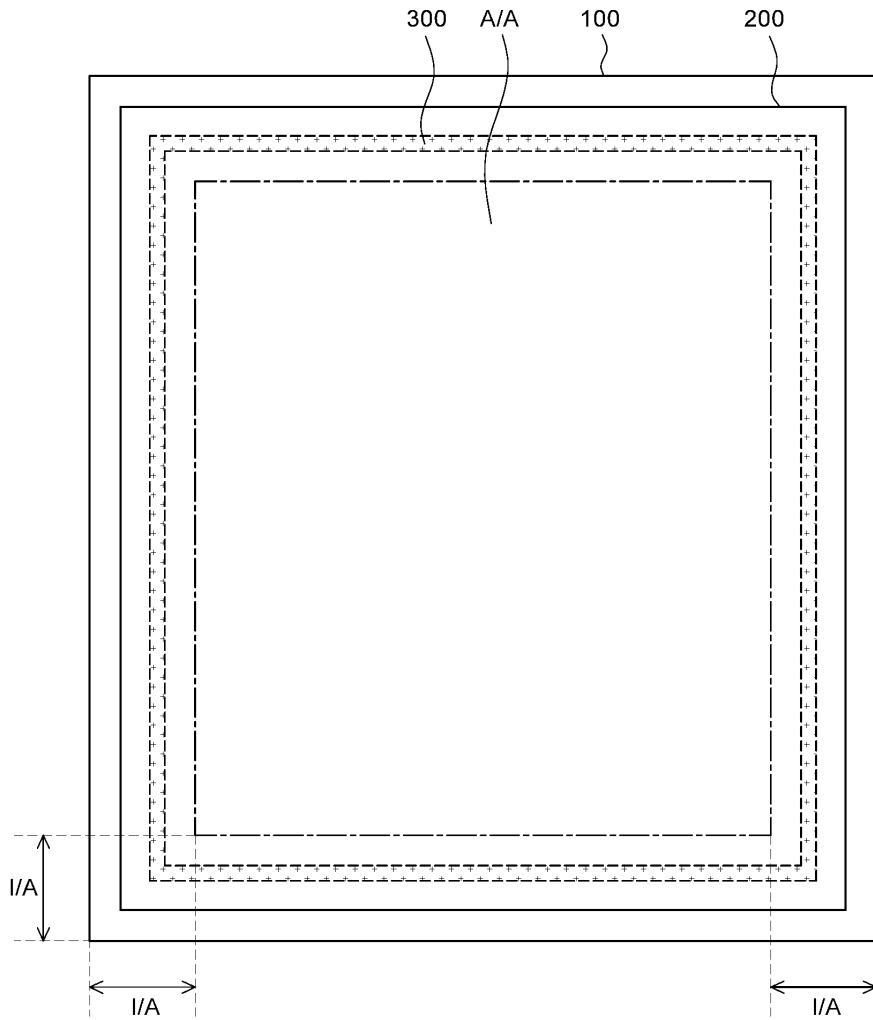
부호의 설명

- [0082] 10: 액정 표시장치
- 180: 복합 구조물
- 190: 블랙 매트릭스
- 220: 컬러 층

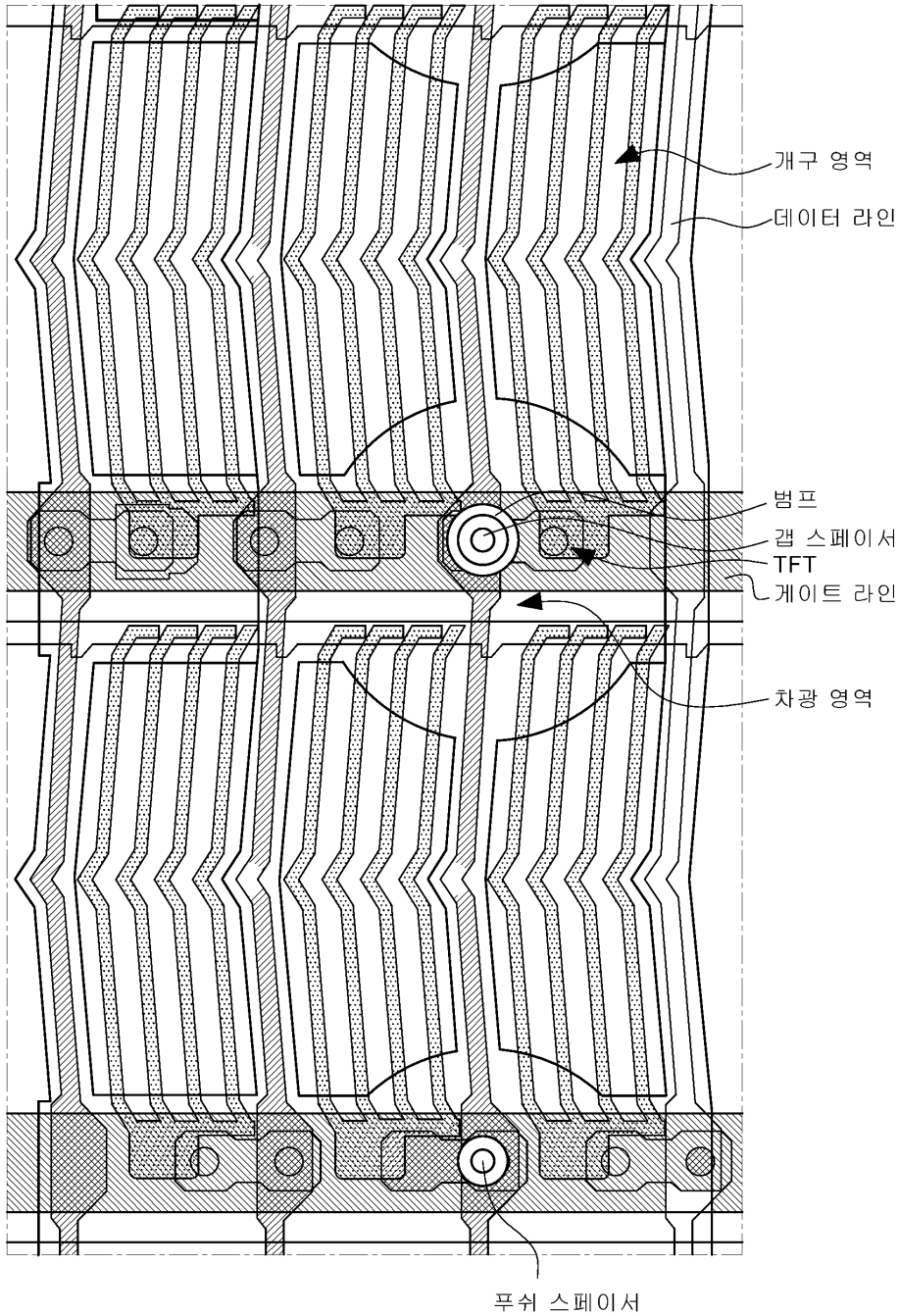
도면

도면1

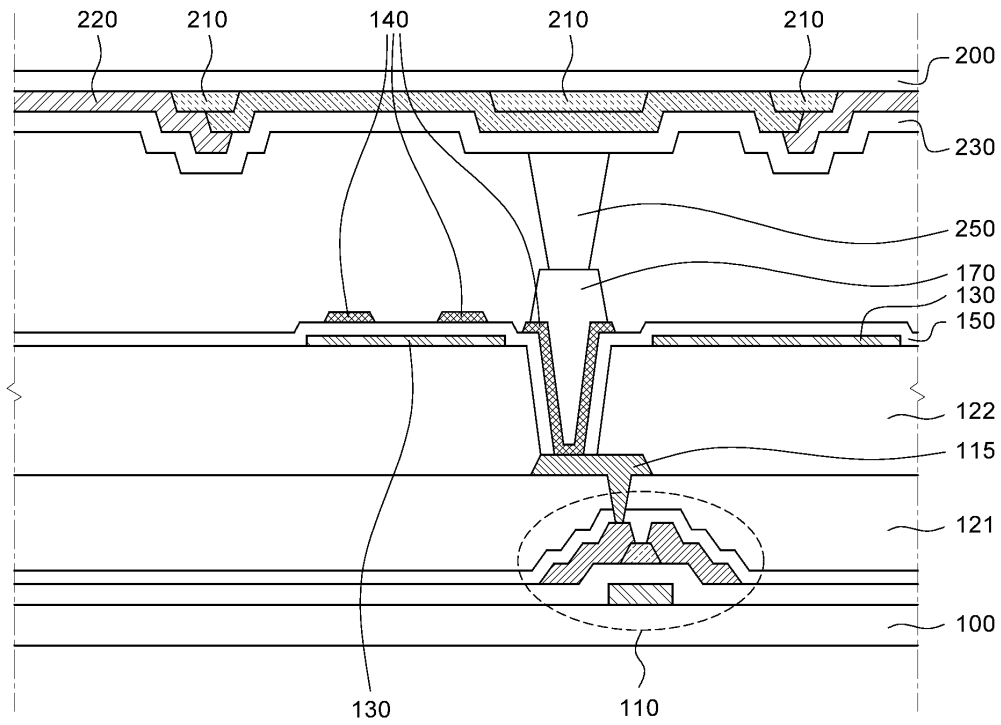
10



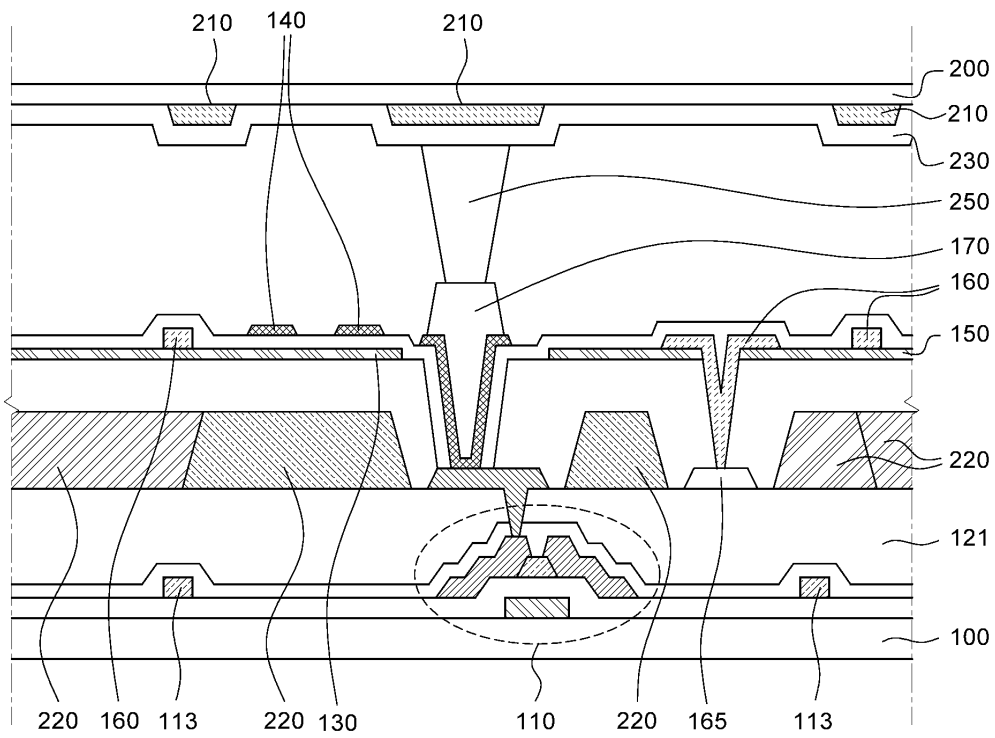
도면2



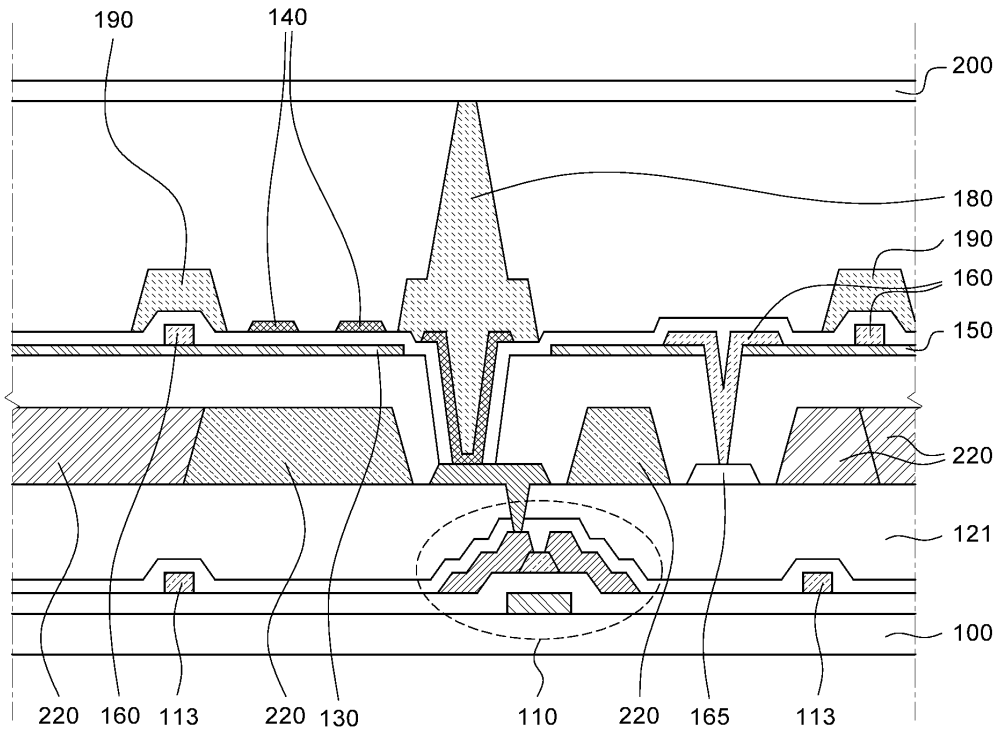
도면3



도면4



도면5



专利名称(译)	液晶显示器		
公开(公告)号	KR1020170063308A	公开(公告)日	2017-06-08
申请号	KR1020150169543	申请日	2015-11-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	AHN SANG UK 안상욱		
发明人	안상욱		
IPC分类号	G02F1/136 G02F1/1335 G02F1/1339 G02F1/1362 G02F1/1368		
CPC分类号	G02F1/136 G02F1/1368 G02F1/133514 G02F1/136209 G02F1/1339		
外部链接	Espacenet		

摘要(译)

覆盖晶体管上部的第一平坦化层;第一平坦化层上的颜色层;第二平坦化层,覆盖着色层的上部;并且双作用构件设置在第二平坦化层上并限定屏蔽区域并保持单元间隙。

