



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0010964
(43) 공개일자 2017년02월02일

(51) 국제특허분류(Int. Cl.)

G09G 3/36 (2006.01)

(52) CPC특허분류

G09G 3/3648 (2013.01)

G09G 2300/0819 (2013.01)

(21) 출원번호 10-2015-0102656

(22) 출원일자 2015년07월20일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 1 (농서동)

(72) 발명자

조동범

충청남도 아산시 탕정면 탕정면로 37, 403동 704호(탕정삼성트라팰리스)

(74) 대리인

특허법인 고려

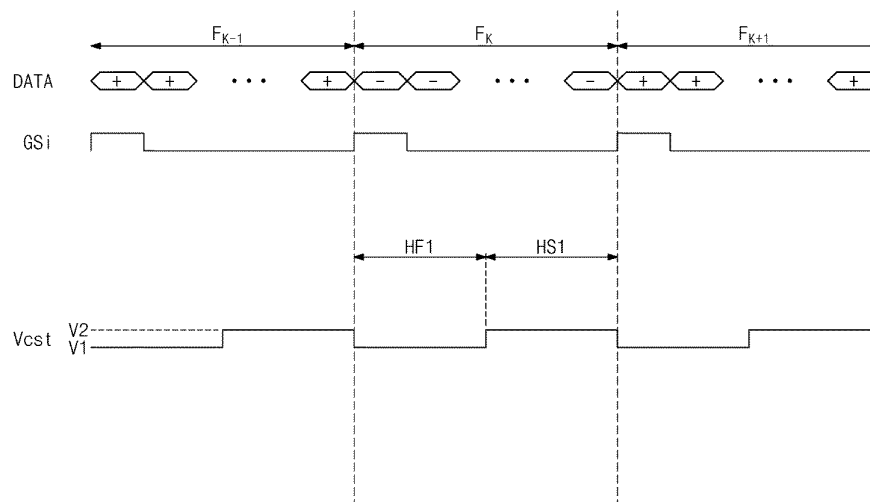
전체 청구항 수 : 총 19 항

(54) 발명의 명칭 액정 표시패널 및 액정 표시장치

(57) 요약

액정 표시패널은 복 수개의 화소들을 포함한다. 상기 복 수개의 화소들 각각은 제1 서브화소와 제2 서브화소를 포함한다. 제1 서브화소는 제1 액정 커패시터 및 데이터 신호를 상기 제1 액정 커패시터에 제공하는 제1 트랜지스터를 포함한다. 제2 서브화소는 제2 액정 커패시터, 제2 트랜지스터, 및 제3 트랜지스터를 포함한다. 상기 제2 트랜지스터는 상기 데이터 신호를 상기 제2 액정 커패시터에 제공한다. 상기 제3 트랜지스터는 제1 전위레벨 및 상기 제1 전위레벨보다 전위레벨이 큰 제2 전위레벨 사이를 스위칭하는 스토리지 전압을 상기 제2 액정 커패시터에 제공한다.

대표도



(52) CPC특허분류
G09G 2300/0842 (2013.01)

명세서

청구범위

청구항 1

m개의 게이트 라인들;

n개의 데이터 라인들; 및

상기 m개의 게이트 라인들 중 대응하는 게이트 라인 및 상기 n개의 데이터 라인들 중 대응하는 데이터 라인에 연결된 $m \times n$ 개의 화소들을 포함하고,

상기 $m \times n$ 개의 화소들 각각은 제1 서브화소와 제2 서브화소를 포함하고,

상기 제1 서브화소는,

제1 액정 커패시터; 및

상기 대응하는 데이터 라인으로부터 데이터 신호를 상기 제1 액정 커패시터에 제공하는 제1 트랜지스터를 포함하고,

상기 제2 서브화소는

제2 액정 커패시터;

상기 데이터 신호를 상기 제2 액정 커패시터에 제공하는 제2 트랜지스터; 및

제1 전위레벨 및 상기 제1 전위레벨보다 전위레벨이 큰 제2 전위레벨 사이를 스윙하는 스토리지 전압을 상기 제2 액정 커패시터에 제공하는 제3 트랜지스터를 포함하는 액정 표시패널.

청구항 2

제1 항에 있어서,

상기 제1 내지 제3 트랜지스터들 각각의 제어전극은 상기 대응하는 게이트 라인에 연결된 액정 표시패널.

청구항 3

제2 항에 있어서,

상기 제3 트랜지스터는 상기 제2 트랜지스터와 직렬로 연결된 액정 표시패널.

청구항 4

제1 항에 있어서,

상기 제1 서브화소는 제1 스토리지 커패시터를 더 포함하고, 상기 제2 서브화소는 제2 스토리지 커패시터를 더 포함하는 액정 표시패널.

청구항 5

제4 항에 있어서,

상기 제1 스토리지 커패시터는,

상기 데이터 신호가 인가되는 제1 화소전극; 및

상기 스토리지 전압이 인가되는 제1 스토리지 전극을 포함하고,

상기 제2 스토리지 커패시터는,

상기 데이터 신호가 인가되는 제2 화소전극; 및

상기 스토리지 전압이 인가되는 제2 스토리지 전극을 포함하는 액정 표시패널.

청구항 6

제1 항에 있어서,

상기 데이터 신호의 극성은 프레임마다 반전되는 액정 표시패널.

청구항 7

제6 항에 있어서,

상기 프레임마다 상기 $m \times n$ 개의 화소들에 인가되는 데이터 신호들의 극성은 모두 동일한 액정 표시패널.

청구항 8

제7 항에 있어서,

상기 스토리지 전압은 상기 프레임마다 1주기로 스윙하는 액정 표시패널.

청구항 9

제8 항에 있어서,

상기 1주기는,

제3 트랜지스터가 상기 제2 액정 커패시터에 상기 제1 전위레벨의 스토리지 전압을 제공하는 전반 구간; 및

제3 트랜지스터가 상기 제2 액정 커패시터에 상기 제2 전위레벨의 스토리지 전압을 제공하는 후반 구간을 포함하는 액정 표시패널.

청구항 10

제6 항에 있어서,

상기 $m \times n$ 개의 화소들은 m 개의 화소행들과 n 개의 화소열들로 구분되고, 상기 m 개의 화소행들은 상기 프레임마다 라인 반전된 데이터 신호들을 수신하는 액정 표시패널.

청구항 11

제10 항에 있어서,

상기 스토리지 전압은 상기 프레임마다 m 주기들로 스윙하는 액정 표시패널.

청구항 12

제11 항에 있어서,

상기 m 주기들 각각은,

제3 트랜지스터가 상기 제2 액정 커패시터에 상기 제1 전위레벨의 스토리지 전압을 제공하는 전반 구간; 및

제3 트랜지스터가 상기 제2 액정 커패시터에 상기 제2 전위레벨의 스토리지 전압을 제공하는 후반 구간을 포함하는 액정 표시패널.

청구항 13

제6 항에 있어서,

상기 $m \times n$ 개의 화소들은 상기 프레임마다 도트 반전된 데이터 신호들을 수신하는 액정 표시패널.

청구항 14

제13 항에 있어서,

상기 스토리지 전압은 상기 프레임마다 $m \times n$ 주기들로 스윙하는 액정 표시패널.

청구항 15

제14 항에 있어서,

상기 $m \times n$ 주기들 각각은,

제3 트랜지스터가 상기 제2 액정 커패시터에 상기 제1 전위레벨의 스토리지 전압을 제공하는 전반 구간; 및

제3 트랜지스터가 상기 제2 액정 커패시터에 상기 제2 전위레벨의 스토리지 전압이 인가되는 후반 구간을 포함하는 액정 표시패널.

청구항 16

액정 표시패널;

상기 액정 표시패널에 게이트 신호들을 제공하는 게이트 드라이버; 및

상기 액정 표시패널에 데이터 신호들을 제공하는 데이터 드라이버를 포함하고,

상기 액정 표시패널은,

m 개의 게이트 라인들;

n 개의 데이터 라인들; 및

상기 m 개의 게이트 라인들 중 대응하는 게이트 라인 및 상기 n 개의 데이터 라인들 중 대응하는 데이터 라인에 연결된 $m \times n$ 개의 화소들을 포함하고,

상기 $m \times n$ 개의 화소들 각각은 제1 서브화소와 제2 서브화소를 포함하고,

상기 제1 서브화소는,

제1 액정 커패시터; 및

상기 대응하는 데이터 라인으로부터 데이터 신호를 상기 제1 액정 커패시터에 제공하는 제1 트랜지스터를 포함하고,

상기 제2 서브화소는,

제2 액정 커패시터;

상기 데이터 신호를 상기 제2 액정 커패시터에 제공하는 제2 트랜지스터; 및

제1 전위레벨 및 상기 제1 전위레벨보다 전위레벨이 큰 제2 전위레벨 사이를 스윙하는 스토리지 전압을 상기 제2 액정 커패시터에 제공하는 제3 트랜지스터를 포함하는 액정 표시장치.

청구항 17

제16 항에 있어서,

상기 제1 내지 제3 트랜지스터들 각각의 제어전극은 상기 대응하는 게이트 라인에 연결된 액정 표시장치.

청구항 18

제16 항에 있어서,

상기 데이터 드라이버는 상기 n 개의 데이터 라인들 각각에, 프레임마다 반전된 데이터 신호를 제공하는 액정 표시장치.

청구항 19

m 개의 게이트 라인들;

n 개의 데이터 라인들; 및

$m \times n$ 개의 화소들을 포함하고,

상기 $m \times n$ 개의 화소들 중 어느 하나는 제1 서브화소와 제2 서브화소를 포함하고,

상기 제1 서브화소는 제1 제어전극, 제1 입력전극, 및 제1 출력 전극을 포함하는 제1 트랜지스터를 포함하고,

상기 제2 서브화소는 제2 제어전극, 제2 입력전극, 및 제2 출력 전극을 포함하는 제2 트랜지스터 및 제 3 제어 전극, 제3 입력전극, 및 제3 출력 전극을 포함하는 제3 트랜지스터를 포함하며,

상기 제1 내지 제3 제어전극은 상기 m 개의 게이트 라인들 중 i 번째 게이트 라인에 연결되고,

상기 제1 및 제2 입력전극은 상기 n 개의 데이터 라인들 중 j 번째 데이터 라인에 연결되며, 상기 제3 입력전극은 상기 제2 출력 전극과 연결되고,

상기 제3 출력 전극에 인가되는 전기신호는 제1 전위값 및 상기 제1 전위값과 다른 제2 전위값 사이를 스윙하는 액정 표시패널.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시패널 및 액정 표시장치에 관한 것으로, 좀 더 상세하게는 VA(Vertical Align)모드이며 화소 분할구동하는 액정 표시패널 및 이를 포함하는 액정 표시장치에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정 표시장치는 두 기판 사이에 개재되어 있는 액정층에 인가되는 전계의 세기를 조절하여 상기 두 기판을 투과하는 광의 양을 조절함으로써 원하는 영상을 표시한다.

[0003] VA(vertical align)모드는 액정 표시장치의 동작 모드중의 하나로써, 기판에 수직 배향(homeotropic)되며 음의 유전율을 갖는 액정을 구비한다. 상기 VA모드는 명암 대비비(Contrast Ratio)가 크며 넓은 시야각 구현이 용이하여 널리 사용되고 있다.

[0004] 액정 표시장치의 구동 방법에는 데이터 라인에 인가되는 데이터 전압의 극성에 따라 프레임 반전, 라인 반전, 및 도트 반전 등의 방식이 있다. 프레임 반전은 한 프레임 내에서 데이터 라인에 인가되는 영상 데이터들의 극성은 모두 동일한 방식이다. 라인 반전은 데이터 라인에 인가되는 영상 데이터의 극성을 화소행 마다 반전시켜 인가하는 방식이다. 도트 반전은 데이터 라인에 인가되는 영상 데이터의 극성을 화소행과 화소열 마다 반전시켜 인가하는 방식이다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 IR Drop에 의해 발생하는 가로줄 불량이 개선된 액정 표시패널 및 액정 표시장치를 제공하는 것을 목적으로 한다.

과제의 해결 수단

[0006] 본 발명의 일 실시예에 따른 액정 표시장치는 액정 표시패널, 게이트 드라이버, 및 데이터 드라이버를 포함한다. 상기 게이트 드라이버는 상기 액정 표시패널에 게이트 신호들을 제공한다. 상기 데이터 드라이버는 상기 액정 표시패널에 데이터 신호들을 제공한다.

[0007] 상기 액정 표시패널은 m 개의 게이트 라인들, n 개의 데이터 라인들, 및 $m \times n$ 개의 화소들을 포함한다. 상기 $m \times n$ 개의 화소들은 상기 m 개의 게이트 라인들 중 대응하는 게이트 라인 및 상기 n 개의 데이터 라인들 중 대응하는 데이터 라인에 연결된다.

[0008] 상기 $m \times n$ 개의 화소들 각각은 제1 서브화소와 제2 서브화소를 포함한다.

[0009] 상기 제1 서브화소는 제1 액정 커패시터 및 제1 트랜지스터를 포함한다. 상기 제1 트랜지스터는 상기 대응하는 데이터 라인으로부터 데이터 신호를 상기 제1 액정 커패시터에 제공한다.

[0010] 상기 제2 서브화소는 제2 액정 커패시터, 제2 트랜지스터, 및 제3 트랜지스터를 포함한다. 상기 제2 트랜지스터는 상기 데이터 신호를 상기 제2 액정 커패시터에 제공한다. 상기 제3 트랜지스터는 제1 전위레벨 및 상기 제1

전위레벨보다 전위레벨이 큰 제2 전위레벨 사이를 스윙하는 스토리지 전압을 상기 제2 액정 커패시터에 제공한다.

- [0011] 상기 제1 내지 제3 트랜지스터들 각각의 제어전극은 상기 대응하는 게이트 라인에 연결된다. 상기 제3 트랜지스터는 상기 제2 트랜지스터와 직렬로 연결 된다.
- [0012] 상기 제1 서브화소는 제1 스토리지 커패시터를 더 포함하고, 상기 제2 서브화소는 제2 스토리지 커패시터를 더 포함할 수 있다.
- [0013] 상기 제1 스토리지 커패시터는 제1 화소전극 및 제1 스토리지 전극을 포함할 수 있다. 상기 제1 화소전극에는 상기 데이터 신호가 인가되고, 상기 제1 스토리지 전극에는 상기 스토리지 전압이 인가된다.
- [0014] 상기 제2 스토리지 커패시터는 제2 화소전극 및 제2 스토리지 전극을 포함할 수 있다. 상기 제1 화소전극에는 상기 데이터 신호가 인가되고, 상기 제2 스토리지 전극에는 상기 스토리지 전압이 인가된다.
- [0015] 상기 데이터 신호의 극성은 프레임마다 반전된다.
- [0016] 본 발명의 일 실시예에 따른 액정 표시패널은 m개의 데이터 라인들, n개의 게이트 라인들, 및 m x n개의 화소들을 포함한다.
- [0017] 상기 m x n개의 화소들 중 어느 하나는 제1 서브화소와 제2 서브화소를 포함한다.
- [0018] 상기 제1 서브화소는 제1 제어전극, 제1 입력전극, 및 제1 출력 전극을 포함하는 제1 트랜지스터를 포함한다.
- [0019] 상기 제2 서브화소는 제2 트랜지스터 및 제3 트랜지스터를 포함한다. 상기 제2 트랜지스터는 제2 제어전극, 제2 입력전극, 및 제2 출력 전극을 포함한다. 상기 제3 트랜지스터는 제 3 제어전극, 제3 입력전극, 및 제3 출력 전극을 포함한다.
- [0020] 상기 제1 내지 제3 제어전극은 상기 m개의 게이트 라인들 중 i번째 게이트 라인에 연결된다. 상기 제1 및 제2 입력전극은 상기 n개의 데이터 라인들 중 j번째 데이터 라인에 연결되며, 상기 제3 입력전극은 상기 제2 출력 전극과 연결된다.
- [0021] 상기 제3 출력 전극에 인가되는 전기신호는 제1 전위레벨 및 상기 제1 전위레벨과 다른 제2 전위값 사이를 스윙한다.

발명의 효과

- [0022] 본 발명의 일 실시예에 따르면, 액정 표시장치의 스토리지 라인에 발생하는 IR Drop에 의해 발생하는 가로줄 불량량을 개선할 수 있다. 이에 따라, 화질의 균일성이 높아진 품질 좋은 액정 표시장치를 제공할 수 있다.

도면의 간단한 설명

- [0023] 도 1은 본 발명의 일 실시예에 따른 표시장치의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 표시장치의 신호들의 타이밍도이다.
- 도 3는 본 발명의 일 실시예에 따른 화소의 등가회로도이다.
- 도 4a는 본 발명의 일 실시예에 따른 표시장치의 프레임 반전구동을 도시한 것이다.
- 도 4b는 본 발명의 일 실시예에 따른 표시장치의 프레임 반전구동에서의 타이밍도이다.
- 도 5a는 본 발명의 일 실시예에 따른 표시장치의 라인 반전구동을 도시한 것이다.
- 도 5b는 본 발명의 일 실시예에 따른 표시장치의 라인 반전구동에서의 타이밍도이다.
- 도 6a는 본 발명의 일 실시예에 따른 표시장치의 도트 반전구동을 도시한 것이다.
- 도 6b는 본 발명의 일 실시예에 따른 표시장치의 도트 반전구동에서의 타이밍도이다.

발명을 실시하기 위한 구체적인 내용

- [0024] 이상의 본 발명의 목적들, 다른 목적들, 특징들 및 이점들은 첨부된 도면과 관련된 이하의 바람직한 실시예들을 통해서 쉽게 이해될 것이다. 그러나 본 발명은 여기서 설명되는 실시예들에 한정되지 않고 다른 형태로 구체화

될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.

- [0025] 도 1은 본 발명의 일 실시예에 따른 표시장치의 평면도이다. 도 2는 본 발명의 일 실시예에 따른 표시장치의 신호들의 타이밍도이다.
- [0026] 도 1에 도시된 것과 같이, 본 발명의 실시예에 따른 액정 표시장치(DD)는 액정 표시패널(DP), 게이트 드라이버(100), 데이터 드라이버(200), 및 신호 제어부(300)를 포함한다.
- [0027] 한편, 액정 표시패널(DP)을 포함하는 액정 표시장치(DD)는 미 도시된 편광자, 백라이트 유닛 등을 더 포함할 수 있다.
- [0028] 액정 표시패널(DP)은 제1 기판(DS1), 제1 기판(DS1)과 이격된 제2 기판(DS2), 및 제1 기판(DS1)과 제2 기판(DS2) 사이에 배치된 액정층(LCL)을 포함한다. 평면 상에서, 액정 표시패널(DP)은 $m \times n$ 개의 화소들(PX₁₁~PX_{mm})이 배치된 표시영역(DA) 및 표시영역(DA)을 둘러싸는 비표시영역(NDA)을 포함한다.
- [0029] 액정 표시패널(DP)은 제1 기판(DS1) 상에 배치된 m 개의 게이트 라인들(GL1~GL_m) 및 게이트 라인들(GL1~GL_m)과 교차하는 n 개의 데이터 라인들(DL1~DL_n)을 포함한다. m 개의 게이트 라인들(GL1~GL_m)은 게이트 드라이버(100)에 연결된다. n 개의 데이터 라인들(DL1~DL_n)은 데이터 드라이버(200)에 연결된다. 도 1에는 m 개의 게이트 라인들(GL1~GL_m) 중 일부와 n 개의 데이터 라인들(DL1~DL_n) 중 일부만이 도시되었다. 또한, 액정 표시패널(DP)은 제1 기판(DS1)의 비표시영역(NDA)에 배치된 더미 게이트 라인(GLd)을 더 포함할 수 있다.
- [0030] 도 1에는 $m \times n$ 개의 화소들(PX₁₁~PX_{mm}) 중 일부만이 도시되었다. $m \times n$ 개의 화소들(PX₁₁~PX_{mm})은 m 개의 게이트 라인들(GL1~GL_m) 중 대응하는 게이트 라인 및 n 개의 데이터 라인들(DL1~DL_n) 중 대응하는 데이터 라인에 각각 연결된다. 다만, 더미 게이트 라인(GLd)은 복수 개의 화소들(PX₁₁~PX_{mm})에 연결되지 않는다.
- [0031] 복수 개의 화소들(PX₁₁~PX_{mm})은 표시하는 컬러에 따라 복수 개의 그룹들로 구분될 수 있다. 복수 개의 화소들(PX₁₁~PX_{mm})은 주요색(primary color) 중 하나를 표시할 수 있다. 주요색은 레드, 그린, 블루, 및 화이트를 포함할 수 있다. 한편, 이에 제한되는 것은 아니고, 주요색은 옐로우, 시안, 마젠타 등 다양한 색상을 더 포함할 수 있다.
- [0032] 게이트 드라이버(100) 및 데이터 드라이버(200)는 신호 제어부(300, 예컨대 타이밍 컨트롤러)로부터 제어 신호를 수신한다. 신호 제어부는 메인 회로기관(MCB)에 실장될 수 있다. 신호 제어부(300)는 외부의 그래픽 제어부(미도시)로부터 영상 데이터 및 제어 신호를 수신한다. 제어 신호는 프레임 구간들(F_{k-1}, F_k, F_{k+1})을 구별하는 신호인 수직 동기 신호(Vsync), 수평 구간들(HP)을 구별하는 신호, 즉 행 구별 신호인 수평 동기 신호(Hsync), 데이터가 들어오는 구역을 표시하기 위해 데이터가 출력되는 구간 동안만 하이 레벨인 데이터 인에이블 신호 및 클럭 신호들을 포함할 수 있다.
- [0033] 게이트 드라이버(100)는 프레임 구간들(F_{k-1}, F_k, F_{k+1}) 동안에 신호 제어부(300)로부터 수신한 제어 신호(이하, 게이트 제어 신호)에 기초하여 게이트 신호들(GS1~GS_m)을 생성하고, 게이트 신호들(GS1~GS_m)을 복수 개의 게이트 라인들(GL1~GL_m)에 출력한다. 게이트 신호들(GS1~GS_m)은 수평 구간들(HP)에 대응하게 순차적으로 출력될 수 있다. 게이트 드라이버(100)는 박막공정을 통해 화소들(PX₁₁~PX_{mm})과 동시에 형성될 수 있다. 예컨대, 게이트 드라이버(100)는 비표시영역(NDA)에 ASG(Amorphous Silicon TFT Gate driver circuit) 형태 또는 OSG(Oxide Semiconductor TFT Gate driver circuit) 형태로 실장될 수 있다. ASG, OSG 형태의 게이트 드라이버(100)의 경우, 게이트 라인들(GL1~GL_m)에 인가되는 게이트 신호들(GS1~GS_m) 중 일부의 타이밍이 중첩되어, IR drop에 의한 가로줄 불량에 더 취약한 면이 존재한다.
- [0034] 도 3는 본 발명의 일 실시예에 따른 화소의 등가회로도이다. 도 1에 도시된 화소들은 동일한 구성을 갖고 동일하게 동작한다. 따라서, 도 3에는 하나의 화소의 등가 회로도만을 도시하였다.
- [0035] 도 3을 참조하면, 화소(PX_{ij})는 제1 서브 화소(SPX1) 및 제2 서브 화소(SPX2)를 포함한다.
- [0036] 제1 서브 화소(SPX1)는 제1 트랜지스터(TR1), 제1 액정 커패시터(C1c1), 및 제1 스토리지 커패시터(Cst1)를 포함한다.
- [0037] 제1 트랜지스터(TR1)는 제1 제어 전극(CE1), 제1 입력 전극(IE1), 및 제1 출력 전극(OE1)을 포함한다. 제1 제어

전극(CE1)은 대응하는 게이트 라인(GLi)에 연결된다. 제1 입력 전극(IE1)은 대응하는 데이터 라인(DLj)에 연결된다. 제1 출력 전극(OE1)은 제1 액정 커패시터(C1c1)와 제1 스토리지 커패시터(Cst1)에 연결된다. 제1 트랜지스터(TR1)은 대응하는 데이터 라인(DLj)로부터 데이터 신호(DATA)를 제1 액정 커패시터(C1c1)에 제공한다. 여기서 데이터 신호(DATA)는 데이터 전압에 대응된다.

- [0038] 제1 액정 커패시터(C1c1)는 액정층을 사이에 두고 제1 화소 전극(PE1)과 제1 공통 전극(ME1)에 의해 형성된다.
- [0039] 제1 스토리지 커패시터(Cst1)는 제1 화소 전극(PE1)과 제1 스토리지 전극(STE1)이 오버랩되어 형성된다.
- [0040] 제2 서브 화소(SPX2)는 제2 트랜지스터(TR2), 제3 트랜지스터(TR3), 제2 액정 커패시터(C1c2), 및 제2 스토리지 커패시터(Cst2)를 포함한다.
- [0041] 제2 트랜지스터(TR2)는 제2 제어 전극(CE2), 제2 입력 전극(IE2), 및 제2 출력 전극(OE2)을 포함한다. 제2 제어 전극(CE2)은 대응하는 게이트 라인(GLi)에 연결된다. 제2 입력 전극(IE2)은 대응하는 데이터 라인(DLj)에 연결된다. 제2 출력 전극(OE2)은 제2 액정 커패시터(C1c2)와 제2 스토리지 커패시터(Cst2)에 연결된다. 제2 트랜지스터(TR2)는 대응하는 데이터 라인(DLj)로부터 데이터 신호(DATA)를 제2 액정 커패시터(C1c2)에 제공한다. 여기서 데이터 신호(DATA)는 데이터 전압에 대응된다.
- [0042] 제3 트랜지스터(TR3)는 제3 제어 전극(CE3), 제3 입력 전극(IE3), 및 제3 출력 전극(OE3)을 포함한다. 제3 제어 전극(CE3)은 대응하는 게이트 라인(GLi)에 연결된다. 제3 입력 전극(IE3)은 제2 액정 커패시터(C1c2)와 제2 스토리지 커패시터(Cst2)에 연결된다. 제3 출력 전극(OE3)에는 스토리지 전압(Vcst)이 인가된다. 제3 트랜지스터(TR3)는 스토리지 전압(Vcst)을 제2 액정 커패시터(C1c2)에 제공한다.
- [0043] 제2 액정 커패시터(C1c2)는 액정층을 사이에 두고 제2 화소 전극(PE2)과 제2 공통 전극(ME2)에 의해 형성된다.
- [0044] 제2 스토리지 커패시터(Cst2)는 제2 화소 전극(PE2)과 제2 스토리지 전극(STE2)이 오버랩되어 형성된다.
- [0045] 제1 및 제2 공통 전극(ME1, ME2)은 공통 전압(Vcom)을 수신하고, 제1 및 제2 스토리지 전극(STE1, STE2)은 스토리지 전압(Vcst)을 수신한다.
- [0046] 게이트 라인(GLi)을 통해 제공된 게이트 신호에 의해 제1 내지 제3 트랜지스터들(TR1, TR2, TR3)은 동시에 턴-온 된다. 턴-온 된 제1 트랜지스터(TR1)를 통해 데이터 전압이 제1 서브 화소(SPX1)에 제공된다. 구체적으로 데이터 라인(DLj)을 통해 수신된 데이터 전압은 턴 온된 제1 트랜지스터(TR1)를 통해 제1 서브 화소(SPX1)의 제1 화소 전극(PE1)에 제공된다.
- [0047] 제1 액정 커패시터(C1c1)에는 데이터 전압에 대응되는 제1 화소 전압이 충전된다. 구체적으로, 제1 화소 전극(PE1)에 제공되는 데이터 전압과 제1 공통 전극(ME1)에 제공되는 공통 전압(Vcom)의 레벨 차이에 대응되는 제1 화소 전압이 제1 액정 커패시터(C1c1)에 충전된다. 따라서, 제1 서브 화소(SPX1)에는 제1 화소 전압이 충전된다.
- [0048] 턴-온 된 제2 트랜지스터(TR2)를 통해 데이터 전압이 제2 서브 화소(SPX2)에 제공되고, 턴-온 된 제3 트랜지스터(TR3)를 통해 스토리지 전압(Vcst)이 제2 서브 화소(SPX2)에 제공된다.
- [0049] 스토리지 전압(Vcst)은 제1 전위레벨(V1) 및 제2 전위레벨(V2) 사이를 스위칭한다. 제2 전위레벨(V2)은 제1 전위레벨(V1) 보다 크다.
- [0050] 데이터 전압의 전압 레벨의 범위는 스토리지 전압(Vcst)의 전압 레벨의 범위보다 넓게 설정된다. 공통 전압(Vcom)은 데이터 전압의 전압 레벨의 범위의 중간 값을 갖도록 설정될 수 있다. 데이터 전압과 공통 전압(Vcom)의 전압 레벨의 차이의 절대값은 스토리지 전압(Vcst)과 공통 전압(Vcom)의 전압 레벨의 차이의 절대값보다 크게 설정될 수 있다.
- [0051] 제2 트랜지스터(TR2)와 제3 트랜지스터(TR3)는 직렬로 연결된다. 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3) 사이의 접점 전압은 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3) 각각의 저항값에 의해 분압된 전압이다. 즉, 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3) 사이의 접점 전압은 대략 턴-온 된 제2 트랜지스터(TR2)를 통해 제공되는 데이터 전압 및 턴-온 된 제3 트랜지스터(TR3)를 통해 제공되는 스토리지 전압(Vcst)의 사이값을 가진다. 제2 트랜지스터(TR2) 및 제3 트랜지스터(TR3) 사이의 접점 전압이 제2 화소 전극(PE2)에 제공된다. 즉, 데이터 전압과 스토리지 전압(Vcst)의 사이값에 해당하는 전압이 제2 화소 전극(PE2)에 제공된다.
- [0052] 제2 화소 전극(PE2)에 제공되는 전압과 제2 공통 전극(ME2)에 제공되는 공통 전압(Vcom)의 레벨차이에 대응되는

제2 화소 전압이 제2 액정 커패시터(C1c2)에 충전된다. 즉, 제1 화소 전압보다 작은 값을 갖는 제2 화소 전압이 제2 액정 커패시터(C1c2)에 충전된다. 따라서, 제2 서브 화소(SPX2)에 제1 화소 전압보다 작은 제2 화소 전압이 충전된다.

- [0053] 이러한 구동에 의해 제1 및 제2 서브 화소(SPX1, SPX2)가 서로 다른 계조의 영상을 표시하게 함으로써, 표시장치(DD)의 시인성을 향상시킬 수 있다.
- [0054] 도 4a는 본 발명의 일 실시예에 따른 표시장치의 프레임 반전구동을 도시한 것이다. 도 4b는 본 발명의 일 실시예에 따른 표시장치의 프레임 반전구동에서의 타이밍도이다.
- [0055] 도 4a에서는 복 수개의 프레임들 중, k번째 프레임(F_k)과 k+1번째 프레임(F_{k+1})을 예시적으로 도시하였다. $m=8$, $n=8$ 로 가정하여, 64개의 화소들을 예시적으로 도시한 것으로, 네모칸들 각각은 도 3에 도시된 화소(PX_{ij})에 대응된다.
- [0056] k번째 프레임(F_k)에서 화소들에 인가되는 데이터 전압은 모두 양극이다. 반면에, k+1번째 프레임(F_{k+1})에서 화소들에 인가되는 데이터 전압은 모두 음극이다. 이와 같이 프레임 반전구동의 경우, 하나의 프레임에서는 화소들에 인가되는 데이터 전압들의 극성은 모두 동일하며, 다음 프레임에서는 상기 극성이 반전된다.
- [0057] 도 3 및 도 4b를 참조하면, 제3 트랜지스터(TR3)의 제3 출력 전극(OE3)에 인가되는 스토리지 전압(V_{cst})은 하나의 프레임마다 1주기로 스위칭한다. 예를들어, 액정 표시장치(DD)가 프레임들을 60Hz로 표시한다면, 스토리지 전압(V_{cst})의 주파수도 60Hz이다.
- [0058] 스토리지 전압(V_{cst})의 1주기는 제1 전반 구간(HF1)과 제1 후반 구간(HS1)으로 구분된다. 제1 전반 구간(HF1)의 길이와 제1 후반 구간(HS1)의 길이는 같을 수 있다. 제1 전반 구간(HF1)에서는, 제3 트랜지스터(TR3)가 제2 액정 커패시터(C1c2)에 제1 전위레벨(V_1)의 스토리지 전압(V_{cst})을 제공한다. 제1 후반 구간(HS1)에서는, 제3 트랜지스터(TR3)가 제2 액정 커패시터(C1c2)에 제1 전위레벨(V_1) 보다 큰 제2 전위레벨(V_2)의 스토리지 전압(V_{cst})을 제공한다.
- [0059] 이와 같이, 프레임 반전구동하는 액정 표시장치(DD)에서, 제3 출력 전극(OE3)에 매 프레임마다 1주기로 스위칭하는 스토리지 전압(V_{cst})을 인가함으로써, 스토리지 전극들(STE1, STE2)로부터 연장되어 형성되는 스토리지 라인에 의해 발생하는 전압강하, 즉 IR Drop을 방지할 수 있다.
- [0060] 도 5a는 본 발명의 일 실시예에 따른 표시장치의 라인 반전구동을 도시한 것이다. 도 5b는 본 발명의 일 실시예에 따른 표시장치의 라인 반전구동에서의 타이밍도이다.
- [0061] 도 5a에서는 복 수개의 프레임들 중, k번째 프레임(F_k)과 k+1번째 프레임(F_{k+1})을 예시적으로 도시하였다. $m=8$, $n=8$ 로 가정하여, 64개의 화소들을 예시적으로 도시한 것으로, 네모칸들 각각은 도 3에 도시된 화소(PX_{ij})에 대응된다.
- [0062] $m \times n$ 개의 화소들은 m개의 화소행들과 n개의 화소행들로 구분된다. 라인 반전구동에서, 화소들에 인가되는 데이터 전압들의 극성은 화소행마다 반전된다. 따라서, m개의 화소행들 중 어느 하나의 화소행에 인가되는 데이터 전압들의 극성은, 이와 인접한 화소행에 인가되는 데이터 전압들의 극성과 다르다.
- [0063] 도 5a를 참조하면, k번째 프레임(F_k)에서 홀 수 번째 행의 화소들에 인가되는 데이터 전압들은 양극이며, 짝 수 번째 행의 화소들에 인가되는 데이터 전압들은 음극이다. 반면에, k+1번째 프레임(F_{k+1})에서 홀 수 번째 행의 화소들에 인가되는 데이터 전압들은 음극이며, 짝 수 번째 행의 화소들에 인가되는 데이터 전압들은 양극이다.
- [0064] 도 3 및 도 5b를 참조하면, 제3 트랜지스터(TR3)의 제3 출력 전극(OE3)에 인가되는 스토리지 전압(V_{cst})은 하나의 프레임마다 m주기로 스위칭한다. 예를들어, 액정 표시장치(DD)가 프레임들을 60Hz로 표시한다면, 스토리지 전압(V_{cst})의 주파수는 $60 \times m$ Hz이다.
- [0065] 스토리지 전압(V_{cst})의 m주기들 각각은 제2 전반 구간(HF2)과 제2 후반 구간(HS2)으로 구분된다. 제2 전반 구간(HF2)의 길이와 제2 후반 구간(HS2)의 길이는 같을 수 있다. 제2 전반 구간(HF2)에서는, 제3 트랜지스터(TR3)가 제2 액정 커패시터(C1c2)에 제1 전위레벨(V_1)의 스토리지 전압(V_{cst})을 제공한다. 제2 후반 구간(HS2)에서는, 제3 트랜지스터(TR3)가 제2 액정 커패시터(C1c2)에 제1 전위레벨(V_1) 보다 큰 제2 전위레벨(V_2)의 스토리지 전압(V_{cst})을 제공한다.

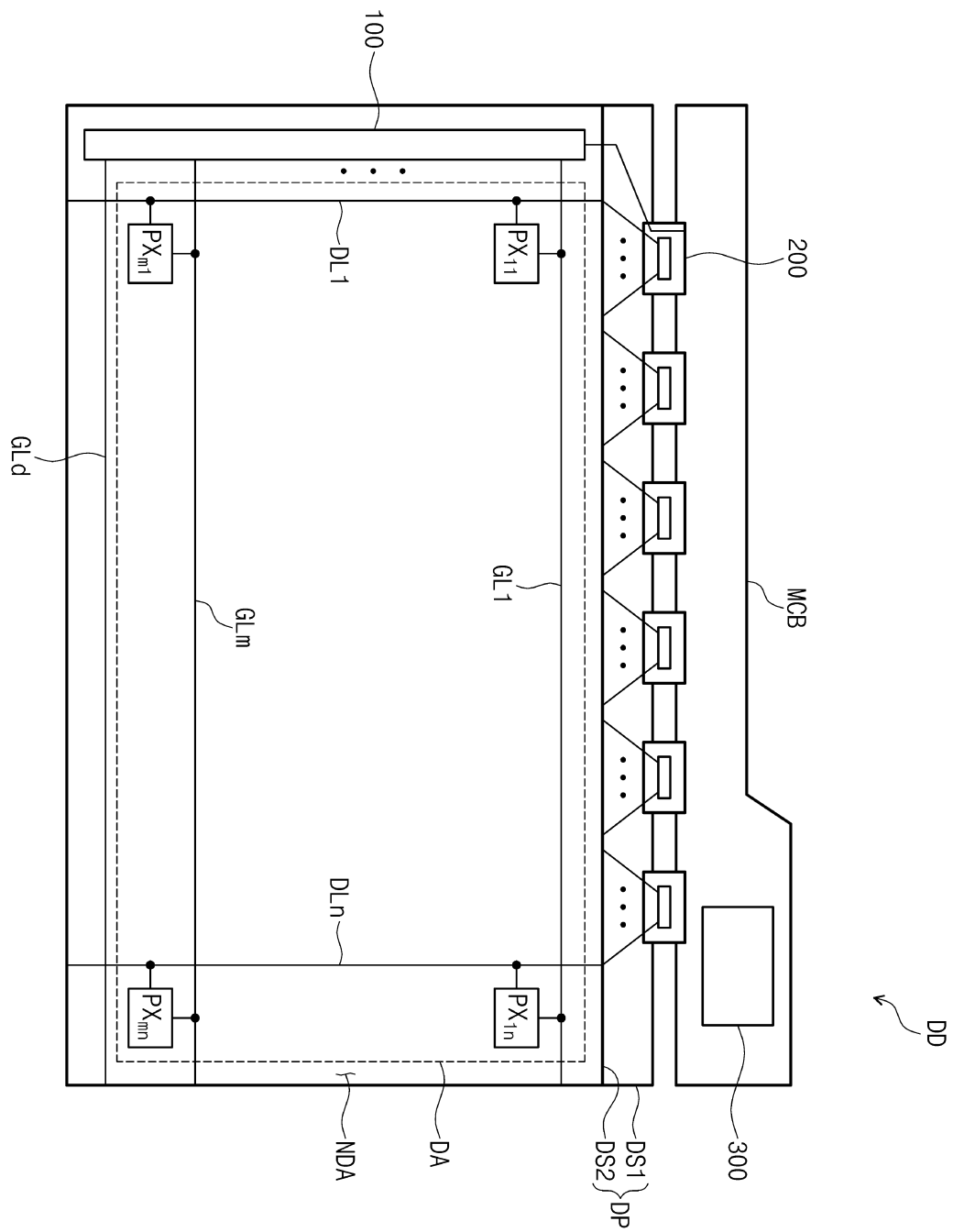
- [0066] 이와 같이, 라인 반전구동하는 액정 표시장치(DD)에서, 제3 출력 전극(OE3)에 매 프레임마다 m 주기로 스윙하는 스토리지 전압(V_{cst})을 인가함으로써, 스토리지 전극들(STE1, STE2)로부터 연장되어 형성되는 스토리지 라인에 의해 발생하는 전압강하, 즉 IR Drop을 방지할 수 있다.
- [0067] 도 6a는 본 발명의 일 실시예에 따른 표시장치의 도트 반전구동을 도시한 것이다. 도 6b는 본 발명의 일 실시예에 따른 표시장치의 도트 반전구동에서의 타이밍도이다.
- [0068] 도 6a에서는 복 수개의 프레임들 중, k 번째 프레임(F_k)과 $k+1$ 번째 프레임(F_{k+1})을 예시적으로 도시하였다. $m=8$, $n=8$ 로 가정하여, 64개의 화소들을 예시적으로 도시한 것으로, 네모칸들 각각은 도 3에 도시된 화소(PX_{ij})에 대응된다.
- [0069] $m \times n$ 개의 화소들은 프레임마다 도트 반전된 데이터 전압들을 수신한다. $m \times n$ 개의 화소들 각각에는 이웃하는 화소와 다른 극성의 데이터 전압이 인가된다. 그리고, $m \times n$ 개의 화소들에 각각에 인가되는 데이터 전압의 극성은 매 프레임 마다 반전된다.
- [0070] 도 3 및 도 6b를 참조하면, 제3 트랜지스터(TR3)의 제3 출력 전극(OE3)에 인가되는 스토리지 전압(V_{cst})은 하나의 프레임마다 $m \times n$ 주기로 스윙한다. 예를들어, 액정 표시장치(DD)가 프레임들을 60Hz로 표시한다면, 스토리지 전압(V_{cst})의 주파수는 $60 \times m \times n$ Hz이다.
- [0071] 스토리지 전압(V_{cst})의 $m \times n$ 주기들 각각은 제3 전반 구간(HF3)과 제3 후반 구간(HS3)으로 구분된다. 제3 전반 구간(HF3)의 길이와 제3 후반 구간(HS3)의 길이는 같을 수 있다. 제3 전반 구간(HF3)에서는, 제3 트랜지스터(TR3)가 제2 액정 커패시터(C1c2)에 제1 전위레벨(V_1)의 스토리지 전압(V_{cst})을 제공한다. 제3 후반 구간(HS3)에서는, 제3 트랜지스터(TR3)가 제2 액정 커패시터(C1c2)에 제1 전위레벨(V_1) 보다 큰 제2 전위레벨(V_2)의 스토리지 전압(V_{cst})을 제공한다.
- [0072] 이와 같이, 도트 반전구동하는 액정 표시장치(DD)에서, 제3 출력 전극(OE3)에 매 프레임마다 $m \times n$ 주기로 스윙하는 스토리지 전압(V_{cst})을 인가함으로써, 스토리지 전극들(STE1, STE2)로부터 연장되어 형성되는 스토리지 라인에 의해 발생하는 전압강하, 즉 IR Drop을 방지할 수 있다.
- [0073] 이상, 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징으로 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예에는 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 한다.

부호의 설명

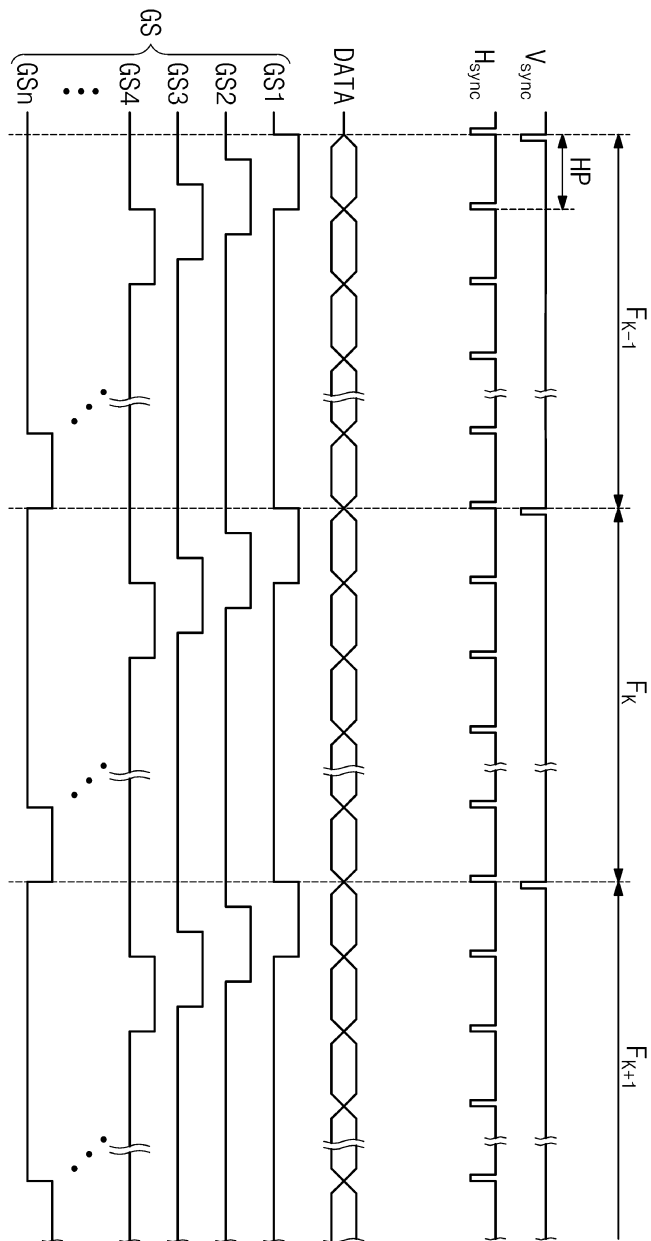
- [0074] DD: 액정 표시장치 DP: 액정 표시패널
- 100: 게이트 드라이버 200: 데이터 드라이버
- 300: 신호 제어부 MCB: 메인 회로기관
- PX_{ij} : 화소 SPX1: 제1 서브화소
- SPX2: 제2 서브화소 V_{cst} : 스토리지 전압

도면

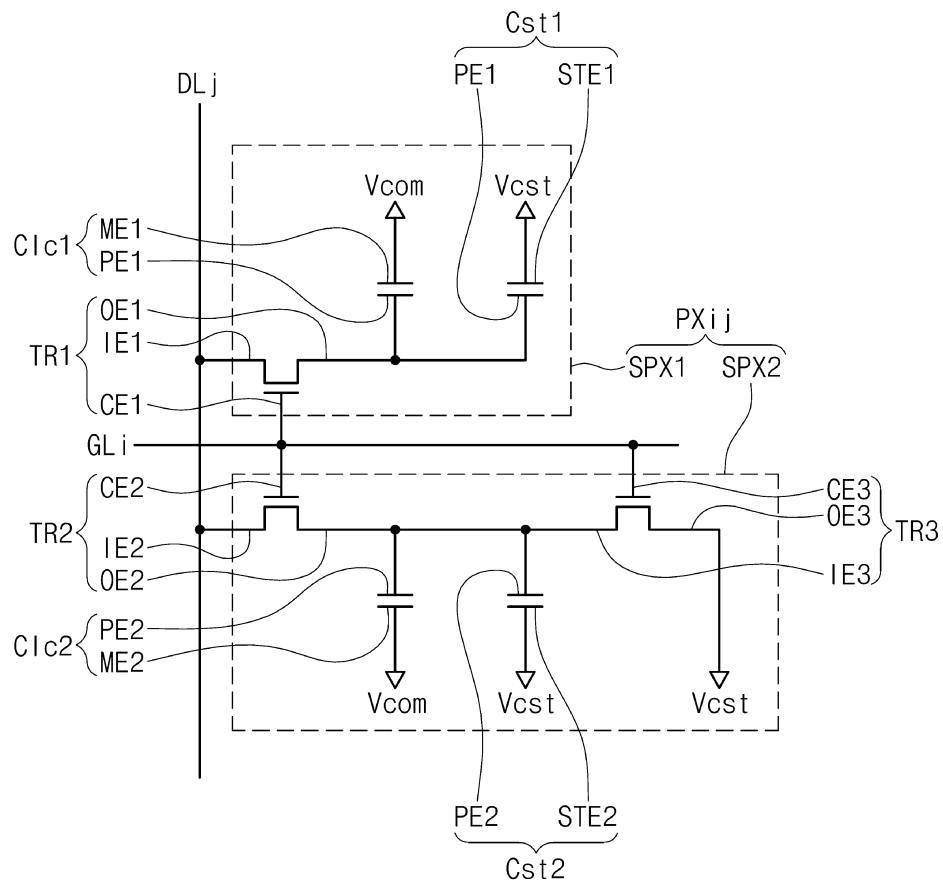
도면1



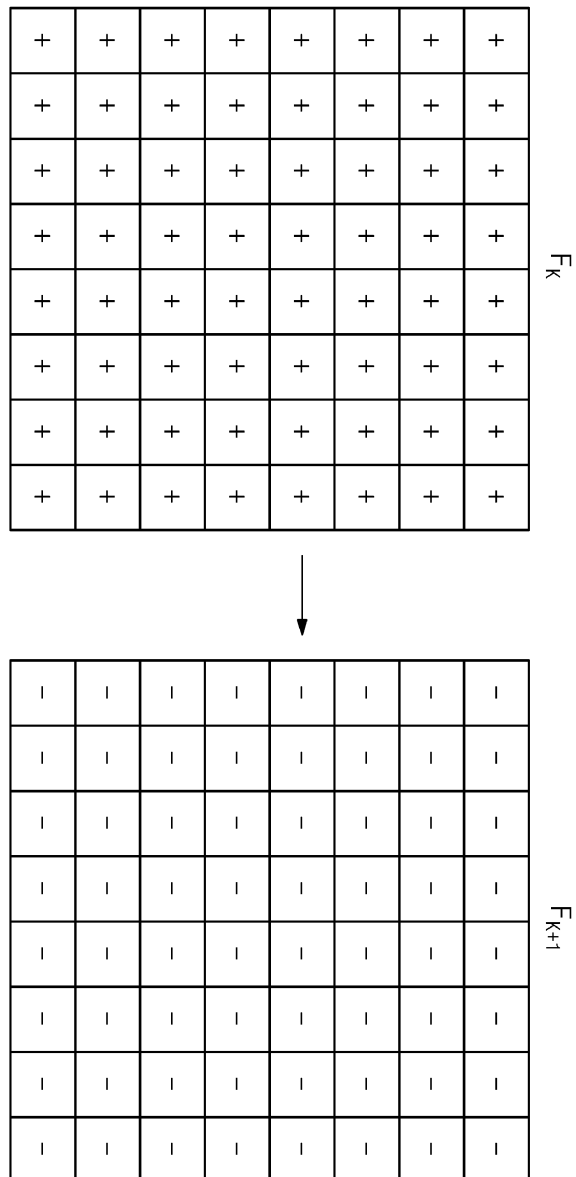
도면2



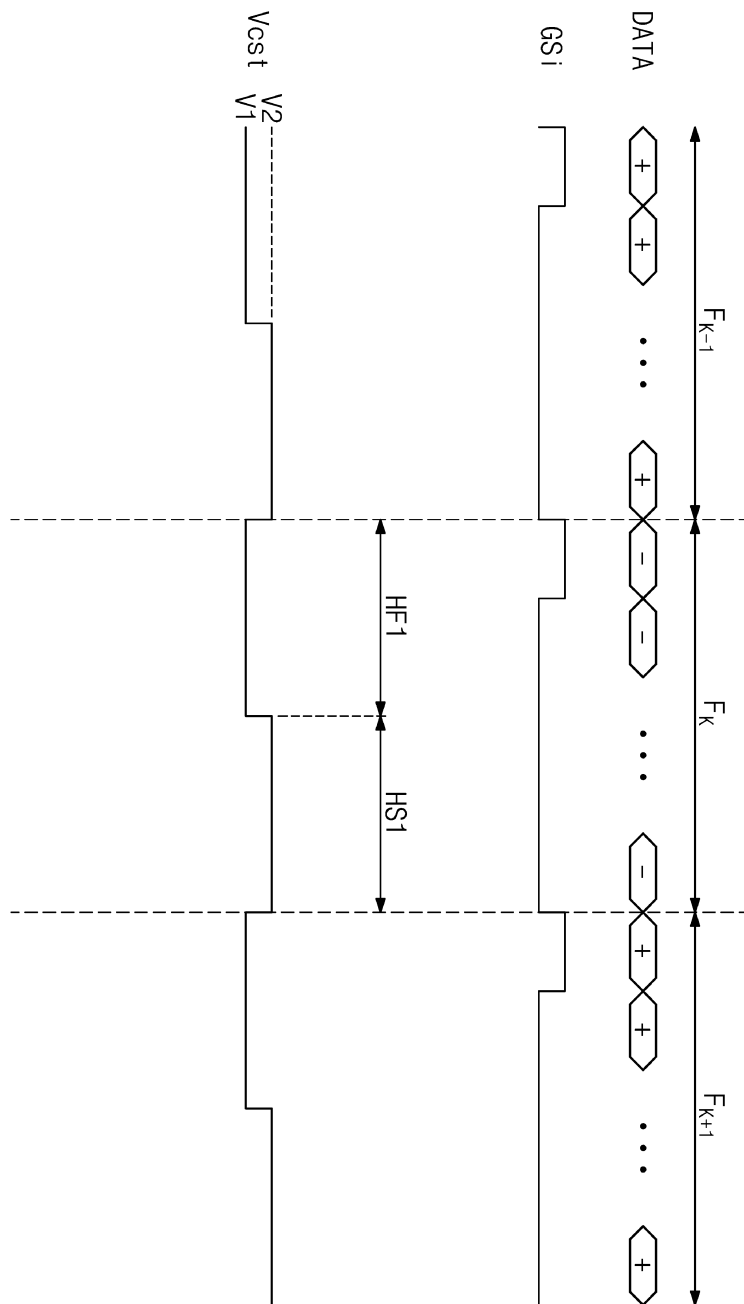
도면3



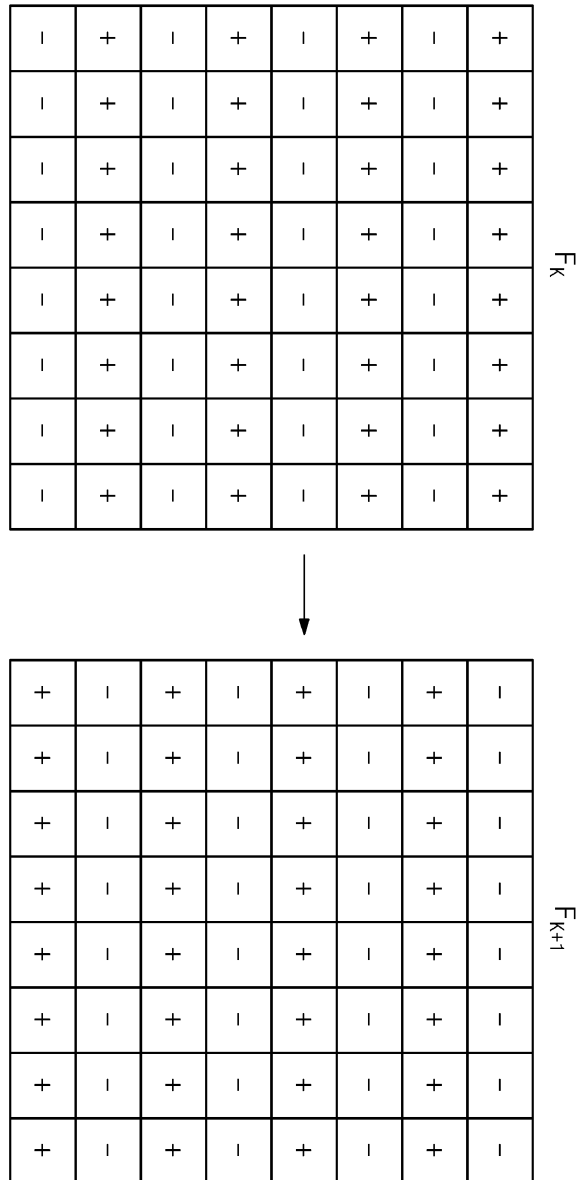
도면4a



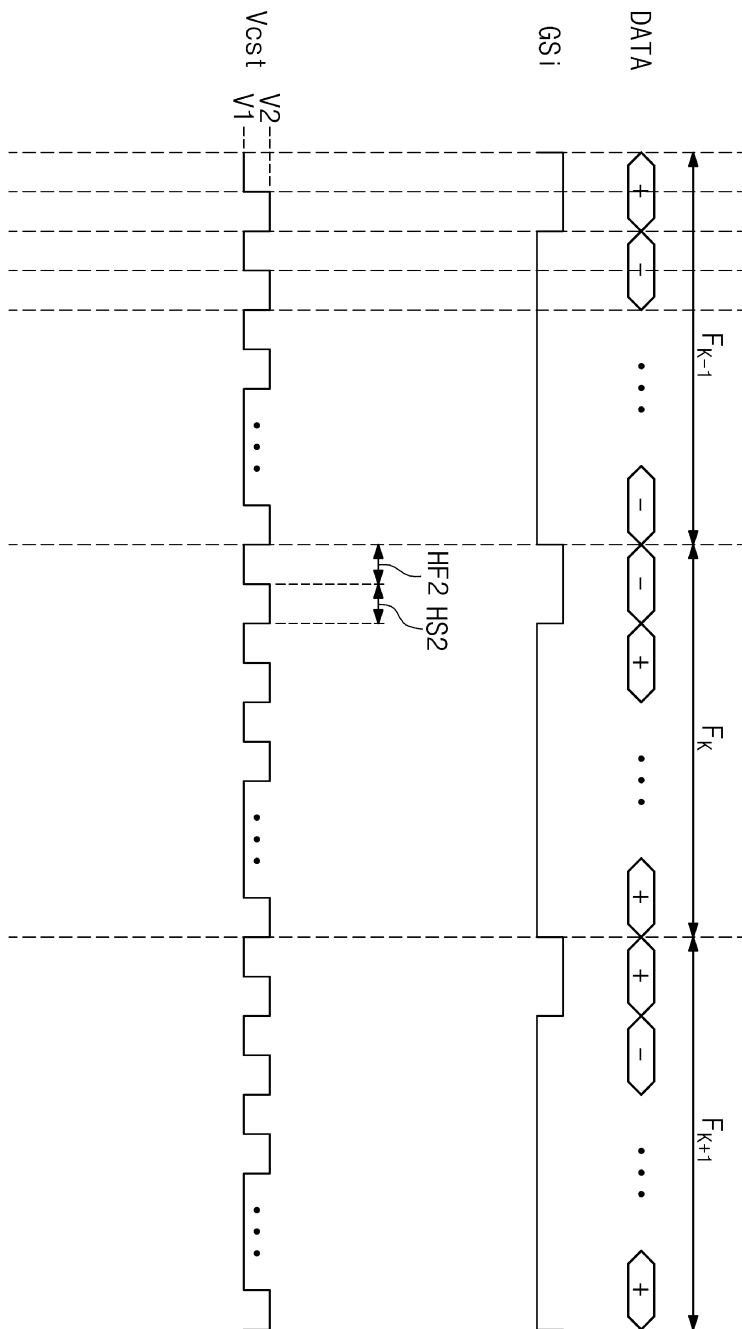
도면4b



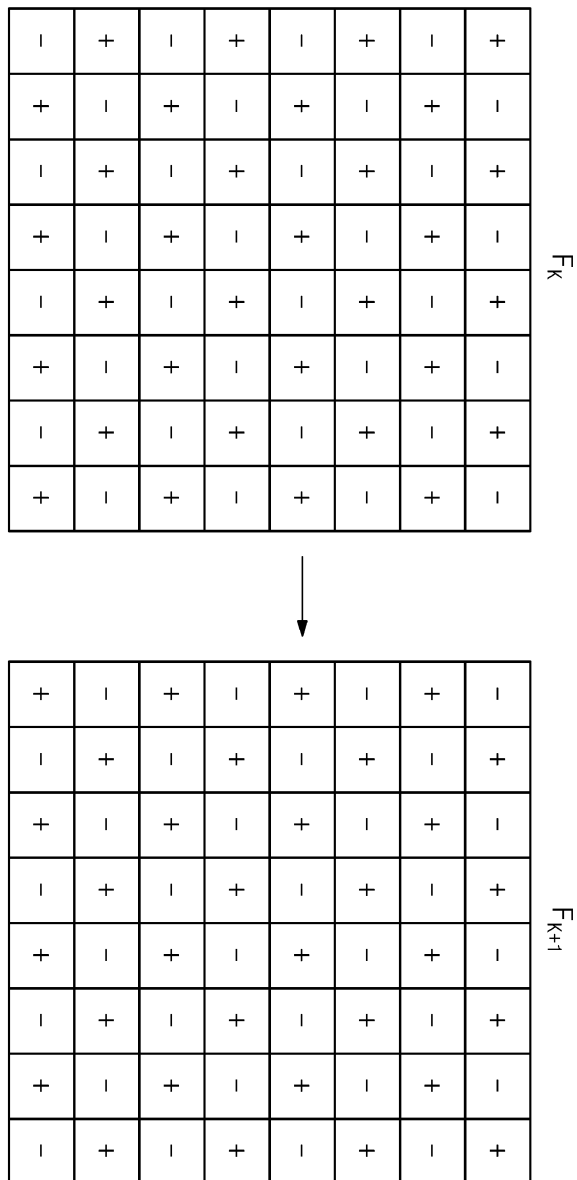
도면5a



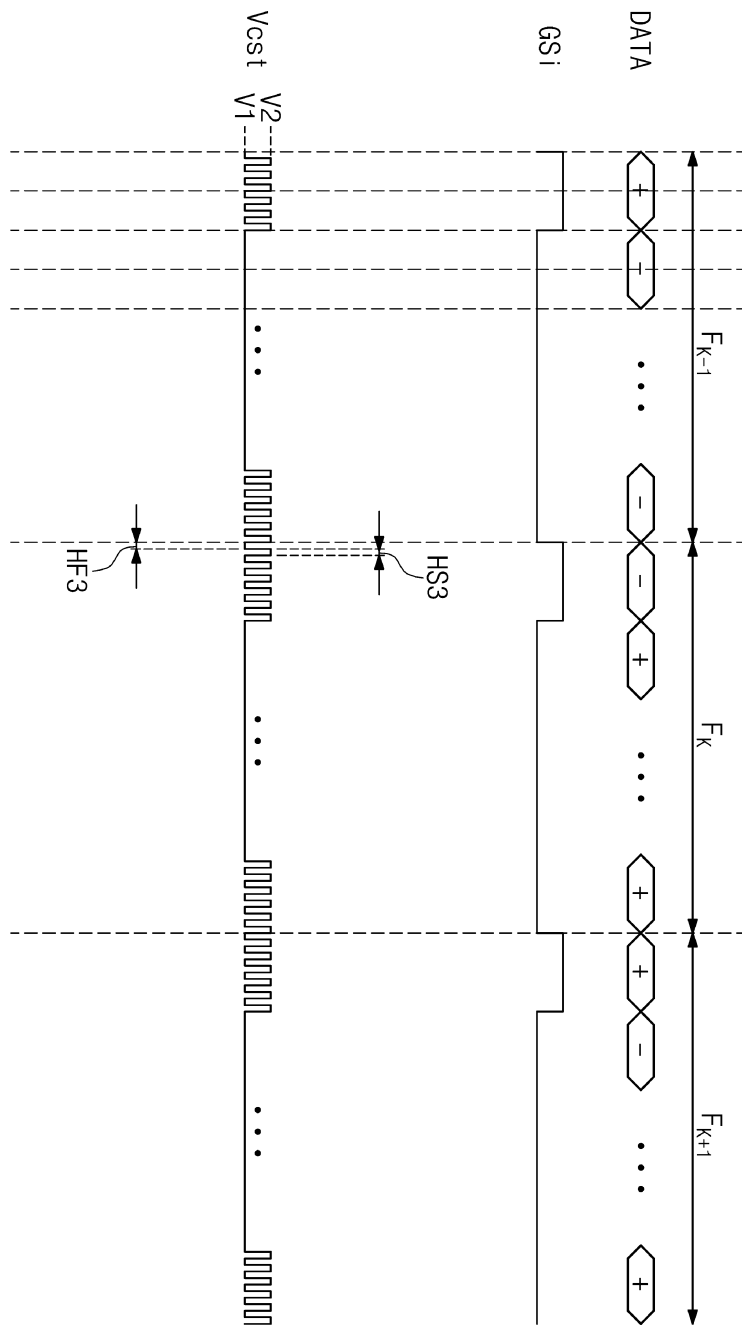
도면5b



도면6a



도면6b



专利名称(译)	标题：液晶显示面板和液晶显示装置		
公开(公告)号	KR1020170010964A	公开(公告)日	2017-02-02
申请号	KR1020150102656	申请日	2015-07-20
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO DONG BEOM 조동범		
发明人	조동범		
IPC分类号	G09G3/36		
CPC分类号	G09G3/3648 G09G2300/0819 G09G2300/0842 G09G3/3614 G09G2300/0426 G09G2310/0272 G09G2320/0223		
外部链接	Espacenet		

摘要(译)

LCD面板包括多个像素。多个像素包括第一子像素和第二子像素。第一子像素包括第一液晶电容器和向第一液晶电容器提供数据信号的第一晶体管。第二子像素包括第二液晶电容器，第二晶体管和第三晶体管。第二晶体管将数据信号提供给第二液晶电容器。在第一电位电平和电位电平大于第一电位电平存储电压的第二电位电平之间的第三晶体管摆动被提供给第二液晶电容器。

