



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0061417
(43) 공개일자 2016년05월31일

- (51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)
G02F 1/1362 (2006.01) G02F 1/1368 (2006.01)
- (52) CPC특허분류
G02F 1/134309 (2013.01)
G02F 1/133514 (2013.01)
- (21) 출원번호 10-2016-7011195
- (22) 출원일자(국제) 2014년01월22일
심사청구일자 2016년04월27일
- (85) 번역문제출일자 2016년04월27일
- (86) 국제출원번호 PCT/CN2014/071159
- (87) 국제공개번호 WO 2015/096258
국제공개일자 2015년07월02일
- (30) 우선권주장
201310733624.X 2013년12월26일 중국(CN)

- (71) 출원인
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드
중국 광둥, 센젠, 구양밍 디스트릭트, 탕밍 로드, 넘버 9-2
- (72) 발명자
뤼, 스쥔
중국 광둥 518132, 선전 광밍 디스트릭트, 탕밍 로드, 넘버 9-2
궈, 진보
중국 광둥 518132, 선전 광밍 디스트릭트, 탕밍 로드, 넘버 9-2
황, 스좌이
중국 광둥 518132, 선전 광밍 디스트릭트, 탕밍 로드, 넘버 9-2
- (74) 대리인
특허법인 티앤아이

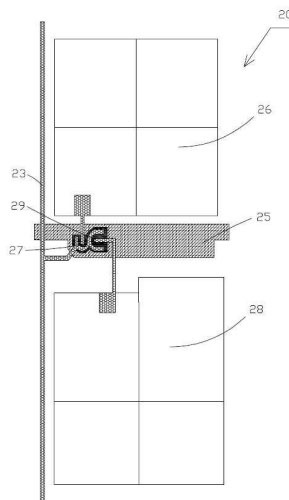
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 **화소 구조**

(57) 요약

본 발명이 제공하는 화소 구조(10)는 박막 트랜지스터 기관(20), 컬러필터 기관(30) 및 액정층(40)을 포함한다. 박막 트랜지스터 기관(20)은 제 1 투명기관(22) 및 화소전극(24)을 포함하고, 컬러필터 기관(30)은 제 2 투명기관(32) 및 공통전극(34)을 포함한다. 화소전극(24)은 제 1 서브 화소전극(26)과 제 2 서브 화소전극(28)을 포함하고, 공통전극(34)은 제 1 서브 공통전극(36)과 제 2 서브 공통전극(38)을 포함한다. 제 1 서브 화소전극(26)과 제 1 서브 공통전극(36)은 제 1 전압차를 구비하고, 제 2 서브 화소전극(28)과 제 2 서브 공통전극(38)은 제 2 전압차를 구비하며, 제 1 전압차는 제 2 전압차보다 크거나 작다.

대표도 - 도4



(52) CPC특허분류

G02F 1/133514 (2013.01)

G02F 1/1343 (2013.01)

G02F 1/136213 (2013.01)

G02F 1/136213 (2013.01)

G02F 1/1368 (2013.01)

G02F 1/1368 (2013.01)

G02F 2001/134318 (2013.01)

G02F 2001/134345 (2013.01)

G02F 2001/134345 (2013.01)

명세서

청구범위

청구항 1

박막 트랜지스터 기관, 상기 박막 트랜지스터 기관과 마주보게 설치되는 컬러필터 기관, 및 상기 박막 트랜지스터 기관과 상기 컬러필터 기관 사이에 설치되는 액정층을 포함하되,

상기 박막 트랜지스터 기관은 제 1 투명기관 및 상기 제 1 투명기관의 컬러필터 기관을 향하는 측에 설치되는 화소전극을 포함하고, 상기 컬러필터 기관은 제 2 투명기관 및 상기 제 2 투명기관의 박막 트랜지스터 기관을 향하는 측에 설치되는 공통전극을 포함하며, 상기 화소전극은 제 1 서브 화소전극과 제 2 서브 화소전극을 포함하고, 상기 공통전극은 제 1 서브 공통전극과 제 2 서브 공통전극을 포함하며, 상기 제 1 서브 화소전극과 제 1 서브 공통전극은 제 1 전압차를 갖고, 상기 제 2 서브 화소전극과 제 2 서브 공통전극은 제 2 전압차를 가지며, 상기 제 1 전압차는 제 2 전압차보다 크거나 또는 작은 화소 구조.

청구항 2

제 1항에 있어서,

상기 박막 트랜지스터 기관은 상기 제 1 투명기관에 배치되는 데이터라인과 게이트라인을 더 포함하여, 상기 데이터라인과 게이트라인이 화소영역을 한정하고, 상기 화소영역은 제 1 및 제 2 서브 화소영역을 포함하며, 상기 제 1 서브 화소전극은 제 1 서브 화소영역에 위치하고, 상기 제 2 서브 화소전극은 제 2 서브 화소영역에 위치하며;

상기 화소 구조는 상기 제 1 투명기관과 제 2 투명기관 사이에 형성되어 충전 후 제 1 서브 화소영역에 정전압을 제공하는 제 1 저장 커패시터, 및 상기 제 1 투명기관과 제 2 투명기관 사이에 형성되어 충전 후 제 2 서브 화소영역에 정전압을 제공하는 제 2 저장 커패시터를 더 포함하고; 상기 제 1 서브 화소전극과 상기 제 1 서브 공통전극은 제 1 서브 화소영역의 제 1 액정 커패시터를 구성하며, 상기 제 2 서브 화소전극과 상기 제 2 서브 공통전극은 제 2 서브 화소영역의 제 2 액정 커패시터를 구성하는 화소 구조.

청구항 3

제 2항에 있어서,

상기 박막 트랜지스터 기관은 상기 제 1 투명기관에 형성되는 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 더 포함하여, 상기 제 1 박막 트랜지스터는 제 1 게이트 단자, 제 1 소스 단자 및 제 1 드레인 단자를 구비하고, 상기 제 2 박막 트랜지스터는 제 2 게이트 단자, 제 2 소스 단자 및 제 2 드레인 단자를 구비하며, 상기 제 1 게이트 단자는 게이트라인과 전기적으로 연결되고, 상기 제 1 소스 단자는 데이터라인과 전기적으로 연결되며, 상기 제 1 드레인 단자는 각각 제 1 서브 화소전극 및 제 1 저장 커패시터와 전기적으로 연결되고, 상기 제 2 게이트 단자는 게이트라인과 전기적으로 연결되며, 상기 제 2 소스 단자는 데이터라인과 전기적으로 연결되고, 상기 제 2 드레인 단자는 제 2 서브 화소전극 및 제 2 저장 커패시터와 전기적으로 연결되는 화소 구조.

청구항 4

제 1항에 있어서,

상기 제 1, 제 2 서브 공통전극은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정으로 형성되고, 상기 제 1, 제 2 서브 화소전극은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정으로 형성되는 화소 구조.

청구항 5

제 1항에 있어서,

상기 제 1 서브 공통전극은 빗 형상이며, 상기 제 1 서브 공통전극은 제 1 빗 자루, 및 일단이 제 1 빗 자루와 연결되는 복수의 제 1 빗살을 포함하고; 상기 제 2 서브 공통전극은 빗 형상이며, 상기 제 2 서브 공통전극은 제 2 빗 자루, 및 일단이 제 2 빗 자루와 연결되는 복수의 제 2 빗살을 포함하며, 상기 제 1 빗살과 제 2 빗살이 교체로 설치되는 화소 구조.

청구항 6

제 1항에 있어서,

상기 제 1 서브 화소전극과 제 1 서브 공통전극에 인가되는 구동전압은 직사각형과 교류전류이고, 상기 제 2 서브 화소전극과 제 2 서브 공통전극에 인가되는 구동전압은 직사각형과 교류전류인 화소 구조.

청구항 7

제 6항에 있어서,

제 1, 제 2 서브 공통전극에 구동전압을 인가 시, 상기 제 1 서브 공통전극과 제 2 서브 공통전극상에 상이한 전위가 구비됨으로써, 제 1 전압차가 제 2 전압차보다 크거나 또는 작은 화소 구조.

청구항 8

제 2항에 있어서,

상기 화소 구조는 8 도메인 설계를 채택하여, 상기 제 1 서브 화소영역은 상기 8 도메인 중의 4개의 도메인을 실현하고, 상기 제 2 서브 화소영역은 상기 8 도메인 중의 다른 4개의 도메인을 실현하는 화소 구조.

청구항 9

제 1항에 있어서,

상기 제 1 투명기관은 유리기관 또는 플라스틱기관이고, 상기 제 2 투명기관은 유리기관 또는 플라스틱기관인 화소 구조.

청구항 10

제 2항에 있어서,

상기 박막 트랜지스터 기관은 상기 제 1 투명기관에 형성되는 제 3 박막 트랜지스터를 더 포함하고, 상기 제 3 박막 트랜지스터는 제 3 게이트 단자, 제 3 소스 단자 및 제 3 드레인 단자를 구비하며, 상기 제 3 게이트 단자는 게이트라인과 전기적으로 연결되고, 상기 제 3 소스 단자는 데이터라인과 전기적으로 연결되며, 상기 제 3 드레인 단자는 각각 제 1 서브 화소전극, 제 2 서브 화소전극, 제 1 저장 커패시터, 제 2 저장 커패시터와 전기적으로 연결되는 화소 구조.

청구항 11

박막 트랜지스터 기관, 박막 트랜지스터 기관과 마주보게 설치되는 컬러필터 기관, 및 박막 트랜지스터 기관과

컬러필터 기판 사이에 설치되는 액정층을 포함하되,

상기 박막 트랜지스터 기판은 제 1 투명기판 및 제 1 투명기판의 컬러필터 기판을 향하는 측에 설치되는 화소전극을 포함하고, 상기 컬러필터 기판은 제 2 투명기판 및 제 2 투명기판의 박막 트랜지스터 기판을 향하는 측에 설치되는 공통전극을 포함하며, 상기 화소전극은 제 1 서브 화소전극과 제 2 서브 화소전극을 포함하고, 상기 공통전극은 제 1 서브 공통전극과 제 2 서브 공통전극을 포함하며, 상기 제 1 서브 화소전극과 제 1 서브 공통전극은 제 1 전압차를 구비하고, 상기 제 2 서브 화소전극과 제 2 서브 공통전극은 제 2 전압차를 구비하며, 상기 제 1 전압차는 제 2 전압차보다 크거나 또는 같고;

상기 박막 트랜지스터 기판은 상기 제 1 투명기판에 배치되는 데이터라인과 게이트라인을 더 포함하여, 상기 데이터라인과 게이트라인이 화소영역을 한정하고, 상기 화소영역은 제 1 및 제 2 서브 화소영역을 포함하며, 상기 제 1 서브 화소전극은 제 1 서브 화소영역에 위치하고, 상기 제 2 서브 화소전극은 제 2 서브 화소영역에 위치하며; 상기 화소 구조는 상기 제 1 투명기판과 제 2 투명기판 사이에 형성되어 충전 후 제 1 서브 화소영역에 정전압을 제공하는 제 1 저장 커패시터, 및 상기 제 1 투명기판과 제 2 투명기판 사이에 형성되어 충전 후 제 2 서브 화소영역에 정전압을 제공하는 제 2 저장 커패시터를 더 포함하며; 상기 제 1 서브 화소전극과 상기 제 1 서브 공통전극은 제 1 서브 화소영역의 제 1 액정 커패시터를 구성하고, 상기 제 2 서브 화소전극과 상기 제 2 서브 공통전극은 제 2 서브 화소영역의 제 2 액정 커패시터를 구성하며;

상기 박막 트랜지스터 기판은 상기 제 1 투명기판에 형성되는 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 더 포함하여, 상기 제 1 박막 트랜지스터는 제 1 게이트 단자, 제 1 소스 단자 및 제 1 드레인 단자를 구비하고, 상기 제 2 박막 트랜지스터는 제 2 게이트 단자, 제 2 소스 단자 및 제 2 드레인 단자를 구비하며, 상기 제 1 게이트 단자는 게이트라인과 전기적으로 연결되고, 상기 제 1 소스 단자는 데이터라인과 전기적으로 연결되며, 상기 제 1 드레인 단자는 각각 제 1 서브 화소전극, 제 1 저장 커패시터와 전기적으로 연결되며, 상기 제 2 게이트 단자는 게이트라인과 전기적으로 연결되고, 상기 제 2 소스 단자는 데이터라인과 전기적으로 연결되며, 상기 제 2 드레인 단자는 제 2 서브 화소전극, 제 2 저장 커패시터와 전기적으로 연결되고;

상기 제 1, 제 2 서브 공통전극은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정으로 형성되고, 상기 제 1, 제2 서브 화소전극은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정으로 형성되며;

상기 제 1 서브 공통전극은 빗 형상이며, 상기 제 1 서브 공통전극은 제 1 빗 자루, 및 일단이 제 1 빗 자루와 연결되는 복수의 제 1 빗살을 포함하고; 상기 제 2 서브 공통전극은 빗 형상이며, 상기 제 2 서브 공통전극은 제 2 빗 자루, 및 일단이 제 2 빗 자루와 연결되는 복수의 제 2 빗살을 포함하며, 상기 제 1 빗살과 제 2 빗살이 교체로 설치되고;

상기 제 1 서브 화소전극과 제 1 서브 공통전극에 인가되는 구동전압은 직사각형과 교류전류이고, 상기 제 2 서브 화소전극과 제 2 서브 공통전극에 인가되는 구동전압은 직사각형과 교류전류인 화소 구조.

청구항 12

제 11항에 있어서,

상기 제 1, 제 2 서브 공통전극에 구동전압을 인가 시, 상기 제 1 서브 공통전극과 제 2 서브 공통전극상에 상이한 전위가 구비되도록 함으로써, 제 1 전압차가 제 2 전압차보다 크거나 또는 작은 화소 구조.

청구항 13

제 11항에 있어서,

상기 화소 구조는 8 도메인 설계를 채택하여, 상기 제 1 서브 화소영역은 상기 8 도메인 중의 4개의 도메인을 실현하고, 상기 제 2 서브 화소영역은 상기 8 도메인 중의 다른 4개의 도메인을 실현하는 화소 구조.

청구항 14

제 11항에 있어서,

상기 제 1 투명기관은 유리기관 또는 플라스틱기관이고, 상기 제 2 투명기관은 유리기관 또는 플라스틱기관인 화소 구조.

발명의 설명

기술 분야

[0001] 본 발명은 액정 디스플레이 기술 분야에 관한 것으로서, 특히 화소 구조에 관한 것이다.

배경 기술

[0002] 액정 디스플레이는 몸체가 얇고, 낮은 전력소모, 무방사 등의 여러 장점을 구비하여 광범위하게 응용되고 있다. 현재 시중의 액정 디스플레이는 대부분 백라이트형 액정 디스플레이로서, 액정 디스플레이 패널 및 백라이트 모듈(backlight module)을 포함한다. 액정 디스플레이 패널의 작동 원리는 두 장의 평행한 유리기관에 액정분자를 설치하고, 두 장의 유리기관에 구동전압을 인가하여 액정분자의 회전방향을 제어함으로써, 백라이트 모듈의 광선을 굴절시켜 화면을 발생시키는 것이다. 액정 디스플레이 패널 자체는 발광하지 않기 때문에, 백라이트 모듈이 제공하는 광원을 통해 이미지를 정상적으로 디스플레이하게 되며, 따라서 백라이트 모듈은 액정 디스플레이의 핵심 소자 중의 하나이다. 백라이트 모듈은 광원의 입사위치에 따라 사이드 엷지형 백라이트 모듈과 직하형 백라이트 모듈 두 종류로 구분된다. 직하형 백라이트 모듈은 CCFL(Cold Cathode Fluorescent Lamp, 음극선관) 또는 LED(Light Emitting Diode, 발광다이오드)와 같은 발광 광원을 액정 디스플레이 후방에 설치하여 직접 면광원을 형성하여 액정 디스플레이 패널에 제공한다. 사이드 엷지형 백라이트 모듈은 배광원 LED 라이트바(lightbar)를 액정 디스플레이 패널측 후방의 백플레인 가장자리에 설치하여, LED 라이트바가 방출하는 광선이 도광판(LGP, Light Guide Plate) 일측의 입광면으로부터 도광판으로 진입하여, 반사 및 확산을 거친 후 도광판의 출광면으로 방출되며, 광학필름모듈을 거쳐 면광원을 형성하여 액정 디스플레이 패널에 제공된다.

[0003] 종래의 액정 디스플레이 패널, 특히 대형 액정 디스플레이 패널은 대시야각에서 관람 시 색상 변이가 나타날 수 있으며, 또한 관람 각도가 클수록 색상 변이가 심각해진다. 시야각을 높이고 색상 변이를 저하시키기 위하여, 대형 액정 디스플레이 패널은 통상적으로 낮은 색상 변이(Low color shift)의 설계를 하고 있다. 통상적으로 화소의 도메인(domain)을 증가시키는 것으로, 하나의 화소는 일반적으로 4개의 도메인으로 구분할 수 있다. 하나의 화소를 2개의 화소영역, 즉 메인 화소영역과 서브 화소영역으로 구분할 경우 8개의 도메인으로 증가될 수 있어 시야각이 향상되고, 대시야각의 색상 변이를 개선할 수 있다.

[0004] 메인 화소영역과 서브 화소영역은 2개 이상의 상이한 박막 트랜지스터(Thin Film Transistor, TF)를 통해 전력이 공급된다. 도 1 및 도 2를 참조하면, 통상적인 LCS 설계된 화소 구조도 및 그 등가회로도로서, 하나의 화소(102)는 메인 화소영역(104)과 서브 화소영역(106)으로 구분되며, G_n 번째 게이트라인이 개방 시, 제 1 박막 트랜지스터(Main TFT)(202)와 제 2 박막 트랜지스터(Sub TFT)(204)는 전하를 각각 화소(102) 중 메인 화소영역(104)의 제 1 저장 커패시터(C_{st1})와 서브 화소영역(106)의 제 2 저장 커패시터(C_{st2})로 전송한다. G_n 번째 게이트라인이 차단되고, G_{n+1} 번째 게이트라인이 개방 시, 제 3 박막 트랜지스터(charge sharing TFT, T_{cs})(206)가 개방되어, 서브 화소영역(106)의 제 2 저장 커패시터(C_{st2}) 중의 일부 전하를 충전공유(charge sharing) 커패시터(C_b)로 방출하며, 이와 같이 하면 메인 화소영역(104)과 서브 화소영역(106)에 전위차가 발생하게 되어 색상 변이를 저하시키고자 하는 목적을 달성할 수 있다.

[0005] 상기 이러한 화소 구조는 비록 LCS를 구현할 수 있으나, 단 화소의 충전을 제어하기 위하여 하나의 화소에 3개의 박막 트랜지스터 및 2줄의 게이트라인이 필요하므로, 이는 화소의 개구율에 상당히 큰 손실을 초래할 수 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명의 목적은 컬러필터 기관 중의 제 1, 제 2 서브 공통전극에 상이한 전위의 전압을 제공하여, 제 1 서브 화소전극과 제 1 서브 공통전극이 구비한 제 1 전압차가 제 2 서브 화소전극과 제 2 서브 공통전극이 구비한 제

2 전압차보다 크거나 또는 작도록 함으로써, 개구율을 저하시키지 않고, 대형 패널의 대시야각의 색상 변이 문제를 개선할 수 있는 화소 구조를 제공하고자 하는데 있다.

과제의 해결 수단

[0007] 상기 목적을 달성하기 위하여, 본 발명은 화소 구조를 제공하며, 이는 박막 트랜지스터 기관, 박막 트랜지스터 기관과 마주보게 설치되는 컬러필터 기관, 및 박막 트랜지스터 기관과 컬러필터 기관 사이에 설치되는 액정층을 포함한다. 박막 트랜지스터 기관은 제 1 투명기관 및 제 1 투명기관의 컬러필터 기관을 향하는 측에 설치되는 화소전극을 포함하고, 컬러필터 기관은 제 2 투명기관 및 제 2 투명기관의 박막 트랜지스터 기관을 향하는 측에 설치되는 공통전극을 포함하며, 화소전극은 제 1 서브 화소전극과 제 2 서브 화소전극을 포함하고, 공통전극은 제 1 서브 공통전극과 제 2 서브 공통전극을 포함하며, 제 1 서브 화소전극과 제 1 서브 공통전극은 제 1 전압차를 구비하고, 제 2 서브 화소전극과 제 2 서브 공통전극은 제 2 전압차를 구비하며, 제 1 전압차는 제 2 전압차보다 크거나 또는 작다.

[0008] 또한, 박막 트랜지스터 기관은 제 1 투명기관에 배치되는 데이터라인과 게이트라인을 더 포함하여, 데이터라인과 게이트라인이 화소영역을 한정하고, 화소영역은 제 1 및 제 2 서브 화소영역을 포함하며, 제 1 서브 화소전극은 제 1 서브 화소영역에 위치하고, 제 2 서브 화소전극은 제 2 서브 화소영역에 위치하며; 화소 구조는 제 1 투명기관과 제 2 투명기관 사이에 형성되어 충전 후 제 1 서브 화소영역에 정전압을 제공하는 제 1 저장 커패시터, 및 제 1 투명기관과 제 2 투명기관 사이에 형성되어 충전 후 제 2 서브 화소영역에 정전압을 제공하는 제 2 저장 커패시터를 더 포함하고; 제 1 서브 화소전극과 제 1 서브 공통전극은 제 1 서브 화소영역의 제 1 액정 커패시터를 구성하며, 제 2 서브 화소전극과 제 2 서브 공통전극은 제 2 서브 화소영역의 제 2 액정 커패시터를 구성한다.

[0009] 또한, 상기 박막 트랜지스터 기관은 상기 제 1 투명기관에 형성되는 제 1 박막 트랜지스터 및 제 2 박막 트랜지스터를 더 포함하여, 상기 제 1 박막 트랜지스터는 제 1 게이트 단자, 제 1 소스 단자 및 제 1 드레인 단자를 구비하고, 상기 제 2 박막 트랜지스터는 제 2 게이트 단자, 제 2 소스 단자 및 제 2 드레인 단자를 구비하며, 상기 제 1 게이트 단자는 게이트라인과 전기적으로 연결되고, 상기 제 1 소스 단자는 데이터라인과 전기적으로 연결되며, 상기 제 1 드레인 단자는 각각 제 1 서브 화소전극, 제 1 저장 커패시터와 전기적으로 연결되고, 상기 제 2 게이트 단자는 게이트라인과 전기적으로 연결되며, 상기 제 2 소스 단자는 데이터라인과 전기적으로 연결되고, 상기 제 2 게이트 단자는 제 2 서브 화소전극, 제 2 저장 커패시터와 전기적으로 연결된다.

[0010] 또한, 상기 제 1, 제 2 서브 공통전극은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정으로 형성되고, 상기 제 1, 제2 서브 화소전극은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정으로 형성된다.

[0011] 또한, 상기 제 1 서브 공통전극은 빗 형상이며, 상기 제 1 서브 공통전극은 제 1 빗 자루, 및 일단이 제 1 빗 자루와 연결되는 복수의 제 1 빗살을 포함하고; 상기 제 2 서브 공통전극은 빗 형상이며, 상기 제 2 서브 공통전극은 제 2 빗 자루, 및 일단이 제 2 빗 자루와 연결되는 복수의 제 2 빗살을 포함하며, 상기 제 1 빗살과 제 2 빗살이 교체로 설치된다.

[0012] 또한, 상기 제 1 서브 화소전극과 제 1 서브 공통전극에 인가되는 구동전압은 직사각형과 교류전류이고, 상기 제 2 서브 화소전극과 제 2 서브 공통전극에 인가되는 구동전압은 직사각형과 교류전류이다.

[0013] 제 1, 제 2 서브 공통전극에 구동전압을 인가 시, 상기 제 1 서브 공통전극과 제 2 서브 공통전극상에 상이한 전위가 구비됨으로써, 제 1 전압차가 제 2 전압차보다 크거나 또는 작다.

[0014] 상기 화소 구조는 8 도메인 설계를 채택하여, 상기 제 1 서브 화소영역은 상기 8 도메인 중의 4개의 도메인을 실현하고, 상기 제 2 서브 화소영역은 상기 8 도메인 중의 다른 4개의 도메인을 실현한다.

[0015] 상기 제 1 투명기관은 유리기관 또는 플라스틱기관이고, 상기 제 2 투명기관은 유리기관 또는 플라스틱기관이다.

발명의 효과

[0016] 본 발명의 화소구조는 컬러필터 기관 중의 제 1, 제 2 서브 공통전극에 상이한 전위의 전압을 제공하여, 제 1 서브 화소전극과 제 1 서브 공통전극이 구비한 제 1 전압차가 제 2 서브 화소전극과 제 2 서브 공통전극이 구비한 제 2 전압차보다 크거나 또는 작도록 함으로써, 게이트라인을 추가하여야 하고 화소전극측에 충전 공유 커패

시터를 설치해야 하는 종래 기술의 문제를 피하고, 동시에, 하나 또는 두 개의 박막 트랜지스터를 감소시켜, 개구율의 손실을 방지할 수 있으며, 따라서 개구율을 저하시키지 않고 대형 패널의 대시야각의 색상 변이 문제를 개선한다.

[0017] 본 발명의 특징 및 기술내용을 이해하기 위하여, 이하의 본 발명에 대한 상세한 설명 및 도면을 참조하며, 단지 도면은 참조와 설명에 사용될 뿐 본 발명에 대해 국한하는 것은 아니 된다.

도면의 간단한 설명

[0018] 이하 실시예는 첨부된 도면과 함께 본 발명의 기술방안에 대해 더욱 상세히 설명한다.

도면 중,

도 1은 종래 기술 중 LCS 설계를 갖는 화소구조도이다.

도 2는 도 1의 화소 구조의 등가회로도이다.

도 3은 본 발명의 화소 구조의 구조도이다.

도 4는 본 발명의 화소 구조의 일 실시예의 평면도이다.

도 5는 도 4의 화소 구조의 등가회로도이다.

도 6은 본 발명의 화소 구조 중 제 1 서브 공통전극과 제 2 서브 공통전극의 구조도이다.

도 7은 본 발명의 화소 구조 중 제 1 서브 화소전극과 제 1 서브 공통전극에 인가된 전압의 파형도이다.

도 8은 본 발명의 화소 구조 중 제 2 서브 화소전극과 제 2 서브 공통전극에 인가된 전압의 파형도이다.

도 9는 본 발명의 화소 구조의 다른 일 실시예의 평면도이다.

도 10은 도 9의 화소 구조의 등가회로도이다.

발명을 실시하기 위한 구체적인 내용

[0019] 본 발명이 채택한 기술수단 및 효과를 더 구체적으로 설명하기 위하여, 본 발명의 바람직한 실시예 및 그 도면을 결합하여 상세히 설명한다.

[0020] 도 3 내지 도 8을 참조하면, 본 발명이 제공하는 화소구조(10)는 박막 트랜지스터 기관(20), 박막 트랜지스터 기관(20)과 마주보게 설치되는 컬러필터 기관(30), 및 박막 트랜지스터 기관(20)과 컬러필터 기관(30) 사이에 설치되는 액정층(40)을 포함한다.

[0021] 상기 박막 트랜지스터 기관(20)은 제 1 투명기관(22) 및 제 1 투명기관(22)의 컬러필터 기관(30)을 향하는 측에 설치되는 화소전극(24)을 포함하고, 상기 컬러필터 기관(30)은 제 2 투명기관(32) 및 제 2 투명기관(32)의 박막 트랜지스터 기관(20)을 향하는 측에 설치되는 공통전극(34)을 포함하며; 상기 화소전극(24)은 제 1 서브 화소전극(26)과 제 2 서브 화소전극(28)을 포함하고, 상기 공통전극(34)은 제 1 서브 공통전극(36)과 제 2 서브 공통전극(38)을 포함한다. 상기 제 1 서브 화소전극(26)과 제 1 서브 공통전극(36)은 제 1 전압차(U1)를 구비하고, 상기 제 2 서브 화소전극(28)과 제 2 서브 공통전극(38)은 제 2 전압차(U2)를 구비하며, 상기 제 1 전압차(U1)는 제 2 전압차(U2)보다 크거나 또는 작다. 상기 구조를 통해 게이트라인을 추가하고 화소전극측에 충전공유 커패시터를 설치해야 하는 종래 기술의 문제를 피하고, 동시에, 하나 또는 두 개의 박막 트랜지스터를 감소시켜 개구율의 손실을 방지할 수 있으며, 따라서 개구율을 저하시키지 않고 대형 패널의 대시야각 색상 변이 문제를 개선할 수 있다.

[0022] 구체적으로, 상기 박막 트랜지스터 기관(20)은 상기 제 1 투명기관(22)에 배치되는 데이터라인(23)과 게이트라인(25)을 더 포함하여, 스캔신호 및 데이터 신호를 제공한다. 상기 데이터라인(23)과 게이트라인(25)은 화소 영역(미표시)을 한정하며, 상기 화소영역은 제 1 및 제 2 화소영역을 포함하고, 상기 제 1 서브 화소전극(26)은 제 1 서브 화소영역에 위치하며, 상기 제 2 서브 화소전극(28)은 제 2 서브 화소영역에 위치한다. 상기 화소 구조(10)는 상기 제 1 투명기관(22)과 제 2 투명기관(32) 사이에 형성되어 충전 후 제 1 서브 화소영역에 정전압을 제공하는 제 1 저장 커패시터(C1), 및 상기 제 1 투명기관(22)과 제 2 투명기관(32) 사이에 형성되어 충전 후 제 2 서브 화소영역에 정전압을 제공하는 제 2 저장 커패시터(C2)를 더 포함한다. 상기 제 1 서브 화소전극(26)과 제 1 서브 공통전극(36)은 제 1 서브 화소영역의 제 1 액정 커패시터(C3)를 구성하고, 상기 제 2 서브

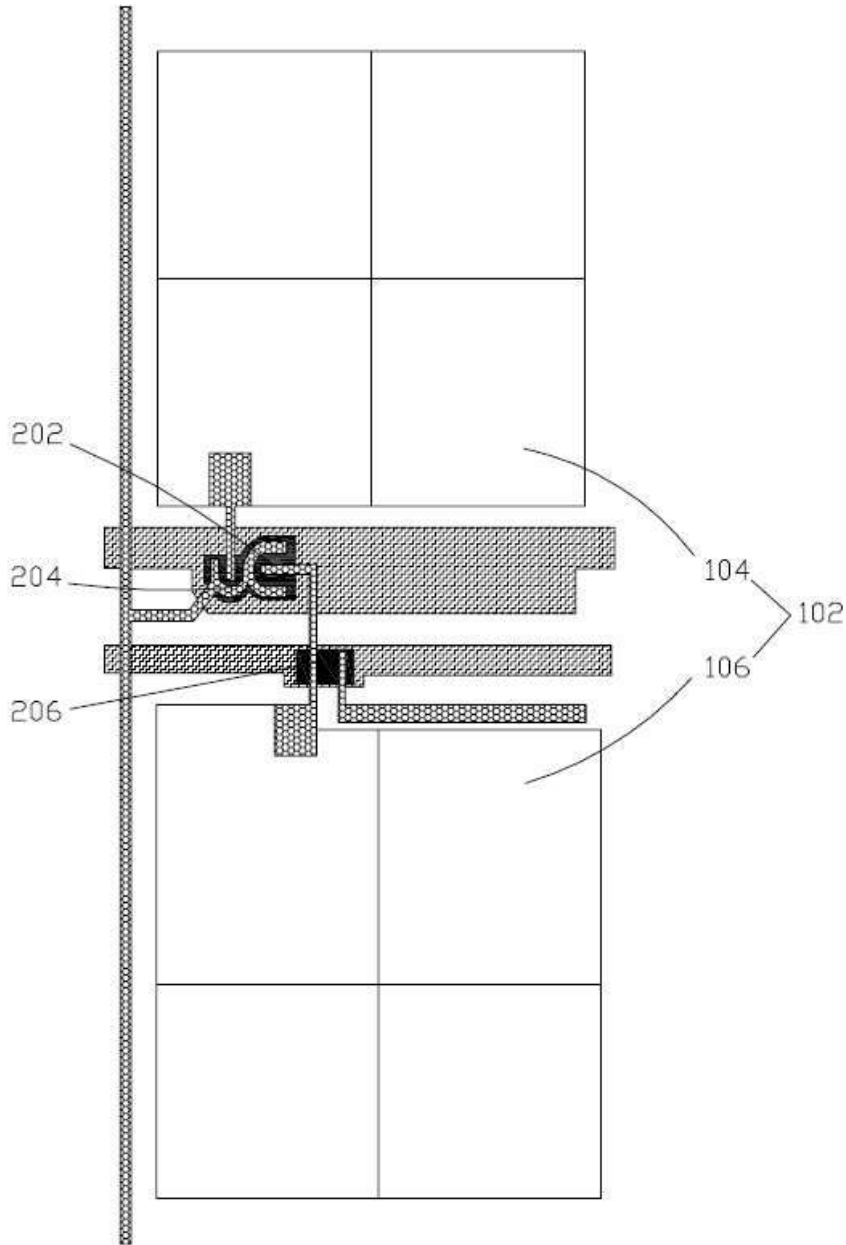
화소전극(28)과 제 2 서브 공통전극(38)은 제 2 서브 화소영역의 제 2 액정 커패시터(C4)를 구성한다.

- [0023] 도 5를 결합해보면, 본 발명의 바람직한 실시예에서, 상기 박막 트랜지스터 기관(20)은 상기 제 1 투명기관(22)에 형성되는 제 1 박막 트랜지스터(27) 및 제 2 박막 트랜지스터(29)를 더 포함하며, 상기 제 1 박막 트랜지스터(27)는 제 1 게이트 단자(g1), 제 1 소스 단자(s1) 및 제 1 드레인 단자(d1)을 구비하고, 제 2 박막 트랜지스터(29)는 제 2 게이트 단자(g2), 제 2 소스 단자(s2) 및 제 2 드레인 단자(d2)을 구비하며, 상기 제 1 게이트 단자(g1)는 게이트라인(25)과 전기적으로 연결되고, 상기 제 1 소스 단자(s1)는 데이터라인(23)과 전기적으로 연결되며, 상기 제 1 드레인 단자(d1)은 각각 제 1 서브 화소전극(26), 제 1 저장 커패시터(C1)와 전기적으로 연결되고, 상기 제 2 게이트 단자(g2)는 게이트라인(25)과 전기적으로 연결되고, 상기 제 2 소스 단자(s2)는 데이터라인(23)과 전기적으로 연결되며, 상기 제 2 드레인 단자(d2)은 제 2 서브 화소전극(28), 제 2 저장 커패시터(C2)와 전기적으로 연결된다. 제 1, 제 2 저장 커패시터(C1), (C2)는 충전 후 형성되는 구동 전압을 통해 상기 프레임 내의 제 1, 제 2 서브 화소영역의 화면을 유지한다. 본 실시예에서는 2개의 박막 트랜지스터(27), (29), 하나의 게이트라인(25), 하나의 데이터라인(23)만 사용하여, 개구율을 유지하기에 유리하며, 즉 개구율을 저하시키지 않고 대시야각의 LCS를 구현할 수 있다.
- [0024] 상기 제 1, 제 2 서브 공통전극(36), (38)은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정을 통해 형성되며, 산화인듐주석으로 제조되는 것이 바람직하고; 상기 제 1, 제 2 서브 화소전극(26), (28)은 필름성형 공정, 포토레지스트 도포 공정, 노광 공정, 현상 공정 및 식각 공정으로 형성되며, 산화인듐주석으로 제조되는 것이 바람직하다.
- [0025] 도 6을 참조하면, 상기 제 1 서브 공통전극(36)은 빗 형상이며, 상기 제 1 서브 공통전극(36)은 제 1 빗 자루(42), 및 일단이 제 1 빗 자루(42)와 연결되는 복수의 제 1 빗살(44)을 포함하고; 상기 제 2 서브 공통전극(38)은 빗 형상이며, 상기 제 2 서브 공통전극(38)은 제 2 빗 자루(46), 및 일단이 제 2 빗 자루(46)와 연결되는 복수의 제 2 빗살(48)을 포함하며, 상기 제 1 빗살(44)과 제 2 빗살(48)은 교체로 설치된다.
- [0026] 도 7 및 도 8을 참조하면, 상기 제 1 서브 화소전극(26)과 제 1 서브 공통전극(36)에 인가되는 구동전압은 직사각형과 교류전류(53), (54)이고, 상기 제 2 서브 화소전극(28)과 제 2 서브 공통전극(38)에 인가되는 구동전압은 직사각형과 교류전류(56), (58)이다. 본 발명은 도전성 금볼(golden ball)을 통해 제 1, 제 2 서브 공통전극(36), (38)에 구동전압을 인가 시, 상기 제 1 서브 공통전극(36)과 제 2 서브 공통전극(38)상에 상이한 전위가 구비되고, 상기 제 1, 제 2 서브 화소전극(26), (28)상의 전위는 동일하여, 제 1 전압차가 제 2 전압차보다 크거나 또는 작도록 함으로써, 대형 액정 디스플레이 패널의 대시야각의 색상 변이 문제를 개선하였다.
- [0027] 상기 화소 구조(10)는 8 도메인 설계를 채택하여, 즉 하나의 화소 구조(10)에 총 8개의 액정 배향이 구비되도록 하여 대시야각을 구현한다. 도 4에 도시된 바와 같이, 상기 제 1 서브 화소영역은 상기 8 도메인 중의 4개의 도메인을 구현하고, 상기 제 2 서브 화소영역은 상기 8 도메인 중 다른 4개의 도메인을 구현한다.
- [0028] 상기 제 1 투명기관(22)은 유리기관 또는 플라스틱기관이고, 상기 제 2 투명기관(32)은 유리기관 또는 플라스틱기관이다.
- [0029] 도 9 및 도 10을 참조하면, 선택 가능한 다른 일 바람직한 실시예로서, 상기 박막 트랜지스터 기관(20')에 하나의 박막 트랜지스터, 즉 도 9와 도 10에 도시된 제 3 박막 트랜지스터(52)만 설치하고, 제 3 박막 트랜지스터(52)를 이용하여 제 1 서브 화소전극(26')과 제 2 서브 화소전극(28')을 동시에 구동하는 것일 수 있으며, 구조가 비교적 단순하여 개구율을 향상시키기에 유리하다. 상기 제 3 박막 트랜지스터(52)는 제 3 게이트 단자(g3), 제 3 소스 단자(s3) 및 제 3 드레인 단자(d3)을 구비하며, 상기 제 3 게이트 단자(g3)는 게이트라인(25')과 전기적으로 연결되고, 상기 제 3 소스 단자(s3)는 데이터라인(25')과 전기적으로 연결되며, 상기 제 3 드레인 단자(d3)은 각각 제 1 서브 화소전극(26'), 제 2 서브 화소전극(28'), 제 1 저장 커패시터(C1), 제 2 저장 커패시터(C2)와 전기적으로 연결된다. 상기 실시예 중의 기타 구조는 상술한 실시예와 동일하다.
- [0030] 상술한 바와 같이, 본 발명이 제공하는 화소 구조는 컬러필터 기관 중의 제 1, 제 2 서브 공통전극에 상이한 전위의 전압을 제공하여, 제 1 서브 화소전극과 제 1 서브 공통전극이 구비한 제 1 전압차가 제 2 서브 화소전극과 제 2 서브 공통전극이 구비한 제 2 전압차보다 크거나 또는 작도록 함으로써, 게이트라인을 추가하여야 하고 화소전극측에 충전 공유 커패시터를 구비해야 하는 종래 기술의 문제를 피하고 동시에, 하나 또는 두 개의 박막 트랜지스터를 감소시켜, 개구율의 손실을 방지할 수 있으며, 따라서 개구율을 저하시키지 않고 대형 패널의 대시야각의 색상 변이 문제를 개선하였다.
- [0031] 본 발명은 전술한 실시예에 국한하지 않고, 본 발명의 기술 사상이 허용되는 범위 내에서 다양하게 변형하여 실

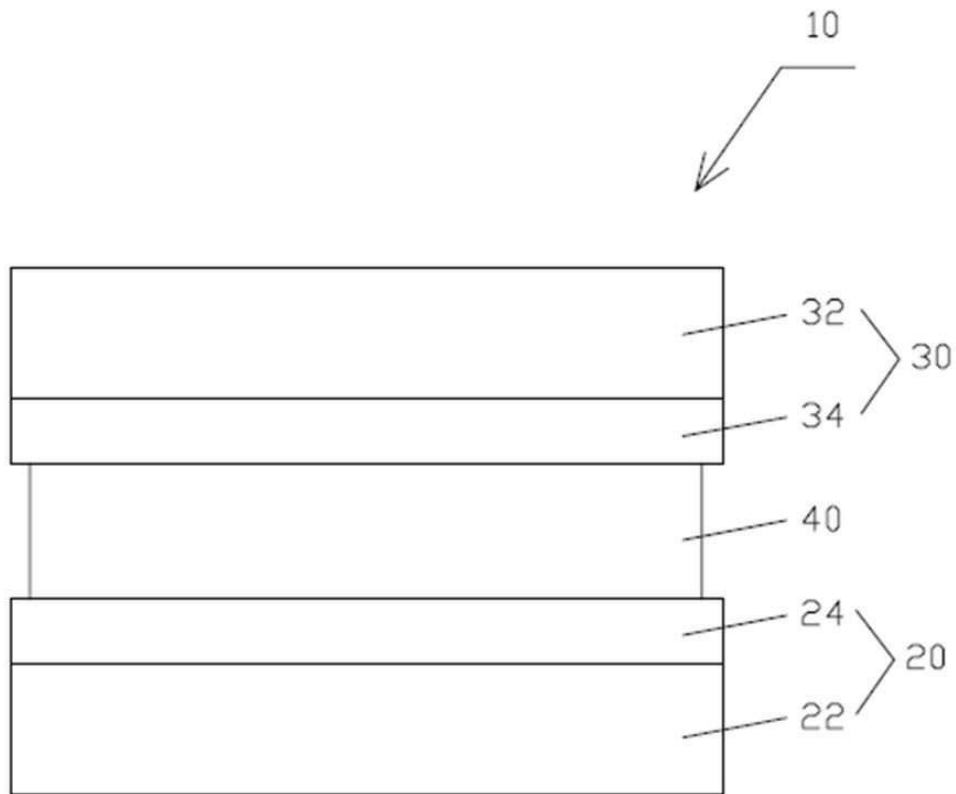
시할 수 있다.

도면

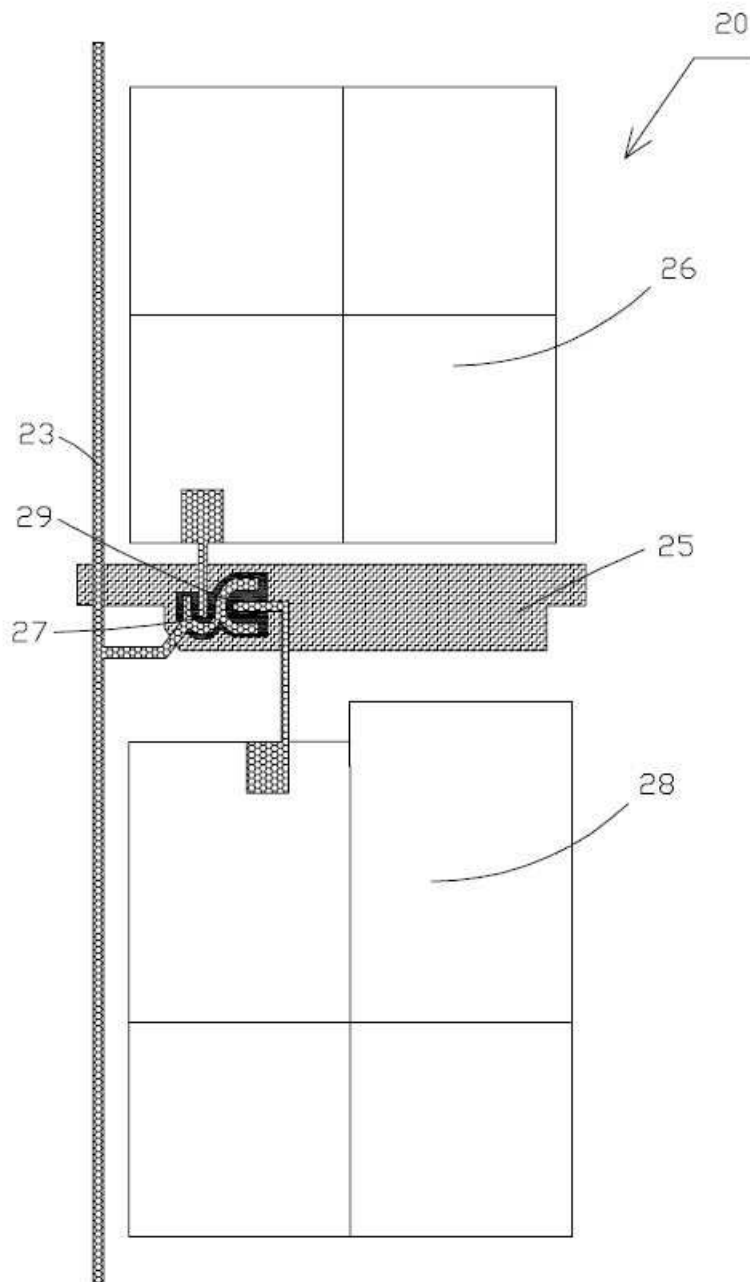
도면1



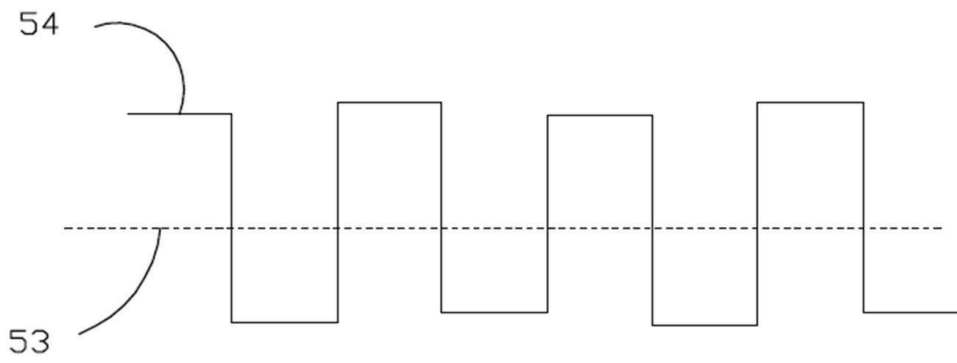
도면3



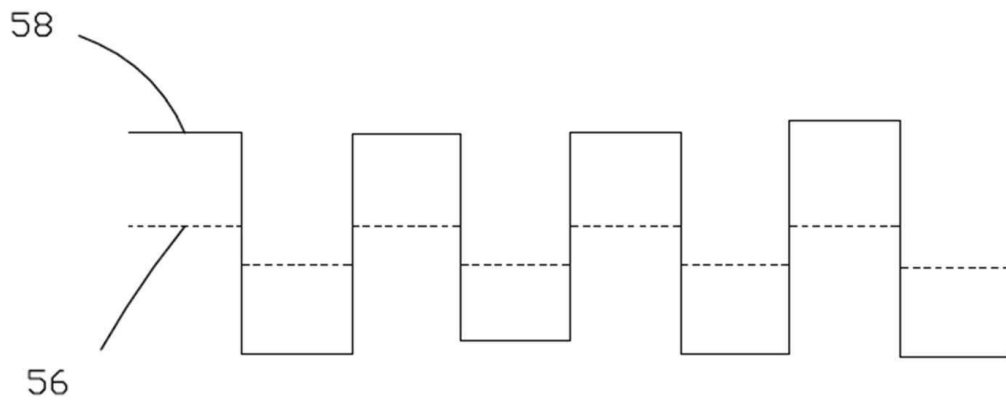
도면4



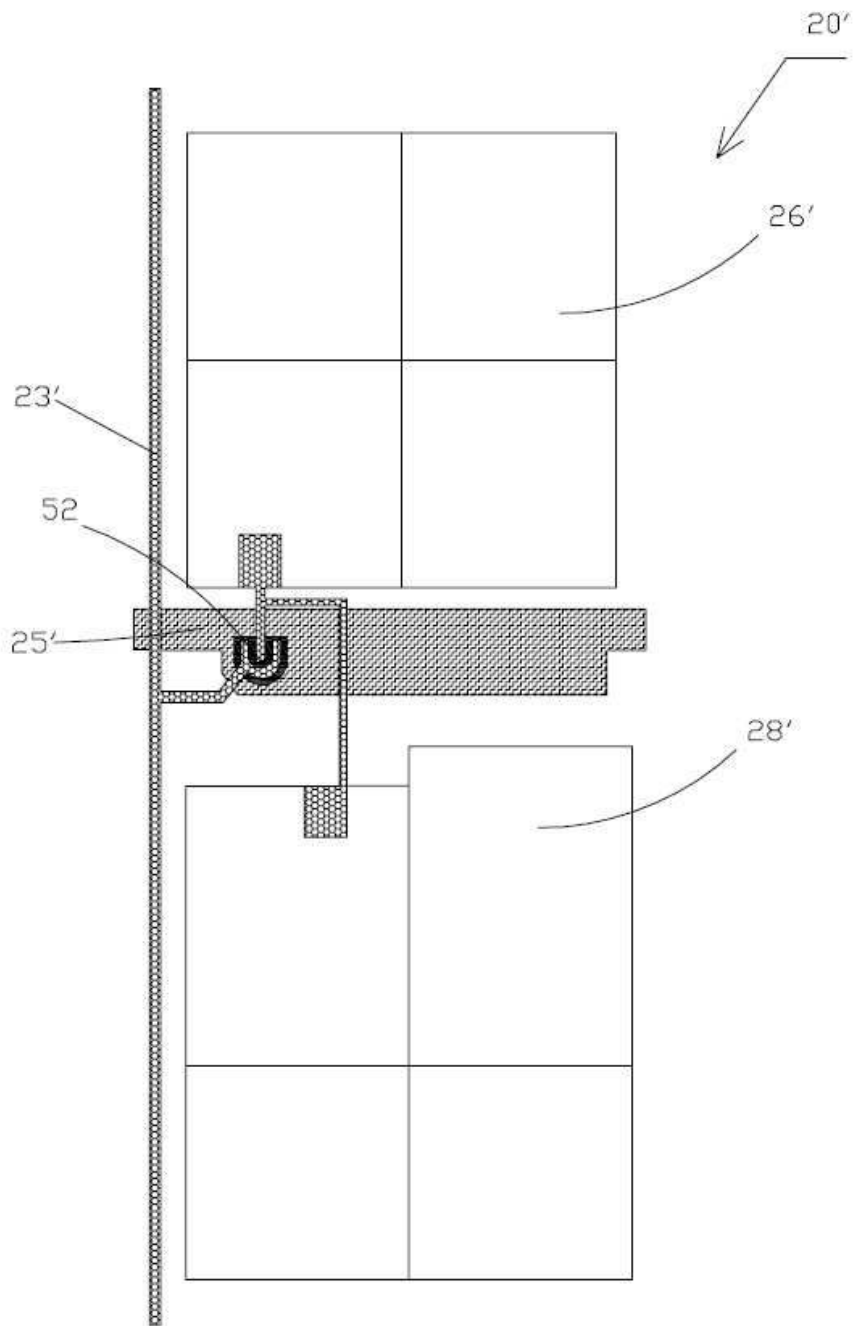
도면7



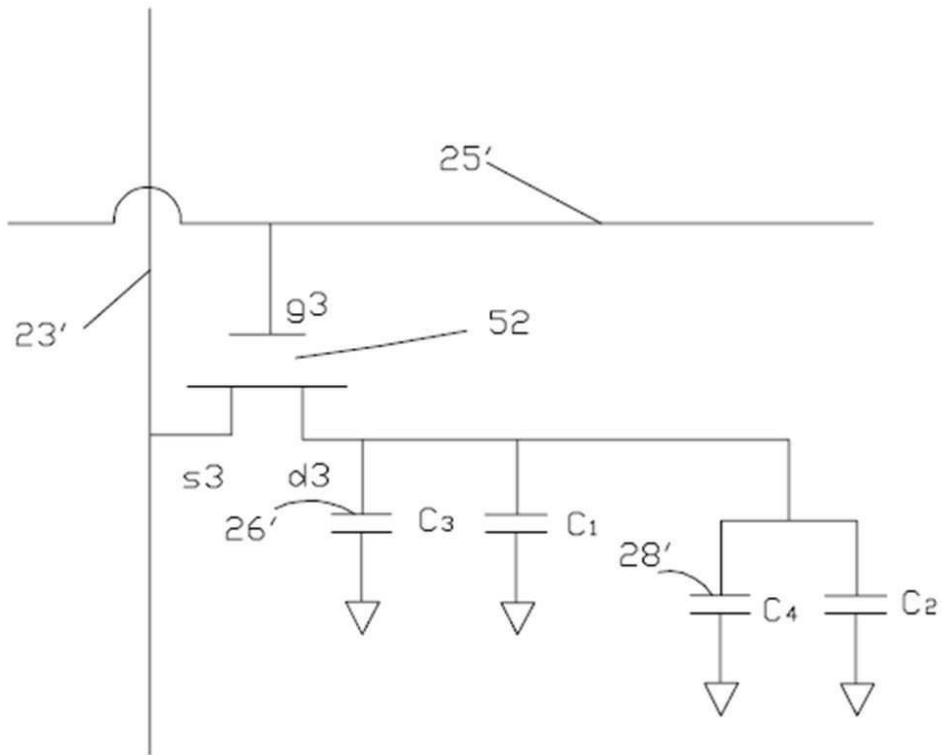
도면8



도면9



도면10



专利名称(译)	像素结构		
公开(公告)号	KR1020160061417A	公开(公告)日	2016-05-31
申请号	KR1020167011195	申请日	2014-01-22
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
当前申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	LO SHIHHSUN 뤼스쑤 GUO JINBO 궈진보 HUANG SHISHUAI 황스쇄이		
发明人	뤼,스쑤 궈,진보 황,스쇄이		
IPC分类号	G02F1/1343 G02F1/1368 G02F1/1335 G02F1/1362		
CPC分类号	G02F1/134309 G02F1/1368 G02F1/133514 G02F1/1343 G02F1/136213 G02F2001/134345 G02F2001/134318		
优先权	201310733624.X 2013-12-26 CN		
外部链接	Espacenet		

摘要(译)

本发明提供的像素结构10包括薄膜晶体管基板20，彩色滤光片基板30和液晶层40。薄膜晶体管基板20包括第一透明基板22和像素电极24，而彩色滤光片基板30包括第二透明基板32和公共电极34。像素电极24包括第一子像素电极26和第二子像素电极28，并且公共电极34包括第一子公共电极36和第二子公共电极38。它包括。第一子像素电极26和第一子公共电极36具有第一电压差，第二子像素电极28和第二子公共电极38具有第二电压差。 ，第一电压差大于或小于第二电压差。

