



**(19) 대한민국특허청(KR)**  
**(12) 공개특허공보(A)**

(11) 공개번호 10-2015-0125527  
 (43) 공개일자 2015년11월09일

(51) 국제특허분류(Int. Cl.)  
**G02F 1/133** (2006.01) **G09G 3/36** (2006.01)  
 (21) 출원번호 10-2014-0137729  
 (22) 출원일자 2014년10월13일  
 심사청구일자 없음  
 (30) 우선권주장  
 1020140051961 2014년04월29일 대한민국(KR)

(71) 출원인  
**엘지디스플레이 주식회사**  
 서울특별시 영등포구 여의대로 128(여의도동)  
 (72) 발명자  
**최혁**  
 경기 파주시 책향기로 183,1503동 1405호(동패동, 책향기마을상록데시앙아파트)  
**김강일**  
 경기도 파주시 가람로22, 102동 504호(와동동, 가람마을1단지벽산한라아파트)  
 (뒷면에 계속)  
 (74) 대리인  
**특허법인네이트**

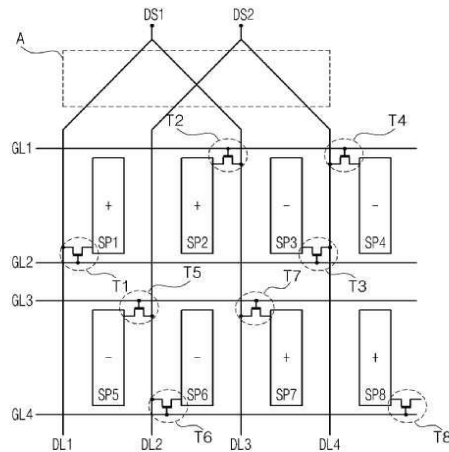
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 **액정표시장치**

**(57) 요약**

본 발명은 액정 표시 장치에 관한 것으로, 특히 DRD(Double Rate Driving) 방식의 액정표시장치에서 하나의 데이터 신호가 데이터 신호 출력단에서 2개의 데이터배선으로 갈라져 입력되는 구조의 액정표시장치에 관한 것으로 2행 4열로 배열되는 제 1 내지 제 8 서브픽셀; 상기 각 행의 서브픽셀 상하마다 수평방향으로 배치되되, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 4 게이트 배선; 상기 제 1 내지 제 4 게이트 배선과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 배치되는 제 1 내지 제 4 데이터 배선; 및 상기 제 1 내지 제 8 서브픽셀에 각각 배치되는 제 1 내지 제 8 박막트랜지스터를 포함하고, 상기 제 1 및 제 3 데이터 배선에는 제 1 데이터 신호 출력단으로부터 제 1 데이터 신호가 인가되고, 상기 제 2 및 제 4 데이터 배선에는 제 2 데이터 신호 출력단으로부터 제 2 데이터 신호가 인가되는 것을 특징으로 한다.

**대표도** - 도2



(72) 발명자

**한예슬**

경기 고양시 덕양구 충장로103번길 49, 101동 203호 (행신동, 윤창아파트)

**박해준**

서울특별시 강서구 화곡로66길 90,101동 1508호(등촌동, 코오롱아파트)

---

## 명세서

### 청구범위

#### 청구항 1

2행 4열로 배열되는 제 1 내지 제 8 서브픽셀;

상기 제 1 내지 제 8 서브픽셀 중 각 행의 서브픽셀 상하마다 수평방향으로 배치되며, 상기 각 행의 서브픽셀 사이에는 2개가 배치되는 제 1 내지 제 4 게이트 배선;

상기 제 1 내지 제 4 게이트 배선과 교차하고 상기 제 1 내지 제 8 서브픽셀 중 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 배치되는 제 1 내지 제 4 데이터 배선; 및

상기 제 1 내지 제 8 서브픽셀에 각각 배치되는 제 1 내지 제 8 박막트랜지스터를 포함하고,

상기 제 1 및 제 3 데이터 배선에는 제 1 데이터신호 출력단으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 4 데이터 배선에는 제 2 데이터신호 출력단으로부터 제 2 데이터신호가 인가되는 것을 특징으로 하는 DRD 방식 액정표시장치.

#### 청구항 2

제 1 항에 있어서,

상기 제 2 및 제 4 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1 및 제 3 박막트랜지스터는 상기 제 2 게이트 배선에 연결되고, 상기 제 5 및 제 7 박막트랜지스터는 상기 제 3 게이트 배선에 연결되고, 상기 제 6 및 제 8 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고,

상기 제 1 박막트랜지스터는 상기 제 1 데이터 배선에 연결되고, 상기 제 5 및 제 6 박막트랜지스터는 상기 제 2 데이터 배선에 연결되고, 상기 제 2 및 제 7 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 3 및 제 4 박막트랜지스터는 상기 제 4 데이터 배선에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

#### 청구항 3

제 1 항에 있어서,

상기 제 2 및 제 3 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1 및 제 4 박막트랜지스터는 상기 제 2 게이트 배선에 연결되고, 상기 제 5 및 제 8 박막트랜지스터는 상기 제 3 게이트 배선에 연결되고, 상기 제 6 및 제 7 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고,

상기 제 1 및 제 5 박막트랜지스터는 상기 제 1 데이터 배선에 연결되고, 상기 제 2 및 제 6 박막트랜지스터는 상기 제 2 데이터 배선에 연결되고, 상기 제 3 및 제 7 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 4 및 제 8 박막트랜지스터는 상기 제 4 데이터 배선에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

#### 청구항 4

제 1 항에 있어서,

상기 제 2 및 제 3 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1 및 제 4 박막트랜지스터는 상기 제 2 게이트 배선에 연결되고, 상기 제 5 및 제 8 박막트랜지스터는 상기 제 3 게이트 배선에 연결되고, 상기 제 6 및 제 7 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고,

상기 제 1 박막트랜지스터는 상기 제 1 데이터 배선에 연결되고, 상기 제 2 및 제 5 박막트랜지스터는 상기 제

2 데이터 배선에 연결되고, 상기 제 3 및 제 6 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 4 및 제 7 박막트랜지스터는 상기 제 4 데이터 배선에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

#### 청구항 5

제 1 항에 있어서,

상기 제 1 데이터신호의 극성과 상기 제 2 데이터신호의 극성은 서로 반대 극성인 것을 특징으로 하는 DRD 방식 액정표시장치.

#### 청구항 6

제 1 항에 있어서,

상기 제 1 내지 제 8 박막트랜지스터는 각각 상기 제 1 내지 제 8 서브픽셀의 좌측 또는 우측으로 배치되는 것을 특징으로 하는 DRD 방식 액정표시장치.

#### 청구항 7

제 1 항에 있어서,

상기 제 1 내지 제 8 서브픽셀에는 각 서브픽셀의 좌우측 데이터 배선 중 어느 하나로부터 데이터 신호가 인가되는 것을 특징으로 하는 DRD 방식 액정표시장치.

#### 청구항 8

제 1 항에 있어서,

상기 제 3 데이터 배선과 상기 제 2 데이터 배선에 제 2 브리지패턴에 의해 연결되는 제 2 데이터링크 배선이 교차되는 부분 또는

상기 제 2 데이터 배선과 상기 제 3 데이터 배선에 제 3 브리지패턴에 의해 연결되는 제 3 데이터링크 배선이 교차되는 부분은 서로 다른 층에 위치된 것을 특징으로 하는 DRD 방식의 액정표시장치.

#### 청구항 9

4행 및 8열로 배열되는 제 1 내지 제 32 서브픽셀;

상기 각 행의 서브픽셀 상하마다 수평방향으로 배치되되, 상기 각 행의 서브픽셀 사이에는 2개가 배치되는 제 1 내지 제 8 게이트 배선;

상기 제 1 내지 제 8 게이트 배선과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 배치되는 제 1 내지 제 8 데이터 배선; 및

상기 다수의 서브픽셀에 각각 배치되는 제 1 내지 제 32 박막트랜지스터를 포함하고,

상기 제 1 및 제 5 데이터 배선에는 제 1 데이터신호 출력단으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 6 데이터 배선에는 제 2 데이터신호 출력단으로부터 제 2 데이터신호가 인가되고, 상기 제 3 및 제 7 데이터 배선에는 제 3 데이터신호 출력단으로부터 제 3 데이터신호가 인가되고, 상기 제 4 및 제 8 데이터 배선에는 제 4 데이터신호 출력단으로부터 제 4 데이터신호가 인가되는 것을 특징으로 하는 DRD 방식 액정표시장치.

#### 청구항 10

제 9 항에 있어서,

상기 제 2, 제 4, 제 6 및 제 8 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1, 제 3, 제 5 및 제 7 박막트랜지스터는 상기 제 2 게이트 배선에 연결되고, 상기 제 10, 제 12, 제 14, 및 제 16 박막트랜지스터는 상기 제 3 게이트 배선에 연결되고, 상기 제 9, 제 11, 제 13 및 제 15 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고, 상기 제 18, 제 20, 제 22 및 제 24 박막트랜지스터는 상기 제 5 게이트 배선에 연결되고, 상기 제 17, 제 19, 제 21 및 제 23 박막트랜지스터는 상기 제 6 게이트 배선에 연결되고, 상기 제 26, 제 28, 제 30, 및 제 32 박막트랜지스터는 상기 제 7 게이트 배선에 연결되고, 상기 제 25, 제 27, 제 29 및 제 31 박막트랜지스터는 상기 제 8 게이트 배선에 연결되고,

상기 제 1 및 제 9 박막트랜지스터는 상기 제 1 데이터 배선에 연결되고, 상기 제 17, 제 18, 제 25 및 제 26 박막트랜지스터는 상기 제 2 데이터 배선에 연결되고, 상기 제 2, 제 10, 제 19 및 제 27 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 3, 제 4, 제 11 및 제 12 박막트랜지스터는 상기 제 4 데이터 배선에 연결되고, 상기 제 20, 제 21, 제 28 및 제 29 박막트랜지스터는 상기 제 5 데이터 배선에 연결되고, 상기 제 5, 제 6, 제 13 및 제 14 박막트랜지스터는 상기 제 6 데이터 배선에 연결되고, 상기 제 7, 제 15, 제 22 및 제 30 박막트랜지스터는 상기 제 7 데이터 배선에 연결되고, 상기 제 23, 제 24, 제 31 및 제 32 박막트랜지스터는 상기 제 8 데이터 배선에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치.

#### 청구항 11

제 9 항에 있어서,

상기 제 1 및 제 3 데이터신호의 극성과 상기 제 2 및 제 4 데이터신호의 극성은 서로 반대 극성인 것을 특징으로 하는 DRD 방식 액정표시장치.

#### 청구항 12

제 9 항에 있어서,

상기 제 1 내지 제 8 데이터 배선과 각각 연결되는 제 1 내지 제 8 데이터링크 배선을 더 포함하고,

상기 제 2 내지 제 4 데이터 배선과 상기 제 5 내지 제 7 데이터링크 배선은 서로 다른 층에 위치한 것을 특징으로 하는 DRD 방식의 액정표시장치.

#### 청구항 13

제 12 항에 있어서,

상기 제 1 내지 제 8 데이터 배선과 교차하며 상기 제 1 게이트 배선 위에 위치하는 공통배선; 및

상기 공통 배선에서 각각 연장되어 상기 제 1 내지 제 3 및 제 6 내지 제 8 데이터 배선과 각각 중첩되며 위치하는 제 1 내지 제 6 보상패턴을 더 포함하는 DRD 방식의 액정표시장치.

#### 청구항 14

제 13 항에 있어서,

상기 제 2 내지 제 4 데이터 배선과 상기 제 5 데이터링크 배선이 교차되어 각각 중첩되는 제 1 내지 제 3 영역의 면적의 합은 상기 제 1 보상패턴의 면적과 동일한 것을 특징으로 하는 DRD 방식의 액정표시장치.

#### 청구항 15

제 13 항에 있어서,

상기 제 4 데이터 배선과 상기 제 5 내지 제 7 데이터링크 배선이 교차되어 각각 중첩되는 제 3, 제 5 및 제 6 영역의 면적의 합은 상기 제 6 보상패턴의 면적과 동일한 것을 특징으로 하는 DRD 방식의 액정표시장치.

**청구항 16**

제 14 항 또는 제 15 항에 있어서,

상기 제 3 및 4 데이터 배선과 상기 제 6 데이터링크 배선이 교차되어 각각 중첩되는 제 4 및 제 5 영역과 상기 제 4 보상패턴의 면적의 합은 상기 제 2 데이터 배선과 상기 제 5 데이터링크 배선이 교차되어 중첩되는 제 1 영역과 상기 제 2 보상패턴의 면적의 합과 동일하고,

상기 제 3 데이터 배선과 상기 제 5 및 제 6 데이터링크 배선이 교차되어 각각 중첩되는 제 2 영역 및 제 4 영역과 제 3 보상패턴의 면적의 합은 상기 제 4 데이터배선과 상기 제 7 데이터링크 배선이 교차되어 중첩되는 제 6 영역 및 상기 제 5 보상패턴의 면적의 합과 동일한 것을 특징으로 하는 DRD 방식의 액정표시장치.

**청구항 17**

2행 및 11열로 배열되는 제 1 내지 제 22 서브픽셀;

상기 각 행의 서브픽셀 상하마다 수평방향으로 배치되되, 상기 각 행의 서브픽셀 사이에는 2개가 배치되는 제 1 내지 제 4 게이트 배선;

상기 제 1 내지 제 4 게이트 배선과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 배치되는 제 1 내지 제 12 데이터 배선; 및

상기 다수의 서브픽셀에 각각 배치되는 제 1 내지 제 22 박막트랜지스터를 포함하고,

상기 제 1 및 제 7 데이터 배선에는 제 1 데이터신호 출력단으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 8 데이터 배선에는 제 2 데이터신호 출력단으로부터 제 2 데이터신호가 인가되고, 상기 제 3 및 제 9 데이터 배선에는 제 3 데이터신호 출력단으로부터 제 3 데이터신호가 인가되고, 상기 제 4 및 제 10 데이터 배선에는 제 4 데이터신호 출력단으로부터 제 4 데이터신호가 인가되고, 상기 제 5 및 제 11 데이터 배선에는 제 5 데이터신호 출력단으로부터 제 5 데이터신호가 인가되고, 상기 제 6 및 제 12 데이터 배선에는 제 6 데이터신호 출력단으로부터 제 6 데이터신호가 인가되는 것을 특징으로 하는 DRD 방식 액정표시장치.

**발명의 설명**

**기술분야**

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 특히 DRD(Double Rate Driving) 방식의 액정표시장치에서 하나의 데이터신호가 데이터신호 출력단에서 2개의 데이터배선으로 갈라져 입력되는 구조의 액정표시장치에 관한 것이다.

**배경 기술**

[0002] 최근, 반도체 기술의 급속한 진보에 의하여 각종 전자 장치의 저전압화 및 저전력화와 함께 전자 기기의 소형화, 박형화 및 경량화의 추세에 따라 새로운 환경에 적합한 전자 표시 장치로서 평판 패널형 표시 장치에 대한 요구가 급격히 증대되고 있다.

[0003] 이에 따라 액정 표시 장치(LCD), 플라즈마 표시 장치(PDP), 유기 이엘 표시 장치(OELD) 등과 같은 평판 패널형 표시 장치가 개발되고 있으며, 이러한 평판 패널형 표시 장치 중에서 소형화, 경량화 및 박형화가 용이하며, 낮은 소비 전력 및 낮은 구동 전압을 갖는 액정 표시 장치가 특히 주목 받고 있다.

[0004] 액정 표시 장치는 공통 전극, 컬러 필터, 블랙 매트릭스 등이 형성되어 있는 상부 투명 절연 기판과 스위칭 소

자, 화소 전극등이 형성되어 있는 하부 투명 절연 기판 사이에 이방성 유전율을 갖는 액정 물질을 주입해 놓고, 화소 전극과 공통 전극에 서로 다른 전위를 인가함으로써 액정 물질에 형성되는 전기장의 세기를 조정하여 액정 물질의 분자 배열을 변경시키고, 이를 통하여 투명 절연 기판에 투과되는 빛의 양을 조절함으로써 원하는 화상을 표현하는 표시 장치이다.

- [0005] 이러한 액정 표시 장치는 박막 트랜지스터(Thin Film Transistor; TFT) 소자를 스위칭 소자로 이용하는 박막 트랜지스터 액정 표시 장치(TFT LCD)가 주로 사용되고 있다.
- [0006] 이러한 액정 표시 장치는 화상이 표시되는 액정 표시 패널을 포함하게 되는데, 액정 표시 패널을 구동할 때에는 내부 액정의 열화를 방지하고, 화상의 표시 품질을 향상시키기 위하여 일정한 단위로 극성을 반전하여 구동하는 인버전 구동 방법이 사용되는 것이 일반적이다.
- [0007] 인버전 구동 방법은 극성이 반전되는 단위에 따라 프레임 인버전(Frame Inversion) 방식, 라인 인버전(Line Inversion) 방식, 도트 인버전 방식(Dot Inversion)으로 구분된다. 근래들어 위와 같은 방식과 달리 전압 변이 감소를 통해 회로부 소비전력을 감소시키기 위한 Z 인버전(Z inversion) 방식이 제안되었다.
- [0008] Z 인버전 방식은 액정패널 상에 형성된 TFT들을 수직라인방향에서 지그재그로 배열하고 컬럼 인버전 방식의 데이터 구동회로를 이용하여 그 액정패널에 컬럼 인버전 방식으로 극성이 제어된 데이터를 공급함으로써 액정패널을 도트 인버전으로 구동시키는 방식이다.
- [0009] 이 Z 인버전 방식은 도트 인버전으로 액정패널이 구동됨으로써 수직 및 수평 라인간의 플리커를 최소화하여 표시품질을 높일 수 있음은 물론, 도트 인버전 방식의 데이터 구동회로를 이용하여 액정패널을 구동하는 경우에 비하여 소비전력을 절감할 수 있게 된다.
- [0010] 액정표시장치는 게이트 배선(GL)들을 구동하기 위한 게이트 구동부와 데이터배선(DL)들을 구동하기 위한 데이터 구동부를 포함하며, 액정표시장치가 대형화 및 고해상도화 될수록 요구되는 구동부를 이루는 IC의 갯수는 증가하고 있다.
- [0011] 그런데, 데이터 구동부의 IC는 타 소자에 비해 상대적으로 매우 고가이기 때문에, 최근에는 액정표시장치의 생산단가를 낮추기 위해 IC의 갯수를 줄이기 위한 여러 방법들이 연구 개발되고 있으며, 이중 하나로써 기존 대비 게이트 배선들의 갯수는 2배로 늘리는 대신 데이터배선들의 갯수를 1/2배로 줄여 필요로 하는 IC의 갯수를 반으로 줄이면서도 기존과 동일 해상도를 구현하는 DRD(Double Rate Driving) 방식이 제안되었다.
- [0012] DRD 방식 액정표시장치는 하나의 수평라인에 배치된 복수의 액정셀들을 두개의 게이트 배선들과 상기 복수의 액정셀들의 1/2 배수의 데이터배선들을 이용하여 구동시킨다.
- [0013] 도 1은 종래의 DRD 방식의 액정표시장치를 도시한 도면이다. 액정표시장치는 2행 4열로 배열되는 제 1 내지 제 8 서브픽셀(SP1 내지 SP8)과, 상기 제 1 내지 제 8 서브픽셀(SP1 내지 SP8)의 상하에 형성되며, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)과, 상기 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)과 교차하고 1열의 서브픽셀 좌측부터 2열의 서브픽셀마다 각각 형성되는 제 1 내지 제 3 데이터배선(DL1 내지 DL3)과, 상기 제 1 내지 제 8 서브픽셀(SP1 내지 SP8)에 각각 형성되는 제 1 내지 제 8 박막 트랜지스터(T1 내지 T8)를 포함한다.
- [0014] 제 1 게이트 배선(GL1)은 제 2 및 제 4 박막트랜지스터(T2 및 T4)와 연결되고, 제 2 게이트 배선(GL2)은 제 1 및 제 3 박막트랜지스터(T1 및 T3)와 연결되고, 제 3 게이트 배선(GL3)은 제 6 및 제 8 박막트랜지스터(T6 및 T8)와 연결된다.
- [0015] 제 4 게이트 배선(GL4)은 제 5 및 제 7 박막트랜지스터(T5 및 T7)와 연결되고, 제 1 데이터배선(DL1)은 제 1 및 제 5 박막트랜지스터(T1 및 T5)와 연결되고, 제 2 데이터배선(DL2)은 제 2, 제 3, 제 6 및 제 7 박막트랜지스터(T2, T3, T6 및 T7)와 연결되고, 제 3 데이터배선(DL3)은 제 4 및 제 8 박막트랜지스터(T4 및 T8)와 연결된다.
- [0016] 도 1에 도시한 바와 같이, 이러한 DRD 방식 액정표시장치는 플리커를 최소화함과 아울러 소비전력을 줄이기 위해 수평 2 도트 인버전 방식으로 구동된다.
- [0017] 이에 따라, 하나의 데이터배선을 사이에 두고 서로 인접한 두 개의 서브픽셀은 두 개의 게이트 배선들에 각각 접속되어 데이터 배선을 통해 공급되는 동일 극성의 데이터 신호가 인가된다.
- [0018] 이에 따라, 제 1 게이트 배선(GL1)에 게이트 신호가 인가되면 제 2 및 제 4 박막트랜지스터(T2 및 T4)가 턴-온되어 제 2 데이터배선(DL2)을 통해 제 2 서브픽셀(SP2)에 부극성(-)의 데이터 신호가 인가되고, 제 4 데이터배

선(DL4)을 통해 제 4 서브픽셀(SP4)에 정극성(+)의 데이터 신호가 인가되고, 순차적으로 제 2 게이트 배선(GL 2)에 게이트 신호가 인가되면 제 1 및 제 3 박막트랜지스터(T1 및 T3)가 턴-온되어 제 1 데이터배선(DL1)을 통해 제 1 서브픽셀(SP1)에 정극성(+)의 데이터 신호가 인가되고, 제 2 데이터배선(DL2)을 통해 제 3 서브픽셀 (SP3)에 부극성(-)의 데이터 신호가 인가되고, 순차적으로 제 3 게이트 배선(GL3)에 게이트 신호가 인가되면 제 6 및 제 8 박막트랜지스터(T6 및 T8)가 턴-온 되어 제 2 데이터배선(DL2)을 통해 제 6 서브픽셀(SP6)에 부극성 (-)의 데이터 신호가 인가되고, 제 3 데이터배선(DL3)을 통해 제 8 서브픽셀(SP8)에 정극성(+)의 데이터신호가 인가되고, 순차적으로 제 4 게이트 배선(GL4)에 게이트 신호가 인가되면 제 5 및 제 7 박막트랜지스터(T5 및 T7)가 턴-온되어 제 1 데이터배선(DL1)을 통해 제 5 서브픽셀(SP5)에 정극성(+)의 데이터신호가 인가되고, 제 2 데이터배선(DL2)을 통해 제 7 서브픽셀(SP7)에 부극성(-)의 데이터신호가 인가된다.

[0019] 상기와 같이 구성된 종래 기술에 의한 액정표시장치는 각 데이터 배선에는 데이터 구동부 IC의 하나의 데이터신 호 출력단으로부터 하나의 데이터신호가 인가되는 구조이고, 각 데이터 배선 좌우측에 배열된 2열의 서브픽셀의 극성은 각 2열마다 정극성(+) 또는 부극성(-)으로 동일 극성이 되어, Z 인버전(Z inversion) 구동시 잔상이나 세로줄 불량이 발생하게 되는 문제점이 있고, 상기와 같은 문제를 해결하기 위해 2 도트 인버전(2 dot inversion) 구동을 하게 되면 Z 인버전(Z inversion) 구동할 때 보다 소비전력을 더 소모하는 문제점이 있다.

[0020] 또한, 액정패널의 PPI(pixel per inch)가 증가할수록 게이트 배선부 및 데이터 배선부와 같은 비개구 영역이 증 가하고 개구율은 감소하는데, 특히 DRD 구조의 경우 게이트 배선이 2배로 증가하여 게이트 배선 면적만큼 개구 율이 감소하는 문제점이 있다.

**발명의 내용**

**해결하려는 과제**

[0021] 본 발명은 상기와 같은 종래의 문제를 해결하기 위한 것으로, DRD 방식을 통해 데이터 구동부 IC의 개수를 줄여 액정표시장치의 생산 단가를 절감시키고, Z 인버전 구동을 통해 액정표시장치의 소비전력을 절감시키고, 액정패 널의 액정 열화를 방지하고 화상 불량을 개선할 수 있고, 비개구 영역을 감소시켜 개구율을 극대화 할 수 있는 액정표시장치를 제공하는데 그 목적이 있다.

**과제의 해결 수단**

[0022] 전술한 바와 같은 목적을 달성하기 위한 본 발명은, 2행 4열로 배열되는 제 1 내지 제 8 서브픽셀과 상기 각 행 의 서브픽셀 상하마다 수평방향으로 배치되되, 상기 각 행의 서브픽셀 사이에는 2개가 배치되는 제 1 내지 제 4 게이트 배선과 상기 제 1 내지 제 4 게이트 배선과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사 이에 각각 배치되는 제 1 내지 제 4 데이터 배선 및 상기 제 1 내지 제 8 서브픽셀에 각각 형성되는 제 1 내지 제 8 박막트랜지스터를 포함하고, 상기 제 1 및 제 3 데이터 배선에는 제 1 데이터신호 출력단으로부터 제 1 데 이터신호가 인가되고, 상기 제 2 및 제 4 데이터 배선에는 제 2 데이터신호 출력단으로부터 제 2 데이터신호가 인가되는 것을 특징으로 하는 DRD 방식 액정표시장치를 제공한다.

[0023] 또한, 상기 제 2 및 제 4 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1 및 제 3 박막트랜지 스텐터는 상기 제 2 게이트 배선에 연결되고, 상기 제 5 및 제 7 박막트랜지스터는 상기 제 3 게이트 배선에 연결 되고, 상기 제 6 및 제 8 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고, 상기 제 1 박막트랜지스터는 상 기 제 1 데이터 배선에 연결되고, 상기 제 5 및 제 6 박막트랜지스터는 상기 제 2 데이터 배선에 연결되고, 상 기 제 2 및 7 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 3 및 제 4 박막트랜지스터는 상기 제 4 데이터 배선에 연결되는 것을 특징으로 한다.

[0024] 또한, 상기 제 2 및 제 3 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1 및 제 4 박막트랜지 스텐터는 상기 제 2 게이트 배선에 연결되고, 상기 제 5 및 제 8 박막트랜지스터는 상기 제 3 게이트 배선에 연결 되고, 상기 제 6 및 제 7 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고, 상기 제 1 및 제 5 박막트랜지스 터는 상기 제 1 데이터 배선에 연결되고, 상기 제 2 및 제 6 박막트랜지스터는 상기 제 2 데이터 배선에 연결되 고, 상기 제 3 및 7 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 4 및 제 8 박막트랜지스터는 상기 제 4 데이터 배선에 연결되는 것을 특징으로 한다.

- [0025] 또한, 상기 제 2 및 제 3 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1 및 제 4 박막트랜지스터는 상기 제 2 게이트 배선에 연결되고, 상기 제 5 및 제 8 박막트랜지스터는 상기 제 3 게이트 배선에 연결되고, 상기 제 6 및 제 7 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고, 상기 제 1 박막트랜지스터는 상기 제 1 데이터 배선에 연결되고, 상기 제 2 및 제 5 박막트랜지스터는 상기 제 2 데이터 배선에 연결되고, 상기 제 3 및 제 6 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 4 및 제 7 박막트랜지스터는 상기 제 4 데이터 배선에 연결되는 것을 특징으로 한다.
- [0026] 또한, 상기 제 1 데이터신호의 극성과 상기 제 2 데이터신호의 극성은 서로 반대 극성인 것을 특징으로 한다.
- [0027] 또한, 상기 제 1 내지 제 8 박막트랜지스터는 각각 상기 제 1 내지 제 8 서브픽셀의 좌측 또는 우측으로 배치되어 형성될 수 있는 것을 특징으로 한다.
- [0028] 또한, 상기 제 1 내지 제 8 서브픽셀에는 각 서브픽셀의 좌우측 데이터 배선 중 어느 하나로부터 데이터 신호가 인가 될 수 있는 것을 특징으로 한다.
- [0029] 또한, 상기 제 3 데이터 배선과 상기 제 2 데이터 배선에 제 2 브리지패턴에 의해 연결되는 제 2 데이터링크 배선이 교차되는 부분 또는 상기 제 2 데이터 배선과 상기 제 3 데이터 배선에 제 3 브리지패턴에 의해 연결되는 제 3 데이터링크 배선이 교차되는 부분은 서로 다른 층으로 배치된 것을 특징으로 한다.
- [0030] 4행 및 8열로 배열되는 제 1 내지 제 32 서브픽셀과 상기 각 행의 서브픽셀 상하마다 수평방향으로 배치되되, 상기 각 행의 서브픽셀 사이에는 2개가 배치되는 제 1 내지 제 8 게이트 배선과 상기 제 1 내지 제 8 게이트 배선과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 배치되는 제 1 내지 제 8 데이터 배선 및 상기 다수의 서브픽셀에 각각 배치되는 제 1 내지 제 32 박막트랜지스터를 포함하고, 상기 제 1 및 제 5 데이터 배선에는 제 1 데이터신호 출력단으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 6 데이터 배선에는 제 2 데이터신호 출력단으로부터 제 2 데이터신호가 인가되고, 상기 제 3 및 제 7 데이터 배선에는 제 3 데이터신호 출력단으로부터 제 3 데이터신호가 인가되고, 상기 제 4 및 제 8 데이터 배선에는 제 4 데이터신호 출력단으로부터 제 4 데이터신호가 인가되는 것을 특징으로 하는 DRD 방식 액정표시장치를 제공한다.
- [0031] 상기 제 2, 제 4, 제 6 및 제 8 박막트랜지스터는 상기 제 1 게이트 배선에 연결되고, 상기 제 1, 제 3, 제 5 및 제 7 박막트랜지스터는 상기 제 2 게이트 배선에 연결되고, 상기 제 10, 제 12, 제 14, 및 제 16 박막트랜지스터는 상기 제 3 게이트 배선에 연결되고, 상기 제 9, 제 11, 제 13 및 제 15 박막트랜지스터는 상기 제 4 게이트 배선에 연결되고, 상기 제 18, 제 20, 제 22 및 제 24 박막트랜지스터는 상기 제 5 게이트 배선에 연결되고, 상기 제 17, 제 19, 제 21 및 제 23 박막트랜지스터는 상기 제 6 게이트 배선에 연결되고, 상기 제 26, 제 28, 제 30, 및 제 32 박막트랜지스터는 상기 제 7 게이트 배선에 연결되고, 상기 제 25, 제 27, 제 29 및 제 31 박막트랜지스터는 상기 제 8 게이트 배선에 연결되고,
- [0032] 상기 제 1 및 제 9 박막트랜지스터는 상기 제 1 데이터 배선에 연결되고, 상기 제 17, 제 18, 제 25 및 제 26 박막트랜지스터는 상기 제 2 데이터 배선에 연결되고, 상기 제 2, 제 10, 제 19 및 제 27 박막트랜지스터는 상기 제 3 데이터 배선에 연결되고, 상기 제 3, 제 4, 제 11 및 제 12 박막트랜지스터는 상기 제 4 데이터 배선에 연결되고, 상기 제 20, 제 21, 제 28 및 제 29 박막트랜지스터는 상기 제 5 데이터 배선에 연결되고, 상기 제 5, 제 6, 제 13 및 제 14 박막트랜지스터는 상기 제 6 데이터 배선에 연결되고, 상기 제 7, 제 15, 제 22 및 제 30 박막트랜지스터는 상기 제 7 데이터 배선에 연결되고, 상기 제 23, 제 24, 제 31 및 제 32 박막트랜지스터는 상기 제 8 데이터 배선에 연결되는 것을 특징으로 하는 DRD 방식의 액정표시장치.
- [0033] 또한, 상기 제 1 및 제 3 데이터신호의 극성과 상기 제 2 및 제 4 데이터신호의 극성은 서로 반대 극성인 것을 특징으로 한다.
- [0034] 또한, 상기 제 2 내지 제 4 데이터 배선과 제 5 내지 제 7 데이터링크 배선은 서로 다른 층에 위치된 것을 특징으로 한다.
- [0035] 또한, 상기 제2 내지 제 4 데이터 배선과 상기 제 5 데이터링크 배선이 교차되어 각각 중첩되는 제1 내지 제3영역과, 상기 제 3 및 제 4 데이터 배선과 상기 제 6 데이터링크 배선과 교차되어 각각 중첩되는 제 4 및 제 5 영역과, 상기 제 4 데이터 배선과 상기 제 7 데이터링크 배선과 교차되어 중첩되는 제 6 영역으로 이루어지는 것을 특징으로 한다.
- [0036] 또한, 상기 제 1 내지 제 8 데이터 배선과 교차하며 상기 제 1 게이트 배선 위에 위치하는 공통배선 및 상기 공통 배선에서 각각 연장되어 상기 제 1 내지 제 3 및 제 6 내지 제 8 데이터 배선과 각각 중첩되며 위치하는 제

1 내지 제 6 보상패턴을 더 포함한다.

- [0037] 또한, 상기 제 1 내지 제 3 영역은 상기 제 1 보상패턴의 면적과 동일한 것을 특징으로 한다.
- [0038] 또한, 상기 제 3, 제 5 및 제 6 영역은 상기 제 6 보상패턴의 면적과 동일한 것을 특징으로 한다.
- [0039] 또한, 상기 제 4 및 제 5 영역, 및 상기 제 4 보상패턴은 상기 제 2 보상패턴의 면적과 동일하고, 상기 제 2 영역 및 제 4 영역, 및 상기 제 3 보상패턴은 상기 제 5 보상패턴의 면적과 동일한 것을 특징으로 한다.
- [0040] 또한, 2행 및 11열로 배열되는 제 1 내지 제 22 서브픽셀; 상기 각 행의 서브픽셀 상하마다 수평방향으로 형성되되, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 4 게이트 배선과 상기 제 1 및 제 2 게이트 배선과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 형성되는 제 1 내지 제 12 데이터 배선 및 상기 다수의 서브픽셀에 각각 형성되는 제 1 내지 제 22 박막트랜지스터를 포함하고, 상기 제 1 및 제 7 데이터 배선에는 제 1 데이터신호 출력단으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 8 데이터 배선에는 제 2 데이터신호 출력단으로부터 제 2 데이터신호가 인가되고, 상기 제 3 및 제 9 데이터 배선에는 제 3 데이터신호 출력단으로부터 제 3 데이터신호가 인가되고, 상기 제 4 및 제 10 데이터 배선에는 제 4 데이터신호 출력단으로부터 제 4 데이터신호가 인가되고, 상기 제 5 및 제 11 데이터 배선에는 제 5 데이터신호 출력단으로부터 제 5 데이터신호가 인가되고, 상기 제 6 및 제 12 데이터 배선에는 제 6 데이터신호 출력단으로부터 제 6 데이터신호가 인가되는 것을 특징으로 하는 DRD 방식 액정표시장치를 제공한다.

**발명의 효과**

- [0041] 본 발명은 DRD 방식을 통해 데이터 구동부 IC의 갯수를 줄여 액정표시장치의 생산 단가를 절감시키고, Z 인버전 구동을 통해 액정표시장치의 소비전력을 절감시키고, 액정패널의 액정 열화를 방지하고 화상 불량을 개선할 수 있다. 또한 각 박막트랜지스터를 서브픽셀의 좌측 또는 우측으로 자유롭게 배치할 수 있어 각각 산개해 있는 박막트랜지스터 2개를 한 곳으로 모을 수 있어 비개구 영역을 감소시켜 개구율을 극대화 할수 있다. 특히 DRD 및 Z 인버전 구동을 하면서도 각 서브픽셀에 형성되는 각 박막트랜지스터를 상기 서브픽셀의 좌우측 데이터라인 중 어느 하나로부터 데이터신호를 인가 받을 수 있으므로 액정패널을 수평 2 도트 인버전, 수직 2 도트 인버전 및 1 도트 인버전 모두 선택적으로 구동할 수 있다.

**도면의 간단한 설명**

- [0042] 도 1은 종래의 DRD 방식의 액정표시장치를 도시한 도면이다.
- 도 2는 본 발명의 제 1 실시예를 도시한 도면이다.
- 도 3은 본 발명의 제 2 실시예를 도시한 도면이다.
- 도 4는 본 발명의 제 3 실시예를 도시한 도면이다.
- 도 5a는 도 2 의 A에 대응되는 어레이기판을 도시한 제 1 도면이다.
- 도 5b는 도 2의 A에 대응되는 어레이기판을 도시한 제 2 도면이다.
- 도 6은 본 발명의 제 4 실시예를 도시한 도면이다.
- 도 7은 도 6의 B에 대응되는 어레이기판의 평면도이다.
- 도 8는 본 발명의 제 5 실시예를 도시한 도면이다.

**발명을 실시하기 위한 구체적인 내용**

- [0043] 이하의 설명에서, 본 명세서의 실시예들에 대해 참조된 도면은 구성요소의 형상 및 위치가 도시된 형태로 한정하도록 의도된 것이 아니며, 특히 도면에서는 본 발명의 기술적 특징인 구조 및 형상의 이해를 돕기 위해 일부 구성요소의 스케일을 과장하거나 축소하여 표현하였다. 또한, 이하의 설명에서는 종래의 액정표시장치와 중복되는 구성요소는 설명의 편의상 생략하였다.

- [0044] 이하, 첨부된 도면을 참고하여 본 발명에 의한 액정표시장치를 보다 상세히 설명하면 다음과 같다.
- [0045] <제 1 실시예>
- [0046] 도 2는 본 발명의 제 1 실시예로 액정패널을 수평 2 도트 인버전 방식으로 구동한 도면이다. 도 2에 도시한 바와 같이, 본 발명의 액정표시장치는 2행 4열로 배열되는 제 1 내지 제 8 서브픽셀(SP1 내지 SP8), 상기 각 행의 서브픽셀 상하마다 수평방향으로 형성되며, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 4 게이트 배선(GL1 내지 GL4), 상기 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 형성되는 제 1 내지 제 4 데이터 배선(DL1 내지 DL4) 및 상기 제 1 내지 제 8 서브픽셀(SP1 내지 SP8)에 각각 형성되는 제 1 내지 제 8 박막트랜지스터(T1 내지 T8)를 포함한다.
- [0047] 상기 제 1 및 제 3 데이터 배선(DL1 및 DL3)에는 데이터 구동부 IC의 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 4 데이터 배선(DL2 및 DL4)에는 데이터 구동부 IC의 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 인가된다.
- [0048] 상기 제 1 및 제 3 데이터 배선(DL1 및 DL3)에 인가되는 제 1 데이터신호의 극성과 상기 제 2 및 제 4 데이터 배선(DL2 및 DL4)에 인가되는 제 2 데이터신호의 극성은 서로 반대 극성이다.
- [0049] 예를 들어 제 1 데이터신호는 정극성(+)이고 제 2 데이터신호는 부극성(-)일 수 있다. 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)에 순차적으로 게이트 신호가 인가되는데, 제 1 게이트 배선(GL1)을 통해 게이트 신호가 인가되면 제 2 및 제 4 박막트랜지스터(T2 및 T4)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 3 데이터배선(DL1)을 통해 인가되면 제 2 서브픽셀(SP2)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 4 서브픽셀(SP4)의 극성은 부극성(-)이 된다.
- [0050] 제 2 게이트 배선(GL2)을 통해 게이트 신호가 인가되면 제 1 및 제 3 박막트랜지스터(T1 및 T3)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 1 데이터배선(DL1)을 통해 인가되면 제 1 서브픽셀(SP1)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 3 서브픽셀(SP3)의 극성은 부극성(-)이 된다.
- [0051] 제 3 게이트 배선(GL3)을 통해 게이트 신호가 인가되면 제 5 및 제 7 박막트랜지스터(T5 및 T7)는 턴-온 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 5 서브픽셀(SP5)의 극성은 부극성(-)이 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 7 서브픽셀(SP7)의 극성은 정극성(+)이 된다.
- [0052] 제 4 게이트 배선(GL4)을 통해 게이트 신호가 인가되면 제 6 및 제 8 박막트랜지스터(T6 및 T8)는 턴-온 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 6 서브픽셀(SP6)의 극성은 부극성(-)이 된다.
- [0053] 따라서, 본 발명의 제1실시예는 DRD 방식을 통해 데이터 구동부 IC의 갯수를 줄여 액정표시장치의 생산 단가를 절감시키고, Z 인버전 구동을 통해 액정표시장치의 소비전력을 절감시키고, 액정패널의 액정 열화를 방지하고 화상 불량률 개선할 수 있다.
- [0054] <제 2 실시예>
- [0055] 도 3은 본 발명의 제 2 실시예로 액정패널을 수직 2 도트 인버전 방식으로 구동한 도면이다. 도 3에 도시한 바와 같이, 본 발명의 액정표시장치는 2행 4열로 배열되는 제 1 내지 제 8 서브픽셀(SP1 내지 SP8), 상기 각 행의 서브픽셀 상하마다 수평방향으로 형성되며, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 4 게이트 배선(GL1 내지 GL4), 상기 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 형성되는 제 1 내지 제 4 데이터 배선(DL1 내지 DL4) 및 상기 제 1 내지 제 8 서브픽셀(SP1 내지 SP8)에 각각 형성되는 제 1 내지 제 8 박막트랜지스터(T1 내지 T8)를 포함한다.
- [0056] 상기 제 1 및 제 3 데이터 배선(DL1 및 DL3)에는 데이터 구동부 IC의 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 4 데이터 배선(DL2 및 DL4)에는 데이터 구동부 IC의 제 2 데이터신

호 출력단(DS2)으로부터 제 2 데이터신호가 인가된다.

[0057] 상기 제 1 및 제 3 데이터 배선(DL1 및 DL3)에 인가되는 제 1 데이터신호의 극성과 상기 제 2 및 제 4 데이터 배선(DL2 및 DL4)에 인가되는 제 2 데이터신호의 극성은 서로 반대 극성이다.

[0058] 예를 들어 제 1 데이터신호는 정극성(+)이고 제 2 데이터신호는 부극성(-)일 수 있다. 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)에 순차적으로 게이트 신호가 인가되는데, 제 1 게이트 배선(GL1)을 통해 게이트 신호가 인가되면 제 2 및 제 3 박막트랜지스터(T2 및 T3)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 3 서브픽셀(SP3)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 2 서브픽셀(SP2)의 극성은 부극성(-)이 된다.

[0059] 제 2 게이트 배선(GL2)을 통해 게이트 신호가 인가되면 제 1 및 제 4 박막트랜지스터(T1 및 T4)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 1 데이터배선(DL1)을 통해 인가되면 제 1 서브픽셀(SP1)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 4 서브픽셀(SP4)의 극성은 부극성(-)이 된다.

[0060] 제 3 게이트 배선(GL3)을 통해 게이트 신호가 인가되면 제 5 및 제 8 박막트랜지스터(T5 및 T8)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 1 데이터배선(DL1)을 통해 인가되면 제 5 서브픽셀(SP5)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 8 서브픽셀(SP8)의 극성은 부극성(-)이 된다.

[0061] 제 4 게이트 배선(GL4)을 통해 게이트 신호가 인가되면 제 6 및 제 7 박막트랜지스터(T6 및 T7)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 7 서브픽셀(SP7)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 6 서브픽셀(SP6)의 극성은 부극성(-)이 된다

[0062] 따라서, 본 발명의 제2실시예는 DRD 방식을 통해 데이터 구동부 IC의 갯수를 줄여 액정표시장치의 생산 단가를 절감시키고, Z 인버전 구동을 통해 액정표시장치의 소비전력을 절감시키고, 액정패널의 액정 열화를 방지하고 화상 불량을 개선할 수 있다.

[0063] <제 3 실시예>

[0064] 도 4는 본 발명의 제 3 실시예로 액정패널을 1 도트 인버전 방식으로 구동한 도면이다. 도 4에 도시한 바와 같이, 본 발명의 액정표시장치는 2행 4열로 배열되는 제 1 내지 제 8 서브픽셀(SP1 내지 SP8), 상기 각 행의 서브픽셀 상하마다 수평방향으로 형성되되, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 4 게이트 배선(GL1 내지 GL4), 상기 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 형성되는 제 1 내지 제 4 데이터 배선(DL1 내지 DL4) 및 상기 제 1 내지 제 8 서브픽셀(SP1 내지 SP8)에 각각 형성되는 제 1 내지 제 8 박막트랜지스터(T1 내지 T8)를 포함한다.

[0065] 상기 제 1 및 제 3 데이터 배선(DL1 및 DL3)에는 데이터 구동부 IC의 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 4 데이터 배선(DL2 및 DL4)에는 데이터 구동부 IC의 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 인가된다.

[0066] 상기 제 1 및 제 3 데이터 배선(DL1 및 DL3)에 인가되는 제 1 데이터신호의 극성과 상기 제 2 및 제 4 데이터 배선(DL2 및 DL4)에 인가되는 제 2 데이터신호의 극성은 서로 반대 극성이다.

[0067] 예를 들어 제 1 데이터신호는 정극성(+)이고 제 2 데이터신호는 부극성(-)일 수 있다. 제 1 내지 제 4 게이트 배선(GL1 내지 GL4)에 순차적으로 게이트 신호가 인가되는데, 제 1 게이트 배선(GL1)을 통해 게이트 신호가 인가되면 제 2 및 제 3 박막트랜지스터(T2 및 T3)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 3 서브픽셀(SP3)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 2 서브픽셀(SP2)의 극성은 부극성(-)이 된다.

[0068] 제 2 게이트 배선(GL2)을 통해 게이트 신호가 인가되면 제 1 및 제 4 박막트랜지스터(T1 및 T4)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 1 데이터배선(DL1)을 통해 인가되면 제 1 서브픽셀

(SP1)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 4 서브픽셀(SP4)의 극성은 부극성(-)이 된다.

[0069] 제 3 게이트 배선(GL3)을 통해 게이트 신호가 인가되면 제 5 및 제 8 박막트랜지스터(T5 및 T8)는 턴-온 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 5 서브픽셀(SP5)의 극성은 부극성(-)이 된다.

[0070] 제 4 게이트 배선(GL4)을 통해 게이트 신호가 인가되면 제 6 및 제 7 박막트랜지스터(T6 및 T7)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 6 서브픽셀(SP6)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 7 서브픽셀(SP7)의 극성은 부극성(-)이 된다.

[0071] 특히, 도 2 내지 도 4에 도시한 바와 같이, 각 서브픽셀에 형성되는 각 박막트랜지스터를 상기 서브픽셀의 좌측 또는 우측으로 자유롭게 배치할 수 있어 상기 제 1 내지 제 8 서브픽셀(SP1 내지 SP8)에 각 서브픽셀의 좌우측 데이터 배선 중 어느 하나로부터 정극성(+) 또는 부극성(-)인 데이터 신호가 인가 될 수 있다.

[0072] 따라서, 본 발명의 제3실시예는 DRD 방식을 통해 데이터 구동부 IC의 갯수를 줄여 액정표시장치의 생산 단가를 절감시키고, Z 인버전 구동을 통해 액정표시장치의 소비전력을 절감시키고, 액정패널의 액정 열화를 방지하고 화상 불량률 개선할 수 있다.

[0073] 도 5a와 도 5b는 도 2의 A에 대응되는 어레이기판을 도시한 제 1 및 제 2 도면이다.

[0074] 먼저 도 5a에 도시한 바와 같이, 데이터 구동부 IC와 서브픽셀 사이의 비표시 영역의 기판상에는 제 1 내지 제 4 데이터 배선(DL1 내지 DL4), 상기 제 1 내지 제 4 데이터 배선(DL1 내지 DL4)에 각각 연결되는 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4), 상기 제 1 내지 제 4 데이터 배선(DL1 내지 DL4) 및 상기 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4)의 일부를 노출시키는 제 1 내지 제 8 콘택홀(CH1 내지 CH8) 및 상기 제 1 내지 제 4 데이터 배선(DL1 내지 DL4) 및 상기 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4)을 상기 제 1 내지 제 8 콘택홀(CH1 내지 CH8)을 통해 각각 전기적으로 연결하는 제 1 내지 4 브리지패턴(BP1 내지 BP4)을 포함한다.

[0075] 제 1 데이터배선(DL1) 및 제 1 데이터링크 배선(DLL1)은 각각 제 2 및 제 1 콘택홀(CH2 및 CH1)을 통해 전기적으로 연결된 제 1 브리지패턴(BP1)에 의해 연결되고, 제 3 데이터배선(DL3) 및 제 3 데이터링크 배선(DLL3)은 각각 제 4 및 제 3 콘택홀(CH4 및 CH3)을 통해 전기적으로 연결된 제 3 브리지패턴(BP3)에 의해 연결되고, 제 1 및 제 3 데이터링크 배선(DLL1 및 DLL3)은 데이터 구동부 IC의 제 1 데이터신호 출력단(미도시)에 연결된다.

[0076] 제 2 데이터배선(DL2) 및 제 2 데이터링크 배선(DLL2)은 각각 제 6 및 제 5 콘택홀(CH6 및 CH5)을 통해 전기적으로 연결된 제 2 브리지패턴(BP2)에 의해 연결되고, 제 4 데이터배선(DL4) 및 제 4 데이터링크 배선(DLL4)은 각각 제 8 및 제 7 콘택홀(CH8 및 CH7)을 통해 전기적으로 연결된 제 4 브리지패턴(BP4)에 의해 연결되고, 제 2 및 제 4 데이터링크 배선(DLL2 및 DLL4)은 데이터 구동부 IC의 제 2 데이터신호 출력단(미도시)에 연결된다.

[0077] 또한, 상기 제 1 내지 4 데이터 배선(DL1 내지 DL4)은 박막트랜지스터(미도시)의 소스 및 드레인 전극과 동일층 및 동일물질로 형성되고, 상기 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4)은 박막트랜지스터(미도시)의 게이트 전극과 동일층 및 동일물질로 형성되고, 상기 제 1 내지 제 4 브리지패턴(BP1 내지 BP4)은 박막트랜지스터(미도시)의 화소 전극과 동일층 및 동일물질로 형성될 수 있다.

[0078] 특히, 상기 제 3 데이터 배선(DL3)과 제 2 데이터링크 배선(DLL2)은 서로 교차 구성되고, 서로 다른 층으로 형성된 것을 특징으로 한다.

[0079] 그리고 도 5b에 도시한 바와 같이, 데이터 구동부 IC와 서브픽셀 사이의 비표시 영역의 기판상에는 제 1 내지 제 4 데이터 배선(DL1 내지 DL4), 상기 제 1 내지 제 4 데이터 배선(DL1 내지 DL4)에 각각 연결되는 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4), 상기 제 1 내지 제 4 데이터 배선(DL1 내지 DL4) 및 상기 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4)의 일부를 노출시키는 제 1 내지 제 8 콘택홀(CH1 내지 CH8) 및 상기 제 1 내지 제 4 데이터 배선(DL1 내지 DL4) 및 상기 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4)을 상기 제 1 내지 제 8 콘택홀(CH1 내지 CH8)을 통해 각각 전기적으로 연결하는 제 1 내지 4 브리지패턴(BP1 내지 BP4)을 포

함한다.

- [0080] 제 1 데이터배선(DL1) 및 제 1 데이터링크 배선(DLL1)은 각각 제 2 및 제 1 콘택홀(CH2 및 CH1)을 통해 전기적으로 연결된 제 1 브리지패턴(BP1)에 의해 연결되고, 제 3 데이터배선(DL3) 및 제 3 데이터링크 배선(DLL3)은 각각 제 4 및 제 3 콘택홀(CH4 및 CH3)을 통해 전기적으로 연결된 제 3 브리지패턴(BP3)에 의해 연결되고, 제 1 및 제 3 데이터링크 배선(DLL1 및 DLL3)은 데이터 구동부 IC의 제 1 데이터신호 출력단(미도시)에 연결된다.
- [0081] 제 2 데이터배선(DL2) 및 제 2 데이터링크 배선(DLL2)은 각각 제 6 및 제 5 콘택홀(CH6 및 CH5)을 통해 전기적으로 연결된 제 2 브리지패턴(BP2)에 의해 연결되고, 제 4 데이터배선(DL4) 및 제 4 데이터링크 배선(DLL4)은 각각 제 8 및 제 7 콘택홀(CH8 및 CH7)을 통해 전기적으로 연결된 제 4 브리지패턴(BP4)에 의해 연결되고, 제 2 및 제 4 데이터링크 배선(DLL2 및 DLL4)은 데이터 구동부 IC의 제 2 데이터신호 출력단(미도시)에 연결된다.
- [0082] 또한, 상기 제 1 내지 제 4 데이터 배선(DL1 내지 DL4)은 박막트랜지스터(미도시)의 소스 및 드레인 전극과 동일층 및 동일물질로 형성되고, 상기 제 1 내지 제 4 데이터링크 배선(DLL1 내지 DLL4)은 박막트랜지스터(미도시)의 게이트 전극과 동일층 및 동일물질로 형성되고, 상기 제 1 내지 제 4 브리지패턴(BP1 내지 BP4)은 박막트랜지스터(미도시)의 화소 전극과 동일층 및 동일물질로 형성될 수 있다.
- [0083] 특히, 상기 제 2 데이터 배선(DL2)과 제 3 데이터링크 배선(DLL3)은 서로 교차 구성되고, 서로 다른 층으로 형성된 것을 특징으로 한다.
- [0084] <제 4 실시예>
- [0085] 도 6은 본 발명의 제 4 실시예로 액정패널을 4 도트 인버전 방식으로 구동한 도면이다.
- [0086] 도 6에 도시한 바와 같이, 본 발명의 액정표시장치는 4행 및 8열로 배열되는 제 1 내지 제 32 서브픽셀(SP1~SP32), 상기 각 행의 서브픽셀 상하마다 수평방향으로 형성되되, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 8 게이트 배선(GL1~GL8), 상기 제 1 내지 제 8 게이트 배선(GL1~GL8)과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 형성되는 제 1 내지 제 8 데이터 배선(DL1~DL8) 및 상기 다수의 서브픽셀에 각각 형성되는 제 1 내지 제 32 박막트랜지스터(T1~T32)를 포함한다.
- [0087] 상기 제 1 및 제 5 데이터 배선(DL1~DL5)에는 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 6 데이터 배선(DL2~DL6)에는 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 인가되고, 상기 제 3 및 제 7 데이터 배선(DL3, DL7)에는 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 인가되고, 상기 제 4 및 제 8 데이터 배선(DL4, DL8)에는 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 인가되는 것을 특징으로 한다.
- [0088] 상기 제 1 및 제 3 데이터신호의 극성과 상기 제 2 및 제 4 데이터신호의 극성은 서로 반대 극성인 것으로 한다.
- [0089] 예를 들어, 제 1 및 제 3 데이터신호는 정극성(+)이고 제 2 및 제 4 데이터신호는 부극성(-)인 경우, 제 1 내지 제 8 게이트 배선(GL1 내지 GL8)에 순차적으로 게이트 신호가 인가되는데, 제 1 게이트 배선(GL1)을 통해 게이트 신호가 인가되면 제 2, 제 4, 제 6 및 제 8 박막트랜지스터(T2, T4, T6, T8)는 턴-온 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 6 데이터배선(DL6)을 통해 인가되면 제 6 서브픽셀(SP6)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 2 서브픽셀(SP2)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 4 서브픽셀(SP4)의 극성은 부극성(-)이 된다.
- [0090] 다음, 제 2 게이트 배선(GL2)을 통해 게이트 신호가 인가되면 제 1, 제 3, 제 5 및 제 7 박막트랜지스터(T1, T3, T5, T7)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 1 데이터배선(DL1)을 통해 인가되면 제 1 서브픽셀(SP1)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 6 데이터배선(DL6)을 통해 인가되면 제 5 서브픽셀(SP5)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 7 데이터배선(DL7)을 통해 인가되면 제 7 서브픽셀(SP7)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 3 서브픽셀(SP3)의 극성은 부극성(-)이 된다.
- [0091] 다음, 제 3 게이트 배선(GL3)을 통해 게이트 신호가 인가되면 제 10, 제 12, 제 14 및 제 16 박막트랜지스터

(T10, T12, T14, T16)는 턴-온 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 6 데이터배선(DL6)을 통해 인가되면 제 14 서브픽셀(SP14)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 10 서브픽셀(SP10)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 12 서브픽셀(SP12)의 극성은 부극성(-)이 된다.

[0092] 다음, 제 4 게이트 배선(GL4)을 통해 게이트 신호가 인가되면 제 9, 제 11, 제 13 및 제 15 박막트랜지스터(T9, T11, T13, T15)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 1 데이터배선(DL1)을 통해 인가되면 제 9 서브픽셀(SP9)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 6 데이터배선(DL6)을 통해 인가되면 제 13 서브픽셀(SP13)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 7 데이터배선(DL7)을 통해 인가되면 제 15 서브픽셀(SP15)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 4 데이터배선(DL4)을 통해 인가되면 제 11 서브픽셀(SP11)의 극성은 부극성(-)이 된다.

[0093] 다음, 제 5 게이트 배선(GL5)을 통해 게이트 신호가 인가되면 제 18, 제 20, 제 22 및 제 24 박막트랜지스터(T18, T20, T22, T24)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 5 데이터배선(DL5)을 통해 인가되면 제 20 서브픽셀(SP20)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 18 서브픽셀(SP18)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 7 데이터배선(DL7)을 통해 인가되면 제 22 서브픽셀(SP22)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 8 데이터배선(DL8)을 통해 인가되면 제 24 서브픽셀(SP24)의 극성은 부극성(-)이 된다.

[0094] 다음, 제 6 게이트 배선(GL6)을 통해 게이트 신호가 인가되면 제 17, 제 19, 제 21 및 제 23 박막트랜지스터(T17, T19, T21, T23)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 5 데이터배선(DL5)을 통해 인가되면 제 21 서브픽셀(SP21)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 17 서브픽셀(SP17)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 19 서브픽셀(SP19)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 8 데이터배선(DL8)을 통해 인가되면 제 23 서브픽셀(SP23)의 극성은 부극성(-)이 된다.

[0095] 다음, 제 7 게이트 배선(GL7)을 통해 게이트 신호가 인가되면 제 26, 제 28, 제 30 및 제 32 박막트랜지스터(T26, T28, T30, T32)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 5 데이터배선(DL5)을 통해 인가되면 제 28 서브픽셀(SP28)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 26 서브픽셀(SP26)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 7 데이터배선(DL7)을 통해 인가되면 제 30 서브픽셀(SP30)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 8 데이터배선(DL8)을 통해 인가되면 제 32 서브픽셀(SP32)의 극성은 부극성(-)이 된다.

[0096] 다음, 제 8 게이트 배선(GL8)을 통해 게이트 신호가 인가되면 제 25, 제 27, 제 29 및 제 31 박막트랜지스터(T25, T27, T29, T31)는 턴-온 되고, 제 1 데이터신호 출력단(DS1)으로부터 제 1 데이터신호가 제 5 데이터배선(DL5)을 통해 인가되면 제 29 서브픽셀(SP29)의 극성은 정극성(+)이 되고, 제 2 데이터신호 출력단(DS2)으로부터 제 2 데이터신호가 제 2 데이터배선(DL2)을 통해 인가되면 제 25 서브픽셀(SP25)의 극성은 부극성(-)이 되고, 제 3 데이터신호 출력단(DS3)으로부터 제 3 데이터신호가 제 3 데이터배선(DL3)을 통해 인가되면 제 27 서브픽셀(SP27)의 극성은 정극성(+)이 되고, 제 4 데이터신호 출력단(DS4)으로부터 제 4 데이터신호가 제 8 데이터배선(DL8)을 통해 인가되면 제 31 서브픽셀(SP31)의 극성은 부극성(-)이 된다.

[0097] 따라서, DRD 방식을 통해 데이터 구동부 IC의 갯수를 줄여 액정표시장치의 생산 단가를 절감시키고, 컬럼 인버전 구동을 통해 4 도트 인버전을 구현할 수 있어, 액정표시장치의 소비전력을 절감시키고, 액정패널의 액정 열화를 방지하여 화질 불량을 개선할 수 있다.

[0098] 도 7은 도 6의 B에 대응되는 어레이기판의 평면도이다.

[0099] 먼저 도 7에 도시한 바와 같이, 데이터 구동부 IC와 서브픽셀 사이의 비표시 영역의 기관상에는 제 1 내지 제 8 데이터 배선(DL1 내지 DL8), 상기 제 1 내지 제 8 데이터 배선(DL1 내지 DL8)에 각각 연결되는 제 1 내지 제 8

데이터링크 배선(DLL1 내지 DLL8), 상기 제 1 내지 제 8 데이터 배선(DL1 내지 DL8) 및 상기 제 1 내지 제 8 데이터링크 배선(DLL1 내지 DLL8)의 일부를 노출시키는 제 1 내지 제 16 콘택홀(CH1 내지 CH16) 및 상기 제 1 내지 제 8 데이터 배선(DL1 내지 DL8) 및 상기 제 1 내지 제 8 데이터링크 배선(DLL1 내지 DLL8)을 상기 제 1 내지 제 16 콘택홀(CH1 내지 CH16)을 통해 각각 전기적으로 연결하는 제 1 내지 8 브리지패턴(BP1 내지 BP8)을 포함한다.

- [0100] 제 1 데이터배선(DL1)과 제 1 및 제 5 데이터링크 배선(DLL1, DLL5)은 각각 제 1 및 제 2 콘택홀(CH1 및 CH2)을 통해 전기적으로 연결된 제 1 브리지패턴(BP1)에 의해 연결되고, 제 5 데이터배선(DL5)과 제 5 데이터링크 배선(DLL5)은 제 3 및 제 4 콘택홀(CH3 및 CH4)을 통해 전기적으로 연결된 제 2 브리지패턴(BP2)에 의해 전기적으로 연결되고, 제 1 데이터링크 배선(DLL1)은 데이터 구동부 IC의 제 1 데이터신호 출력단(미도시)에 연결된다.
- [0101] 제 2 데이터배선(DL2)과 제 2 및 제 6 데이터링크 배선(DLL2, DLL6)은 각각 제 5 및 제 6 콘택홀(CH5 및 CH6)을 통해 전기적으로 연결된 제 3 브리지패턴(BP3)에 의해 연결되고, 제 6 데이터배선(DL6)과 제 6 데이터링크 배선(DLL6)은 제 7 및 제 8 콘택홀(CH7 및 CH8)을 통해 전기적으로 연결된 제 4 브리지패턴(BP4)에 의해 전기적으로 연결되고, 제 2 데이터링크 배선(DLL2)은 데이터 구동부 IC의 제 2 데이터신호 출력단(미도시)에 연결된다.
- [0102] 제 3 데이터배선(DL3)과 제 3 및 제 7 데이터링크 배선(DLL3, DLL7)은 각각 제 9 및 제 10 콘택홀(CH9 및 CH10)을 통해 전기적으로 연결된 제 5 브리지패턴(BP5)에 의해 연결되고, 제 7 데이터배선(DL7)과 제 7 데이터링크 배선(DLL7)은 제 11 및 제 12 콘택홀(CH11 및 CH12)을 통해 전기적으로 연결된 제 6 브리지패턴(BP6)에 의해 전기적으로 연결되고, 제 3 데이터링크 배선(DLL3)은 데이터 구동부 IC의 제 3 데이터신호 출력단(미도시)에 연결된다.
- [0103] 제 4 데이터배선(DL4)과 제 4 및 제 8 데이터링크 배선(DLL4, DLL8)은 각각 제 13 및 제 14 콘택홀(CH13 및 CH14)을 통해 전기적으로 연결된 제 7 브리지패턴(BP7)에 의해 연결되고, 제 8 데이터배선(DL8)과 제 8 데이터링크 배선(DLL8)은 제 15 및 제 16 콘택홀(CH15 및 CH16)을 통해 전기적으로 연결된 제 8 브리지패턴(BP8)에 의해 전기적으로 연결되고, 제 4 데이터링크 배선(DLL4)은 데이터 구동부 IC의 제 4 데이터신호 출력단(미도시)에 연결된다.
- [0104] 또한, 상기 제 1 내지 8 데이터 배선(DL1 내지 DL8)은 박막트랜지스터(미도시)의 소스 및 드레인 전극과 동일층 및 동일물질로 형성되고, 상기 제 1 내지 제 8 데이터링크 배선(DLL1 내지 DLL8)은 박막트랜지스터(미도시)의 게이트 전극과 동일층 및 동일물질로 형성되고, 상기 제 1 내지 제 8 브리지패턴(BP1 내지 BP8)은 박막트랜지스터(미도시)의 화소 전극과 동일층 및 동일물질로 형성될 수 있다.
- [0105] 특히, 상기 제 3 데이터 배선(DL3)과 제 2 데이터링크 배선(DLL2)은 서로 교차 구성되고, 서로 다른 층으로 형성된 것을 특징으로 한다.
- [0106] 또한, 상기 제2 내지 제 4 데이터 배선(DL2~DL4)과 상기 제 5 데이터링크 배선(DLL5)이 교차되어 각각 중첩되는 제1 내지 제3영역(a1~a3)과, 상기 제 3 및 제 4 데이터 배선(DL4)과 상기 제 6 데이터링크 배선(DLL6)과 교차되어 각각 중첩되는 제 4 및 제 5 영역(a4, a5)과, 상기 제 4 데이터 배선(DL4)과 상기 제 7 데이터링크 배선(DLL7)과 교차되어 중첩되는 제 6 영역(a6)으로 이루어진다.
- [0107] 한편, 1개의 데이터신호 출력단의 데이터신호는 2개의 데이터 배선으로 나뉘어 입력되며, 데이터 배선과 데이터링크 배선이 중첩되는 제 1 내지 제 6 영역(a1~a6)의 면적으로 인해 기생용량에 의한 부하가 증가하게 된다.
- [0108] 따라서, 1개의 데이터신호 출력단으로부터 2개의 데이터 배선에 데이터신호가 인가되기까지 동일한 부하가 되도록 형성하여, 데이터신호 지연에 따른 화질 열화를 방지할 수 있다.
- [0109] 이를 위해, 상기 제 1 내지 제 8 데이터 배선(DL1~DL8)과 교차하며 상기 제 1 게이트 배선(GL1) 위에 위치하는 공통배선(Vcom) 및 상기 공통 배선(Vcom)에서 각각 연장되어 상기 제 1 내지 제 3 및 제 6 내지 제 8 데이터 배선(DL1~DL3, DL6~DL8)과 각각 중첩되며 위치하는 제 1 내지 제 6 보상패턴(CP1)을 더 포함한다.
- [0110] 이때, 상기 제 1 보상패턴(CP1)은 상기 제 1 내지 제 3 영역(a1~a3)의 면적의 합과 동일한 면적을 갖도록 형성한다.
- [0111] 따라서, 제 1 데이터신호 출력단(미도시)으로부터 제 1 및 제 5 데이터배선(DL1, DL5)에 제 1 데이터신호가 인

가되기까지 동일한 부하가 되도록 형성하여, 데이터신호 지연에 따른 화질 열화를 방지할 수 있다.

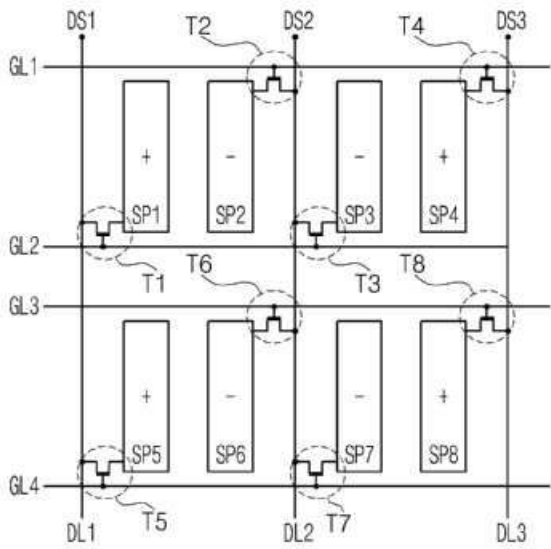
- [0112] 또한, 상기 제 6 보상패턴은 상기 제 3, 제 5 및 제 6 영역의 면적의 합과 동일한 면적을 갖도록 형성한다.
- [0113] 따라서, 제 4 데이터신호 출력단(미도시)으로부터 제 4 및 제 8 데이터배선(DL4, DL8)에 제 1 데이터신호가 인가되기까지 동일한 부하가 되도록 형성하여, 데이터신호 지연에 따른 화질 열화를 방지할 수 있다.
- [0114] 또한, 상기 제 2 보상패턴(CP2) 및 제 1 영역(a1)의 면적의 합은 상기 제 4 및 제 5 영역(a4, a5) 및 상기 제 4 보상패턴(CP4)의 면적의 합과 동일하도록 형성하고, 상기 제 5 보상패턴(CP5) 및 제 6 영역(a6)의 면적의 합은 제 2 영역 및 제 4 영역(a2, a4) 및 상기 제 3 보상패턴(CP3)의 면적의 합과 동일하도록 형성한다.
- [0115] 따라서, 제 2 데이터신호 출력단(미도시)으로부터 제 2 및 제 6 데이터배선(DL2, DL6)에 제 2 데이터신호가 인가되기까지 동일한 부하가 되도록 형성하고, 제 3 데이터신호 출력단(미도시)으로부터 제 3 및 제 7 데이터배선(DL3, DL7)에 제 3 데이터신호가 인가되기까지 동일한 부하가 되도록 형성하여, 데이터신호 지연에 따른 화질 열화를 방지할 수 있다.
- [0116] <제 5 실시예>
- [0117] 도 8은 본 발명의 제5실시예로 6개의 서브픽셀 마다 2개의 데이터 배선이 하나의 데이터신호출력단과 연결된 도면이다.
- [0118] 도 8에 도시한 바와 같이, 2행 및 11열로 배열되는 제 1 내지 제 22 서브픽셀, 상기 각 행의 서브픽셀 상하마다 수평방향으로 형성되되, 상기 각 행의 서브픽셀 사이에는 2개가 형성되는 제 1 내지 제 4 게이트 배선, 상기 제 1 및 제 2 게이트 배선과 교차하고 제 1 열의 서브픽셀 좌측부터 각 열의 서브픽셀 사이에 각각 형성되는 제 1 내지 제 12 데이터 배선 및 상기 다수의 서브픽셀에 각각 형성되는 제 1 내지 제 22 박막트랜지스터를 포함한다.
- [0119] 상기 제 1 및 제 7 데이터 배선에는 제 1 데이터신호 출력단으로부터 제 1 데이터신호가 인가되고, 상기 제 2 및 제 8 데이터 배선에는 제 2 데이터신호 출력단으로부터 제 2 데이터신호가 인가되고, 상기 제 3 및 제 9 데이터 배선에는 제 3 데이터신호 출력단으로부터 제 3 데이터신호가 인가되고, 상기 제 4 및 제 10 데이터 배선에는 제 4 데이터신호 출력단으로부터 제 4 데이터신호가 인가되고, 상기 제 5 및 제 11 데이터 배선에는 제 5 데이터신호 출력단으로부터 제 5 데이터신호가 인가되고, 상기 제 6 및 제 12 데이터 배선에는 제 6 데이터신호 출력단으로부터 제 6 데이터신호가 인가되는 것을 특징으로 한다.
- [0120] 도 8의 액정표시장치는 하나의 예시일 뿐이며, 상기 다수의 데이터 배선 중 2개의 오드 데이터 배선은 제 1 데이터 배선(DL1)을 기준으로  $n$ ( $n$ 은 6의 배수)개의 서브픽셀 마다 각각 하나의 오드 데이터신호 출력단에 연결되고, 2개의 이븐 데이터 배선은 제 2 데이터 배선(DL2)을 기준으로  $n$ ( $n$ 은 6의 배수)개의 서브픽셀 마다 각각 하나의 이븐 데이터신호 출력단에 연결되고, 각 데이터신호 입력단으로부터 2개의 데이터 배선을 통해 각 서브픽셀로 데이터신호가 각각 동시에 인가되지 않고 게이트신호가 인가될 때마다 순차적으로 인가된다면 모두 본 발명의 효과를 나타낸다.
- [0121] 도 8의 액정표시장치는 도 4의 실시예와 비교해 박막트랜지스터의 배치는 동일한 반면 2개의 데이터 배선 및 하나의 데이터신호 출력단의 연결 방식만 달리한 것으로, 액정패널이 수평 2 도트 인버전 방식으로 구동되는 점에서 동일하다. 즉, 각 서브픽셀에 형성되는 각 박막트랜지스터를 상기 서브픽셀의 좌측 또는 우측으로 자유롭게 배치하여 각 서브픽셀의 좌우측 데이터 배선 중 어느 하나로부터 데이터 신호가 인가 될 수 있다는 점에서 기술적 특징이 동일하다.
- [0122] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 따라서 이상에서 기술한 실시예들은 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이므로, 모든 면에서 예시적인 것이며 한정적이 아닌 것으로 이해해야만 하며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.

**부호의 설명**

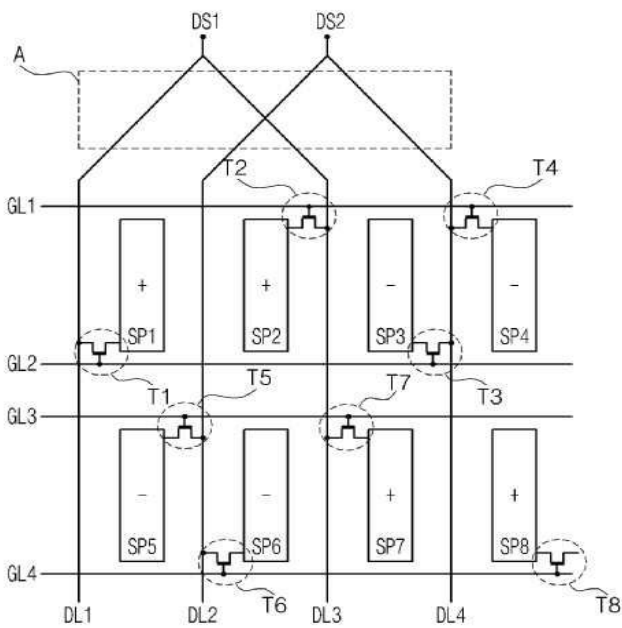
- [0123] GL1 ~ GL4 : 게이트 배선                      DL1 ~ DL12 : 데이터배선  
 SP1 ~ SP22 : 서브픽셀                      T1 ~ T22 : 박막트랜지스터  
 DS1 ~ DS6 : 데이터신호 출력단            DLL1 ~ DLL4 : 데이터링크 배선  
 CH1 ~ CH8 : 컨택홀                      BP1 ~ BP4 : 브리지 패턴

**도면**

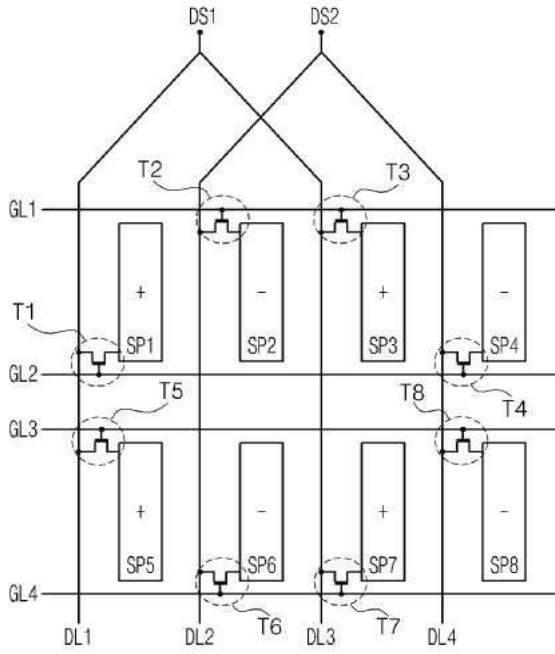
**도면1**



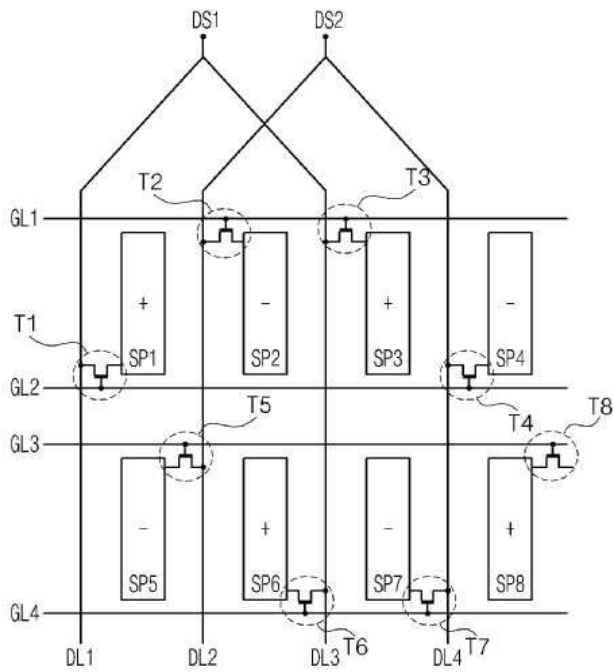
**도면2**



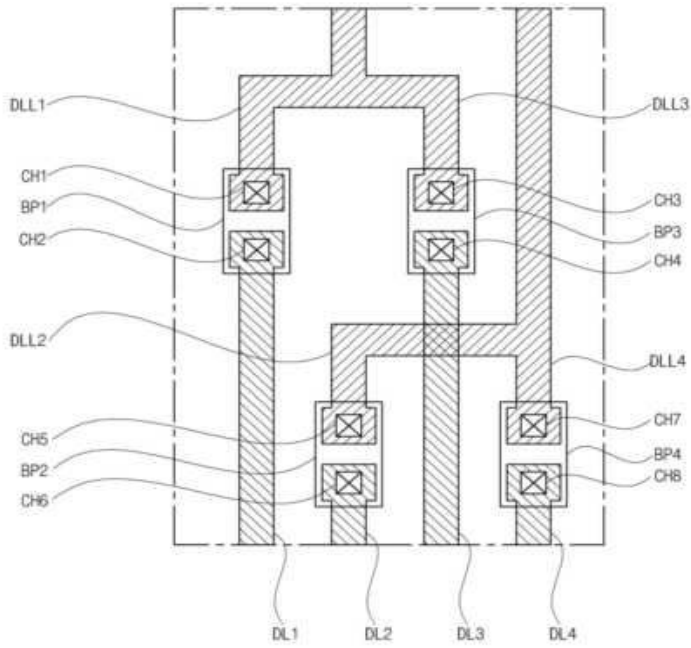
도면3



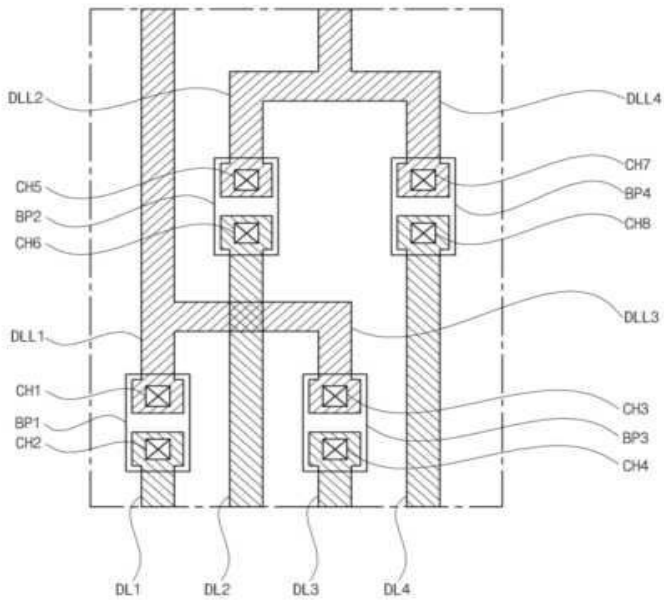
도면4



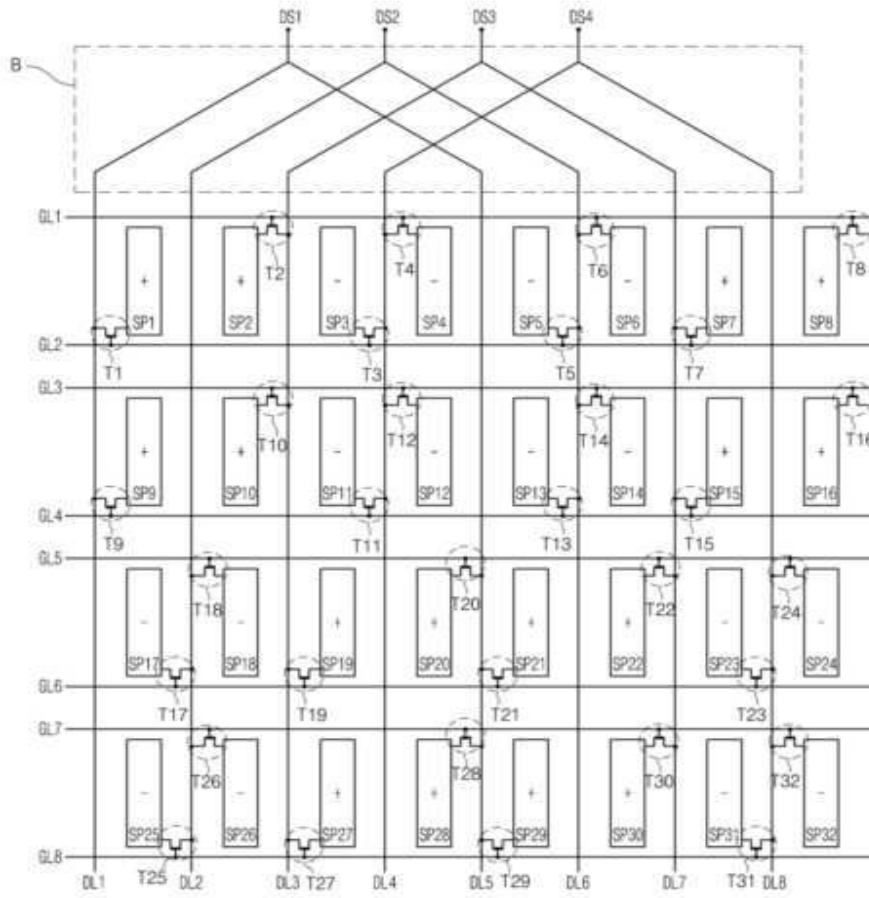
도면5a



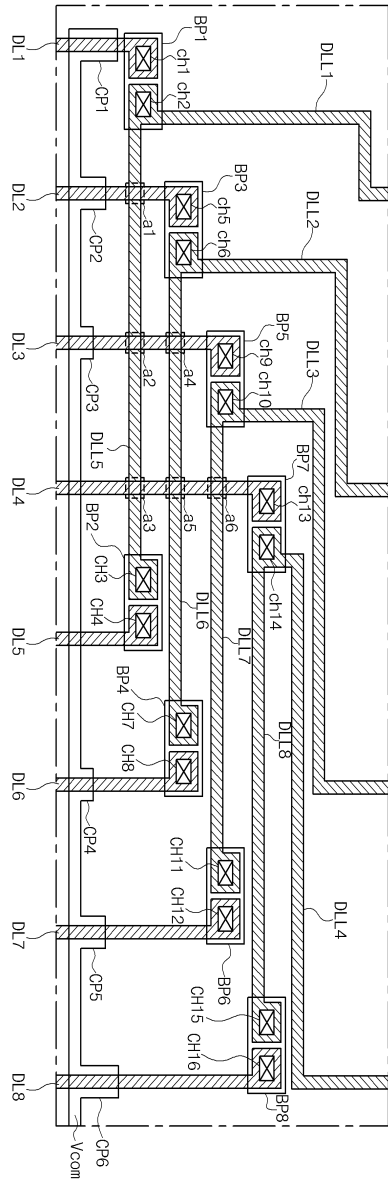
도면5b



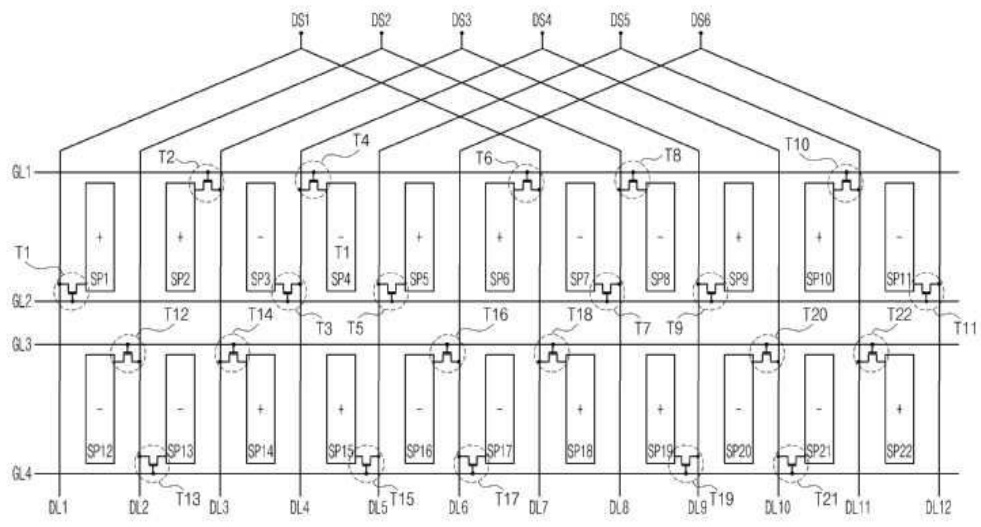
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020150125527A</a>	公开(公告)日	2015-11-09
申请号	KR1020140137729	申请日	2014-10-13
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG DISPLAY CO. , LTD.		
当前申请(专利权)人(译)	LG DISPLAY CO. , LTD.		
[标]发明人	CHOI HYUCK KIM KANG IL HAN YE SEUL PARK HAE JUN		
发明人	CHOI, HYUCK KIM, KANG IL HAN, YE SEUL PARK, HAE JUN		
IPC分类号	G02F1/133 G09G3/36		
优先权	1020140051961 2014-04-29 KR		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及一种液晶显示装置，特别是DRD（双速率驱动）方式作为所述结构的液晶显示器的第二行是一个数据信号输入在分成两个数据线从数据信号输出的液晶显示装置排列成四列的第一至第八子像素；在每一行Doedoe在每个子像素排列在水平方向和向下，第一到这是两个在每行中的子像素之间形成第四栅布线；第一至第四交叉的栅极线和第一子像素列中，第一到被布置在从左数据线4的每一列的子像素之间；而第一个根据权利要求8，包括第一至第八薄膜晶体管被布置在子像素，被施加到第一数据信号从所述第一和所述第三数据线，第二和第四数据线的第一个数据信号输出端，有被施加到第二数据信号从所述第二数据输出信号的。

