



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2015-0097857
(43) 공개일자 2015년08월27일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G02F 1/1368 (2006.01)

G09G 3/36 (2006.01)

(21) 출원번호 10-2014-0018052

(22) 출원일자 2014년02월17일

심사청구일자 없음

(71) 출원인

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

조세형

경기도 화성시 동탄반석로 207, 203동 1701호 (반송동, 시범한빛마을삼부르네상스아파트)

김일곤

서울특별시 동작구 상도로53길 8, 327동 803호 (상도동, 래미안상도3차)

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

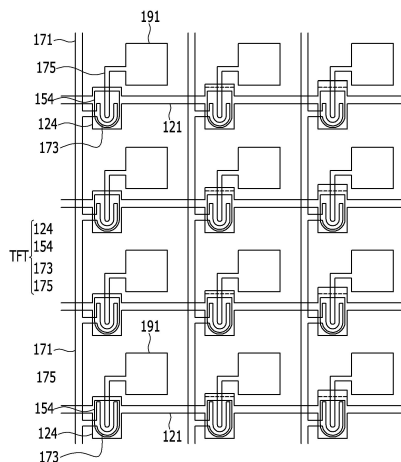
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 액정 표시 장치 및 그 제조 방법

(57) 요약

액정 표시 장치를 제공한다. 본 발명의 일실시예에 따른 액정 표시 장치는 표시 영역과 상기 표시 영역에 대응하는 복수의 화소를 포함하는 기관, 상기 기관 위에 서로 교차하며 위치하는 복수의 게이트선과 복수의 데이터선, 상기 표시 영역 외측에 위치하고, 상기 복수의 게이트선에 게이트 신호를 인가하는 게이트 구동부 그리고 상기 표시 영역 외측에 위치하고, 상기 복수의 데이터선에 데이터 신호를 인가하는 데이터 구동부를 포함하고, 상기 데이터선 방향으로 배치되어 있는 P 화소 및 Q 화소는 동일한 데이터선에 연결되고, 상기 P 화소는 상기 Q 화소보다 상기 데이터 구동부에 가깝게 위치하며, 상기 P 화소에 대응하는 P 박막 트랜지스터의 채널 폭은 상기 Q 화소에 대응하는 Q 박막 트랜지스터의 채널 폭 대비하여 작다.

대표도 - 도5



(72) 발명자

김성환

경기도 용인시 기흥구 금화로11번길 10, 305동
1005호 (상갈동, 금화마을주공3단지아파트)

정미혜

경기도 수원시 장안구 천천로74번길 92, 824동
1402호 (정자동, 대월마을대림진흥아파트)

특허청구의 범위

청구항 1

표시 영역과 상기 표시 영역에 대응하는 복수의 화소를 포함하는 기관,
상기 기관 위에 서로 교차하며 위치하는 복수의 게이트선과 복수의 데이터선,
상기 표시 영역 외측에 위치하고, 상기 복수의 게이트선에 게이트 신호를 인가하는 게이트 구동부 그리고
상기 표시 영역 외측에 위치하고, 상기 복수의 데이터선에 데이터 신호를 인가하는 데이터 구동부를 포함하고,
상기 데이터선 방향으로 배치되어 있는 P 화소 및 Q 화소는 동일한 데이터선에 연결되고, 상기 P 화소는 상기 Q 화소보다 상기 데이터 구동부에 가깝게 위치하며, 상기 P 화소에 대응하는 P 박막 트랜지스터의 채널 폭은 상기 Q 화소에 대응하는 Q 박막 트랜지스터의 채널 폭 대비하여 작은 액정 표시 장치.

청구항 2

제1항에서,
상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 복수의 박막 트랜지스터 각각의 채널 폭은 커지는 액정 표시 장치.

청구항 3

제2항에서,
상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각은 게이트 전극, 상기 데이터선에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하고,
상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 소스 전극의 크기는 커지는 액정 표시 장치.

청구항 4

제3항에서,
상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각의 채널 길이는 동일한 액정 표시 장치.

청구항 5

제1항에서,
상기 복수의 화소 각각에 대응하는 복수의 박막 트랜지스터 각각은 게이트 전극, 상기 데이터선에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하고,
상기 게이트선 방향으로 배치되어 있는 R 화소 및 S 화소는 동일한 게이트선에 연결되고, 상기 R 화소는 상기 S 화소보다 상기 게이트 구동부에 가깝게 위치하며, 상기 R 화소에 대응하는 R 박막 트랜지스터의 게이트 전극과 드레인 전극 사이의 기생 용량은 상기 S 화소에 대응하는 S 박막 트랜지스터의 게이트 전극과 드레인 전극 사이의 기생 용량 대비하여 작은 액정 표시 장치.

청구항 6

제5항에서,
상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각에서의 기생 용량이 커지는 액정 표시 장치.

청구항 7

제6항에서,

상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 박막 트랜지스터 각각에 대응하는 상기 게이트 전극의 크기가 커지는 액정 표시 장치.

청구항 8

제7항에서,

상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 박막 트랜지스터 각각에 대응하는 상기 게이트 전극과 상기 드레인 전극의 중첩 면적이 커지는 액정 표시 장치.

청구항 9

제8항에서,

상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각의 채널 폭은 동일한 액정 표시 장치.

청구항 10

제6항에서,

상기 복수의 게이트선은 제1 게이트선 및 제2 게이트선을 포함하고, 상기 제1 게이트선의 제1 기생 용량 분포는 상기 제2 게이트선의 제2 기생 용량 분포와 다르고,

상기 제1 기생 용량 분포와 상기 제2 기생 용량 분포는 상기 게이트 구동부로부터 멀어질수록 높아지는 계단 모양을 갖는 액정 표시 장치.

청구항 11

제6항에서,

상기 S 박막 트랜지스터의 상기 드레인 전극은 점진적으로(gradually) 폭이 커지는 부분을 포함하고, 상기 S 박막 트랜지스터의 상기 게이트 전극의 가장자리는 상기 S 박막 트랜지스터의 상기 드레인 전극이 점진적으로 폭이 커지는 부분을 가로지르는 액정 표시 장치.

청구항 12

제11항에서,

상기 R 박막 트랜지스터의 상기 게이트 전극의 가장자리가 상기 R 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 폭은 상기 S 박막 트랜지스터의 상기 게이트 전극의 가장자리가 상기 S 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 폭보다 작은 액정 표시 장치.

청구항 13

제12항에서,

상기 R 박막 트랜지스터의 상기 드레인 전극은 점진적으로 폭이 커지는 부분을 포함하는 액정 표시 장치.

청구항 14

제6항에서,

상기 게이트 전극에 오픈부가 형성되고, 상기 오픈부는 상기 드레인 전극을 가로지르며, 상기 오픈부는 점진적으로 폭이 감소하는 모양을 갖는 액정 표시 장치.

청구항 15

제14항에서,

상기 R 박막 트랜지스터의 상기 게이트 전극의 오픈부가 상기 R 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 면적은 상기 S 박막 트랜지스터의 상기 게이트 전극의 오픈부가 상기 S 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 면적보다 큰 액정 표시 장치.

청구항 16

제6항에서,

상기 R 박막 트랜지스터의 상기 드레인 전극이 상기 R 박막 트랜지스터의 상기 게이트 전극과 중첩하는 부분을 기준으로 상기 S 박막 트랜지스터의 상기 드레인 전극이 상기 S 박막 트랜지스터의 상기 게이트 전극과 중첩하는 부분은 회전되어 있는 액정 표시 장치.

청구항 17

표시 영역과 상기 표시 영역에 대응하는 복수의 화소를 포함하는 기판 위에 각각 게이트 전극을 포함하는 복수의 게이트선을 형성하는 단계,

상기 기판 위에 상기 복수의 게이트선과 교차하는 복수의 데이터선, 상기 복수의 데이터선 각각에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 형성하는 단계 그리고

상기 표시 영역 외측에 위치하고, 상기 복수의 게이트선에 게이트 신호를 인가하는 게이트 구동부 및 상기 표시 영역 외측에 위치하고, 상기 복수의 데이터선에 데이터 신호를 인가하는 데이터 구동부를 형성하는 단계를 포함하고,

상기 복수의 화소 각각에 대응하는 복수의 박막 트랜지스터 각각은 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극을 포함하고,

상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극은 마스크를 설계하여 형성하며,

상기 마스크는 하기 식 (1)에 따라 상기 복수의 화소 위치에 따라 상기 게이트 전극과 상기 드레인 전극 사이의 기생 용량(Cgd)을 가변하는 단계를 포함하여 형성하는 액정 표시 장치의 제조 방법:

$$C_{gd}'(n, m) = \frac{V_{kb}(1, 1)}{V_{kb}(n, m)} \times C_{gd}(n, m) \quad \text{식 (1),}$$

(여기서, (n, m)은 n행 m열 화소이다).

청구항 18

제17항에서,

상기 마스크를 형성하는 것은

상기 기생 용량(Cgd)을 가변하는 단계 이후에 상기 복수의 화소 위치에 따른 극성별 킥백 전압(Vkb)을 계산하는 단계,

상기 기생 용량(Cgd)을 재계산하는 단계,

상기 극성별 킥백 전압(Vkb)에서 정부극성 킥백 전압(Vkb)의 평균 편차를 계산하는 단계,

상기 킥백 전압(Ckb)의 평균 편차를 통해 상기 복수의 화소 위치에 따른 휘도 편차를 계산하는 단계 그리고

상기 휘도 편차를 식별 최소차(Just Noticeable Difference; JND)와 비교하는 단계를 포함하는 액정 표시 장치의 제조 방법.

청구항 19

제18항에서,

상기 휘도 편차가 상기 식별 최소차 이상인 경우에는 상기 기생 용량(Cgd)을 가변하는 단계를 반복 수행하는 액정 표시 장치의 제조 방법.

청구항 20

제19항에서,

상기 데이터선 방향으로 배치되어 있는 P 화소 및 Q 화소는 동일한 데이터선에 연결되고, 상기 P 화소는 상기 Q 화소보다 상기 데이터 구동부에 가깝게 위치하며, 상기 P 화소에 대응하는 P 박막 트랜지스터의 채널 폭은 상기 Q 화소에 대응하는 Q 박막 트랜지스터의 채널 폭 대비하여 작게 형성하는 액정 표시 장치의 제조 방법.

명세서

기술분야

[0001] 본 발명은 액정 표시 장치 및 그 제조 방법에 관한 것이다.

배경기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어진다.

[0003] 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 장치는 박막 트랜지스터를 포함하고, 박막 트랜지스터를 포함하는 액정 표시 장치의 표시판에는 서로 교차하는 게이트선 및 데이터선이 형성되어 있고, 화면을 표시하는 영역에 대응하는 화소는 박막 트랜지스터에 연결되어 있다.

[0005] 박막 트랜지스터의 소스 전극/드레인 전극과 게이트 전극의 오버랩되는 부분에서 발생하는 기생 용량은 게이트 전압이 온 전압에서 오프-전압으로 변할 때, 데이터 전압을 떨어뜨린다. 떨어진 데이터 전압(V_d), 다시 말해 입력된 데이터 전압과 이 데이터 전압이 화소를 충전하는 화소 전압간의 전압 차이를 킥백 전압(V_{kb})이라 한다.

[0006] 현실적으로 발생하는 공정상의 편차에 의해 모든 화소에서 균일한 전기적 특성을 갖도록 박막 트랜지스터를 형성하는 것은 용이하지 않다. 또한, 액정 표시 장치에서는 게이트선 및 데이터선의 일 끝단으로부터 게이트 신호 및 데이터 신호가 공급되어 타 끝단으로 전달된다. 따라서, 각 신호선들의 일 끝단에 인접한 화소들에는 신호 전압이 원하는 정도로 공급되지만, 일 끝단에서 멀어질수록 각 신호선의 저항-용량 지연(RC delay)에 의해 킥백 전압이 작아지거나, 화소 전압이 목표치보다 낮게 충전된다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 킥백 전압 편차 및 충전 전압 편차를 줄이는 액정 표시 장치 및 그 제조 방법을 제공하는데 있다.

과제의 해결 수단

[0008] 본 발명의 일실시예에 따른 액정 표시 장치는 표시 영역과 상기 표시 영역에 대응하는 복수의 화소를 포함하는 기판, 상기 기판 위에 서로 교차하며 위치하는 복수의 게이트선과 복수의 데이터선, 상기 표시 영역 외측에 위치하고, 상기 복수의 게이트선에 게이트 신호를 인가하는 게이트 구동부 그리고 상기 표시 영역 외측에 위치하고, 상기 복수의 데이터선에 데이터 신호를 인가하는 데이터 구동부를 포함하고, 상기 데이터선 방향으로 배치되어 있는 P 화소 및 Q 화소는 동일한 데이터선에 연결되고, 상기 P 화소는 상기 Q 화소보다 상기 데이터 구동부에 가깝게 위치하며, 상기 P 화소에 대응하는 P 박막 트랜지스터의 채널 폭은 상기 Q 화소에 대응하는 Q 박막 트랜지스터의 채널 폭 대비하여 작다.

[0009] 상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 복수의 박막 트랜지스터 각각의 채널 폭은 커질 수 있다.

[0010] 상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각은 게이트 전극, 상기 데이터선에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하고, 상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 소스 전극의

크기는 커질 수 있다.

- [0011] 상기 데이터선 방향을 따라 상기 데이터 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각의 채널 길이는 동일할 수 있다.
- [0012] 상기 복수의 화소 각각에 대응하는 복수의 박막 트랜지스터 각각은 게이트 전극, 상기 데이터선에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 포함하고, 상기 게이트선 방향으로 배치되어 있는 R 화소 및 S 화소는 동일한 게이트선에 연결되고, 상기 R 화소는 상기 S 화소보다 상기 게이트 구동부에 가깝게 위치하며, 상기 R 화소에 대응하는 R 박막 트랜지스터의 게이트 전극과 드레인 전극 사이의 기생 용량은 상기 S 화소에 대응하는 S 박막 트랜지스터의 게이트 전극과 드레인 전극 사이의 기생 용량 대비하여 작을 수 있다.
- [0013] 상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각에서의 기생 용량이 커질 수 있다.
- [0014] 상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 박막 트랜지스터 각각에 대응하는 상기 게이트 전극의 크기가 커질 수 있다.
- [0015] 상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 박막 트랜지스터 각각에 대응하는 상기 게이트 전극과 상기 드레인 전극의 중첩 면적이 커질 수 있다.
- [0016] 상기 게이트선 방향을 따라 상기 게이트 구동부로부터 멀어질수록 상기 복수의 화소 각각에 대응하는 상기 복수의 박막 트랜지스터 각각의 채널 폭은 동일할 수 있다.
- [0017] 상기 복수의 게이트선은 제1 게이트선 및 제2 게이트선을 포함하고, 상기 제1 게이트선의 제1 기생 용량 분포는 상기 제2 게이트선의 제2 기생 용량 분포와 다르고, 상기 제1 기생 용량 분포와 상기 제2 기생 용량 분포는 상기 게이트 구동부로부터 멀어질수록 높아지는 계단 모양을 가질 수 있다.
- [0018] 상기 S 박막 트랜지스터의 상기 드레인 전극은 점진적으로(gradually) 폭이 커지는 부분을 포함하고, 상기 S 박막 트랜지스터의 상기 게이트 전극의 가장자리는 상기 S 박막 트랜지스터의 상기 드레인 전극이 점진적으로 폭이 커지는 부분을 가로지를 수 있다.
- [0019] 상기 R 박막 트랜지스터의 상기 게이트 전극의 가장자리가 상기 R 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 폭은 상기 S 박막 트랜지스터의 상기 게이트 전극의 가장자리가 상기 S 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 폭보다 작을 수 있다.
- [0020] 상기 R 박막 트랜지스터의 상기 드레인 전극은 점진적으로 폭이 커지는 부분을 포함할 수 있다.
- [0021] 상기 게이트 전극에 오픈부가 형성되고, 상기 오픈부는 상기 드레인 전극을 가로지르며, 상기 오픈부는 점진적으로 폭이 감소하는 모양을 가질 수 있다.
- [0022] 상기 R 박막 트랜지스터의 상기 게이트 전극의 오픈부가 상기 R 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 면적은 상기 S 박막 트랜지스터의 상기 게이트 전극의 오픈부가 상기 S 박막 트랜지스터의 상기 드레인 전극을 가로지르는 부분의 면적보다 클 수 있다.
- [0023] 상기 R 박막 트랜지스터의 상기 드레인 전극이 상기 R 박막 트랜지스터의 상기 게이트 전극과 중첩하는 부분을 기준으로 상기 S 박막 트랜지스터의 상기 드레인 전극이 상기 S 박막 트랜지스터의 상기 게이트 전극과 중첩하는 부분은 회전될 수 있다.
- [0024] 본 발명의 실시예에 따른 액정 표시 장치의 제조 방법은 표시 영역과 상기 표시 영역에 대응하는 복수의 화소를 포함하는 기판 위에 각각 게이트 전극을 포함하는 복수의 게이트선을 형성하는 단계, 상기 기판 위에 상기 복수의 게이트선과 교차하는 복수의 데이터선, 상기 복수의 데이터선 각각에 연결되는 소스 전극 및 상기 소스 전극과 마주보는 드레인 전극을 형성하는 단계 그리고 상기 표시 영역 외측에 위치하고, 상기 복수의 게이트선에 게이트 신호를 인가하는 게이트 구동부 및 상기 표시 영역 외측에 위치하고, 상기 복수의 데이터선에 데이터 신호를 인가하는 데이터 구동부를 형성하는 단계를 포함하고, 상기 복수의 화소 각각에 대응하는 복수의 박막 트랜지스터 각각은 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극을 포함하고, 상기 게이트 전극, 상기 소스 전극 및 상기 드레인 전극은 마스크를 절개하여 형성하며, 상기 마스크는 하기 식 (1)에 따라 상기 복수의 화소 위치에 따라 상기 게이트 전극과 상기 드레인 전극 사이의 기생 용량(Cgd)을 가변하는 단계를 포함하여 형성한다.

$$C_{gd}'(n, m) = \frac{V_{kb}(1, 1)}{V_{kb}(n, m)} \times C_{gd}(n, m)$$

식 (1),

여기서, (n, m)은 n행 m열 화소이다.

상기 마스크를 형성하는 것은 상기 기생 용량(Cgd)을 가변하는 단계 이후에 상기 복수의 화소 위치에 따른 극성별 킥백 전압(Vkb)을 계산하는 단계, 상기 기생 용량(Cgd)을 재계산하는 단계, 상기 극성별 킥백 전압(Vkb)에서 정부극성 킥백 전압(Vkb)의 평균 편차를 계산하는 단계, 상기 킥백 전압(Ckb)의 평균 편차를 통해 상기 복수의 화소 위치에 따른 휘도 편차를 계산하는 단계 그리고 상기 휘도 편차를 식별 최소차(Just Noticeable Difference; JND)와 비교하는 단계를 포함할 수 있다.

상기 휘도 편차가 상기 식별 최소차 이상인 경우에는 상기 기생 용량(Cgd)을 가변하는 단계를 반복 수행할 수 있다.

상기 데이터선 방향으로 배치되어 있는 P 화소 및 Q 화소는 동일한 데이터선에 연결되고, 상기 P 화소는 상기 Q 화소보다 상기 데이터 구동부에 가깝게 위치하며, 상기 P 화소에 대응하는 P 박막 트랜지스터의 채널 폭은 상기 Q 화소에 대응하는 Q 박막 트랜지스터의 채널 폭 대비하여 작게 형성할 수 있다.

발명의 효과

본 발명의 일실시예에 따르면, 데이터 신호가 공급되는 일 끝단의 반대인 타 끝단에서 일 끝단 방향으로 박막 트랜지스터의 크기를 줄임으로써 신호선의 로드(Load)를 줄일 수 있다.

또한, 게이트 신호가 공급되는 일 끝단에서 타 끝단 방향으로 게이트-드레인 간의 기생 용량을 증가시켜 킥백 전압 편차를 줄일 수 있다.

도면의 간단한 설명

도 1은 본 발명의 일실시예에 따른 액정 표시 장치의 블록도이다.

도 2는 본 발명의 일실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.

도 3은 본 발명의 일실시예에 따른 액정 표시 장치에서 데이터선 방향을 따라 변하는 박막 트랜지스터 모양을 나타내는 개략적인 도면이다.

도 4는 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선 방향을 따라 변하는 박막 트랜지스터 모양을 나타내는 개략적인 도면이다.

도 5는 본 발명의 일실시예에 따른 액정 표시 장치에서 박막 트랜지스터 모양을 나타내는 개략적인 도면이다.

도 6은 본 발명의 일실시예에 따른 액정 표시 장치에서 위치별 기생 용량을 재계산하여 휘도 편차를 계산하는 알고리즘을 나타내는 흐름도이다.

도 7은 게이트선의 입력단에서 멀어짐에 따른 킥백 전압 변화를 나타내는 그래프이다.

도 8은 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선의 입력단에서 멀어짐에 따른 게이트 전극과 드레인 전극 사이의 기생 용량(Cgd) 변화를 나타내는 그래프이다.

도 9는 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선의 입력단에서 멀어짐에 따른 킥백 전압 변화를 도 7의 비교예에 따른 킥백 전압 변화와 비교하는 그래프이다.

도 10은 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선의 입력단에서 멀어짐에 따른 게이트 전극과 드레인 전극 사이의 기생 용량(Cgd) 변화를 서로 다른 위치의 게이트선에서 각각 측정하여 나타내는 그래프이다.

도 11 내지 도 14는 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트 전극과 드레인 전극 사이의 기생 용량(Cgd)을 차등화하는 박막 트랜지스터의 모양을 나타내는 도면들이다.

도 15는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다.

도 16은 도 15의 절단선 XVI-XVI을 따라 자른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0034] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "위"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0035] 도 1은 본 발명의 일실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 일실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.
- [0036] 도 1을 참고하면, 본 발명의 일실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(gate driver)(400), 데이터 구동부(data driver)(500), 계조 전압 생성부(gray voltage generator)(800), 그리고 신호 제어부(signal controller)(600)를 포함한다. 신호 제어부(600)는 영상 신호 보정부(650)를 포함할 수 있다.
- [0037] 도 1을 참고하면, 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(signal line)(G_1 - G_n , D_1 - D_m)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 및 상부 표시판(100, 200)과 그 사이에 들어 있는 액정층(3)을 포함한다. 액정 표시판 조립체(300)는 기판 위에 표시 영역에 대응할 수 있다.
- [0038] 신호선(G_1 - G_n , D_1 - D_m)은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(G_1 - G_n)과 데이터 전압을 전달하는 복수의 데이터선(D_1 - D_m)을 포함한다. 게이트선(G_1 - G_n)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(D_1 - D_m)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- [0039] 각 화소(PX), 예를 들면 i 번째($i=1, 2, \dots, n$) 게이트선(G_i)과 j 번째($j=1, 2, \dots, m$) 데이터선(D_j)에 연결된 화소(PX)는 신호선(G_i , D_j)에 연결된 스위칭 소자와 이에 연결된 액정 축전기(liquid crystal capacitor)(Clc) 및 유지 축전기(storage capacitor)(Cst)를 포함한다. 유지 축전기는 필요에 따라 생략할 수 있다. 본 실시예에서 스위칭 소자는 박막 트랜지스터일 수 있다.
- [0040] 스위칭 소자는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 게이트선(G_i)과 연결되어 있고, 입력 단자는 데이터선(D_j)과 연결되어 있으며, 출력 단자는 액정 축전기(Clc) 및 유지 축전기와 연결되어 있다.
- [0041] 액정 축전기(Clc)는 하부 표시판(100)의 화소 전극(191)과 상부 표시판(200)의 공통 전극(270)을 두 단자로 하며 두 전극(191, 270) 사이의 액정층(3)은 유전체로서 기능한다. 화소 전극(191)은 스위칭 소자와 연결되며, 공통 전극(270)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가받는다. 도 2에서와는 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(191, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- [0042] 액정 축전기(Clc)의 보조적인 역할을 하는 유지 축전기는 하부 표시판(100)에 구비된 별개의 신호선(도시하지 않음)과 화소 전극(191)이 절연체를 사이에 두고 중첩되어 이루어지며 이 별개의 신호선에는 공통 전압(Vcom) 따위의 정해진 전압이 인가된다. 그러나 유지 축전기는 화소 전극(191)이 절연체를 매개로 바로 위의 전단 게이트선(G_{i-1})과 중첩되어 이루어질 수 있다.
- [0043] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 화소 전극(191)에 대응하는 하부 표시판(100)의 영역에 기본색 중 하나를

나타내는 색 필터(230)를 구비함을 보여주고 있다. 색필터(230)는 유기 절연막으로 형성될 수 있다.

- [0044] 액정 표시판 조립체(300)에는 적어도 하나의 편광자(도시하지 않음)가 구비되어 있다.
- [0045] 그러면, 도 3 내지 도 5를 참고하여 본 발명의 일실시예들에 따른 박막 트랜지스터 모양에 대해 설명하기로 한다.
- [0046] 도 3은 본 발명의 일실시예에 따른 액정 표시 장치에서 데이터선 방향을 따라 변하는 박막 트랜지스터 모양을 나타내는 개략적인 도면이다.
- [0047] 도 3을 참고하면, 데이터선(171) 방향으로 배치되어 있는 4개의 화소를 나타내고, 하단으로 갈수록 박막 트랜지스터(TFT)의 소스 전극(173)의 크기가 커진다. 도 1에 도시한 바와 같이 복수의 데이터선(171)에 데이터 신호를 입력하는 데이터 구동부(500)가 액정 표시판 조립체(300)의 상단에 위치할 때, 데이터 신호의 입력단인 데이터 구동부(500)에 인접한 일끝단에서 데이터 구동부(500)로부터 가장 멀리 떨어져 있는 타끝단으로 갈수록 신호 지연(delay)이 발생한다. 본 실시예와 달리 데이터 구동부(500)가 액정 표시판 조립체(300)의 상단뿐만 아니라 하단에도 형성되어 있는 경우에는 액정 표시판 조립체(300)의 중앙 부분으로 갈수록 신호 지연(delay)이 발생할 수 있다.
- [0048] 본 실시예에서 데이터선(171) 방향으로 배치되어 있는 2개의 화소(PX)를 선택하여 각각 P 화소 및 Q 화소라고 할 때, P 화소와 Q 화소의 채널 폭은 서로 다를 수 있다. P 화소가 Q 화소보다 데이터 구동부(500)에 가깝게 위치한다고 할 때, P 화소에서 박막 트랜지스터(TFT)의 채널 폭은 Q 화소에서 박막 트랜지스터(TFT)의 채널 폭보다 작다.
- [0049] 본 실시예에서 채널 폭을 다르게 하기 위해 U자 모양으로 형성된 소스 전극(173)이 드레인 전극(175)을 감싸는 부분의 길이를 조절할 수 있다.
- [0050] 본 실시예에서 데이터선(171) 방향을 따라 데이터 구동부(500)로부터 멀어질수록 복수의 화소(PX) 각각에 대응하는 복수의 박막 트랜지스터(TFT) 각각의 채널 폭은 커질 수 있다. 이 때, 채널 폭이 변하더라도 복수의 박막 트랜지스터(TFT)의 채널 길이는 동일할 수 있다.
- [0051] 종래에는 데이터 구동부에서 가장 멀리 떨어지고, 가장 신호 지연이 심한 화소에 전압이 충분히 충전될 수 있도록 충전 시간을 길게 설정하였다. 이렇게 하면 상대적으로 신호 지연이 없는 데이터 신호가 인가되는 부분에서는 필요 이상의 신호값이 인가될 수 있다. 따라서, 데이터선(171)의 로드(Load) 및 게이트선(121)의 로드(Load)가 증가하였다. 하지만, 본 실시예에 따르면, 데이터선(171) 방향을 따라 박막 트랜지스터(TFT)의 크기를 차등 설계함으로써 화소 전압의 충전 편차를 줄이고, 신호선의 로드(Load)를 줄일 수 있다.
- [0052] 본 실시예에서 데이터선(171) 방향을 따라 복수의 화소(PX) 각각에 대응하는 복수의 박막 트랜지스터(TFT) 각각의 채널 폭을 가변 시점에 따라 게이트선 지연이 감소한 만큼 OE 타임(Output Enable Time)을 줄어둘 수 있도록 복수의 게이트선(121)이 서로 다른 수평 주기(1H)로 턴 온 되도록 할 수 있다.
- [0053] 도 4는 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선 방향을 따라 변하는 박막 트랜지스터 모양을 나타내는 개략적인 도면이다.
- [0054] 도 4를 참고하면, 게이트선(121) 방향으로 배치되어 있는 3개의 화소를 나타내고, 오른쪽으로 갈수록 박막 트랜지스터(TFT)의 게이트 전극(124)의 크기가 커진다. 도 1에 도시한 바와 같이 복수의 게이트선(121)에 게이트 신호를 입력하는 게이트 구동부(400)가 액정 표시판 조립체(300)의 좌측에 위치할 때, 게이트 신호의 입력단인 게이트 구동부(400)에 인접한 일끝단에서 게이트 구동부(400)로부터 가장 멀리 떨어져 있는 타끝단으로 갈수록 신호 지연(delay)이 발생한다. 게이트선(121) 방향의 신호 지연(delay)으로 인해 킥백 전압 편차가 발생할 수 있다.
- [0055] 본 실시예에서 게이트선(121) 방향으로 배치되어 있는 2개의 화소(PX)를 선택하여 각각 R 화소 및 S 화소라고 할 때, R 화소와 S 화소의 기생 용량(Cgd)은 서로 다를 수 있다. R 화소가 S 화소보다 게이트 구동부(400)에 가깝게 위치한다고 할 때, R 화소에서 박막 트랜지스터(TFT)의 기생 용량(Cgd)은 S 화소에서 박막 트랜지스터(TFT)의 기생 용량(Cgd) 대비하여 작다. 기생 용량(Cgd)은 게이트 전극(124)과 드레인 전극(175) 사이에 발생하는 커패시턴스일 수 있다.
- [0056] 본 실시예에서 기생 용량(Cgd)을 다르게 하기 위해 게이트 전극(124)과 드레인 전극(175)의 중첩 면적을 조절할 수 있다.

[0057] 본 실시예에서 게이트선(121) 방향을 따라 게이트 구동부(400)로부터 멀어질수록 복수의 화소(PX) 각각에 대응하는 복수의 박막 트랜지스터(TFT) 각각에서의 기생 용량(Cgd)은 커질 수 있다. 이 때, 기생 용량(Cgs)이 변하더라도 복수의 박막 트랜지스터(TFT)의 채널 폭 또는 채널 길이는 동일할 수 있다.

[0058] 이처럼, 본 실시예에 따르면, 게이트선(121) 방향을 따라 박막 트랜지스터(TFT)에서의 기생 용량이 증가하도록 차등 설계함으로써 킥백 전압(Vkb) 편차를 줄일 수 있다.

[0059] 도 5는 본 발명의 일실시예에 따른 액정 표시 장치에서 박막 트랜지스터 모양을 나타내는 개략적인 도면이다.

[0060] 도 5를 참고하면, 도 3 및 도 4의 실시예를 조합한 것을 나타내며, 하단으로 갈수록 박막 트랜지스터(TFT)의 소스 전극(173)의 크기가 커지고, 오른쪽으로 갈수록 박막 트랜지스터(TFT)의 게이트 전극(124)의 크기가 커진다.

[0061] 본 실시예에 따르면, 게이트선(121) 방향뿐만 아니라, 데이터선(171) 방향을 따라 발생하는 신호 지연에 따른 충전 전압 편차 및 킥백 전압 편차로 인해 발생하는 신호선의 로드(Load)를 줄이고, 위치별 잔상을 개선할 수 있다.

[0062] 도 6은 본 발명의 일실시예에 따른 액정 표시 장치에서 위치별 기생 용량을 재계산하여 휘도 편차를 계산하는 알고리즘을 나타내는 흐름도이다.

[0063] 도 6을 참고하면, 복수의 화소 위치(n, m)에 따라 극성별로 킥백 전압(Vkb)을 계산한다. 여기서, 게이트선 방향 지연(delay)을 고려하여 계산될 수 있다. 본 발명의 실시예에 따른 액정 표시 장치는 극성 반전 구동을 할 수 있고, 이에 따라 정극성과 부극성에서의 킥백 전압(Vkb)에 차이가 발생할 수 있다.

[0064] 그 다음, 복수의 화소 위치(n, m)에 따라 기생 용량(Cgd)을 하기 식 (1)과 같이 가변한다.

$$C_{gd}'(n, m) = \frac{V_{kb}(1, 1)}{V_{kb}(n, m)} \times C_{gd}(n, m) \quad \text{식 (1)}$$

[0065] 여기서, (n, m)은 n행 m열 화소이다.

[0067] 게이트 구동부 및 데이터 구동부와 가장 인접한 1행, 1열의 화소(PX)의 킥백 전압(Vkb(1, 1))이 가장 클 수 있고, 신호선 지연(delay)이 가장 적을 수 있다. 따라서, 1행, 1열의 화소(PX) 킥백 전압(Vkb(1, 1))을 기준으로 복수의 화소 위치(n, m) 각각의 기생 용량(Cgd) 값을 키울 수 있다.

[0068] 그 다음, 가변된 기생 용량(Cgd')을 기준으로 복수의 화소 위치(n, m)에 따라 극성별로 킥백 전압(Vkb)을 다시 계산한다. 여기서, 게이트선 방향 지연(delay)을 고려하여 계산될 수 있다.

[0069] 그 다음, 가변된 기생 용량(Cgd')을 고려하여 박막 트랜지스터 모양을 설계 변경한다. 설계 변경 후 복수의 화소 위치(n, m) 각각의 기생 용량(Cgd) 값을 재계산할 수 있다.

[0070] 이후, 정극성과 부극성의 킥백 전압(Vkb) 평균의 편차를 계산한다.

[0071] 그 다음, 복수의 화소 위치(n, m)에서의 최적 공통 전압(Vcom)과 실제 공통 전압의 편차를 통해 휘도 편차를 계산한다.

[0072] 이후, 계산된 휘도 편차를 식별 최소차(Just Noticeable Difference; JND)와 비교한다. 여기서, 식별 최소차는 사람이 인지할 수 있는 수준이 차이를 말하고, 휘도 편차가 식별 최소차 이상인 경우에는 앞에서 설명한 단계를 복수의 화소 위치(n, m)에 따라 기생 용량(Cgd)을 가변하는 단계부터 반복 수행한다.

[0073] 반복적인 단계 수행을 통해 복수의 화소 위치(n, m)에서의 휘도 편차가 식별 최소차보다 작아진 경우에는 이러한 설계 데이터를 실제 마스크에 반영하여 박막 트랜지스터 모양 형성을 위한 마스크를 제작할 수 있다.

[0074] 도 7은 게이트선의 입력단에서 멀어짐에 따른 킥백 전압 변화를 나타내는 그래프이다. 도 8은 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선의 입력단에서 멀어짐에 따른 게이트 전극과 드레인 전극 사이의 기생 용량(Cgd) 변화를 나타내는 그래프이다.

[0075] 도 7을 참고하면, 가로축의 Dimension은 게이트 구동부에서 게이트선 방향을 나타내고 게이트 구동부에서 멀어짐에 따라 킥백 전압이 감소하고, 도 8을 참고하면, 킥백 전압 편차를 보상하기 위해 본 발명의 일실시예에 따라 기생 용량(Cgd)을 가변한 결과, 게이트 구동부에서 멀어짐에 따라 계단 모양으로 기생 용량(Cgd)이 변한다.

이것은 포토 마스크의 해상도 한계 때문에 불연속적으로 기생 용량(Cgd)이 계산된 것이다.

- [0076] 도 9는 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선의 입력단에서 멀어짐에 따른 킥백 전압 변화로 도 7의 비교예에 따른 킥백 전압 변화와 비교하는 그래프이다.
- [0077] 도 9를 참고하면, 본 발명의 일실시예에서 기생 용량(Cgd) 가변에 따라 측정된 실제 킥백 전압이 이상적인 킥백 전압 대비하여 불연속적으로 나타날 수 있다.
- [0078] 도 10은 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트선의 입력단에서 멀어짐에 따른 게이트 전극과 드레인 전극 사이의 기생 용량(Cgd) 변화를 서로 다른 위치의 게이트선에서 각각 측정하여 나타내는 그래프이다.
- [0079] 도 10을 참고하면, 복수의 게이트선에 포함되는 제1 게이트선과 제2 게이트선의 기생 용량 분포가 계단 모양으로 나타난다. 제1 게이트선의 제1 기생 용량 분포(Cgd1)는 제2 게이트선의 제2 기생 용량 분포(Cgd2)와 다르다. 제1 기생 용량 분포(Cgd1)와 제2 기생 용량 분포(Cgd2)는 모두 게이트 구동부로부터 멀어질수록 높아지는 계단 모양을 갖고, 계단의 높이가 동일하나, 가로 방향의 폭이 서로 다른 패턴을 갖는다. 따라서, 본 발명의 일실시예에 따르면, 포토 마스크의 해상도의 한계 때문에 모든 게이트선에 대응하는 기생 용량 분포가 동일한 패턴을 갖도록 기생 용량(Cgd)을 가변하지 않고, 적어도 2 이상의 서로 다른 게이트선에 대응하는 기생 용량 분포가 서로 다른 패턴을 갖도록 기생 용량(Cgd)을 가변함으로써 플리커 및 잔상 발생을 방지할 수 있다.
- [0080] 도 11 내지 도 14는 본 발명의 일실시예에 따른 액정 표시 장치에서 게이트 전극과 드레인 전극 사이의 기생 용량(Cgd)을 차등화하는 박막 트랜지스터의 모양을 나타내는 도면들이다.
- [0081] 도 11 내지 도 14는, 도 4에서 설명한 게이트선(121) 방향을 따라 게이트 구동부로부터 멀어질수록 복수의 화소(PX) 각각에 대응하는 복수의 박막 트랜지스터(TFT)에서의 기생 용량(Cgd)을 증가시키는 다른 방법을 나타낸다.
- [0082] 도 11(a), 도 12(a), 도 13(a), 및 도 14(a)는, 게이트 구동부에 인접한 화소의 R 박막 트랜지스터(TFT)를 나타내고, 도 11(b), 도 12(b), 도 13(b), 및 도 14(b)는 게이트 구동부로부터 멀리 떨어져 있는 화소의 S 박막 트랜지스터(TFT)를 나타낸다. 도 11 내지 도 14에서 부등식은 기생 용량(Cgd)의 크기 비교를 나타낸다.
- [0083] 도 11(a) 및 도 11(b)를 참고하면, S 박막 트랜지스터(TFT)에서 소스 전극(173)에 의해 둘러싸인 드레인 전극(175)의 일끝단은 점진적으로(gradually) 폭이 커지는 부분을 포함한다. S 박막 트랜지스터(TFT)에서 게이트 전극(124)의 가장자리에는 S 박막 트랜지스터의 드레인 전극(175)이 점진적으로 폭이 커지는 부분을 가로지른다. 이 때, 박막 트랜지스터(TFT)의 채널 폭은 일정할 수 있다. R 박막 트랜지스터(TFT)와 S 박막 트랜지스터(TFT) 각각이 위치하는 화소들 사이에 복수의 화소들이 위치한다. 이러한 화소들에 대응하는 박막 트랜지스터는 드레인 전극(175)의 일끝단이 점진적으로 폭이 커지는 부분을 포함하고, 점진적으로 폭이 커지는 부분의 면적은 S 박막 트랜지스터의 드레인 전극(175)이 점진적으로 폭이 커지는 부분의 면적보다 작으면서 게이트 구동부로부터 멀어짐에 따라 커질 수 있다.
- [0084] 도 12(a) 및 도 12(b)를 참고하면, R 박막 트랜지스터(TFT)의 게이트 전극(124) 및 S 박막 트랜지스터(TFT)의 게이트 전극(124)에 오픈부(OPN)가 형성된다. 오픈부(OPN)는 드레인 전극(175)을 가로지르며, 폭이 점점 감소하는 모양을 가질 수 있다. R 박막 트랜지스터(TFT)의 게이트 전극(124)의 오픈부(OPN)가 R 박막 트랜지스터의 드레인 전극(175)을 가로지르는 부분의 면적은 S 박막 트랜지스터(TFT)의 게이트 전극(124)의 오픈부(OPN)가 S 박막 트랜지스터의 드레인 전극(175)을 가로지르는 부분의 면적은 보다 크다. 이 때, 박막 트랜지스터(TFT)의 채널 폭은 일정할 수 있다. R 박막 트랜지스터와 S 박막 트랜지스터 각각이 위치하는 화소들 사이에 복수의 화소들이 위치한다. 이러한 화소들에 대응하는 게이트 전극(124)의 오픈부(OPN)가 드레인 전극(175)을 가로지르는 부분의 면적은 S 박막 트랜지스터의 게이트 전극(124)의 오픈부(OPN)가 드레인 전극(175)을 가로지르는 부분의 면적보다 크면서 게이트 구동부로부터 멀어짐에 따라 작아질 수 있다. 오픈부(OPN)는 삼각형일 수 있다.
- [0085] 도 13(a) 및 도 13(b)를 참고하면, R 박막 트랜지스터(TFT)의 드레인 전극(175)이 R 박막 트랜지스터(TFT)의 게이트 전극(124)과 중첩하는 부분을 기준으로 S 박막 트랜지스터(TFT)의 드레인 전극(175)이 S 박막 트랜지스터(TFT)의 게이트 전극(124)과 중첩하는 부분은 회전되어 있다. 이 때, 박막 트랜지스터(TFT)의 채널 폭은 일정할 수 있다. R 박막 트랜지스터(TFT)와 S 박막 트랜지스터(TFT) 각각이 위치하는 화소들 사이에 복수의 화소들이 위치한다. 이러한 화소들에 대응하는 박막 트랜지스터는 R 박막 트랜지스터(TFT)의 드레인 전극(175)이 R 박막 트랜지스터(TFT)의 게이트 전극(124)과 중첩하는 부분을 기준으로 드레인 전극(175)이 게이트 전극(124)과

중첩하는 부분은 회전될 수 있다.

- [0086] 도 14(a) 및 도 14(b)를 참고하면, R 박막 트랜지스터(TFT) 및 S 박막 트랜지스터(TFT)에서 게이트 전극(124)의 가장자리와 인접한 부분에서 드레인 전극(175)은 점진적으로(gradually) 폭이 커지는 부분을 포함한다.
- [0087] R 박막 트랜지스터(TFT)의 게이트 전극(124) 가장자리와 중첩하는 부분에서 드레인 전극(175)의 점진적으로 폭이 커지는 부분의 폭이 가장 작다. S 박막 트랜지스터(TFT)의 게이트 전극(124) 가장자리는 S 박막 트랜지스터의 드레인 전극(175)이 점진적으로 폭이 커지는 부분을 가로지른다. R 박막 트랜지스터(TFT)의 게이트 전극(124) 가장자리가 R 박막 트랜지스터(TFT)의 드레인 전극(175)을 가로지르는 부분의 폭은 S 박막 트랜지스터(TFT)의 게이트 전극(124) 가장자리가 S 박막 트랜지스터(TFT)의 드레인 전극(175)을 가로지르는 폭보다 작다. 이 때, 박막 트랜지스터(TFT)의 채널 폭은 일정할 수 있다.
- [0088] R 박막 트랜지스터(TFT)와 S 박막 트랜지스터(TFT) 각각이 위치하는 화소들 사이에 복수의 화소들이 위치한다. 이러한 화소들에 대응하는 박막 트랜지스터는 드레인 전극(175)이 점진적으로 폭이 커지는 부분을 포함하고, 게이트 전극(124) 가장자리가 드레인 전극(175)의 점진적으로 폭이 커지는 부분을 가로지르는 폭은 S 박막 트랜지스터의 게이트 전극(124) 가장자리가 S 박막 트랜지스터의 드레인 전극(175)의 점진적으로 폭이 커지는 부분을 가로지르는 폭보다 작으면서 게이트 구동부로부터 멀어짐에 따라 커질 수 있다.
- [0089] 그러면, 도 15 및 도 16을 참고하여, 본 발명의 일실시예에 따른 액정 표시 장치의 액정 표시판 조립체(300)에 대하여 설명한다. 도 15 및 도 16에서 설명하는 실시예는 도 2에서와 달리 공통 전극(270)이 하부 표시판(100)에 구비되는 경우이다.
- [0090] 도 15는 본 발명의 일실시예에 따른 액정 표시 장치를 나타내는 평면도이다. 도 16은 도 15의 절단선 XVI-XVI를 따라 자른 단면도이다.
- [0091] 도 15 및 도 16을 참고하면, 본 실시예에 따른 액정 표시 장치는 서로 마주보는 하부 표시판(100) 및 상부 표시판(200)과 그 사이 주입되어 있는 액정층(3)을 포함한다.
- [0092] 먼저, 하부 표시판(100)에 대하여 설명한다.
- [0093] 투명한 유리 또는 플라스틱 등으로 이루어진 제1 기판(110) 위에 게이트선(121)을 포함하는 게이트 도전체가 형성되어 있다.
- [0094] 게이트선(121)은 게이트 전극(124) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(도시하지 않음)을 포함한다. 게이트선(121)은 알루미늄(Al)이나 알루미늄 합금 등 알루미늄 계열 금속, 은(Ag)이나 은 합금 등 은계열 금속, 구리(Cu)나 구리 합금 등 구리 계열 금속, 몰리브덴(Mo)이나 몰리브덴 합금 등 몰리브덴 계열 금속, 크롬(Cr), 탄탈륨(Ta) 및 티타늄(Ti) 따위로 만들어질 수 있다. 그러나 게이트선(121)은 물리적 성질이 다른 적어도 두 개의 도전막을 포함하는 다중막 구조를 가질 수도 있다.
- [0095] 게이트선(121) 위에는 절화규소(SiNx) 또는 산화규소(SiOx) 등으로 이루어지는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 물리적 성질이 다른 적어도 두 개의 절연층을 포함하는 다층막 구조를 가질 수도 있다.
- [0096] 게이트 절연막(140) 위에는 비정질 규소 또는 다결정 규소 등으로 만들어진 반도체층(154)이 위치한다. 반도체층(154)은 산화물 반도체를 포함할 수 있다.
- [0097] 반도체층(154) 위에는 저항성 접촉 부재(163, 165)가 형성되어 있다. 저항성 접촉 부재(163, 165)는 인(phosphorus) 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재(163, 165)는 쌍을 이루어 반도체층(154) 위에 배치될 수 있다. 반도체(154)가 산화물 반도체인 경우, 저항성 접촉 부재(163, 165)는 생략 가능하다.
- [0098] 저항성 접촉 부재(163, 165) 및 게이트 절연막(140) 위에는 소스 전극(173)을 포함하는 데이터선(171)과 드레인 전극(175)을 포함하는 데이터 도전체가 형성되어 있다.
- [0099] 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(도시하지 않음)을 포함할 수 있다. 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다.
- [0100] 이 때, 데이터선(171)은 액정 표시 장치의 최대 투과율을 얻기 위해서 굽어진 형상을 갖는 굴곡부를 가질 수 있으며, 굴곡부는 화소 영역의 중간 영역에서 서로 만나 V자 형태를 이룰 수 있다.

- [0101] 소스 전극(173)은 데이터선(171)으로부터 게이트 전극(124)을 향하여 뻗어 U자 형상을 가질 수 있고, 드레인 전극(175)은 데이터선(171)과 분리되어 있으면서 소스 전극(173)의 U자 형상의 가운데에서 상부를 향해 연장된 부분을 포함한다. 이러한 소스 전극(173) 및 드레인 전극(175)의 모양 및 배치는 다양하게 변형될 수 있다.
- [0102] 게이트 전극(124), 소스 전극(173) 및 드레인 전극(175)은 반도체층(154)과 함께 하나의 박막 트랜지스터(thin film transistor, TFT)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173)과 드레인 전극(175) 사이의 반도체층(154) 부분에 형성된다.
- [0103] 본 발명의 실시예에 따른 액정 표시 장치는 데이터선(171)과 동일선 상에 위치하는 소스 전극(173)과 데이터선(171)과 나란하게 뻗어 있는 드레인 전극(175)을 포함함으로써, 데이터 도전체가 차지하는 면적을 넓히지 않고도 박막 트랜지스터의 폭을 넓힐 수 있게 되고, 이에 따라 액정 표시 장치의 개구율이 증가할 수 있다.
- [0104] 데이터선(171)과 드레인 전극(175)은 몰리브덴, 크롬, 탄탈륨 및 티타늄 등 내화성 금속(refractory metal) 또는 이들의 합금으로 만들어지는 것이 바람직하며, 내화성 금속막(도시하지 않음)과 저저항 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 다중막 구조의 예로는 크롬 또는 몰리브덴 (합금) 하부막과 알루미늄 (합금) 상부막의 이중막, 몰리브덴 (합금) 하부막과 알루미늄 (합금) 중간막과 몰리브덴 (합금) 상부막의 삼중막을 들 수 있다.
- [0105] 데이터 도전체(171, 173, 175), 게이트 절연막(140), 그리고 반도체(154)의 노출된 부분 위에는 제1 보호막(180a)이 배치되어 있다. 제1 보호막(180a)은 유기 절연 물질 또는 무기 절연 물질 등으로 이루어질 수 있다.
- [0106] 제1 보호막(180a) 위에는 제2 보호막(180b)이 형성되어 있다. 제2 보호막(180b)은 유기 절연물로 이루어질 수 있다.
- [0107] 제2 보호막(180b)은 색필터일 수 있다. 제2 보호막(180b)이 색필터인 경우, 제2 보호막(180b)은 기본색(primary color) 중 하나를 고유하게 표시할 수 있으며, 기본색의 예로는 적색, 녹색, 청색 등 삼원색 또는 황색(yellow), 청록색(cyan), 자홍색(magenta) 등을 들 수 있다. 도시하지는 않았지만, 색필터는 기본색 외에 기본색의 혼합색 또는 백색(white)을 표시하는 색필터를 더 포함할 수 있다. 제2 보호막(180b)이 색필터인 경우에는 후술한 상부 표시판(200)에서 색필터(230)는 생략할 수 있다.
- [0108] 제2 보호막(180b) 위에는 공통 전극(common electrode)(270)이 위치한다. 공통 전극(270)은 면형(planar shape)으로서 기판(110) 전면 위에 통판으로 형성되어 있을 수 있고, 드레인 전극(175) 주변에 대응하는 영역에 배치되어 있는 개구부(138)를 가진다. 즉, 공통 전극(270)은 판 형태의 평면 형태를 가질 수 있다.
- [0109] 인접 화소에 위치하는 공통 전극(270)은 서로 연결되어, 표시 영역 외부에서 공급되는 일정한 크기의 공통 전압을 전달 받을 수 있다.
- [0110] 공통 전극(270) 위에는 절연막(180c)이 위치한다. 절연막(180c)은 유기 절연 물질 또는 무기 절연 물질 등으로 이루어질 수 있다.
- [0111] 절연막(180c) 위에는 화소 전극(191)이 위치한다. 화소 전극(191)은 데이터선(171)의 굴곡부와 거의 나란한 굴곡면(curved edge)을 포함한다. 화소 전극(191)은 복수의 절개부(91)를 가지며, 이웃하는 절개부(91)에 사이에 위치하는 복수의 가지 전극(192)을 포함한다.
- [0112] 화소 전극(191)은 제1 전기장 생성 전극 또는 제1 전극이고, 공통 전극(270)은 제2 전기장 생성 전극 또는 제2 전극이다. 화소 전극(191)과 공통 전극(270)은 수평 전계를 형성할 수 있다.
- [0113] 제1 보호막(180a), 제2 보호막(180b), 그리고 절연막(180c)에는 드레인 전극(175)을 드러내는 제1 접촉 구멍(185)이 형성되어 있다. 화소 전극(191)은 접촉 구멍(185)을 통해 드레인 전극(175)과 물리적 전기적으로 연결되어, 드레인 전극(175)으로부터 전압을 인가 받는다.
- [0114] 화소 전극(191)과 절연막(180c) 위에는 제1 배향막(alignment layer)(11)이 형성되어 있다. 제1 배향막(11)은 광배향 물질, 수직 배향 물질 등으로 형성할 수 있다.
- [0115] 그러면, 상부 표시판(200)에 대하여 설명한다.
- [0116] 투명한 유리 또는 플라스틱 등으로 만들어진 제2 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.
- [0117] 제2 기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 하부 표시판(100)의 제2 보호막(180b)이 색

필터인 경우, 상부 표시판(200)의 색필터(230)는 생략될 수 있다. 또한, 상부 표시판(200)의 차광 부재(220) 역시 하부 표시판(100)에 형성될 수 있다.

[0118] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 (유기) 절연물로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.

[0119] 덮개막(250) 위에는 제2 배향막(21)이 형성되어 있다. 제2 배향막(21)은 앞에서 설명한 제1 배향막(11)과 동일한 물질 및 방법으로 형성할 수 있다.

[0120] 액정층(3)은 유전율 이방성을 가지는 액정 물질을 포함할 수 있다.

[0121] 액정층(3)의 액정 분자는 그 장축 방향이 표시판(100, 200)에 수직하게 또는 평행하게 배열되어 있다.

[0122] 화소 전극(191)은 드레인 전극(175)으로부터 데이터 전압을 인가 받고, 공통 전극(270)은 표시 영역 외부에 배치되어 있는 공통 전압 인가부로부터 일정한 크기의 공통 전압을 인가 받는다.

[0123] 전기장 생성 전극인 화소 전극(191)과 공통 전극(270)은 전기장을 생성함으로써 두 전기장 생성 전극(191, 270) 위에 위치하는 액정층(3)의 액정 분자는 전기장의 방향과 평행한 방향으로 회전한다. 이와 같이 결정된 액정 분자의 회전 방향에 따라 액정층을 통과하는 빛의 편광이 달라진다.

[0124] 이처럼, 하나의 표시판(100) 위에 두 개의 전기장 생성 전극(191, 270)을 형성함으로써, 액정 표시 장치의 투과율을 높이고, 광시야각을 구현할 수 있다.

[0125] 도시한 실시예에 따른 액정 표시 장치에 따르면, 공통 전극(270)이 면형의 평면 형태를 가지고, 화소 전극(191)이 복수의 가지 전극을 가지지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 따르면, 화소 전극(191)이 면형이 평면 형태를 가지고, 공통 전극(270)이 복수의 가지 전극을 가질 수도 있다.

[0126] 본 발명은 두 개의 전기장 생성 전극이 제1 기관(110) 위에 절연막을 사이에 두고 중첩하며, 절연막 아래에 형성되어 있는 제1 전기장 생성 전극이 면형의 평면 형태를 가지고, 절연막 위에 형성되어 있는 제2 전기장 생성 전극이 복수의 가지 전극을 가지는 모든 다른 경우에 적용 가능하다.

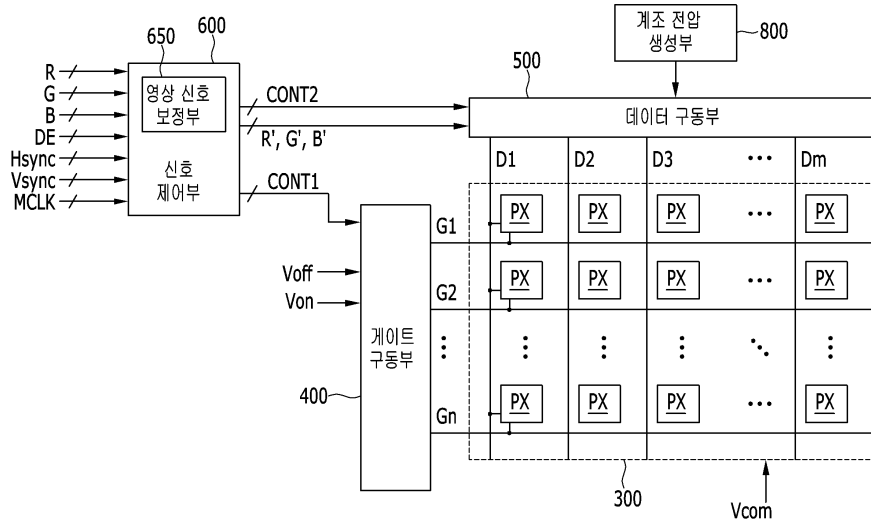
[0127] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

부호의 설명

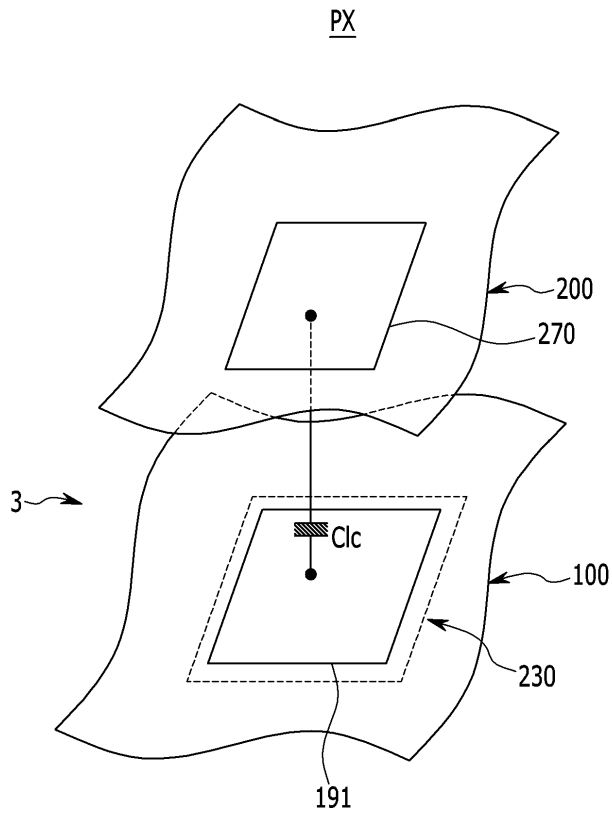
[0128] 154: 반도체층 163, 165: 저항성 접촉 부재
171: 데이터선 173: 소스 전극
175: 드레인 전극 180a, 180b, 180c: 보호막
191: 화소 전극 270: 공통 전극

도면

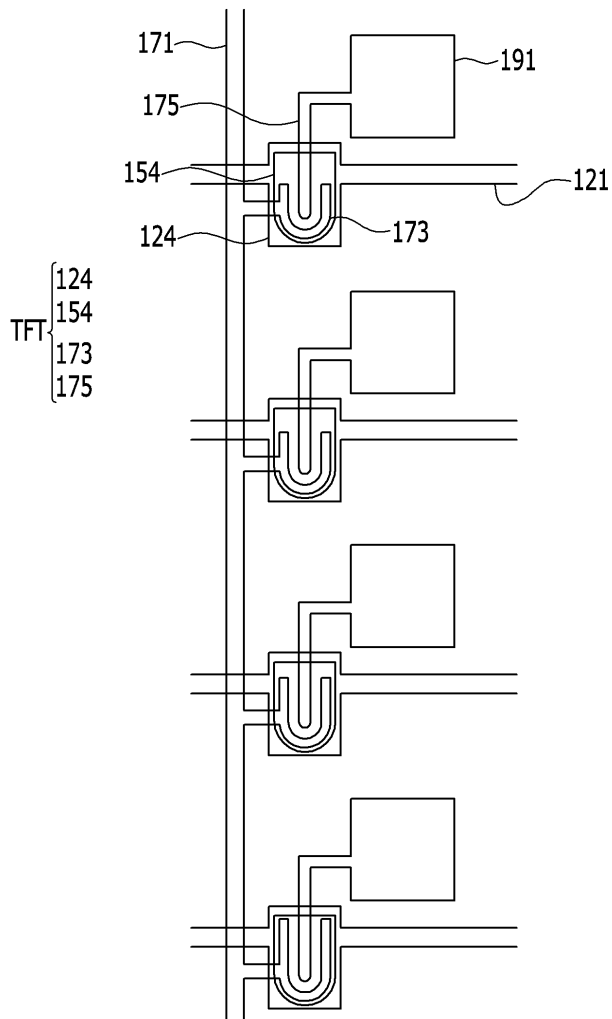
도면1



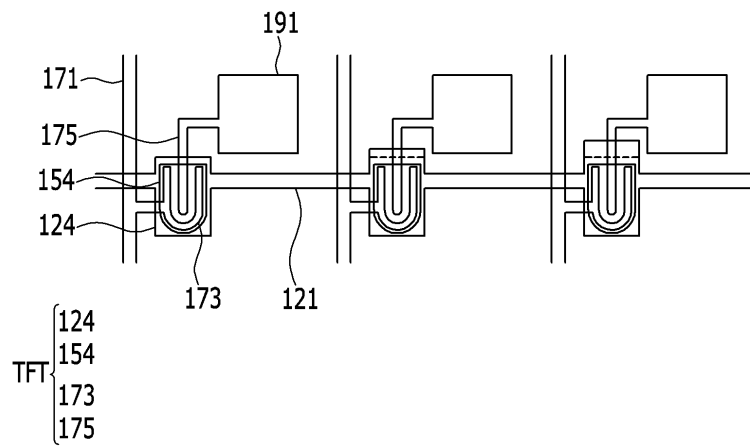
도면2



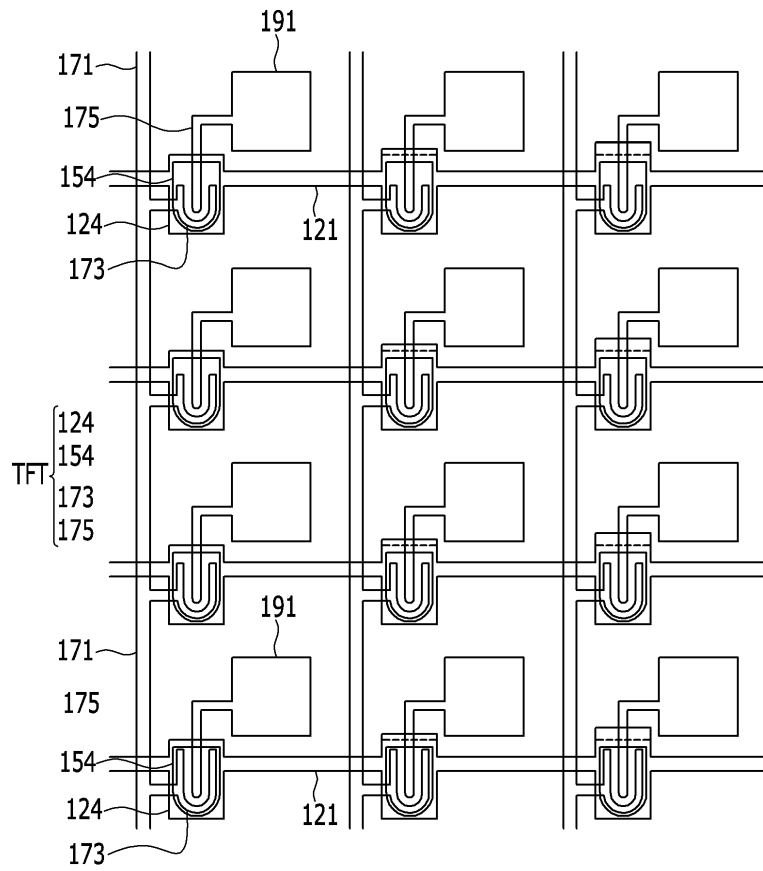
도면3



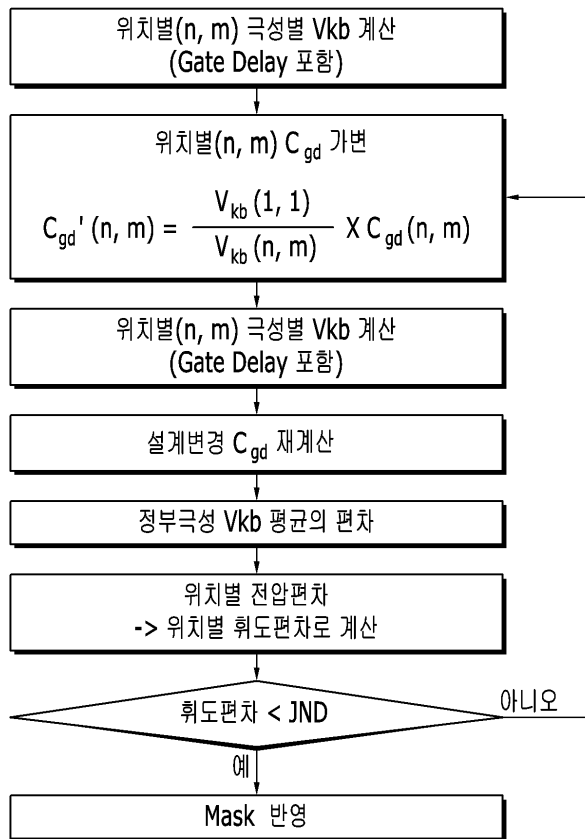
도면4



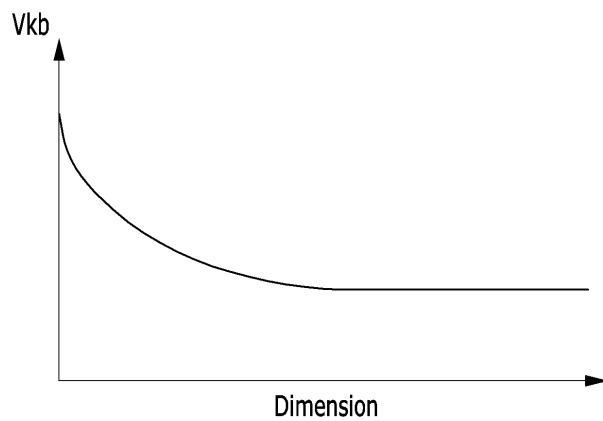
도면5



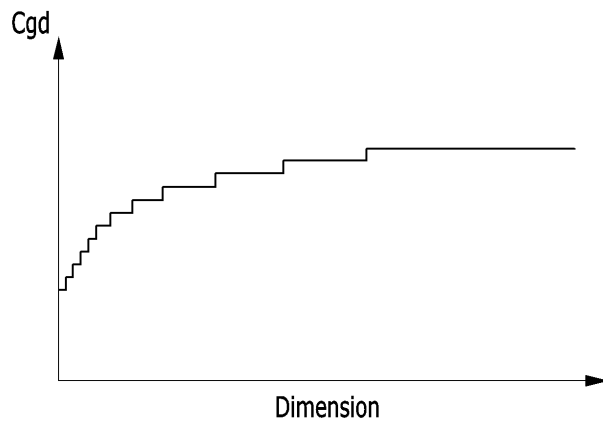
도면6



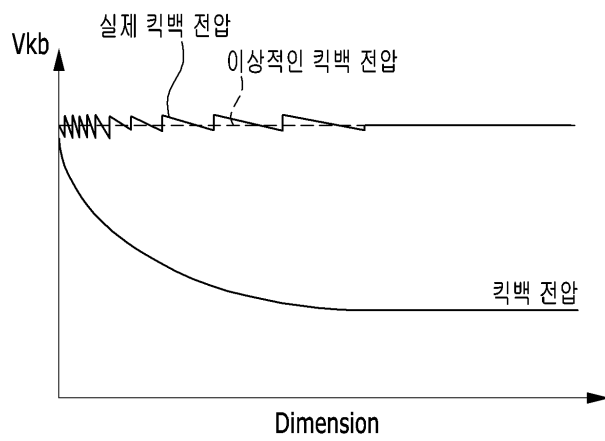
도면7



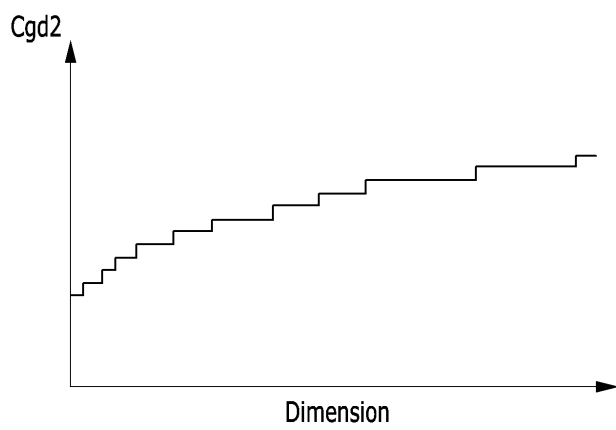
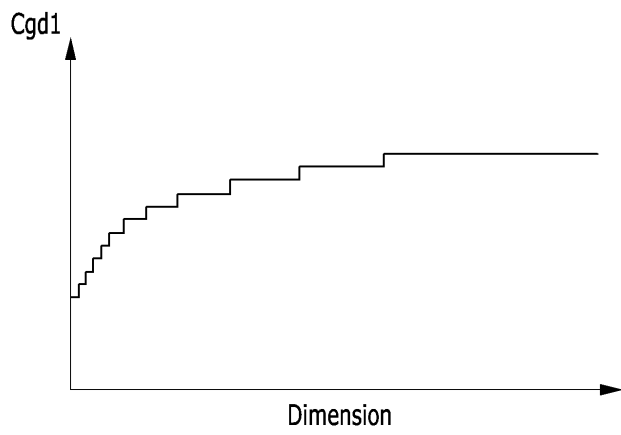
도면8



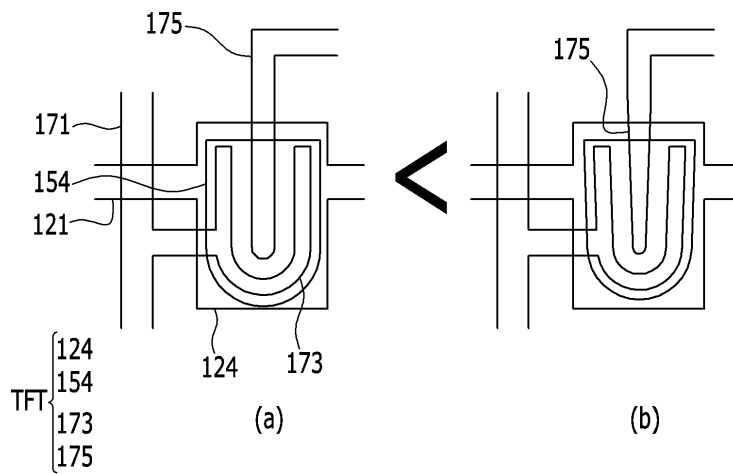
도면9



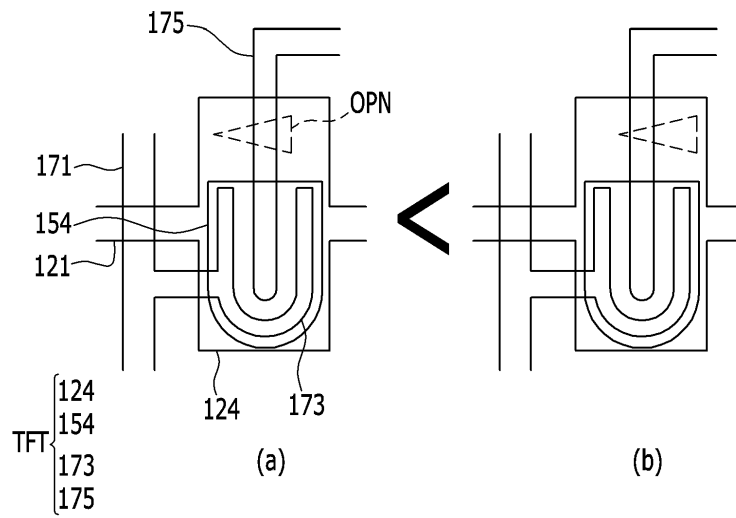
도면10



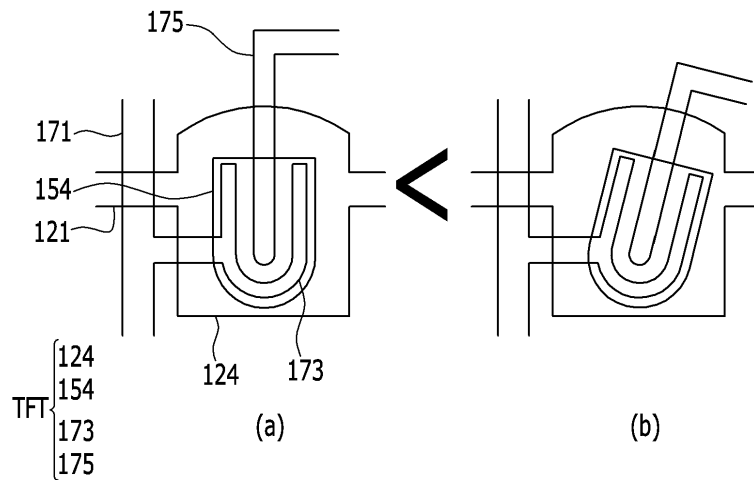
도면11



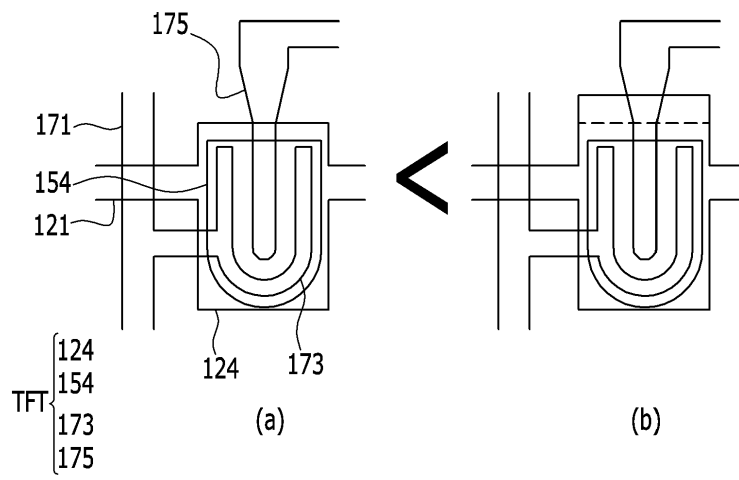
도면12



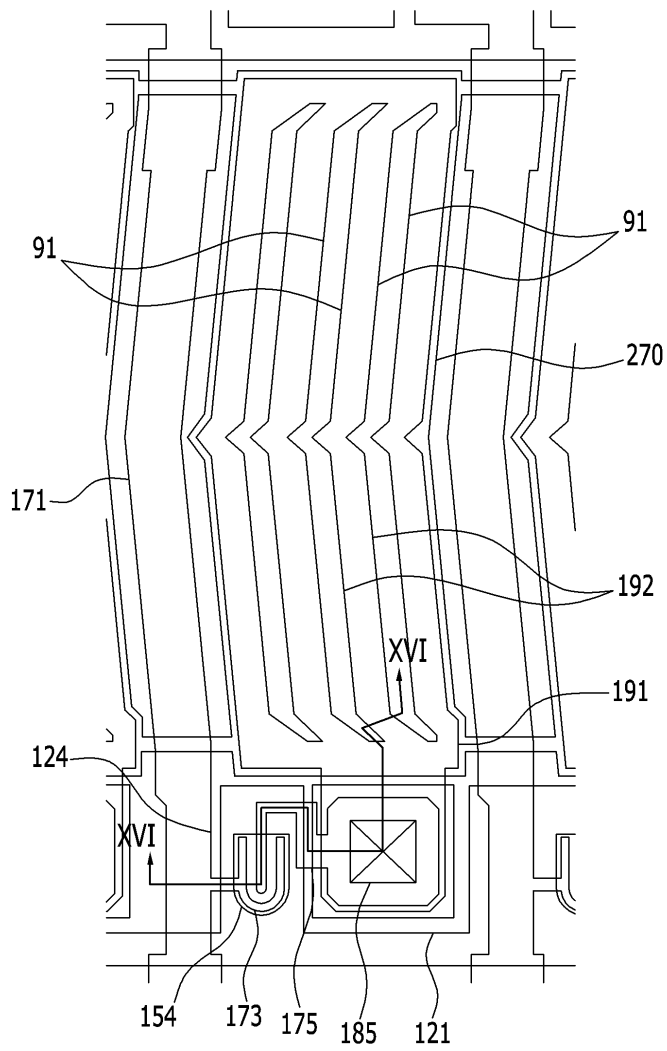
도면13



도면14



도면15



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR1020150097857A	公开(公告)日	2015-08-27
申请号	KR1020140018052	申请日	2014-02-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	CHO SE HYOUNG 조세형 KIM IL GON 김일곤 KIM SUNG HWAN 김성환 JUNG MEE HYE 정미혜		
发明人	조세형 김일곤 김성환 정미혜		
IPC分类号	G02F1/133 G02F1/1368 G09G3/36		
CPC分类号	G09G2300/0426 G09G5/10 H01L27/1288 H01L22/14 G09G3/36 G09G3/3648 G09G2320/0285 G09G2360/16 H01L27/1222 H01L27/124 H01L29/41733 H01L29/42384		
其他公开文献	KR102128969B1		
外部链接	Espacenet		

摘要(译)

液晶显示器包括沿数据线方向延伸的第一像素和第二像素。第一和第二像素连接到同一数据线，并且第一像素比第二像素更靠近数据驱动器。第一像素的薄膜晶体管的沟道宽度小于第二像素的薄膜晶体管的沟道宽度。

