



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0065865
(43) 공개일자 2014년05월30일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)
(21) 출원번호 10-2012-0132850
(22) 출원일자 2012년11월22일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
한예슬
경기 파주시 월롱면 엘씨디로 201, LG 디스플레이
정다운마을 A동 303호
이병현
경기 파주시 문산읍 당동1로 12, 503동 404호 (자
연엔꿈에그린5단지아파트)
(74) 대리인
특허법인로얄

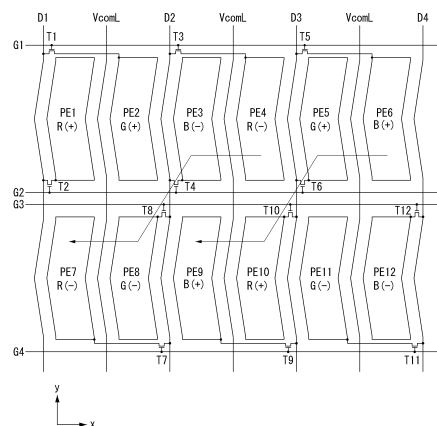
전체 청구항 수 : 총 17 항

(54) 발명의 명칭 액정표시장치와 그의 제조방법

(57) 요약

본 발명은 액정표시장치와 그의 제조방법에 관한 것이다. 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 상기 데이터 라인들 사이에 상기 데이터 라인들과 나란하게 형성되는 공통전압 라인들, 상기 데이터 라인들, 상기 게이트 라인들, 및 상기 공통전압 라인들의 교차에 의해 정의되는 화소 영역에 형성된 화소 전극들, 및 상기 데이터 라인들과 상기 게이트 라인들의 교차부들에 형성된 박막 트랜지스터들을 포함하는 액정표시패널을 포함하고, 제j(j는 2 이상의 자연수) 데이터 라인과 제k(k는 2 이상의 자연수) 게이트 라인의 교차부에 형성된 제1 박막 트랜지스터의 게이트 전극은 상기 제k 게이트 라인에 접속되고, 소스 전극은 상기 제j 데이터 라인에 접속되며, 드레인 전극은 제j-1 데이터 라인 또는 제j+1 데이터 라인에 인접하는 화소 전극으로부터 연장된 제1 돌출 전극과 제1 콘택 전극을 통해 접속되는 것을 특징으로 한다.

대표도 - 도2



특허청구의 범위

청구항 1

데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 상기 데이터 라인들 사이에 상기 데이터 라인들과 나란하게 형성되는 공통전압 라인들, 상기 데이터 라인들, 상기 게이트 라인들, 및 상기 공통전압 라인들의 교차에 의해 정의되는 화소 영역에 형성된 화소 전극들, 및 상기 데이터 라인들과 상기 게이트 라인들의 교차부들에 형성된 박막 트랜지스터들을 포함하는 액정표시패널을 포함하고,

제 j (j 는 2 이상의 자연수) 데이터 라인과 제 k (k 는 2 이상의 자연수) 게이트 라인의 교차부에 형성된 제1 박막 트랜지스터의 게이트 전극은 상기 제 k 게이트 라인에 접속되고, 소스 전극은 상기 제 j 데이터 라인에 접속되며, 드레인 전극은 제 $j-1$ 데이터 라인 또는 제 $j+1$ 데이터 라인에 인접하는 화소 전극으로부터 연장된 제1 돌출 전극과 제1 콘택 전극을 통해 접속되는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 제 j 데이터 라인과 제 $k-1$ 게이트 라인 또는 제 $k+1$ 게이트 라인의 교차부에 형성된 제2 박막 트랜지스터의 게이트 전극은 상기 제 $k-1$ 게이트 라인 또는 상기 제 $k+1$ 게이트 라인에 접속되고, 소스 전극은 상기 제 j 데이터 라인에 접속되며, 드레인 전극은 상기 제 j 데이터 라인에 인접하는 화소 전극으로부터 연장된 제2 돌출 전극과 제2 콘택 전극을 통해 접속되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 2 항에 있어서,

상기 제1 돌출 전극은 상기 제2 돌출 전극보다 길게 형성되는 것을 특징으로 하는 액정표시장치.

청구항 4

제 1 항에 있어서,

상기 공통전압 라인에 인접한 화소 전극들 사이에 형성되는 것을 특징으로 하는 액정표시장치.

청구항 5

제 2 항에 있어서,

상기 제1 돌출 전극, 상기 제2 돌출 전극, 및 상기 화소 전극들은 상기 게이트 라인, 상기 제1 박막 트랜지스터들의 게이트 전극, 상기 제2 박막 트랜지스터의 게이트 전극과 동일한 평면상에 동일한 투명 금속물질로 형성되는 것을 특징으로 하는 액정표시장치.

청구항 6

제 2 항에 있어서,

상기 제1 돌출 전극의 일부는 상기 제1 박막 트랜지스터의 드레인 전극의 일부와 중첩되고, 상기 제2 돌출 전극의 일부는 상기 제2 박막 트랜지스터의 드레인 전극의 일부와 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 7

제 2 항에 있어서,

상기 액정표시패널은,

상기 게이트 라인, 상기 제1 박막 트랜지스터의 게이트 전극, 상기 제2 박막 트랜지스터의 게이트 전극, 상기 제1 돌출 전극, 상기 제2 돌출 전극, 및 상기 화소 전극들을 덮는 게이트 절연막;

상기 게이트 절연막 상에 형성된 상기 데이터 라인, 상기 공통전압 라인, 상기 제1 박막 트랜지스터의 소스 전

극과 드레인 전극, 상기 제2 박막 트랜지스터의 소스 전극과 드레인 전극, 반도체 패턴, 및 드레인 전극을 덮는 보호막;

상기 보호막을 관통하여 상기 제1 박막 트랜지스터의 드레인 전극을 노출시키는 제1 콘택홀; 및

상기 게이트 절연막과 상기 보호막을 관통하여 상기 제1 돌출 전극을 노출시키는 제2 콘택홀을 더 포함하고,

상기 제1 콘택 전극은 상기 제1 콘택홀과 상기 제2 콘택홀을 통해 상기 제1 박막 트랜지스터들의 드레인 전극과 상기 제1 돌출 전극을 접속시키는 것을 특징으로 하는 액정표시장치.

청구항 8

제 7 항에 있어서,

상기 액정표시패널은,

상기 보호막을 관통하여 상기 공통전압 라인을 노출시키는 제3 콘택홀;

상기 보호막을 관통하여 상기 제2 박막 트랜지스터의 드레인 전극을 노출시키는 제4 콘택홀;

상기 게이트 절연막과 상기 보호막을 관통하여 상기 제2 돌출 전극을 노출시키는 제5 콘택홀; 및

상기 보호막 상에서 상기 화소 영역에 형성되는 공통전극을 더 포함하고,

상기 공통전압 라인은 상기 제3 콘택홀을 통해 상기 공통전극과 접속되며,

상기 제2 콘택 전극은 상기 제4 콘택홀과 상기 제5 콘택홀을 통해 상기 제2 박막 트랜지스터들의 드레인 전극과 상기 제2 돌출 전극을 접속시키는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 게이트 라인, 상기 제1 박막 트랜지스터의 게이트 전극, 상기 제2 박막 트랜지스터의 게이트 전극은 제1 불투명 금속물질로 형성되고,

상기 제1 박막 트랜지스터의 소스 전극과 드레인 전극, 상기 제2 박막 트랜지스터의 소스 전극과 드레인 전극, 상기 데이터 라인, 및 상기 공통전압 라인은 제2 불투명 금속물질로 형성되며,

상기 제1 돌출 전극, 상기 제2 돌출 전극, 상기 화소 전극들, 상기 제1 콘택 전극, 상기 제2 콘택 전극, 및 상기 공통전극은 동일한 투명 금속물질로 형성된 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 제j 데이터 라인에는 제1 극성의 데이터 전압들이 인가되고, 상기 제j-1 데이터 라인 또는 상기 제j+1 데이터 라인에는 제2 극성의 데이터 전압들이 인가되고,

동일한 수평 라인에서 상기 제j 데이터 라인에 인접한 화소 전극들 중 어느 하나만 상기 제j 데이터 라인에 접속되고, 나머지 하나는 상기 제j-1 데이터 라인 또는 상기 제j+1 데이터 라인에 접속되며,

상기 제j 데이터 라인과 상기 제j-1 데이터 라인 또는 상기 제j+1 데이터 라인 사이에 배치된 화소 전극들은 상기 제j 데이터 라인에만 접속되거나 상기 제j-1 데이터 라인 또는 상기 제j+1 데이터 라인에만 접속되는 것을 특징으로 하는 액정표시장치.

청구항 11

하부 기판 상에 게이트 라인, 제1 및 제2 박막 트랜지스터의 게이트 전극의 상부층을 포함하는 게이트 금속패턴과, 화소 전극들, 제1 돌출 전극, 제2 돌출 전극, 상기 제1 및 제2 박막 트랜지스터의 게이트 전극의 하부층을 포함하는 제1 투명전극 패턴을 형성하는 제1 단계;

상기 게이트 금속패턴과 상기 제1 투명전극패턴을 덮는 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 반도체 패턴, 데이터 라인, 및 공통전압 라인, 및 상기 제1 및 제2 박막 트랜지스터의 소스 전극과 드레인 전극을

포함하는 소스/드레인 금속패턴을 형성하는 제2 단계;

상기 소스/드레인 금속패턴을 덮는 보호막을 형성하고, 상기 보호막을 관통하여 상기 제1 박막 트랜지스터의 드레인 전극을 노출시키는 제1 콘택홀, 상기 보호막을 관통하여 상기 제1 돌출 전극을 노출시키는 제2 콘택홀, 상기 보호막을 관통하여 상기 공통전압 라인을 노출시키는 제3 콘택홀, 상기 제2 박막 트랜지스터의 드레인 전극을 노출시키는 제4 콘택홀, 상기 보호막을 관통하여 상기 제2 돌출 전극을 노출시키는 제5 콘택홀을 형성하는 제3 단계; 및

상기 제1 콘택홀과 상기 제2 콘택홀을 통해 상기 제1 박막 트랜지스터의 드레인 전극과 상기 제1 돌출 전극을 접속시키는 제1 콘택 전극과, 상기 제3 콘택홀을 통해 공통전압 라인과 공통전극을 접속시키는 공통전극, 및 상기 제4 콘택홀과 상기 제5 콘택홀을 통해 상기 제2 박막 트랜지스터의 드레인 전극과 상기 제2 돌출 전극을 접속시키는 제2 콘택 전극을 포함하는 제2 투명전극패턴을 형성하는 제4 단계를 포함하고,

상기 제1 박막 트랜지스터는 제 j (j 는 2 이상의 자연수) 데이터 라인과 제 k (k 는 2 이상의 자연수) 게이트 라인의 교차부에 형성되고,

상기 제1 박막 트랜지스터의 게이트 전극은 상기 제 k 게이트 라인에 접속되고, 소스 전극은 상기 제 j 데이터 라인에 접속되며, 드레인 전극은 제 $j-1$ 데이터 라인 또는 제 $j+1$ 데이터 라인에 인접하는 화소 전극으로부터 연장된 상기 제1 돌출 전극과 상기 제1 콘택 전극을 통해 접속되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 12

제 11 항에 있어서,

상기 제 j 데이터 라인과 제 $k-1$ 게이트 라인 또는 제 $k+1$ 게이트 라인의 교차부에 형성된 제2 박막 트랜지스터의 게이트 전극은 상기 제 $k-1$ 게이트 라인 또는 상기 제 $k+1$ 게이트 라인에 접속되고, 소스 전극은 상기 제 j 데이터 라인에 접속되며, 드레인 전극은 상기 제 j 데이터 라인에 인접하는 화소 전극으로부터 연장된 제2 돌출 전극과 제2 콘택 전극을 통해 접속되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 13

제 12 항에 있어서,

상기 제1 돌출 전극은 상기 제2 돌출 전극보다 길게 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 14

제 11 항에 있어서,

상기 공통전압 라인은 인접한 화소 전극들 사이에 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 15

제 12 항에 있어서,

상기 제1 돌출 전극의 일부는 상기 제1 박막 트랜지스터의 드레인 전극의 일부와 중첩되고, 상기 제2 돌출 전극의 일부는 상기 제2 박막 트랜지스터의 드레인 전극의 일부와 중첩되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 16

제 11 항에 있어서,

상기 제1 단계는,

상기 하부 기판 상에 제1 투명전극층을 증착하고, 상기 제1 투명전극층상에 게이트 금속층을 증착하는 단계;

상기 게이트 금속층에 포토 레지스트층을 형성하고, 하프톤 마스크를 이용해 제1 포토 레지스트 패턴과 상기 제1 포토 레지스트 패턴보다 두꺼운 두께의 제2 포토 레지스트 패턴을 형성하는 단계;

상기 제1 및 제2 포토 레지스트 패턴들이 형성되지 않은 영역의 상기 제1 투명전극층과 상기 게이트 금속층을 식각하는 단계;

상기 제1 포토 레지스트 패턴만을 제거하는 단계;

상기 제2 포토 레지스트 패턴이 형성되지 않은 영역의 상기 게이트 금속층만을 식각하는 단계;

상기 제2 포토 레지스트 패턴을 제거하는 단계를 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 17

제 16 항에 있어서,

상기 게이트 금속층에 포토 레지스트층을 형성하고, 하프톤 마스크를 이용해 제1 포토 레지스트 패턴과 상기 제1 포토 레지스트 패턴보다 두꺼운 두께의 제2 포토 레지스트 패턴을 형성하는 단계는,

상기 제1 투명전극 패턴이 형성될 영역에 상기 제1 포토 레지스트 패턴을 형성하고, 상기 게이트 금속 패턴이 형성될 영역에 상기 제2 포토 레지스트 패턴을 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치와 그의 제조방법에 관한 것이다.

배경기술

[0002] 액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003] 액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004] 액정표시장치의 공정 기술과 구동 기술의 비약적인 발전에 힘입어, 액정표시장치의 제조비용은 낮아지고, 화질이 크게 향상되고 있다. 특히, 어느 한 수평 라인에 존재하는 2 개의 서브 픽셀들을 하나의 데이터 라인에 접속시키고, 동일한 극성의 데이터 전압을 상기 2 개의 서브 픽셀들에 공급하는 DRD(Double Rate Driving) 기술이 제안되었다. DRD 기술은 하나의 데이터 라인을 통해 2 개의 서브 픽셀들을 제어할 수 있으므로, 소스 드라이브 IC의 개수를 줄임으로써 제조비용을 줄일 수 있는 장점이 있다. DRD 기술의 경우, 소스 드라이브 IC는 인접한 데이터 라인들에 서로 다른 극성의 데이터 전압들을 공급하는 컬럼 인버전 방식으로 구동되며, 액정표시패널은 수평 2 도트 인버전으로 구동된다.

[0005] 최근에는 DRD 기술의 변형으로, 소스 드라이브 IC는 컬럼 인버전 방식으로 구동되고, 액정표시패널은 수평 2 도트 인버전과 수직 1 도트 인버전을 동시에 만족하도록 구동되는 "E-인버전(E-inversion)" 기술이 개발되었다. 하지만, "E-인버전" 기술은 액정표시패널의 설계가 복잡한 단점이 있다. 또한, "E-인버전" 기술은 화소들 일부가 인접한 데이터 라인이 아닌 다른 데이터 라인에 접속하기 때문에, 공통전극들에 공통전압을 공급하기 위한 공통전압 라인이 게이트 라인과 동일한 평면상에서 게이트 라인과 나란한 방향으로 형성된다. 공통전압 라인은 불투명 금속층인 게이트 금속층으로 형성되므로, 개구율이 감소하는 문제가 있다.

발명의 내용

해결하려는 과제

[0006] 본 발명은 수평 2 도트 인버전과 수직 1 도트 인버전을 동시에 만족하도록 구동하면서 개구율 감소를 방지할 수 있는 액정표시장치와 그의 제조방법을 제공한다.

과제의 해결 수단

- [0007] 본 발명의 실시 예에 따른 액정표시장치는 데이터 라인들, 상기 데이터 라인들과 교차되는 게이트 라인들, 상기 데이터 라인들 사이에 상기 데이터 라인들과 나란하게 형성되는 공통전압 라인들, 상기 데이터 라인들, 상기 게이트 라인들, 및 상기 공통전압 라인들의 교차에 의해 정의되는 화소 영역에 형성된 화소 전극들, 및 상기 데이터 라인들과 상기 게이트 라인들의 교차부들에 형성된 박막 트랜지스터들을 포함하는 액정표시패널을 포함하고, 제j(j는 2 이상의 자연수) 데이터 라인과 제k(k는 2 이상의 자연수) 게이트 라인의 교차부에 형성된 제1 박막 트랜지스터의 게이트 전극은 상기 제k 게이트 라인에 접속되고, 소스 전극은 상기 제j 데이터 라인에 접속되며, 드레인 전극은 제j-1 데이터 라인 또는 제j+1 데이터 라인에 인접하는 화소 전극으로부터 연장된 제1 돌출 전극과 제1 콘택 전극을 통해 접속되는 것을 특징으로 한다.
- [0008] 본 발명의 실시 예에 따른 액정표시장치의 제조방법은 하부 기판 상에 게이트 라인, 제1 및 제2 박막 트랜지스터의 게이트 전극의 상부층을 포함하는 게이트 금속패턴과, 화소 전극들, 제1 돌출 전극, 제2 돌출 전극, 상기 제1 및 제2 박막 트랜지스터의 게이트 전극의 하부층을 포함하는 제1 투명전극 패턴을 형성하는 제1 단계; 상기 게이트 금속패턴과 상기 제1 투명전극패턴을 덮는 게이트 절연막을 형성하고, 상기 게이트 절연막 상에 반도체 패턴, 데이터 라인, 및 공통전압 라인, 및 상기 제1 및 제2 박막 트랜지스터의 소스 전극과 드레인 전극을 포함하는 소스/드레인 금속패턴을 형성하는 제2 단계; 상기 소스/드레인 금속패턴을 덮는 보호막을 형성하고, 상기 보호막을 관통하여 상기 제1 박막 트랜지스터의 드레인 전극을 노출시키는 제1 콘택홀, 상기 보호막을 관통하여 상기 제1 돌출 전극을 노출시키는 제2 콘택홀, 상기 보호막을 관통하여 상기 공통전압 라인을 노출시키는 제3 콘택홀, 상기 제2 박막 트랜지스터의 드레인 전극을 노출시키는 제4 콘택홀, 상기 보호막을 관통하여 상기 제2 돌출 전극을 노출시키는 제5 콘택홀을 형성하는 제3 단계; 및 상기 제1 콘택홀과 상기 제2 콘택홀을 통해 상기 제1 박막 트랜지스터의 드레인 전극과 상기 제1 돌출 전극을 접속시키는 제1 콘택 전극과, 상기 제3 콘택홀을 통해 공통전압 라인과 공통전극을 접속시키는 공통전극, 및 상기 제4 콘택홀과 상기 제5 콘택홀을 통해 상기 제2 박막 트랜지스터의 드레인 전극과 상기 제2 돌출 전극을 접속시키는 제2 콘택 전극을 포함하는 제2 투명전극 패턴을 형성하는 제4 단계를 포함하고, 상기 제1 박막 트랜지스터는 제j(j는 2 이상의 자연수) 데이터 라인과 제k(k는 2 이상의 자연수) 게이트 라인의 교차부에 형성되고, 상기 제1 박막 트랜지스터의 게이트 전극은 상기 제k 게이트 라인에 접속되고, 소스 전극은 상기 제j 데이터 라인에 접속되며, 드레인 전극은 제j-1 데이터 라인 또는 제j+1 데이터 라인에 인접하는 화소 전극으로부터 연장된 상기 제1 돌출 전극과 상기 제1 콘택 전극을 통해 접속되는 것을 특징으로 한다.

발명의 효과

- [0009] 본 발명은 화소 전극과 돌출 전극을 게이트 금속 패턴과 동일한 평면상에 형성하므로, 화소 전극으로부터 연장된 돌출 전극을 이용하여 화소 전극과 TFT의 드레인 전극을 접속시킬 수 있다. 그 결과, 본 발명은 공통전압 라인을 데이터 라인과 나란하게 인접한 화소 전극들 사이에 형성할 수 있으므로, 공통전압 라인으로 인한 개구율 감소를 방지할 수 있다.
- [0010] 또한, 본 발명은 게이트 라인과 게이트 전극을 포함하는 게이트 금속 패턴과 화소 전극과 그로부터 연장된 돌출 전극을 포함하는 투명전극패턴을 하나의 마스크 공정으로 형성할 수 있다. 그 결과, 본 발명은 제조 비용을 절감할 수 있다.
- [0011] 나아가, 본 발명은 소스 드라이브 IC는 컬럼 인버전 방식으로 데이터 라인들에 데이터 전압들을 공급함에도, 액정표시패널의 화소 어레이의 화소 전극들은 수평 2 도트 인버전과 수직 1 도트 인버전을 동시에 만족하도록 구동된다. 그 결과, 본 발명은 컬럼 인버전 방식으로 소스 드라이브 IC의 개수를 줄일 수 있고, 소비전력을 감소시킬 수 있으며, 액정의 직류화 잔상을 방지할 수 있다.

도면의 간단한 설명

- [0012] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 나타내는 블록도.

도 2는 본 발명의 제1 실시 예에 따른 화소 어레이의 서브 픽셀들을 보여주는 예시도면.

도 3은 본 발명의 실시 예에 따른 화소 어레이에 공급되는 데이터 전압들과 게이트 신호들을 보여주는 일 예시도면.

도 4는 도 2의 어느 두 서브 픽셀들을 상세히 보여주는 평면도.

도 5는 도 4의 I-I'과 II-II'의 단면도.

도 6은 본 발명의 제2 실시 예에 따른 화소 어레이의 서브 픽셀들을 보여주는 예시도면.

도 7은 본 발명의 제3 실시 예에 따른 화소 어레이의 서브 픽셀들을 보여주는 예시도면.

도 8은 본 발명의 실시 예에 따른 액정표시장치의 제조방법을 보여주는 흐름도.

도 9a 내지 도 9d는 제1 내지 제4 마스크 공정에 따른 I-I'과 II-II'의 단면도들.

도 10은 도 8의 제1 마스크 공정을 상세히 보여주는 흐름도.

도 11a 내지 도 11f는 제1 마스크 공정을 상세히 보여주는 I-I'의 단면도들.

발명을 실시하기 위한 구체적인 내용

- [0013] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다. 또한, 이하의 설명에서 사용되는 구성요소 명칭은 명세서 작성의 용이함을 고려하여 선택된 것일 수 있는 것으로서, 실제 제품의 부품 명칭과는 상이할 수 있다.
- [0014] 도 1은 본 발명의 실시 예에 따른 액정표시장치를 나타내는 블록도이다. 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 화소 어레이(PA)가 형성된 액정표시패널(10), 소스 드라이브 집적회로(Integrated Circuit, 이하 'IC'라 칭함)(12)들, 게이트 구동회로(13), 및 타이밍 컨트롤러(11)를 구비한다. 액정표시패널(10)의 아래에는 액정표시패널(10)에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다.
- [0015] 액정표시패널(10)은 액정층을 사이에 두고 대향하는 상부 유리기관과 하부 유리기관을 포함한다. 액정표시패널(10)에는 화소 어레이(PA)가 형성된다. 화소 어레이(PA)는 데이터 라인들, 게이트 라인들, 공통전압 라인들의 교차 구조에 의해 정의되는 화소 영역에 매트릭스 형태로 배열되는 서브 픽셀들을 이용하여 디지털 비디오 데이터를 표시한다. 화소 어레이(PA)의 하부 유리기관에는 데이터 라인들, 게이트 라인들, 공통전압 라인들, 박막 트랜지스터(Thin Film Transistor, 이하 "TFT"라 칭함)들, TFT에 접속된 서브 픽셀의 화소 전극, 및 화소 전극에 접속된 스토리지 커패시터(Storage Capacitor) 등을 포함한다. 화소 어레이(PA)의 서브 픽셀들 각각은 TFT를 통해 데이터전압이 충전되는 화소 전극과 공통전압이 인가되는 공통전극의 전압 차에 의해 액정층의 액정을 구동시켜 빛의 투과량을 조정함으로써 화상을 표시한다. 화소 어레이(PA)의 서브 픽셀들의 구체적인 배열 구성에 대하여는 도 2, 도 5, 및 도 6을 결부하여 상세히 설명하기로 한다.
- [0016] 액정표시패널(10)의 상부 유리기관상에는 블랙매트릭스와 컬러필터가 형성된다. 공통전극은 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식의 경우에 상부 유리기관상에 형성되며, IPS(In-Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식의 경우에 화소전극과 함께 하부 유리기관 상에 형성된다. 본 발명의 실시 예에서는 액정표시장치가 IPS 모드로 구현된 것을 중심으로 설명하였으나, 이에 한정되지 않으며, TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드로도 구현될 수 있음에 주의하여야 한다. 액정표시패널(10)의 상부 유리기관과 하부 유리기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0017] 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0018] 소스 드라이브 IC들(12)은 TCP(Tape Carrier Package, 15) 상에 실장되고, TAB(Tape Automated Bonding) 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합되며, 소스 PCB(Printed Circuit Board)(14)에 접속된다.

소스 드라이브 IC들(12)은 COG(Chip On Glass) 공정에 의해 액정표시패널(10)의 하부 유리기관상에 접착될 수도 있다.

[0019] 소스 드라이브 IC들(12) 각각은 타이밍 콘트롤러(11)로부터 디지털 비디오 데이터와 소스 타이밍 제어신호를 입력받는다. 소스 드라이브 IC들(12)은 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터 전압들로 변환하여 화소 어레이(PA)의 데이터 라인들에 공급한다. 소스 드라이브 IC들(12)은 타이밍 콘트롤러(11)의 제어 하에 컬럼 인버전(column inversion) 방식으로 데이터 전압들을 데이터 라인들에 출력한다. 컬럼 인버전 방식은 이웃한 데이터 라인들에 서로 상반된 극성의 데이터 전압들을 공급하고, 데이터 라인들 각각에 공급되는 데이터 전압들의 극성을 1 프레임 기간 동안 동일하게 유지하는 방식을 의미한다. 예를 들어, 소스 드라이브 IC들(12)은 도 7과 같이 컬럼 인버전 방식으로 극성이 반전되는 데이터 전압들을 데이터 라인들에 출력할 수 있다.

[0020] 게이트 구동회로(13)는 타이밍 콘트롤러(11)로부터 게이트 타이밍 제어신호를 입력받는다. 게이트 구동회로(13)는 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트 라인들에 게이트 펄스(또는 스캔 펄스)를 순차적으로 공급한다. 게이트 구동회로(13)는 TCP 상에 실장되고, TAB 공정에 의해 액정표시패널(10)의 하부 유리기관에 접합될 수 있다. 또는, 게이트 구동회로(13)는 GIP(Gate In Panel) 공정에 의해 화소 어레이(PA)와 동시에 하부 유리기관상에 직접 형성될 수 있다. 게이트 구동회로(13)는 도 1과 같이 화소 어레이(PA)의 일측에 배치되거나 화소 어레이(PA)의 양측에 배치될 수 있다.

[0021] 타이밍 콘트롤러(11)는 외부의 시스템 보드로부터 디지털 비디오 데이터와 수직동기신호, 수평동기신호, 데이터 인에이블 신호, 및 도트 클럭과 같은 타이밍 신호들을 입력받는다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 타이밍 신호들에 기초하여 소스 드라이브 IC들(12)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(13)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다. 타이밍 콘트롤러(11)는 디지털 비디오 데이터와 소스 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 게이트 타이밍 제어신호를 소스 드라이브 IC들(12)에 공급한다. 타이밍 콘트롤러(11)는 콘트롤 PCB(16) 상에 실장된다. 콘트롤 PCB(16)와 소스 PCB(14)는 FFC(flexible flat cable)나 FPC(flexible printed circuit)와 같은 연성회로기관(17)을 통해 연결될 수 있다.

[0022] 도 2는 본 발명의 제1 실시 예에 따른 화소 어레이의 화소 전극들을 보여주는 예시도면이다. 도 2에는 설명의 편의를 위해, 화소 어레이에 형성된 데이터 라인들 중 일부와 게이트 라인들 중 일부만을 도시하였다. 즉, 도 2에는 제1 내지 제4 데이터 라인들(D1, D2, D3, D4)과 그들에 교차되는 제1 내지 제4 게이트 라인들(G1, G2, G3, G4)이 나타나 있다.

[0023] 도 2를 참조하면, 인접한 데이터 라인들 사이에는 데이터 라인들과 나란하게 형성되는 공통전압 라인(VcomL)들이 나타나 있다. 즉, 제j(j는 2 이상의 자연수) 데이터 라인(Dj)과 제j-1 데이터 라인(Dj-1) 사이에는 공통전압 라인(VcomL)이 형성된다. 예를 들어, 도 2와 같이 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에는 공통전압 라인(VcomL)이 형성된다. 특히, 공통전압 라인(VcomL)은 제j 데이터 라인(Dj)과 제j-1 데이터 라인(Dj-1) 사이에 존재하는 화소 전극들 사이에 형성될 수 있다. 예를 들어, 공통전압 라인(VcomL)은 도 2와 같이 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이에 존재하는 제1 화소 전극(PE1)과 제2 화소 전극(PE2) 사이에 형성될 수 있다.

[0024] 데이터 라인들, 게이트 라인들, 및 공통전압 라인(VcomL)들의 교차에 의해 정의되는 화소 영역에는 화소 전극들이 형성된다. 데이터 라인들과 게이트 라인들의 교차부들에는 TFT들이 형성된다. 화소 전극들 각각은 TFT에 접속되어 데이터 라인에 인가된 데이터 전압을 공급받는다. 구체적으로, 제j 데이터 라인(Dj)과 제k 게이트 라인(Gk)의 교차부에 형성된 TFT의 소스 전극은 제j 데이터 라인(Dj)에 접속되고 드레인 전극은 제j 데이터 라인(Dj)에 인접하지 않은 화소 전극, 즉 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 인접한 화소 전극에 접속된다. 이에 비해, 제j 데이터 라인(Dj)과 제k-1 게이트 라인(Gk-1) 또는 제k+1 게이트 라인(Gk+1)의 교차부에 형성된 TFT의 소스 전극은 제j 데이터 라인(Dj)에 접속되며 드레인 전극은 제j 데이터 라인(Dj)에 인접한 화소 전극에 접속된다. 예를 들어, 도 2와 같이 제1 데이터 라인(D1)과 제1 게이트 라인(G1)의 교차부에 형성된 제1 TFT(T1)의 소스 전극은 제1 데이터 라인(D1)에 접속되고 드레인 전극은 제1 데이터 라인(D1)에 인접하지 않고 제2 데이터 라인(D2)에 인접한 제2 화소 전극(PE2)에 접속될 수 있다. 이에 비해, 제1 데이터 라인(D1)과 제2 게이트 라인(G2)의 교차부에 형성된 제2 TFT(T2)의 소스 전극은 제1 데이터 라인(D1)에 접속되고 드레인 전극은 제1 데이터 라인(D1)에 인접하는 제1 화소 전극(PE1)에 접속될 수 있다. 제j 데이터 라인(Dj)과

제k 게이트 라인(Gk)의 교차부에 형성된 TFT와 제j 데이터 라인(Dj)과 제k-1 게이트 라인(Gk-1) 또는 제k+1 게이트 라인(Gk+1)의 교차부에 형성된 TFT의 접속 구조에 대한 자세한 설명은 도 4를 결부하여 후술한다.

[0025] 또한, 동일한 수평 라인에서 제j 데이터 라인(Dj)에 인접한 화소 전극들 중 어느 하나만 제j 데이터 라인(Dj)에 접속되고, 나머지 하나의 화소 전극은 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 접속된다. 예를 들어, 도 2와 같이 제2 데이터 라인(D2)에 인접한 제2 화소 전극(PE2)과 제3 화소 전극(PE3) 중 제3 화소 전극(PE3)만 제2 데이터 라인(D2)에 접속되고, 제2 화소 전극(PE2)은 제1 데이터 라인(D1)에 접속될 수 있다. 또한, 도 2와 같이 제3 데이터 라인(D3)에 인접한 제10 화소 전극(PE10)과 제11 화소 전극(PE11) 중 제10 화소 전극(PE10)만 제3 데이터 라인(D3)에 접속되고, 제11 화소 전극(PE11)은 제4 데이터 라인(D4)에 접속될 수 있다.

[0026] 나아가, 제j 데이터 라인(Dj)과 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1) 사이의 화소 전극들은 제j 데이터 라인(Dj)에만 접속되거나 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에만 접속된다. 예를 들어, 도 2와 같이 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제1 화소 전극(PE1)과 제2 화소 전극(PE2)은 제1 데이터 라인(D1)에만 접속될 수 있다. 또한, 도 2와 같이 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제7 화소 전극(PE7)과 제8 화소 전극(PE8)은 제2 데이터 라인(D2)에만 접속될 수 있다.

[0027] 도 3은 본 발명의 실시 예에 따른 화소 어레이에 공급되는 데이터 전압들과 게이트 신호들을 보여주는 일 예시 도면이다. 도 3에는 제N(N은 자연수) 프레임 기간과 제N+1 프레임 기간 동안 소스 드라이브 IC(12)로부터 출력되는 데이터 전압들이 나타나 있고, 게이트 구동회로(13)로부터 출력되는 게이트 펄스들이 나타나 있다. 도 3에서는 설명의 편의를 위해 도 2의 제1 내지 제4 데이터 라인들(D1~D4)에 공급되는 제1 내지 제4 데이터 전압들(DV1~DV4)과, 도 2의 제1 내지 제4 게이트 라인들(G1~G4)에 공급되는 제1 내지 제4 게이트 펄스들(GP1~GP4)만을 예시하였다. 즉, DV1은 제1 데이터 라인(D1)에 공급되는 제1 데이터 전압들, DV2는 제2 데이터 라인(D2)에 공급되는 제2 데이터 전압들, DV3은 제3 데이터 라인(D3)에 공급되는 제3 데이터 전압들, DV4는 제4 데이터 라인(D4)에 공급되는 제4 데이터 전압들을 의미한다. GP1은 제1 게이트 라인(G1)에 공급되는 제1 게이트 펄스, GP2는 제2 게이트 라인(G2)에 공급되는 제2 게이트 펄스, GP3은 제3 게이트 라인(G3)에 공급되는 제3 게이트 펄스, GP4는 제4 게이트 라인(G4)에 공급되는 제4 게이트 펄스를 의미한다.

[0028] 도 3을 참조하면, 소스 드라이브 IC(12)는 컬럼 인버전 방식으로 데이터 라인들에 데이터 전압들을 공급한다. 컬럼 인버전 방식은 이웃한 데이터 라인들에 서로 상반된 극성의 데이터 전압들을 공급하고, 데이터 라인들 각각에 공급되는 데이터 전압들의 극성을 1 프레임 기간 동안 동일하게 유지하는 방식을 의미한다. 예를 들어, 소스 드라이브 IC(12)는 도 3과 같이 제N 프레임 기간 동안 제1 극성의 제1 데이터 전압들(DV1)을 제1 데이터 라인(D1)에 공급하고, 제2 극성의 제2 데이터 전압들(DV2)을 제2 데이터 라인(D2)에 공급하며, 제1 극성의 제3 데이터 전압들(DV3)을 제3 데이터 라인(D3)에 공급하고, 제2 극성의 제4 데이터 전압들(DV4)을 제4 데이터 라인(D4)에 공급한다. 또한, 소스 드라이브 IC(12)는 도 3과 같이 제N+1 프레임 기간 동안 제2 극성의 제1 데이터 전압들(DV1)을 제1 데이터 라인(D1)에 공급하고, 제1 극성의 제2 데이터 전압들(DV2)을 제2 데이터 라인(D2)에 공급하며, 제2 극성의 제3 데이터 전압들(DV3)을 제3 데이터 라인(D3)에 공급하고, 제1 극성의 제4 데이터 전압들(DV4)을 제4 데이터 라인(D4)에 공급한다. 도 3에서 제1 극성은 정극성, 제2 극성은 부극성인 것을 중심으로 설명하였으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 극성은 부극성, 제2 극성은 정극성으로 구현될 수 있다.

[0029] 게이트 구동회로(13)는 게이트 펄스들을 게이트 라인들에 순차적으로 출력한다. 예를 들어, 게이트 구동회로(13)는 도 3과 같이 제N 프레임 기간과 제N+1 프레임 기간 각각에서 제1 게이트 라인(G1)에 제1 게이트 펄스(GP1)를 출력하고, 제2 게이트 라인(G2)에 제2 게이트 펄스(GP2)를 출력하며, 제3 게이트 라인(G3)에 제3 게이트 펄스(GP3)를 출력하고, 제4 게이트 라인(G4)에 제4 게이트 펄스(GP4)를 출력한다. 게이트 펄스들 각각은 소정의 기간 동안 게이트 하이 전압(VGH)으로 발생한다. 소정의 기간은 도 3과 같이 2 수평 기간(2H)으로 구현될 수 있으며, 이 경우 게이트 펄스들은 도 3과 같이 대략 1 수평 기간(1H)만큼 서로 중첩될 수 있다. 하지만, 소정의 기간은 이에 한정되지 않으며, 1 수평 기간(1H) 또는 수 수평 기간으로 구현될 수도 있다. 1 수평 기간(1H)은 표시패널(10)에서 1 수평 라인의 픽셀들에 디지털 비디오 데이터가 기입되는 1 라인 스캐닝 시간을 의미한다.

[0030] 이하에서, 도 2와 도 3을 결부하여 N 프레임 기간 동안 화소 어레이의 화소 전극들에 데이터 공급 방법을 상세히 살펴본다.

- [0031] 제1 기간(t1)과 제2 기간(t2) 동안 제2, 제4, 제6 화소 전극들(PE2, PE4, PE6)은 제1 게이트 펄스(GP1)에 응답하여 데이터 전압들을 공급받는다. 제1 데이터 라인(D1)에 접속된 제2 화소 전극(PE2)은 제2 기간(t2) 동안 공급되는 제1 극성의 제1 데이터 전압(DV1)으로 충전된다. 제2 데이터 라인(D2)에 접속된 제4 화소 전극(PE4)은 제2 기간(t2) 동안 공급되는 제1 극성의 제2 데이터 전압(DV2)으로 충전된다. 제3 데이터 라인(D3)에 접속된 제6 화소 전극(PE6)은 제2 기간(t2) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다.
- [0032] 제2 기간(t2)과 제3 기간(t3) 동안 제1, 제3, 제5, 화소 전극들(PE1, PE3, PE5)은 제2 게이트 펄스(GP2)에 응답하여 데이터 전압들을 공급받는다. 제1 데이터 라인(D1)에 접속된 제1 화소 전극(PE1)은 제3 기간(t3) 동안 공급되는 제1 극성의 제1 데이터 전압(DV1)으로 충전된다. 제2 데이터 라인(D2)에 접속된 제3 화소 전극(PE3)은 제3 기간(t3) 동안 공급되는 제1 극성의 제2 데이터 전압(DV2)으로 충전된다. 제3 데이터 라인(D3)에 접속된 제5 화소 전극(PE5)은 제3 기간(t3) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다.
- [0033] 제3 기간(t3)과 제4 기간(t4) 동안에는 제8, 제10, 제12 화소 전극들(PE8, PE10, PE12)은 제3 게이트 펄스(GP3)에 응답하여 데이터 전압들을 공급받는다. 제2 데이터 라인(D2)에 접속된 제8 화소 전극(PE8)은 제4 기간(t4) 동안 공급되는 제2 극성의 제2 데이터 전압(DV2)으로 충전된다. 제3 데이터 라인(D3)에 접속된 제10 화소 전극(PE10)은 제4 기간(t4) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다. 제4 데이터 라인(D4)에 접속된 제12 화소 전극(PE12)은 제4 기간(t4) 동안 공급되는 제2 극성의 제4 데이터 전압(DV4)으로 충전된다.
- [0034] 제4 기간(t4)과 제5 기간(t5) 동안에는 제7, 제9, 제11 화소 전극들(PE7, PE9, PE11)은 제4 게이트 펄스(GP4)에 응답하여 데이터 전압들을 공급받는다. 제2 데이터 라인(D2)에 접속된 제7 화소 전극(PE7)은 제5 기간(t5) 동안 공급되는 제2 극성의 제2 데이터 전압(DV2)으로 충전된다. 제3 데이터 라인(D3)에 접속된 제9 화소 전극(PE9)은 제5 기간(t5) 동안 공급되는 제1 극성의 제3 데이터 전압(DV3)으로 충전된다. 제4 데이터 라인(D4)에 접속된 제11 화소 전극(PE11)은 제5 기간(t5) 동안 공급되는 제2 극성의 제4 데이터 전압(DV4)으로 충전된다.
- [0035] 종합해보면, 본 발명의 제1 실시 예에 따른 화소 어레이의 화소 전극들은 도 2와 같이 수평 2 도트 인버전과 수직 1 도트 인버전을 동시에 만족하도록 구현된다. 수평 2 도트 인버전은 수평 방향(도 2의 x 축 방향)으로 2 개의 화소 전극들마다 충전하는 데이터 전압의 극성이 변경되는 것을 의미한다. 수직 1 도트 인버전은 수직 방향(도 2의 y 축 방향)으로 1 개의 화소 전극마다 충전하는 데이터 전압의 극성이 변경되는 것을 의미한다. 예를 들어, 제1, 제2 화소 전극들(PE1, PE2)은 제1 극성의 데이터 전압이 공급되고, 제3, 제4 화소 전극들(PE3, PE4)은 제2 극성의 데이터 전압이 공급되며, 제5, 제6 화소 전극들(PE5, PE6)은 제1 극성의 데이터 전압이 공급되므로, 수평 2도트 인버전을 만족한다. 또한, 제1, 제2 화소 전극들(PE1, PE2)은 제1 극성의 데이터 전압이 공급되고, 제7, 제8 화소 전극들(PE7, PE8)은 제2 극성의 데이터 전압이 공급되므로, 수직 1 도트 인버전을 만족한다.
- [0036] 결국, 소스 드라이브 IC(12)는 컬럼 인버전 방식으로 데이터 라인들에 데이터 전압들을 공급함에도, 액정표시패널(10)의 화소 어레이의 화소 전극들은 수평 2 도트 인버전과 수직 1 도트 인버전을 동시에 만족하도록 구동된다. 그 결과, 본 발명의 제1 실시 예는 컬럼 인버전 방식으로 소스 드라이브 IC의 개수를 줄일 수 있고, 소비전력을 현저히 감소시킬 수 있으며, 액정의 직류화 잔상을 방지할 수 있는 효과가 있다.
- [0037] 또한, 제3, 제4, 제7, 제8 화소 전극들(PE3, PE4, PE7, PE8)은 제4 화소 전극(PE4), 제3 화소 전극(PE3), 제8 화소 전극(PE8), 제7 화소 전극(PE7) 순서로 데이터 전압들을 충전한다. 제5, 제6, 제9, 제10 화소 전극들(PE5, PE6, PE9, PE10)은 제6 화소 전극(PE6), 제5 화소 전극(PE5), 제9 화소 전극(PE9), 제10 화소 전극(PE10) 순서로 데이터 전압들을 충전한다.
- [0038] 한편, 배경 기술에서 설명한 종래 "E-인버전" 기술은 위와 다른 순서로 화소 전극들에 데이터 전압들을 충전한다. 이로 인해, 종래 "E-인버전" 기술은 적색, 녹색, 및 청색 화소 전극들 중에서 적색과 녹색 화소 전극들에 피크 블랙 계조(peak black gray scale)의 데이터 전압들을 공급하고 청색 화소 전극들에 피크 화이트 계조(peak white gray scale)의 데이터 전압들을 공급하는 경우, 어느 청색 화소 전극들에는 충전 기간(게이트 펄스 공급 기간)동안 피크 블랙 계조와 피크 화이트 계조가 연속적으로 공급되고, 다른 청색 화소 전극들에는 충전 기간(게이트 펄스 공급 기간)동안 피크 화이트 계조가 연속적으로 공급되었다. 이로 인해, 청색 화소 전극들 간에 충전되는 데이터 전압에 차이가 발생하여 청색 얼룩이 발생하는 문제가 있었다. 하지만, 본 발명의 제1 실시 예에 따른 화소 어레이의 화소 전극들에 데이터 공급 방법은 모든 청색 화소 전극들이 충전 기간(게이트 펄스 공급 기간) 동안 피크 블랙 계조와 피크 화이트 계조를 연속적으로 공급받는다. 따라서, 본 발명은 종래

"E-인버전" 기술에서 발생하였던 청색 얼룩 문제를 해결할 수 있다.

- [0039] 도 4는 도 2의 제1 화소 전극을 포함하는 제1 서브 픽셀과 제2 화소 전극을 포함하는 제2 서브 픽셀을 상세히 보여주는 평면도이다. 도 4에서는 설명의 편의를 위해 도 2의 제1 화소 전극(PE1)을 포함하는 제1 서브 픽셀과 제2 화소 전극(PE2)을 포함하는 제2 서브 픽셀만을 예시하였다. 도 4에서는 제1 및 제2 서브 픽셀들이 수평 전계 방식인 IPS 모드로 구현된 것을 중심으로 설명하였으나, 이에 한정되지 않으며, FFS 모드, TN 모드, 또는 VA 모드 등으로 구현될 수 있다. 도 4에서, 제1 TFT(T1)는 제j 데이터 라인(Dj)과 제k 게이트 라인(Gk)의 교차부에 형성된 TFT로서, 소스 전극은 제j 데이터 라인(Dj)에 접속되고 드레인 전극은 제j 데이터 라인(Dj)에 인접하지 않은 화소 전극, 즉 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 인접한 화소 전극에 접속된 TFT의 일 예로 설명되었다. 그리고, 제2 TFT(T2)는 제j 데이터 라인(Dj)과 제k-1 게이트 라인(Gk-1) 또는 제k+1 게이트 라인(Gk+1)의 교차부에 형성된 TFT로서, 소스 전극은 제j 데이터 라인(Dj)에 접속되며 드레인 전극은 제j 데이터 라인(Dj)에 인접한 화소 전극에 접속된 TFT의 일 예로 설명되었음에 주의하여야 한다.
- [0040] 도 4를 참조하면, 데이터 라인(D1, D2)들은 수직 방향(y 축 방향)으로 형성된다. 게이트 라인들(G1, G2)은 데이터 라인들(D1, D2)과 교차되도록 수평 방향(x축 방향)으로 형성된다. 공통전압 라인(VcomL)들은 데이터 라인들(D1, D2)과 나란하게 수직 방향(y축 방향)으로 형성된다. 공통전압 라인(VcomL)은 인접한 데이터 라인들(D1, D2) 사이에 형성된다. 특히, 공통전압 라인(VcomL)은 인접한 데이터 라인들(D1, D2) 사이에 존재하는 제1 및 제2 화소 전극들(PE1, PE2) 사이에 형성될 수 있다. 공통전극(VcomE)은 제3 콘택홀(CNT3)을 통해 공통전압 라인(VcomL)과 접속된다. 도 4와 같이 IPS 모드로 구현된 경우, 제1 및 제2 화소 전극들(PE1, PE2)은 화소 영역 전면부에 형성되나, 공통전극(VcomE)은 화소 영역에 슬릿(slit) 형태로 형성된다. 이로 인해, 제1 및 제2 화소 전극들(PE1, PE2)과 공통전극(VcomE)은 수평 전계를 형성할 수 있다. 제1 및 제2 화소 전극들(PE1, PE2)이 형성되는 화소 영역은 데이터 라인들(D1, D2), 게이트 라인들(G1, G2), 및 공통전압 라인(VcomL)들의 교차에 의해 정의된다.
- [0041] 데이터 라인들(D1, D2)과 게이트 라인들(G1, G2)의 교차부들에는 TFT들(T1, T2)이 형성된다. 제1 및 제2 화소 전극들(PE1, PE2) 각각은 TFT에 접속되어 데이터 라인에 인가된 데이터 전압을 공급받는다. 구체적으로, 제j 데이터 라인(Dj)과 제k 게이트 라인(Gk)의 교차부에 형성된 TFT의 소스 전극은 제j 데이터 라인(Dj)에 접속되고 드레인 전극은 제j 데이터 라인(Dj)에 인접하지 않은 화소 전극, 즉 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 인접한 화소 전극에 접속된다. 이에 비해, 제j 데이터 라인(Dj)과 제k-1 게이트 라인(Gk-1) 또는 제k+1 게이트 라인(Gk+1)의 교차부에 형성된 TFT의 소스 전극은 제j 데이터 라인(Dj)에 접속되며 드레인 전극은 제j 데이터 라인(Dj)에 인접한 화소 전극에 접속된다.
- [0042] 예를 들어, 도 4와 같이 제1 데이터 라인(D1)과 제1 게이트 라인(G1)의 교차부에 형성된 제1 TFT(T1)의 소스 전극(SE1)은 제1 데이터 라인(D1)에 접속되나, 드레인 전극(DE1)은 제1 데이터 라인(D1)에 인접하지 않고, 제2 데이터 라인(D2)에 인접한 제2 화소 전극(PE2)에 접속될 수 있다. 특히, 드레인 전극(DE1)은 제1 콘택홀(CNT1)과 제2 콘택홀(CNT2)에 형성된 제1 콘택 전극(CE1)을 통해 제2 화소 전극(PE2)으로부터 연장된 제1 돌출 전극(PRE1)과 접속될 수 있다. 즉, 제1 콘택 전극(CE1)은 제1 콘택홀(CNT1)에서 제1 TFT(T1)의 드레인 전극(DE1)과 접속되고, 제2 콘택홀(CNT2)에서 제1 돌출 전극(PRE1)과 접속된다. 제1 돌출 전극(PRE1)의 길이는 제1 TFT(T1)의 드레인 전극(DE1)의 길이보다 길게 형성될 수 있다.
- [0043] 또한, 도 4와 같이 제1 데이터 라인(D1)과 제2 게이트 라인(G2)의 교차부에 형성된 제2 TFT(T2)의 소스 전극(SE2)은 제2 데이터 라인(D2)에 접속되고, 드레인 전극(DE2)은 제1 데이터 라인(D1)에 인접한 제1 화소 전극(PE1)에 접속될 수 있다. 제2 TFT(T2)의 드레인 전극(DE2)은 제1 화소 전극(PE1)으로부터 연장된 제2 돌출 전극(PRE2)과 제4 콘택홀(CNT4)과 제5 콘택홀(CNT5)에 형성된 제2 콘택 전극(CE2)을 통해 접속될 수 있다. 즉, 제2 콘택 전극(CE2)은 제4 콘택홀(CNT4)에서 제2 TFT(T2)의 드레인 전극(DE2)과 접속되고, 제5 콘택홀(CNT5)에서 제2 돌출 전극(PRE2)과 접속된다. 이 경우, 제2 돌출 전극(PRE2)의 길이는 제1 돌출 전극(PRE1)의 길이보다 짧고, 제2 TFT(T2)의 드레인 전극(DE2)의 길이보다 짧게 형성될 수도 있다.
- [0044] 또한, 도 4와 같이 제1 돌출 전극(PRE1)의 일부는 제1 TFT(T1)의 드레인 전극(DE1)의 일부와 중첩되고, 제2 돌출 전극(PRE2)의 일부는 제2 TFT(T2)의 드레인 전극(DE2)의 일부와 중첩될 수 있으나, 이에 한정되지 않음에 주의하여야 한다. 즉, 제1 돌출 전극(PRE1)은 제1 TFT(T1)의 드레인 전극(DE1)과 전혀 중첩되지 않도록 형성될 수도 있고, 제2 돌출 전극(PRE2)은 제2 TFT(T2)의 드레인 전극(DE2)과 전혀 중첩되지 않도록 형성될 수도 있다.

- [0045] 도 5는 도 4의 I-I'과 II-II'의 단면도이다. 도 4 및 5를 참조하면, 하부 기판(SUB) 상에는 게이트 라인, 제1 TFT(T1)의 게이트 전극(GE1)의 상부층(GE1U), 제2 TFT(T2)의 게이트 전극(GE2)의 상부층(GE2U)을 포함하는 게이트 금속 패턴과, 제1 TFT(T1)의 게이트 전극(GE1)의 하부층(GE1B), 제2 TFT(T2)의 게이트 전극(GE2)의 하부층(GE2B), 화소 전극, 제1 돌출 전극(PRE1), 제2 돌출 전극(PRE2)을 포함하는 제1 투명전극 패턴이 형성된다. 즉, 제1 TFT(T1)의 게이트 전극(GE1)과 제2 TFT(T2)의 게이트 전극(GE2)은 제1 투명전극 패턴의 하부층(GE1B)과 게이트 금속 패턴의 상부층(GE1U)의 이중층 구조로 형성된다.
- [0046] 게이트 금속 패턴, 및 제1 투명전극 패턴을 덮는 게이트 절연막(GI)이 하부 기판(SUB)의 전면(全面)에 형성된다. 게이트 절연막(GI) 상에는 반도체 패턴(SEM)이 형성되고, 반도체 패턴 상에는 데이터 라인, 제1 TFT(T1)의 소스 전극(SE1)과 드레인 전극(DE1), 제2 TFT(T2)의 소스 전극(SE2)과 드레인 전극(DE2), 및 공통전압 라인(VcomL)을 포함하는 소스/드레인 금속 패턴이 형성된다.
- [0047] 소스/드레인 금속 패턴을 덮는 보호막(PAS)이 하부 기판(SUB)의 전면(全面)에 형성된다. 보호막(PAS)을 형성한 후, 보호막(PAS)을 관통하여 제1 TFT(T1)의 드레인 전극(DE1)을 노출시키는 제1 콘택홀(CNT1), 게이트 절연막(GI)과 보호막(PAS)을 관통하여 제1 돌출 전극(PRE1)을 노출시키는 제2 콘택홀(CNT2), 보호막(PAS)을 관통하여 공통전압 라인(VcomL)을 노출시키는 제3 콘택홀(CNT3)을 형성한다. 또한, 보호막(PAS)을 관통하여 제2 TFT(T2)의 드레인 전극(DE2)을 노출시키는 제4 콘택홀(CNT4), 게이트 절연막(GI)과 보호막(PAS)을 관통하여 제2 돌출 전극(PRE2)을 노출시키는 제5 콘택홀(CNT5)을 형성한다.
- [0048] 콘택홀들을 형성한 후, 공통전극(VcomE), 제1 콘택 전극(CE1), 제2 콘택 전극(CE2)을 포함하는 제2 투명전극패턴을 형성한다. 공통전극(VcomE)은 제3 콘택홀(CNT3)을 통해 공통전압라인(VcomL)과 접속된다. 제1 콘택 전극(CE1)은 제1 콘택홀(CNT1)을 통해 제1 TFT(T1)의 드레인 전극(DE1)과 접속되며, 제2 콘택홀(CNT2)을 통해 제1 돌출 전극(PRE1)과 접속된다. 즉, 제1 콘택 전극(CE1)은 제1 TFT(T1)의 드레인 전극(DE1)과 제1 돌출 전극(PRE1)을 접속시킨다. 또한, 제2 콘택 전극(CE2)은 제4 콘택홀(CNT4)을 통해 제2 TFT(T2)의 드레인 전극(DE2)과 접속되며, 제5 콘택홀(CNT5)을 통해 제2 돌출 전극(PRE2)과 접속된다. 즉, 제2 콘택 전극(CE2)은 제2 TFT(T2)의 드레인 전극(DE2)과 제2 돌출 전극(PRE2)을 접속시킨다.
- [0049] 한편, 도 4 및 도 5에서는 설명의 편의를 위해 도 2의 제1 화소 전극(PE1)을 포함하는 제1 서브 픽셀과 제2 화소 전극(PE2)을 포함하는 제2 서브 픽셀만을 예시하였다. 하지만, 도 2의 제7 화소 전극(PE7)을 포함하는 제7 서브 픽셀과 제8 화소 전극(PE8)을 포함하는 제8 서브 픽셀은 화소 전극들과 접속되는 TFT들, 제1 돌출 전극(PRE1), 및 제2 돌출 전극(PRE2)의 형성 위치만이 다를 뿐, 도 4 및 도 5에서 설명한 바와 실질적으로 동일하게 형성될 수 있다. 즉, 제7 화소 전극(PE7)과 접속되는 제7 TFT(T7)의 접속 구성은 제j 데이터 라인(Dj)과 제k 게이트 라인(Gk)의 교차부에 형성된 TFT로서, 소스 전극은 제j 데이터 라인(Dj)에 접속되고 드레인 전극은 제j 데이터 라인(Dj)에 인접하지 않은 화소 전극, 즉 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 인접한 화소 전극에 접속되는 TFT로 예시된 도 2의 제1 TFT(T1)와 유사하게 형성될 수 있다. 제8 화소 전극(PE8)과 접속되는 제8 TFT(T8)의 접속 구성은 제j 데이터 라인(Dj)과 제k-1 게이트 라인(Gk-1) 또는 제k+1 게이트 라인(Gk+1)의 교차부에 형성된 TFT로서, 소스 전극은 제j 데이터 라인(Dj)에 접속되며 드레인 전극은 제j 데이터 라인(Dj)에 인접한 화소 전극에 접속되는 TFT로 예시된 도 2의 제2 TFT(T2)와 유사하게 형성될 수 있다.
- [0050] 이와 같이, 본 발명은 화소 전극을 게이트 금속 패턴과 동일한 평면상에 형성하므로, 화소 전극으로부터 연장된 돌출 전극을 이용하여 화소 전극과 TFT의 드레인 전극을 접속시킬 수 있다. 그 결과, 본 발명은 공통전압 라인을 데이터 라인과 나란하게 인접한 화소 전극들 사이에 형성할 수 있으므로, 공통전압 라인으로 인한 개구부 감소를 줄일 수 있다.
- [0051] 도 6은 본 발명의 제2 실시 예에 따른 화소 어레이의 서브 픽셀들을 보여주는 예시도면이다. 도 6에는 설명의 편의를 위해, 화소 어레이에 형성된 데이터 라인들 중 일부와 게이트 라인들 중 일부만을 도시하였다. 즉, 도 6에는 제1 내지 제4 데이터 라인들(D1, D2, D3, D4)과 그들에 교차되는 제1 내지 제4 게이트 라인들(G1, G2, G3, G4)이 나타나 있다. 도 6의 게이트 라인들, 데이터 라인들, 및 공통전압 라인(VcomL)은 도 2에서 설명한 바와 실질적으로 동일하다. 따라서, 이에 대한 설명은 생략하기로 한다.
- [0052] 도 6을 참조하면, 화소 전극들 각각은 TFT에 접속되어 데이터 라인에 인가된 데이터 전압을 공급받는다. 구체적으로, 제j 데이터 라인(Dj)과 제k 게이트 라인(Gk)의 교차부에 형성된 TFT의 소스 전극은 제j 데이터 라인

(Dj)에 접속되고 드레인 전극은 제j 데이터 라인(Dj)에 인접하지 않은 화소 전극, 즉 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 인접한 화소 전극에 접속된다. 이에 비해, 제j 데이터 라인(Dj)과 제k-1 게이트 라인(Gk-1) 또는 제k+1 게이트 라인(Gk+1)의 교차부에 형성된 TFT의 소스 전극은 제j 데이터 라인(Dj)에 접속되며 드레인 전극은 제j 데이터 라인(Dj)에 인접한 화소 전극에 접속된다. 예를 들어, 도 6과 같이 제1 데이터 라인(D1)과 제2 게이트 라인(G2)의 교차부에 형성된 제2 TFT(T2)의 소스 전극은 제1 데이터 라인(D1)에 접속되고, 드레인 전극은 제1 데이터 라인(D1)에 인접하지 않고 제2 데이터 라인(D2)에 인접한 제2 화소 전극(PE2)에 접속될 수 있다. 이에 비해, 제1 데이터 라인(D1)과 제1 게이트 라인(G1)의 교차부에 형성된 제1 TFT(T1)의 소스 전극은 제1 데이터 라인(D1)에 접속되고, 드레인 전극은 제1 데이터 라인(D1)에 인접한 제1 화소 전극(PE1)에 접속될 수 있다.

[0053] 특히, 제j 데이터 라인(Dj)과 제k 게이트 라인(Gk)의 교차부에 형성된 TFT와 제j 데이터 라인(Dj)과 제k-1 게이트 라인(Gk-1) 또는 제k+1 게이트 라인(Gk+1)의 교차부에 형성된 TFT의 접속 구조에 대하여는 도 4를 결부하여 이미 상세히 설명하였다. 도 6에 도시된 화소 어레이는 화소 전극들과 접속되는 TFT들, 제1 돌출 전극(PRE1), 및 제2 돌출 전극(PRE2)의 형성 위치만이 다를 뿐, 도 4 및 도 5에서 설명한 바와 실질적으로 동일하게 형성될 수 있다.

[0054] 또한, 동일한 수평 라인에서 제j 데이터 라인(Dj)에 인접한 화소 전극들 중 어느 하나만 제j 데이터 라인(Dj)에 접속되고, 나머지 하나의 화소 전극은 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 접속된다. 예를 들어, 도 6과 같이 제2 데이터 라인(D2)에 인접한 제2 화소 전극(PE2)과 제3 화소 전극(PE3) 중 제3 화소 전극(PE3)만 제2 데이터 라인(D2)에 접속되고, 제2 화소 전극(PE2)은 제1 데이터 라인(D1)에 접속될 수 있다. 또한, 도 6과 같이 제3 데이터 라인(D3)에 인접한 제10 화소 전극(PE10)과 제11 화소 전극(PE11) 중 제10 화소 전극(PE10)만 제3 데이터 라인(D3)에 접속되고, 제11 화소 전극(PE11)은 제4 데이터 라인(D4)에 접속될 수 있다.

[0055] 나아가, 제j 데이터 라인(Dj)과 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1) 사이의 화소 전극들은 제j 데이터 라인(Dj)에만 접속되거나 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에만 접속된다. 예를 들어, 도 6과 같이 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제1 화소 전극(PE1)과 제2 화소 전극(PE2)은 제1 데이터 라인(D1)에만 접속될 수 있다. 또한, 도 6과 같이 제1 데이터 라인(D1)과 제2 데이터 라인(D2) 사이의 제7 화소 전극(PE7)과 제8 화소 전극(PE8)은 제2 데이터 라인(D2)에만 접속될 수 있다.

[0056] 나아가, 본 발명의 제2 실시 예에 따른 화소 어레이의 서브 픽셀들은 도 3에 도시된 바와 같이 데이터 전압들과 게이트 신호들이 공급될 수 있다. 본 발명의 제2 실시 예에 따른 화소 어레이의 서브 픽셀들은 화소 전극들의 충전 순서가 상이할 뿐, 구체적인 구동 방법은 도 3에서 설명한 바와 실질적으로 동일하다. 따라서, 소스 드라이브 IC(12)는 컬럼 인버전 방식으로 데이터 라인들에 데이터 전압들을 공급함에도, 액정표시패널(10)의 화소 어레이의 화소 전극들은 수평 2 도트 인버전과 수직 1 도트 인버전을 동시에 만족하도록 구동된다. 그 결과, 본 발명의 제2 실시 예는 컬럼 인버전 방식으로 소스 드라이브 IC의 개수를 줄일 수 있고, 소비전력을 현저히 감소시킬 수 있으며, 액정의 직류화 잔상을 방지할 수 있는 효과가 있다.

[0057] 다만, 도 6에서 제3, 제4, 제7, 제8 화소 전극들(PE3, PE4, PE7, PE8)은 제3 화소 전극(PE3), 제4 화소 전극(PE4), 제8 화소 전극(PE8), 제7 화소 전극(PE7) 순서로 데이터 전압들을 충전한다. 제5, 제6, 제9, 제10 화소 전극들(PE5, PE6, PE9, PE10)은 제5 화소 전극(PE5), 제6 화소 전극(PE6), 제10 화소 전극(PE10), 제9 화소 전극(PE9) 순서로 데이터 전압들을 충전한다. 이로 인해, 본 발명은 도 3에서 설명한 바와 같이 종래 "E-인버전" 기술에서 발생하였던 청색 얼룩 문제를 해결할 수 있다.

[0058] 도 7은 본 발명의 제3 실시 예에 따른 화소 어레이의 서브 픽셀들을 보여주는 예시도면이다. 도 7에는 설명의 편의를 위해, 화소 어레이에 형성된 데이터 라인들 중 일부와 게이트 라인들 중 일부만을 도시하였다. 즉, 도 7에는 제1 내지 제4 데이터 라인들(D1, D2, D3, D4)과 그들에 교차되는 제1 내지 제4 게이트 라인들(G1, G2, G3, G4)이 나타나 있다. 도 7의 게이트 라인들, 데이터 라인들, 및 공통전압 라인(VcomL)은 도 2에서 설명한 바와 실질적으로 동일하다. 따라서, 이에 대한 설명은 생략하기로 한다.

[0059] 도 7을 참조하면, 화소 전극들 각각은 TFT에 접속되어 데이터 라인에 인가된 데이터 전압을 공급받는다. 구체적으로, 제j 데이터 라인(Dj)과 제k 게이트 라인(Gk)의 교차부에 형성된 TFT의 소스 전극은 제j 데이터 라인(Dj)에 접속되고 드레인 전극은 제j 데이터 라인(Dj)에 인접하지 않은 화소 전극, 즉 제j-1 데이터 라인(Dj-1) 또는 제j+1 데이터 라인(Dj+1)에 인접한 화소 전극에 접속된다. 이에 비해, 제j 데이터 라인(Dj)과 제k-1 게이트

트 라인(G_{k-1}) 또는 제 $k+1$ 게이트 라인(G_{k+1})의 교차부에 형성된 TFT의 소스 전극은 제 j 데이터 라인(D_j)에 접속되며 드레인 전극은 제 j 데이터 라인(D_j)에 인접한 화소 전극에 접속된다. 예를 들어, 도 7과 같이 제1 데이터 라인(D_1)과 제1 게이트 라인(G_1)의 교차부에 형성된 제2 TFT(T_2)의 소스 전극은 제1 데이터 라인(D_1)에 접속되고, 드레인 전극은 제1 데이터 라인(D_1)에 인접하지 않고 제2 데이터 라인(D_2)에 인접한 제2 화소 전극(PE_2)에 접속될 수 있다. 이에 비해, 제1 데이터 라인(D_1)과 제2 게이트 라인(G_2)의 교차부에 형성된 제1 TFT(T_1)의 소스 전극은 제1 데이터 라인(D_1)에 접속되고, 드레인 전극은 제1 데이터 라인(D_1)에 인접한 제1 화소 전극(PE_1)에 접속될 수 있다.

[0060] 특히, 제 j 데이터 라인(D_j)과 제 k 게이트 라인(G_k)의 교차부에 형성된 TFT와 제 j 데이터 라인(D_j)과 제 $k-1$ 게이트 라인(G_{k-1}) 또는 제 $k+1$ 게이트 라인(G_{k+1})의 교차부에 형성된 TFT의 접속 구조에 대하여는 도 4를 결부하여 이미 상세히 설명하였다. 도 7에 도시된 화소 어레이는 화소 전극들과 접속되는 TFT들, 제1 돌출 전극(PRE_1), 및 제2 돌출 전극(PRE_2)의 형성 위치만이 다를 뿐, 도 4 및 도 5에서 설명한 바와 실질적으로 동일하게 형성될 수 있다.

[0061] 또한, 동일한 수평 라인에서 제 j 데이터 라인(D_j)에 인접한 화소 전극들 중 어느 하나만 제 j 데이터 라인(D_j)에 접속되고, 나머지 하나의 화소 전극은 제 $j-1$ 데이터 라인(D_{j-1}) 또는 제 $j+1$ 데이터 라인(D_{j+1})에 접속된다. 예를 들어, 도 7과 같이 제2 데이터 라인(D_2)에 인접한 제2 화소 전극(PE_2)과 제3 화소 전극(PE_3) 중 제3 화소 전극(PE_3)만 제2 데이터 라인(D_2)에 접속되고, 제2 화소 전극(PE_2)은 제1 데이터 라인(D_1)에 접속될 수 있다. 또한, 도 7과 같이 제3 데이터 라인(D_3)에 인접한 제10 화소 전극(PE_{10})과 제11 화소 전극(PE_{11}) 중 제10 화소 전극(PE_{10})만 제3 데이터 라인(D_3)에 접속되고, 제11 화소 전극(PE_{11})은 제4 데이터 라인(D_4)에 접속될 수 있다.

[0062] 나아가, 제 j 데이터 라인(D_j)과 제 $j-1$ 데이터 라인(D_{j-1}) 또는 제 $j+1$ 데이터 라인(D_{j+1}) 사이의 화소 전극들은 제 j 데이터 라인(D_j)에만 접속되거나 제 $j-1$ 데이터 라인(D_{j-1}) 또는 제 $j+1$ 데이터 라인(D_{j+1})에만 접속된다. 예를 들어, 도 7과 같이 제1 데이터 라인(D_1)과 제2 데이터 라인(D_2) 사이의 제1 화소 전극(PE_1)과 제2 화소 전극(PE_2)은 제1 데이터 라인(D_1)에만 접속될 수 있다. 또한, 도 7과 같이 제1 데이터 라인(D_1)과 제2 데이터 라인(D_2) 사이의 제7 화소 전극(PE_7)과 제8 화소 전극(PE_8)은 제2 데이터 라인(D_2)에만 접속될 수 있다.

[0063] 나아가, 본 발명의 제3 실시 예에 따른 화소 어레이의 서브 픽셀들은 도 3에 도시된 바와 같이 데이터 전압들과 게이트 신호들이 공급될 수 있다. 본 발명의 제3 실시 예에 따른 화소 어레이의 서브 픽셀들은 화소 전극들의 충전 순서가 상이할 뿐, 구체적인 구동 방법은 도 3에서 설명한 바와 실질적으로 동일하다. 따라서, 소스 드라이브 IC(12)는 컬럼 인버전 방식으로 데이터 라인들에 데이터 전압들을 공급함에도, 액정표시패널(10)의 화소 어레이의 화소 전극들은 수평 2 도트 인버전과 수직 1 도트 인버전을 동시에 만족하도록 구동된다. 그 결과, 본 발명의 제3 실시 예는 컬럼 인버전 방식으로 소스 드라이브 IC의 개수를 줄일 수 있고, 소비전력을 현저히 감소시킬 수 있으며, 액정의 직류화 잔상을 방지할 수 있는 효과가 있다.

[0064] 다만, 도 7에서 제3, 제4, 제7, 제8 화소 전극들(PE_3 , PE_4 , PE_7 , PE_8)은 제4 화소 전극(PE_4), 제3 화소 전극(PE_3), 제7 화소 전극(PE_7), 제8 화소 전극(PE_8) 순서로 데이터 전압들을 충전한다. 제5, 제6, 제9, 제10 화소 전극들(PE_5 , PE_6 , PE_9 , PE_{10})은 제6 화소 전극(PE_6), 제5 화소 전극(PE_5), 제9 화소 전극(PE_9), 제10 화소 전극(PE_{10}) 순서로 데이터 전압들을 충전한다. 이로 인해, 본 발명은 도 3에서 설명한 바와 같이 종래 "E-인버전" 기술에서 발생하였던 청색 얼룩 문제를 해결할 수 있다.

[0065] 도 8은 본 발명의 실시 예에 따른 액정표시장치의 제조방법을 보여주는 흐름도이다. 도 9a 내지 도 9d는 제1 내지 제4 마스크 공정에 따른 I-I'과 II-II'의 단면도들이다. 이하에서, 도 8 및 도 9a 내지 도 9d를 참조하여 본 발명의 실시 예에 따른 액정표시장치의 제조방법을 상세히 설명한다.

[0066] 첫 번째로, 하부 기판(SUB) 상에는 게이트 라인, 제1 TFT(T_1)의 게이트 전극(GE_1)의 상부층(GE_{1U}), 제2 TFT(T_2)의 게이트 전극(GE_2)의 상부층(GE_{2U})을 포함하는 게이트 금속 패턴과, 제1 TFT(T_1)의 게이트 전극(GE_1)의 하부층(GE_{1B}), 제2 TFT(T_2)의 게이트 전극(GE_2)의 하부층(GE_{2B}), 화소 전극(PE_2), 제1 돌출 전극(PRE_1), 제2 돌출 전극(PRE_2)을 포함하는 제1 투명전극 패턴을 제1 마스크 공정을 이용하여 형성한다. 게이트 금속 패턴은 구리(Cu), 알루미늄(Al), 또는 알루미늄합금 등의 불투명 금속으로 형성될 수 있으며, 제1 투명전극 패턴은 ITO 또는 IZO 등으로 형성될 수 있다. 제1 마스크 공정은 도 10a 내지 10f를 결부하여 상세히 설명한다. (S101)

[0067] 두 번째로, 게이트 금속 패턴, 및 제1 투명전극 패턴을 덮는 게이트 절연막(GI)을 하부 기판(SUB)의 전면(全

面)에 형성한다. 그리고 나서, 게이트 절연막(GI) 상에는 반도체층(SEM)과, 데이터 라인, 제1 TFT(T1)의 소스 전극(SE1)과 드레인 전극(DE1), 제2 TFT(T2)의 소스 전극(SE2)과 드레인 전극(DE2), 및 공통전압 라인(VcomL)을 포함하는 소스/드레인 금속 패턴을 제2 마스크 공정으로 형성한다. 구체적으로, 게이트 절연막(GI) 상에 반도체층과 소스/드레인 금속층을 증착한 후, 제2 마스크 공정으로 반도체 패턴(SEM)과, 데이터 라인, 제1 TFT(T1)의 소스 전극(SE1)과 드레인 전극(DE1), 제2 TFT(T2)의 소스 전극(SE2)과 드레인 전극(DE2), 및 공통전압 라인(VcomL)을 포함하는 소스/드레인 금속 패턴을 형성한다. 반도체 패턴(SEM)과 소스/드레인 금속 패턴을 한 번의 마스크 공정으로 형성하기 위해, 제2 마스크 공정은 하프톤 마스크 공정으로 구현될 수 있다. 소스/드레인 금속 패턴은 몰리브덴(Mo) 등의 불투명 금속으로 형성될 수 있다. (S102)

[0068] 세 번째로, 반도체 패턴(SEM)과 소스/드레인 금속 패턴을 덮는 보호막(PAS)을 하부 기판(SUB)의 전면(全面)에 형성한다. 그리고 나서, 보호막(PAS)을 관통하여 제1 TFT(T1)의 드레인 전극(DE1)을 노출시키는 제1 콘택홀(CNT1), 게이트 절연막(GI)과 보호막(PAS)을 관통하여 제1 돌출 전극(PRE1)을 노출시키는 제2 콘택홀(CNT2), 보호막(PAS)을 관통하여 공통전압 라인(VcomL)을 노출시키는 제3 콘택홀(CNT3), 보호막(PAS)을 관통하여 제2 TFT(T2)의 드레인 전극(DE2)을 노출시키는 제4 콘택홀(CNT4), 게이트 절연막(GI)과 보호막(PAS)을 관통하여 제2 돌출 전극(PRE2)을 노출시키는 제5 콘택홀(CNT5)을 제3 마스크 공정으로 형성한다. 즉, 제1 콘택홀(CNT1), 제3 콘택홀(CNT3), 및 제4 콘택홀(CNT4)은 보호막(PAS)을 관통하도록 형성하고, 제2 콘택홀(CNT2)과 제5 콘택홀(CNT5)은 게이트 절연막(GI)과 보호막(PAS)을 관통하도록 형성한다. (S103)

[0069] 네 번째로, 보호막(PAS) 상에는 공통전극(VcomE), 제1 콘택 전극(CE1), 및 제2 콘택 전극(CE2)을 포함하는 제2 투명전극패턴을 제4 마스크 공정으로 형성한다. 구체적으로, 제2 투명전극층을 보호막(PAS) 상의 전면(全面)에 증착한 후, 제4 마스크 공정으로 공통전극(VcomE), 제1 콘택 전극(CE1), 및 제2 콘택 전극(CE2)을 포함하는 제2 투명전극 패턴을 형성한다. 제2 투명전극 패턴은 ITO 또는 IZO 등으로 형성될 수 있다. 공통전극(VcomE)은 제3 콘택홀(CNT3)을 통해 공통전압 라인(VcomL)과 접속되고, 제1 콘택 전극(CE1)은 제1 콘택홀(CNT1)을 통해 제1 TFT(T1)의 드레인 전극(DE1)과 접속되며, 제2 콘택홀(CNT2)을 통해 제1 돌출 전극(PRE1)과 접속되도록 형성된다. 또한, 제2 콘택 전극(CE2)은 제4 콘택홀(CNT4)을 통해 제2 TFT(T2)의 드레인 전극(DE2)과 접속되며, 제5 콘택홀(CNT5)을 통해 제2 돌출 전극(PRE2)과 접속되도록 형성된다. (S104)

[0070] 이와 같이, 본 발명은 화소 전극과 돌출 전극을 게이트 금속 패턴과 동일한 평면상에 형성하므로, 화소 전극으로부터 연장된 돌출 전극을 이용하여 화소 전극과 TFT의 드레인 전극을 접속시킬 수 있다. 그 결과, 본 발명은 공통전압 라인을 데이터 라인과 나란하게 인접한 화소 전극들 사이에 형성할 수 있으므로, 공통전압 라인으로 인한 개구율 감소를 방지할 수 있다. 또한, 본 발명은 게이트 라인과 게이트 전극을 포함하는 게이트 금속 패턴과 화소 전극과 그로부터 연장된 돌출 전극을 포함하는 투명전극패턴을 하나의 마스크 공정으로 형성할 수 있다. 그 결과, 본 발명은 제조 비용을 절감할 수 있다.

[0071] 도 10은 제1 마스크 공정을 상세히 보여주는 흐름도이다. 도 11a 내지 도 11f는 제1 마스크 공정을 상세히 보여주는 I-I'의 단면도들이다. 이하에서, 도 11a 내지 도 11f를 참조하여 제1 마스크 공정을 상세히 설명한다.

[0072] 첫 번째로, 도 11a와 같이 하부 기판(SUB) 상에 제1 투명전극층(201)을 증착한다. 제1 투명전극층(201)은 ITO(Indium Tin Oxide) 또는 IZO(Indium Zinc Oxide) 등으로 형성될 수 있다. 그리고 나서, 제1 투명전극층(201) 상에 게이트 금속층(202)을 증착한다. 게이트 금속층(202)은 구리(Cu), 알루미늄(Al), 또는 알루미늄합금 등의 불투명 금속으로 형성될 수 있다. (S201)

[0073] 두 번째로, 도 11b와 같이 하프톤(half tone) 마스크를 이용하여 포토 레지스트(photo resist) 패턴(PR1, PR2)을 형성한다. 구체적으로, 게이트 금속층(202) 상에 포토 레지스트층을 형성하고, 하프톤 마스크(HMASK)를 이용하여 노광(exposure) 및 현상(develop)을 수행한다. 하프톤 마스크(HMASK)는 입사되는 광의 투과를 완전히 차단하는 차광층(BL), 입사되는 광을 투과시키는 제1 투과층(TL1), 제1 투과층(TL1)보다 입사되는 광을 적게 투과시키는 제2 투과층(TL2)을 포함한다. 빛을 받는 경우 노광되어 현상되는 포지티브형(positive type)의 포토 레지스터 패턴(PR)이 사용되는 경우, 도 11b와 같이 하프톤 마스크(HMASK)의 차광층(BL)이 게이트 금속 패턴이 형성될 영역에 형성되고, 제1 투과층(TL1)이 게이트 금속 패턴과 제1 투명전극 패턴이 형성되지 않을 영역에 형성되며, 제2 투과층(TL2)이 제1 투명전극 패턴이 형성될 영역에 형성될 수 있다. 이러한 하프톤 마스크(HMASK)를 이용하여 노광 및 현상을 수행하는 경우, 제1 투명전극 패턴이 형성될 영역에 제1 포토 레지스트 패턴(PR1)이 형성되고, 게이트 금속 패턴이 형성될 영역에 제1 포토 레지스트 패턴(PR1)보다 두꺼운 두께의 포토 레지스트 패턴(PR2)이 형성된다. 한편, 네거티브형(negative type)의 포토 레지스트 패턴(PR)이 사용되는 경우,

하프톤 마스크(HMASK)는 차광층(BL)이 게이트 금속 패턴과 제1 투명전극 패턴이 형성되지 않을 영역에 형성되고, 제1 투과층(TL1)이 게이트 금속 패턴이 형성될 영역에 형성되며, 제2 투과층(TL2)이 제1 투명전극 패턴이 형성될 영역에 형성될 수 있다. (S202)

[0074] 세 번째로, 도 11c와 같이 제1 투명전극층(201)과 게이트 금속층(202)을 동시에 식각할 수 있는 식각물질을 이용한 제1 식각 공정을 통해 제1 및 제2 포토레지스트 패턴(PR1, PR2)이 형성되지 않은 영역을 식각한다. 식각 물질은 ITO 또는 IZO 등으로 구현되는 제1 투명전극층(201)과 구리(Cu), 알루미늄(Al), 또는 알루미늄합금 등으로 구현된 게이트 금속층(202)을 모두 식각할 수 있는 물질로 구현되어야 한다. (S203)

[0075] 네 번째로, 도 11d와 같이 제1 애싱(ashing) 공정을 통해 제1 포토 레지스트 패턴(PR1)의 두께만큼의 제1 및 제2 포토 레지스트 패턴(PR1, PR2)을 제거한다. (S204)

[0076] 다섯 번째로, 도 11e와 같이 제2 식각 공정을 통해 제2 포토 레지스트 패턴(PR2)이 형성되지 않은 영역을 식각한다. 따라서, 제1 투명전극층(201) 상의 게이트 금속층(202)이 식각될 수 있다. (S205)

[0077] 여섯 번째로, 도 11f와 같이 제2 애싱 공정을 통해 남아있는 제2 포토 레지스트 패턴(PR2)을 제거한다. 그 결과, 화소 전극(PE2)과 제1 투명전극 패턴(211)과 게이트 금속 패턴(212)이 완성된다. (S206)

[0078] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

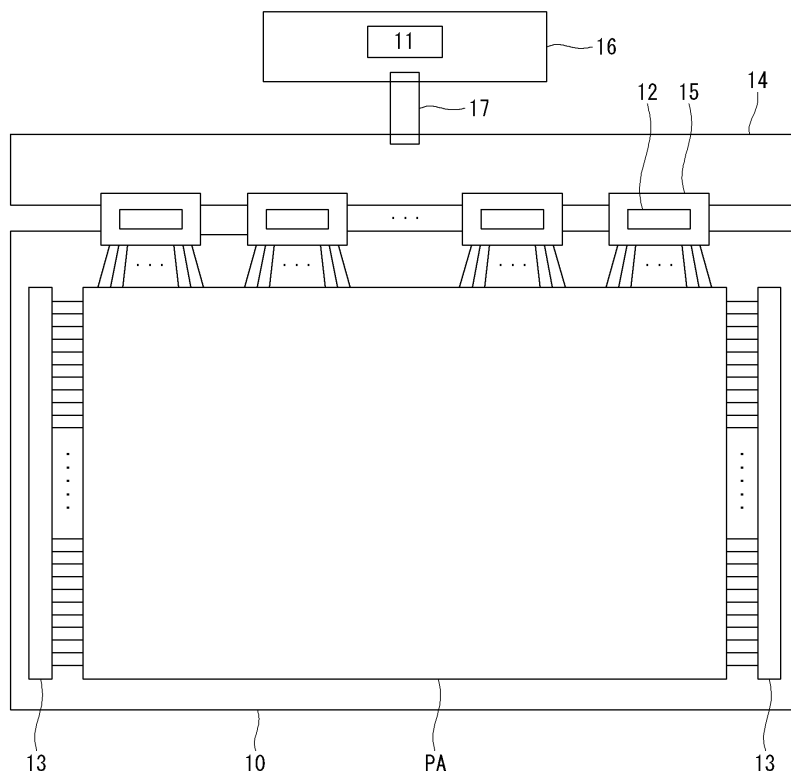
부호의 설명

[0079] 10: 액정표시패널 11: 타이밍 컨트롤러

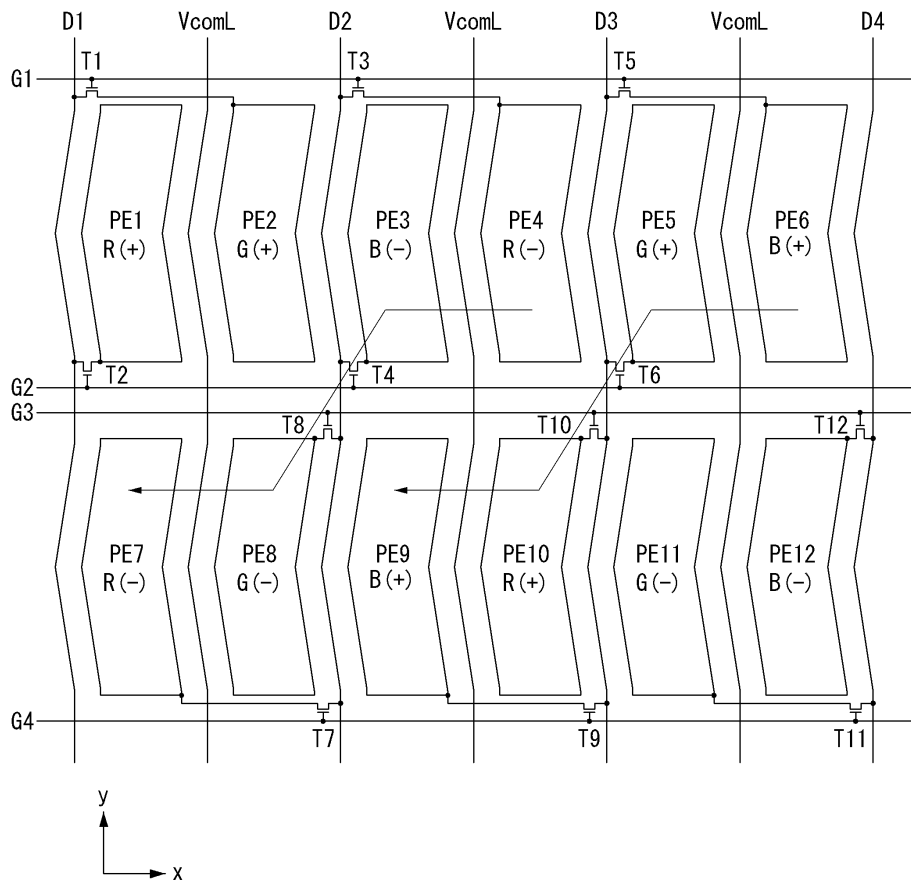
12: 소스 드라이브 집적회로 13: 게이트 구동회로

도면

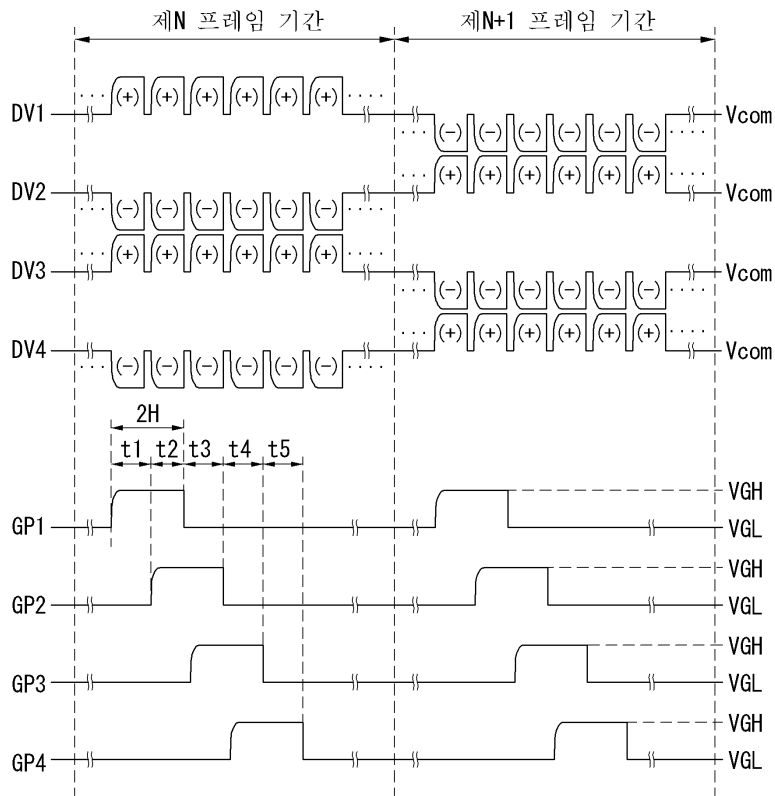
도면1



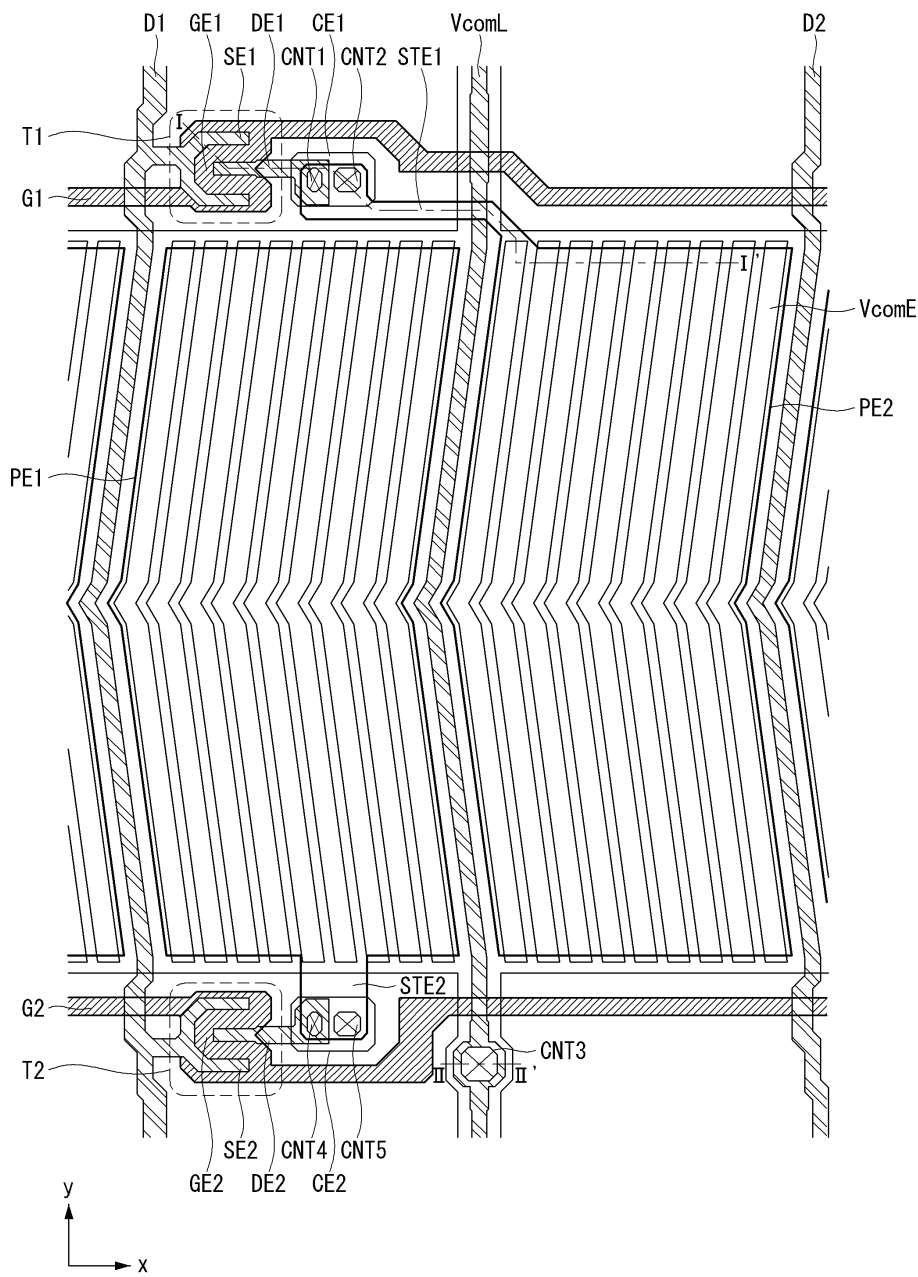
도면2



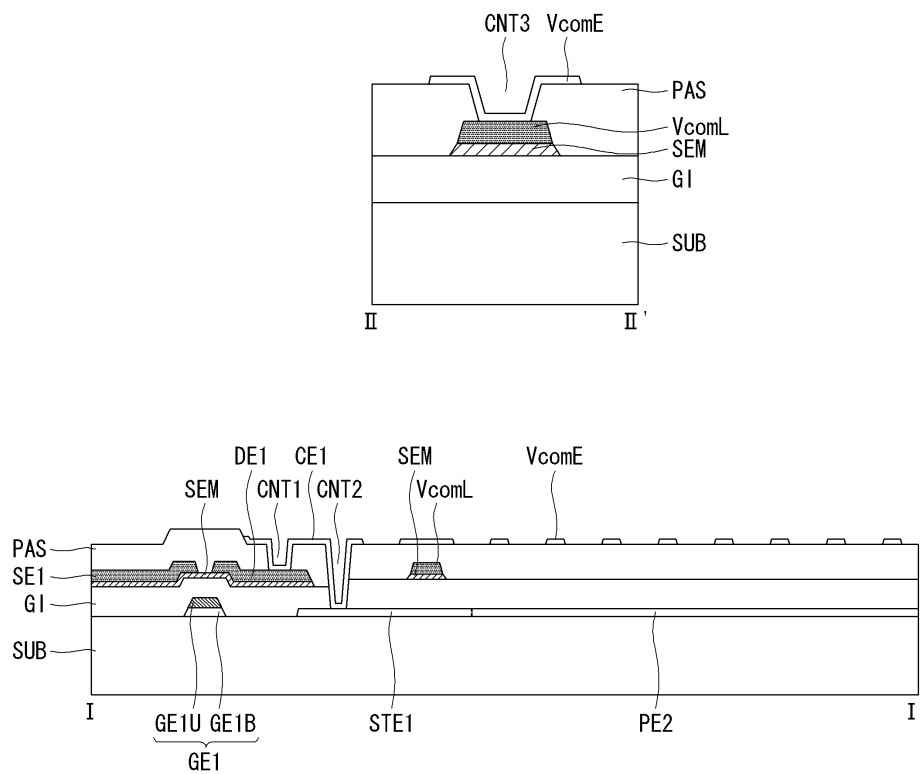
도면3



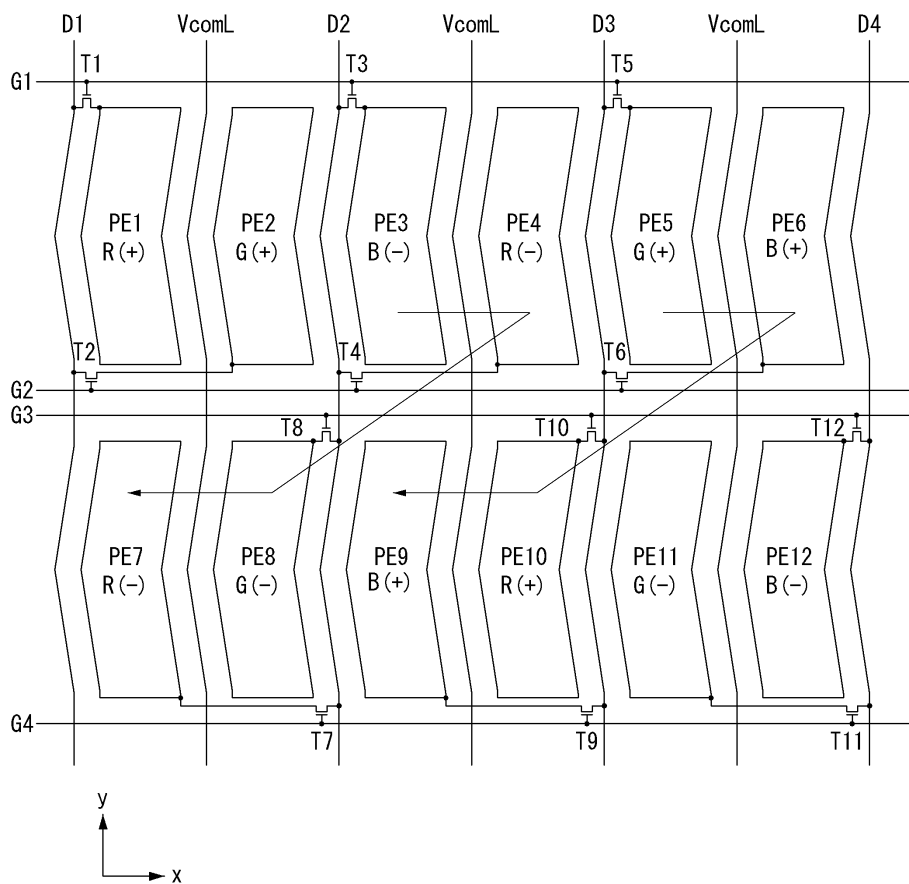
도면4



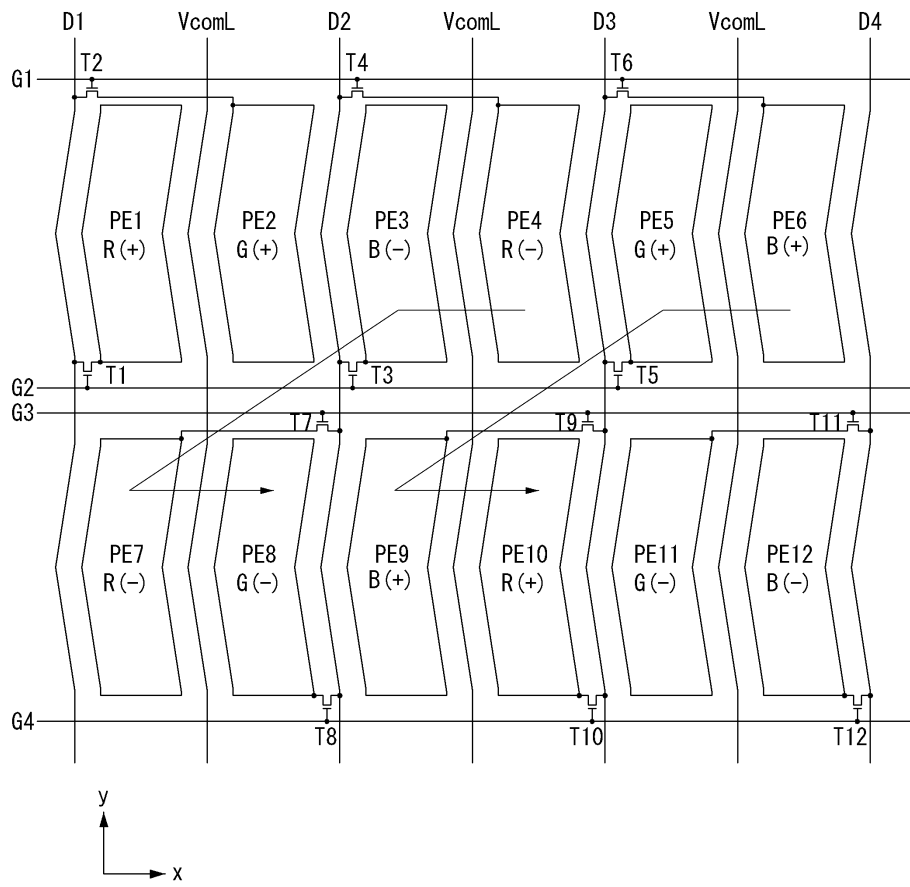
도면5



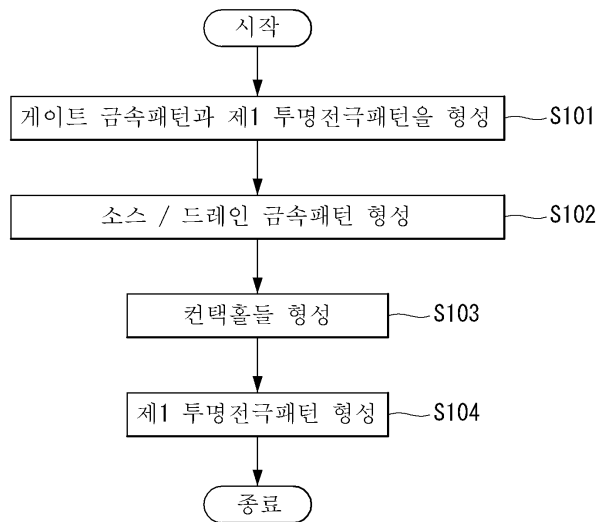
도면6



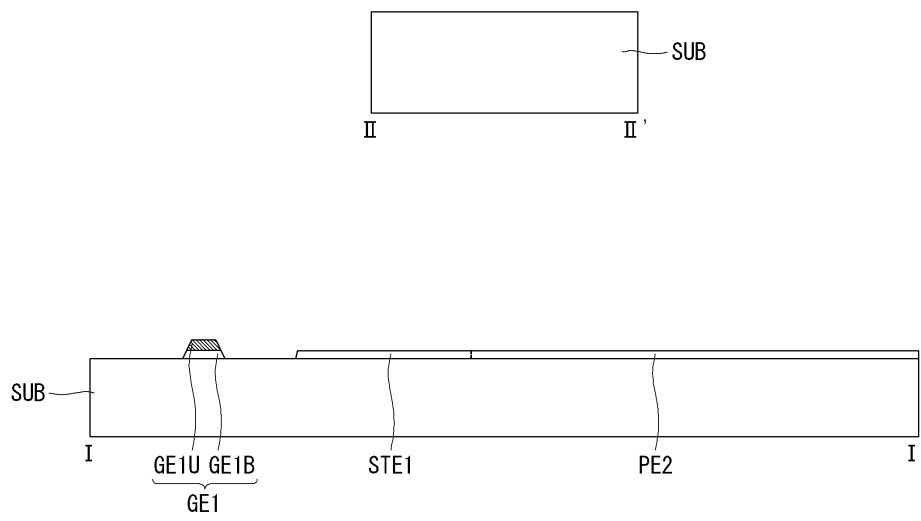
도면7



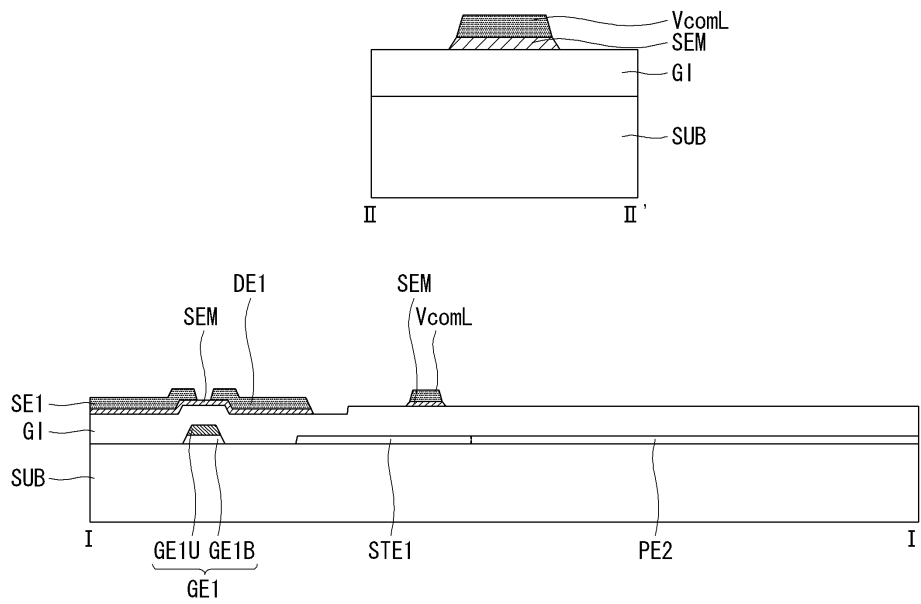
도면8



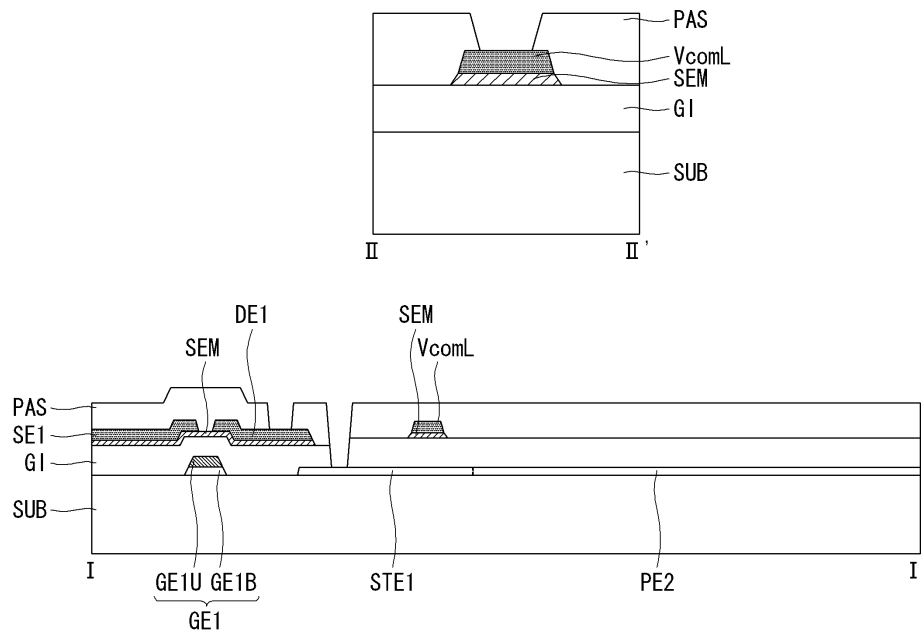
도면9a



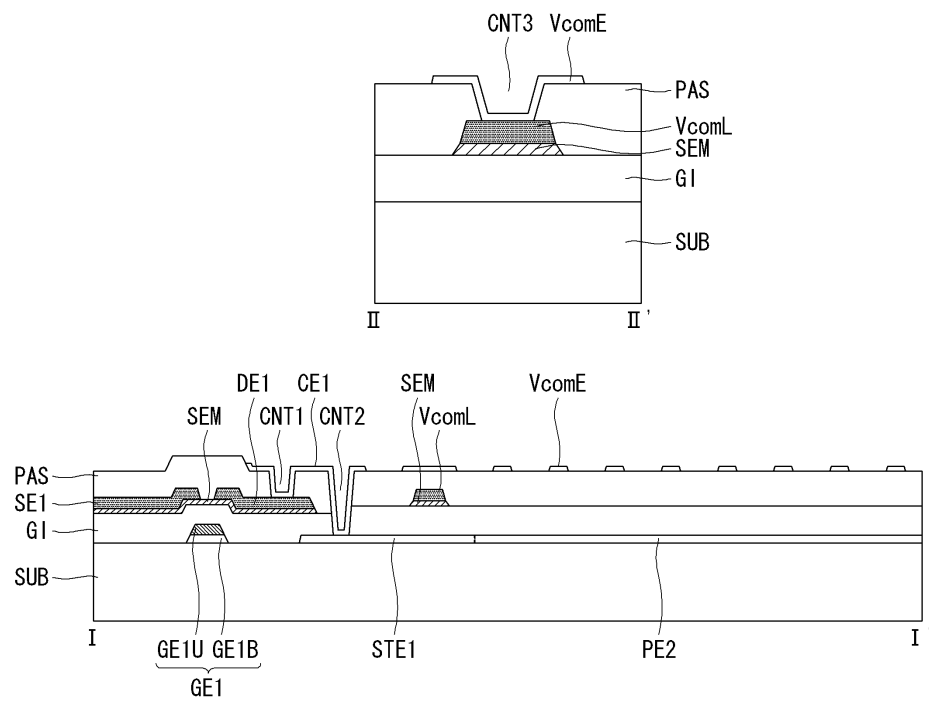
도면9b



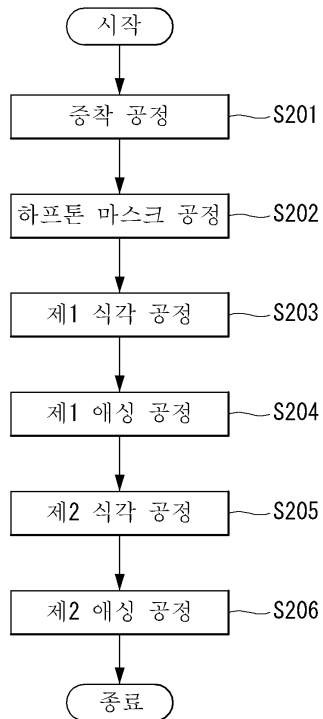
도면9c



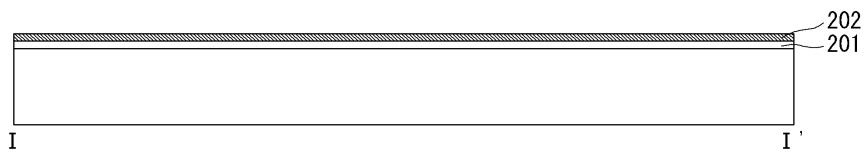
도면9d



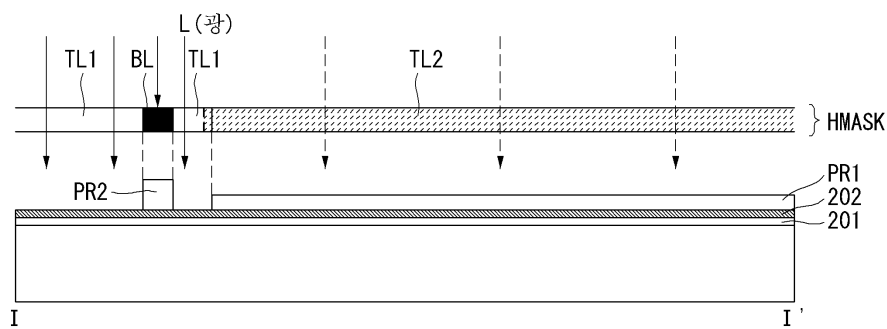
도면10



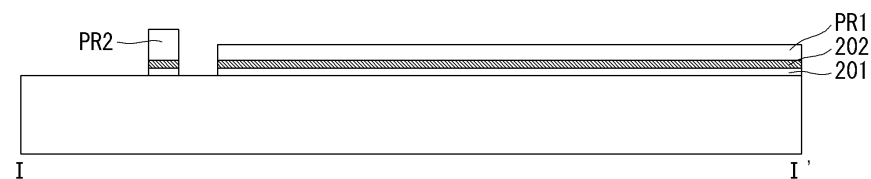
도면11a



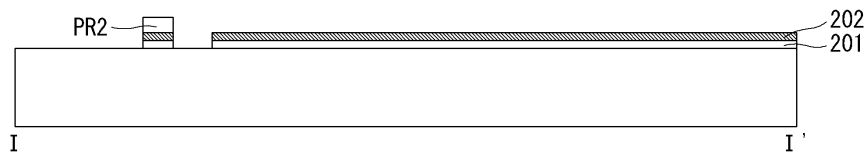
도면11b



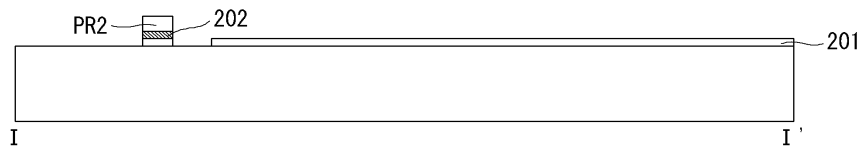
도면11c



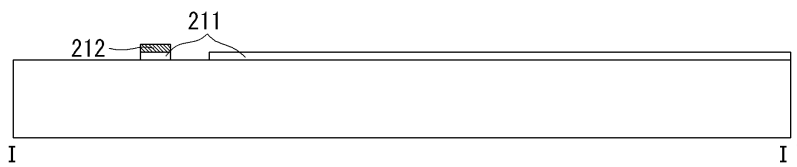
도면11d



도면11e



도면11f



专利名称(译)	LCD及其制造方法		
公开(公告)号	KR1020140065865A	公开(公告)日	2014-05-30
申请号	KR1020120132850	申请日	2012-11-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HAN YE SEUL 한예슬 LEE BYUNG HYUN 이병현		
发明人	한예슬 이병현		
IPC分类号	G02F1/1362 G02F1/1343 G02F1/1368		
CPC分类号	G02F1/1368 G02F2201/40 G02F2001/136231 G02F1/134309 G02F1/136286		
其他公开文献	KR102009319B1		
外部链接	Espacenet		

摘要(译)

液晶显示装置及其制造方法本发明涉及液晶显示装置及其制造方法。在本发明的示例性实施例中，LCD装置包括数据线，与数据线交叉的栅极线，与数据线之间的数据线平行形成的公共电压线，以及数据线。一种液晶显示面板，包括形成在由栅极线和公共电压线的交叉点限定的像素区域中的像素电极，以及形成在数据线和栅极线的交叉点处的薄膜晶体管；形成在第j（j是两个或更多个自然数）个数据线的交点处的第一薄膜晶体管的栅电极和k（k是两个或更多个的自然数）栅极线连接到第k栅极线，并且源电极连接到第k栅极线。漏电极连接到第j数据线，漏电极设置在与第j-1数据线或第j+1数据线相邻的像素电极上。存储要求，其特征在于通过第一突出电极和所述第一接触电极连接。

