



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0070321
(43) 공개일자 2012년06월29일

(51) 국제특허분류(Int. Cl.)

G02F 1/1335 (2006.01) H01L 29/786

(2006.01)

(21) 출원번호 10-2010-0131833

(22) 출원일자 2010년12월21일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

이종희

경기도 성남시 분당구 미금로 246, 주공9단지아파트 903동 703호 (금곡동, 청솔마을)

(74) 대리인

특허법인네이트

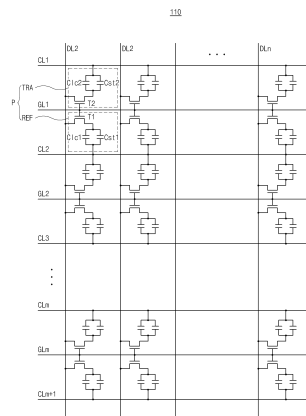
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 액정표시장치 및 그 제조방법

(57) 요약

본 발명은, 서로 마주보며 이격되고, 각각이 반사부 및 투과부로 이루어지는 화소 영역을 포함하는 제1 및 제2 기관과; 상기 제1기관 내면에 형성되고, 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터와; 상기 제1기관 내면의 상기 반사부에 형성되는 반사층과; 상기 제1 및 제2박막트랜지스터에 각각 연결되는 제1 및 제2화소 전극과; 상기 제1 및 제2화소 전극에 각각 대응되어 전기장을 생성하는 제1 및 제2공통 전극과; 상기 제1 및 제2 기관 사이에 형성되는 액정층을 포함하는 반사투과형 액정표시장치를 제공한다.

대표도 - 도2



특허청구의 범위

청구항 1

서로 마주보며 이격되고, 각각이 반사부 및 투과부로 이루어지는 화소 영역을 포함하는 제1 및 제2기판과;
 상기 제1기판 내면에 형성되고, 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터와;
 상기 제1기판 내면의 상기 반사부에 형성되는 반사층과;
 상기 제1 및 제2박막트랜지스터에 각각 연결되는 제1 및 제2화소 전극과;
 상기 제1 및 제2화소 전극에 각각 대응되어 전기장을 생성하는 제1 및 제2공통 전극과;
 상기 제1 및 제2기판 사이에 형성되는 액정층
 을 포함하는 반사투과형 액정표시장치.

청구항 2

제 1 항에 있어서,
 상기 제1박막트랜지스터의 W/L비는 상기 제2박막트랜지스터의 W/L비 보다 작은 반사투과형 액정표시장치.

청구항 3

제 1 항에 있어서,
 상기 제1기판 내면에 형성되고, 서로 평행하게 이격되는 게이트 배선과 제1 및 제2공통 배선과;
 상기 게이트 배선, 상기 제1 및 제2공통 배선과 교차하여 상기 화소 영역을 정의하는 데이터 배선과;
 상기 제1 및 제2박막트랜지스터 상부에 형성되는 제1 및 제2보호층과;
 상기 제2기판 내면에 형성되고 상기 게이트 배선, 상기 제1 및 제2공통 배선 및 상기 데이터 배선에 대응되는 블랙매트릭스와;
 상기 블랙매트릭스 하부에 형성되는 컬러필터층과;
 상기 컬러필터층 하부에 형성되는 오버코트층
 을 더 포함하는 반사투과형 액정표시장치.

청구항 4

제 3 항에 있어서,
 상기 제1 및 제2박막트랜지스터 각각은 상기 게이트 배선 및 상기 데이터 배선에 연결되고, 상기 제1 및 제2공통 전극은 각각 상기 제1 및 제2공통 배선에 연결되는 반사투과형 액정표시장치.

청구항 5

제 4 항에 있어서,
 상기 제1박막트랜지스터는, 상기 게이트 배선, 상기 게이트 배선 상부의 반도체층, 상기 데이터 배선에 연결되는 제1소스 전극, 상기 제1소스 전극과 이격되어 상기 제1화소 전극에 연결되는 제1드레인 전극을 포함하고,

상기 제2박막트랜지스터는, 상기 게이트 배선, 상기 게이트 배선 상부의 상기 반도체층, 상기 데이터 배선에 연결되는 제2소스 전극, 상기 제2소스 전극과 이격되어 상기 제2화소 전극에 연결되는 제2드레인 전극을 포함하는 반사투과형 액정표시장치.

청구항 6

제 5 항에 있어서,

상기 제1 및 제2소스 전극은 일체형으로 형성되는 반사투과형 액정표시장치.

청구항 7

제 3 항에 있어서,

상기 제1 및 제2공통 전극은 각각 상기 제1보호층 상부의 상기 반사부 및 상기 투과부에 관 형태로 형성되고, 상기 제1 및 제2화소전극은 각각 상기 제2보호층 상부의 상기 반사부 및 상기 투과부에 형성되고, 다수의 개구부를 포함하는 반사투과형 액정표시장치.

청구항 8

제 3 항에 있어서,

상기 제1화소 전극 및 상기 제1공통 전극은 상기 제2보호층 상부의 상기 반사부에 서로 이격되어 교대로 형성되고, 상기 제2화소 전극 및 상기 제2공통 전극은 상기 제2보호층 상부의 상기 투과부에 서로 이격되어 교대로 형성되는 반사투과형 액정표시장치.

청구항 9

반사부 및 투과부로 이루어지는 화소 영역을 포함하는 제1기판 상부에 서로 상이한 W/L비를 갖는 제1 및 제2 박막트랜지스터를 형성하는 단계와;

상기 제1기판 상부의 상기 반사부에 반사층을 형성하는 단계와;

상기 제1 및 제2박막트랜지스터에 각각 연결되는 제1 및 제2화소전극을 형성하는 단계와;

상기 제1 및 제2화소 전극에 각각 대응되어 전기장을 생성하는 제1 및 제2공통 전극을 형성하는 단계와;

상기 화소 영역을 포함하는 제2기판 상부에 컬러필터층을 형성하는 단계와;

상기 제1 및 제2기판을 합착하는 단계와;

상기 제1 및 제2기판 사이에 액정층을 형성하는 단계

를 포함하는 반사투과형 액정표시장치의 제조방법.

청구항 10

제 9 항에 있어서,

상기 제1박막트랜지스터의 W/L비는 상기 제2박막트랜지스터의 W/L비 보다 작은 반사투과형 액정표시장치의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 더욱 상세하게는 서로 상이한 W/L비를 갖는 반사부 박막트랜지스터 및 투과부 박막트랜지스터를 포함하는 반사투과형(transflective type) 액정표시장치 및 그 제조방법에 관한 것이다.

배경 기술

- [0002] 일반적으로, 액정표시장치는 액정층의 액정분자의 광학적 이방성과 분극 성질을 이용한다.
- [0003] 액정분자는 그 구조가 가늘고 길기 때문에 액정분자의 배열에 방향성을 지니고 있으며, 인위적으로 액정분자에 전기장을 인가하여 액정분자의 배열방향을 제어할 수 있다.
- [0004] 액정분자의 배열방향을 변경하면, 액정분자의 광학적 이방성에 의해 액정분자의 배열방향으로 빛이 굴절하고, 그에 따라 영상을 표시할 수 있다.
- [0005] 즉, 액정표시장치에 있어서, 빛의 투과율은 액정층을 통과할 때 액정분자의 광학적 특성에 의해 발생하는 위상지연에 의해 결정되며, 이러한 위상지연은 액정 분자의 굴절률 이방성과 어레이 기판과 컬러필터 기판 간의 이격거리, 즉 셀갭(cell gap)에 의해 결정된다.
- [0006] 액정표시장치에 있어서, 백라이트 유닛으로부터 공급되는 빛을 액정층에 입사시켜 영상을 표시하는 투과형 액정표시장치가 대세를 이루고 있으나, 이러한 투과형 액정표시장치는 백라이트 유닛에 의한 전력소모가 심하고, 부피를 많이 차지할 뿐만 아니라, 무게가 많이 나간다는 단점이 있다.
- [0007] 또한, 투과형 액정표시장치는 밝은 외부 환경에서 액정 패널의 표면 반사에 의해 대조비(contrast ratio)가 저하되는 문제로 시인성이 떨어지는 단점이 있다.
- [0008] 투과형 액정표시장치의 이러한 단점을 극복하기 위하여, 자연광 또는 형광등과 같은 인조광을 포함하는 외부광을 반사전극에서 반사시켜 영상을 표시하는 반사형 액정표시장치가 대두되었다.
- [0009] 이러한 반사형 액정표시장치는 외부광을 광원으로 사용하므로, 백라이트 유닛을 제거할 수 있으며, 그 결과 전력소모, 부피 및 무게를 감소시킬 수 있는 장점이 있다.
- [0010] 그러나, 외부광은 항상 존재하는 것이 아니므로, 반사형 액정표시장치는 자연광이 존재하는 낮이나, 형광등과 같은 인조광이 존재하는 건물 내부에서는 사용이 가능하지만 자연광 및 인조광이 존재하지 않는 야간 및 야외에서는 사용할 수 없다는 제약이 있다.
- [0011] 이러한 문제를 개선하기 위해 개발된 것이 투과 모드와 반사 모드의 장점을 겸용하여 사용하는 반사투과형(transflective type) 액정표시장치인데, 이를 도면을 참조하여 설명한다.
- [0012] 도 1은 종래의 반사투과형 액정표시장치의 단면도로서, 프린지 필드 스위칭(fringe field switching: FFS) 모드로 동작하는 액정표시장치의 단면도이다.
- [0013] 도 1에 도시한 바와 같이, 종래의 반사투과형 액정표시장치(10)는, 서로 마주보는 제1 및 제2기판(20, 70)과, 제1 및 제2기판(20, 70) 사이에 형성되는 액정층(90)을 포함한다.
- [0014] 제1기판(20) 상부에는 박막트랜지스터(thin film transistor: TFT)(T)와, 박막트랜지스터(T)에 연결되는 화소전극(56)과, 화소전극(56)에 대응되는 공통전극(48)이 형성된다.
- [0015] 구체적으로, 제1기판(20) 상부에는 게이트 배선(미도시), 공통 배선(미도시) 및 게이트 배선에 연결되는 게이트 전극(34)이 형성되고, 게이트 배선, 공통 배선 및 게이트 전극(34) 상부에는 게이트 절연층(36)이 형성된다.
- [0016] 게이트 전극(34)에 대응되는 게이트 절연층(36) 상부에는 반도체층(38)이 형성되고, 반도체층(38) 상부에는 서로 이격되는 소스 전극(42) 및 드레인 전극(44)이 형성된다.
- [0017] 또한, 게이트 절연층(36) 상부에는 게이트 배선과 교차하여 화소영역(P)을 정의하는 데이터 배선(40)이 형성되는데, 소스 전극(42)은 데이터 배선(40)에 연결된다.
- [0018] 여기서, 게이트 전극(34), 반도체층(38), 소스 전극(42) 및 드레인 전극(44)은 박막트랜지스터(T)를 구성하고, 화소영역(P)은 반사부(REF) 및 투과부(TRA)를 포함한다.

- [0019] 박막트랜지스터(T) 상부에는 제1보호층(46)이 형성되는데, 반사부(REF)의 제1보호층(46)의 상부표면에는 요철 패턴이 형성되고, 투과부(TRA)의 제1보호층(46)의 상부표면은 평탄하게 형성된다.
- [0020] 제1보호층(46) 상부에는 공통 배선에 연결되는 공통 전극(48)이 형성되고, 반사부(REF)의 공통 전극(48) 상부에는 반사층(50)이 형성되는데, 반사부(REF)의 공통 전극(48) 및 반사층(50)은 제1보호층(46)의 요철패턴을 따라 굴곡을 갖도록 형성된다.
- [0021] 반사층(50) 및 공통 전극(48) 상부에는 제2보호층(52)이 형성되고, 제2보호층(52) 상부에는 화소 전극(56)이 형성된다.
- [0022] 제2보호층(52), 반사층(50), 공통 전극(48) 및 제1보호층(46)에는 드레인 전극(44)을 노출하는 드레인 콘택홀(54)이 형성되고, 화소 전극(56)은 드레인 콘택홀(54)을 통하여 드레인 전극(44)에 연결된다.
- [0023] 그리고, 화소 전극(56)에는 제2보호층(52)을 노출하는 다수의 개구부(60)가 형성된다.
- [0024] 한편, 제2기판(70) 하부에는 제1기판(20)의 게이트 배선 및 데이터 배선(40)에 대응되는 블랙매트릭스(72)가 형성되고, 블랙매트릭스(72) 및 제2기판(70) 하부에는 적, 녹, 청(R, G, B) 컬러필터를 포함하는 컬러필터층(74)이 형성된다.
- [0025] 컬러필터층(74) 하부에는 오버코트(overcoat)층(78)이 형성되고, 반사부(REF)의 오버코트층(80) 하부에는 경로보상층(80)이 형성된다.
- [0026] 그리고, 제1기판(20)의 화소 전극(56)과 제2기판(70)의 경로보상층(80) 사이에는 액정층(90)이 형성되는데, 경로보상층(80)에 의하여 반사부(REF)의 액정층(90)은 제1셀갭(SG1)을 갖게 되고 투과부(TRA)의 액정층(90)은 제1셀갭(SG1)보다 큰 제2셀갭(SG2)을 갖게 되어, 결론적으로 듀얼 셀갭(dual cell gap) 구조의 액정층(90)이 형성된다.
- [0027] 이와 같은 반사투과형 액정표시장치(10)에서, 박막트랜지스터(T)를 통하여 화소 전극(56)에 데이터 전압이 공급되면, 화소 전극(56)과 공통 전극(48) 사이에 전기장이 형성되고, 형성된 전기장에 의하여 액정층(90)의 액정분자가 재배열되어 영상을 표시한다.
- [0028] 여기서, 경로보상층(80)은, 반사부(REF)와 투과부(TRA)가 동일한 광경로를 갖도록 하는 역할을 한다.
- [0029] 즉, 반사부(REF)로 입사된 외부광은, 제1셀갭(SG1)의 액정층(90)을 지나면서 위상이 지연되고 반사층(50)에서 반사되어 다시 제1셀갭(SG1)의 액정층(90)을 지나면서 위상이 지연되며, 투과부(TRA)로 입사된 백라이트 유닛의 광은, 제2셀갭(SG2)의 액정층(90)을 지나면서 위상이 지연되어 출사된다.
- [0030] 그런데, 경로보상층(80)에 의하여 반사부(REF)의 제1셀갭(SG1)을 투과부(TRA)의 제2셀갭(SG2)보다 작게 형성함으로써, 액정층(90) 통과 횟수에 따른 광경로 차이를 보상하여 반사부(REF)로 입사된 광과 투과부(TRA)로 입사된 광의 위상이 동일하게 지연되도록 한다.
- [0031] 이를 위하여, 경로보상층(80)은 투과부(TRA)의 제2셀갭(SG2)의 1/2에 해당하는 두께를 갖도록 형성될 수 있다.
- [0032] 이와 같이, 종래의 반사투과형 액정표시장치(10)에서는, 경로보상층(80)에 의하여 반사부(REF) 및 투과부(TRA)의 광경로를 동일하게 함으로써, 반사부(REF) 및 투과부(TRA)로부터 출사되는 광이 동일하게 위상 지연되도록 하고, 그 결과 반사부(REF) 및 투과부(TRA)의 출사광의 균일도를 개선하여 화질을 개선할 수 있다.
- [0033] 그런데, 이러한 경로보상층(80)으로 인하여, 반사투과형 액정표시장치(10)의 제조공정이 복잡해지고 불량률이 발생할 수 있다.
- [0034] 일반적으로 경로보상층(80)은 유기물질의 코팅, 노광, 현상 등의 추가적인 마스크 공정을 통하여 형성되므로, 반사투과형 액정표시장치(10)의 제조공정이 복잡해지고 제조비용이 증가한다.
- [0035] 또한, 경로보상층(80)은 상대적으로 두껍게 형성되므로, 제2기판(70) 하부에 큰 단차부(SW)를 생성하고, 단차부(SW)에서의 불완전한 배향 또는 불완전한 액정 재배열에 의하여 전경(disclination)과 같은 불량이 발생하는데, 이러한 전경은 반사투과형 액정표시장치(10)의 대조비(contrast ratio) 및 화질 저하의 요인으로 작용한다.
- [0036] 이를 개선하기 위하여, 경로보상층(80) 외에 추가적으로 반사투과형 액정표시장치(10)의 반사부(REF) 및 투과

부(TRA)를 서로 상이한 방향으로 배향하는 방법이나, 반사부(REF) 및 투과부(TRA)에서 서로 상이한 위상차값을 갖는 보상필름을 형성하는 방법이 제안되었으나, 그 경우에도 경로보상층(80)을 형성하여야 하므로, 경로보상층(80) 형성에 따른 제조공정 복잡화, 제조비용 증가, 대조비 및 화질 저하 등의 문제는 해결되지 않는다.

[0037] 또한, 반사부(REF) 및 투과부(TRA)를 상이한 방향으로 배향하는 경우에도, 반사부(REF) 및 투과부(TRA)의 경계영역에서의 불완전한 배향에 의하여 전경이 발생하며, 반사부(REF) 및 투과부(TRA)에서 서로 상이한 위상차값을 갖는 보상필름을 형성하는 경우에도, 보상필름 형성에 따른 공정 증가 및 이로 인한 생산성 감소가 발생하는 문제가 있다.

발명의 내용

해결하려는 과제

[0038] 본 발명은, 반사부 및 투과부에 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터를 각각 형성하여 데이터 전압을 공급함으로써, 제조공정이 단순화되어 생산성이 개선되고 제조비용이 절감되는 반사투과형 액정표장치 및 그 제조방법을 제공하는데 그 목적이 있다.

[0039] 또한, 본 발명은, 반사부 및 투과부의 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터에 의하여 별도의 경로보상층을 생략함으로써, 대조비 및 화질이 개선되는 반사투과형 액정표장치 및 그 제조방법을 제공하는데 다른 목적이 있다.

과제의 해결 수단

[0040] 상기의 목적을 달성하기 위하여, 본 발명은, 서로 마주보며 이격되고, 각각이 반사부 및 투과부로 이루어지는 화소 영역을 포함하는 제1 및 제2기관과; 상기 제1기관 내면에 형성되고, 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터와; 상기 제1기관 내면의 상기 반사부에 형성되는 반사층과; 상기 제1 및 제2박막트랜지스터에 각각 연결되는 제1 및 제2화소 전극과; 상기 제1 및 제2화소 전극에 각각 대응되어 전기장을 생성하는 제1 및 제2공통 전극과; 상기 제1 및 제2기관 사이에 형성되는 액정층을 포함하는 반사투과형 액정표시장치를 제공한다.

[0041] 여기서, 상기 제1박막트랜지스터의 W/L비는 상기 제2박막트랜지스터의 W/L비 보다 작은 값일 수 있다.

[0042] 그리고, 상기 반사투과형 액정표시장치는, 상기 제1기관 내면에 형성되고, 서로 평행하게 이격되는 게이트 배선과 제1 및 제2공통 배선과; 상기 게이트 배선, 상기 제1 및 제2공통 배선과 교차하여 상기 화소 영역을 정의하는 데이터 배선과; 상기 제1 및 제2박막트랜지스터 상부에 형성되는 제1 및 제2보호층과; 상기 제2기관 내면에 형성되고 상기 게이트 배선, 상기 제1 및 제2공통 배선 및 상기 데이터 배선에 대응되는 블랙매트릭스와; 상기 블랙매트릭스 하부에 형성되는 컬러필터층과; 상기 컬러필터층 하부에 형성되는 오버코트층을 더 포함할 수 있다.

[0043] 또한, 상기 제1 및 제2박막트랜지스터 각각은 상기 게이트 배선 및 상기 데이터 배선에 연결되고, 상기 제1 및 제2공통 전극은 각각 상기 제1 및 제2공통 배선에 연결될 수 있다.

[0044] 그리고, 상기 제1박막트랜지스터는, 상기 게이트 배선, 상기 게이트 배선 상부의 반도체층, 상기 데이터 배선에 연결되는 제1소스 전극, 상기 제1소스 전극과 이격되어 상기 제1화소 전극에 연결되는 제1드레인 전극을 포함하고, 상기 제2박막트랜지스터는, 상기 게이트 배선, 상기 게이트 배선 상부의 상기 반도체층, 상기 데이터 배선에 연결되는 제2소스 전극, 상기 제2소스 전극과 이격되어 상기 제2화소 전극에 연결되는 제2드레인 전극을 포함할 수 있다.

[0045] 또한, 상기 제1 및 제2소스 전극은 일체형으로 형성될 수 있다.

[0046] 그리고, 상기 제1 및 제2공통 전극은 각각 상기 제1보호층 상부의 상기 반사부 및 상기 투과부에 관 형태로 형성되고, 상기 제1 및 제2화소전극은 각각 상기 제2보호층 상부의 상기 반사부 및 상기 투과부에 형성되고, 다수의 개구부를 포함할 수 있다.

- [0047] 또한, 상기 제1화소 전극 및 상기 제1공통 전극은 상기 제2보호층 상부의 상기 반사부에 서로 이격되어 교대로 형성되고, 상기 제2화소 전극 및 상기 제2공통 전극은 상기 제2보호층 상부의 상기 투과부에 서로 이격되어 교대로 형성될 수 있다.
- [0048] 한편, 본 발명은, 반사부 및 투과부로 이루어지는 화소 영역을 포함하는 제1기관 상부에 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터를 형성하는 단계와; 상기 제1기관 상부의 상기 반사부에 반사층을 형성하는 단계와; 상기 제1 및 제2박막트랜지스터에 각각 연결되는 제1 및 제2화소전극을 형성하는 단계와; 상기 제1 및 제2화소 전극에 각각 대응되어 전기장을 생성하는 제1 및 제2공통 전극을 형성하는 단계와; 상기 화소 영역을 포함하는 제2기관 상부에 컬러필터층을 형성하는 단계와; 상기 제1 및 제2기관을 합착하는 단계와; 상기 제1 및 제2기관 사이에 액정층을 형성하는 단계를 포함하는 반사투과형 액정표시장치의 제조방법을 제공한다.
- [0049] 여기서, 상기 제1박막트랜지스터의 W/L비는 상기 제2박막트랜지스터의 W/L비 보다 작은 값일 수 있다.

발명의 효과

- [0050] 본 발명에 따른 반사투과형 액정표시장치 및 그 제조방법에서는, 반사부 및 투과부에 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터를 각각 형성하여 데이터 전압을 공급함으로써, 제조공정을 단순화하여 생산성을 개선하고 제조비용을 절감할 수 있다.
- [0051] 또한, 반사부 및 투과부의 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터에 의하여 별도의 경로보상층을 생략함으로써, 대조비 및 화질을 개선할 수 있다.

도면의 간단한 설명

- [0052] 도 1은 종래의 반사투과형 액정표시장치의 단면도.
- 도 2는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 개략적인 회로도.
- 도 3은 본 발명의 제1실시예에 따른 반사투과형 액정표시장치용 어레이 기관의 평면도.
- 도 4는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 단면도.
- 도 5는 도3의 제1 및 제2박막트랜지스터를 확대 도시한 도면.
- 도 6은 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 게이트 전압, 데이터 전압, 제1 및 제2화소 전압의 파형을 도시한 도면.
- 도 7은 본 발명의 제2실시예에 따른 반사투과형 액정표시장치용 어레이 기관의 평면도.
- 도 8은 본 발명의 제2실시예에 따른 반사투과형 액정표시장치의 단면도.

발명을 실시하기 위한 구체적인 내용

- [0053] 이하, 도면을 참조하여 본 발명의 실시예를 설명한다.
- [0054] 도 2는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 개략적인 회로도이고, 도 3은 본 발명의 제1실시예에 따른 반사투과형 액정표시장치용 어레이 기관의 평면도이고, 도 4는 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 단면도로서, 도 3의 절단선 IV-IV에 대응되는 도면이며, 도 3 및 도 4의 반사투과형 액정표시장치는 프린지 필드 스위칭(fringe field switching: FFS) 모드로 동작한다.
- [0055] 도 2에 도시한 바와 같이, 본 발명의 제1실시예에 따른 반사투과형 액정표시장치(110)는, 일 방향으로 평행하게 배치되는 다수의 게이트 배선(GL1 내지 GLm)과, 다수의 게이트 배선으로부터 평행하게 이격되는 다수의 공통 배선(CL1 내지 CLm+1)과, 다수의 게이트 배선(GL1 내지 GLm) 및 다수의 공통 배선(CL1 내지 CLm+1)과 교차하여 다수의 화소 영역(P)을 정의하는 다수의 데이터 배선(DL1 내지 DLn)을 포함한다.
- [0056] 다수의 게이트 배선(GL1 내지 GLm) 및 다수의 공통 배선(CL1 내지 CLm+1)은 서로 교대로 배치되며, 1개의 게이트 배선(GL1 내지 GLm)에 2개의 공통 배선(CL1 내지 CLm+1)이 대응되는 형태로 배치된다.
- [0057] 각 화소 영역(P)은 반사부(REF) 및 투과부(TRA)를 포함하고, 반사부(REF)에는 제1박막트랜지스터(thin film

transistor: TFT)(T1), 제1액정 커패시터(C1c1) 및 제1스토리지 커패시터(Cst1)가 형성되고, 투과부(TRA)에는 제2박막트랜지스터(T2), 제2액정 커패시터(C1c2) 및 제2스토리지 커패시터(Cst2)가 형성된다.

- [0058] 여기서, 제1 및 제2박막트랜지스터(T1, T2)는 서로 상이한 W/L비(width to length ratio)를 갖도록 형성되며, 예를 들어 반사부의 제1박막트랜지스터(T1)의 제1W/L비(W1/L1)가 투과부의 제2박막트랜지스터(T2)의 제2W/L비(W2/L2) 보다 작도록 형성될 수 있는데($W1/L1 < W2/L2$), 이에 대해서는 후술하는 도 5에서 상세히 설명한다.
- [0059] 제1W/L비(W1/L1)와 제2W/L비(W2/L2)는, 제1 및 제2박막트랜지스터(T1, T2)에 의한 충전 특성(rising time), 게이트 전압(Vg)의 하이레벨 구간의 길이 및 액정층의 두께(셀갭)에 따라 결정될 수 있는데, 제1 및 제2박막트랜지스터(T1, T2)의 충전 특성(rising time)은 기생용량(parasitic capacitance) 등에 의존하고, 게이트 전압(Vg)의 하이레벨 구간의 길이는 반사투과형 액정표시장치(110)의 수직 해상도 등에 의존할 수 있다.
- [0060] 예를 들어, 시뮬레이션 결과를 참고하면, 박막트랜지스터를 통한 충전 속도는 통상 박막트랜지스터의 폭(width)에 비례하므로, 반사부의 제1박막트랜지스터(T1)의 제1폭(W1)은 투과부의 제2박막트랜지스터(T2)의 제2폭(W2)의 1/2로 설정할 수 있으며($W1:W2 = 1:2$), 투과부의 제2W/L비(W2/L2)를 반사부의 제1W/L비(W1/L1)의 2배로 설정할 수 있다($W2/L2 = 2W1/L1$).
- [0061] 이때, 제1 및 제2박막트랜지스터(T1, T2)의 제1W/L비(W1/L1) 및 제2W/L비(W2/L2)은 각각 2 이상으로 설정할 수 있다.
- [0062] 하나의 화소 영역(P)에 포함되는 반사부(REF) 및 투과부(TRA)는 하나의 게이트 배선(GL1 내지 GLm) 및 하나의 데이터 배선(DL1 내지 DLn)과, 하나의 게이트 배선(GL1 내지 GLm)의 상하로 배치된 2개의 공통 배선(CL1 내지 CLm+1)에 대응된다.
- [0063] 예를 들어, 제1게이트 배선(GL1) 및 제1데이터 배선(DL1)에 연결되는 제1 및 제2박막트랜지스터(T1, T2)의 경우, 제1박막트랜지스터(T1)에 연결되는 제1액정 커패시터(C1c1) 및 제1스토리지 커패시터(Cst1)는 제1게이트 배선(GL1) 하부에 배치되는 제2공통 배선(CL2)에 연결되고, 제2박막트랜지스터(T2)에 연결되는 제2액정 커패시터(C1c2) 및 제2스토리지 커패시터(Cst2)는 제1게이트 배선(GL1)의 상부에 배치되는 제1공통 배선(CL1)에 연결된다.
- [0064] 따라서, 선택된 게이트 배선(GL1 내지 GLm)에 하이레벨의 게이트 전압(Vg)이 공급되면, 해당 게이트 배선(GL1 내지 GLm)에 연결된 제1 및 제2박막트랜지스터(T1, T2)가 턴-온(turn-on)되고, 해당 데이터 배선(DL1 내지 DLn)에 공급되는 데이터 전압(Vd)이 제1 및 제2박막트랜지스터(T1, T2)를 통하여 각각 제1 및 제2화소 전압(Vp1, Vp2)으로 제1액정 커패시터(C1c1) 및 제1스토리지 커패시터(Cst1)와 제2액정 커패시터(C1c2) 및 제2스토리지 커패시터(Cst2)에 충전된다.
- [0065] 이때, 제1 및 제2박막트랜지스터(T1, T2)는 서로 상이한 W/L비를 가지므로, 비록 동일한 데이터 전압(Vd)이 공급되더라도, 반사부(REF)의 제1액정 커패시터(C1c1) 및 제1스토리지 커패시터(Cst1)에 충전되는 제1화소 전압(Vp1)과 투과부(TRA)의 제2액정 커패시터(C1c2) 및 제2스토리지 커패시터(Cst2)에 충전되는 제2화소 전압(Vp2)은 서로 상이한 값이 된다.
- [0066] 따라서, 반사부(REF) 및 투과부(TRA)에서 생성되는 전기장의 세기가 달라지고, 그에 따라 생성된 전기장에 의한 액정층의 액정분자의 재배열 상태도 달라지게 된다.
- [0067] 이러한 반사부(REF) 및 투과부(TRA)에서의 상이한 액정분자의 재배열 상태에 의하여, 액정층을 2회 통과하는 외부광의 광경로와 액정층을 1회 통과하는 백라이트 유닛 광의 광경로의 차이가 보상되므로, 반사투과형 액정표시장치(110)가 반사부(REF) 및 투과부(TRA)의 액정층의 두께가 동일한 싱글 셀갭(single cell gap) 구조를 갖도록 형성하여 제조공정을 단순화하고 생산성을 개선하고 제조비용을 감소하면서도 동시에 화질을 개선할 수 있다.
- [0068] 이러한 반사투과형 액정표시장치(110)의 구성의 일 예를 도면을 참조하여 설명한다.
- [0069] 도 3 및 도 4에 도시한 바와 같이, 본 발명의 제1실시예에 따른 반사투과형 액정표시장치(110)는, 서로 마주보며 이격되는 제1 및 제2기판(120, 170)과, 제1 및 제2기판(120, 170) 사이에 형성되는 액정층(190)을 포함하고, 제1 및 제2기판(120, 170)은 반사부(REF) 및 투과부(TRA)로 구성되는 화소 영역(P)을 포함한다.
- [0070] 제1기판(120) 상부(내면)의 반사부(REF)에는 제1박막트랜지스터(thin film transistor: TFT)(T1)와, 제1박막트랜지스터(T1)에 연결되는 제1화소 전극(155)과, 제1화소 전극(155)에 대응되는 제1공통 전극(147)이 형성된

다.

- [0071] 그리고, 제1기관(120) 상부(내면)의 투과부(TRA)에는 제2박막트랜지스터(T2)와, 제2박막트랜지스터(T2)에 연결되는 제2화소 전극(156)과, 제2화소 전극(156)에 대응되는 제2공통 전극(148)이 형성된다.
- [0072] 도시하지는 않았지만, 제1기관(120) 하부에는 백라이트 유닛(backlight unit)이 배치된다.
- [0073] 구체적으로, 제1기관(120) 상부에는 일 방향에 평행한 게이트 배선(130)과, 게이트 배선(130)에 평행하게 이격되는 제1 및 제2공통 배선(131, 132)이 형성되고, 게이트 배선(130)과 제1 및 제2공통 배선(131, 132) 상부에는 게이트 절연층(136)이 형성된다.
- [0074] 여기서, 게이트 배선(130)은 제1 및 제2박막트랜지스터(T1, T2) 각각의 게이트 전극 역할을 한다.
- [0075] 게이트 배선(130)에 대응되는 게이트 절연층(136) 상부에는 반도체층(138)이 형성되고, 반도체층(138) 상부에는 서로 이격되는 제1소스 전극(141) 및 제1드레인 전극(143)과, 제2소스 전극(142) 및 제2드레인 전극(144)이 형성된다.
- [0076] 도시하지는 않았지만, 반도체층(138)은 순수 실리콘(intrinsic silicon)으로 이루어지는 활성층과 불순물 실리콘(impurity-doped silicon)으로 이루어지는 오믹 콘택층을 포함할 수 있다.
- [0077] 또한, 게이트 절연층(136) 상부에는 게이트 배선(130)과 교차하여 화소 영역(P)을 정의하는 데이터 배선(140)이 형성되고, 제1 및 제2소스 전극(141, 142)은 데이터 배선(140)에 연결되는데, 도 3에서는 일체형으로 형성된 제1 및 제2소스 전극(141, 142)을 예로 들었으나, 다른 실시예에서는 제1 및 제2소스 전극(141, 142)이 별도의 패턴으로 형성되어 데이터 배선(140)에 연결될 수 있다.
- [0078] 여기서, 게이트 배선(130), 반도체층(138), 제1소스 전극(141) 및 제1드레인 전극(143)은 제1박막트랜지스터(T1)를 구성하고, 게이트 배선(130), 반도체층(138), 제2소스 전극(142) 및 제2드레인 전극(144)은 제2박막트랜지스터(T2)를 구성하는데, 제1 및 제2박막트랜지스터(T1, T2)는 서로 상이한 W/L비(width to length ratio)를 갖도록 형성된다.
- [0079] 제1 및 제2박막트랜지스터(T1, T2) 상부에는 제1보호층(146)이 형성되는데, 반사부(REF)의 제1보호층(146)의 상부표면에는 요철패턴이 형성되고, 투과부(TRA)의 제1보호층(146)의 상부표면은 평탄하게 형성된다.
- [0080] 제1보호층(146)은 벤조사이클로부텐(benzocyclobutene: BCB) 또는 아크릴수지(acrylic resin)과 같은 감광성 유기절연물질을 이용하여 형성될 수 있으며, 반사부(REF)의 요철패턴 형성은 투과영역, 차단영역, 반투과영역을 포함하는 마스크를 이용하여 노광, 현상한 후 열처리를 통하여 형성할 수 있다.
- [0081] 그리고, 다른 실시예에서는, 유기 절연물질의 제1보호층(146)에 의하여 하부의 제1 및 제2박막트랜지스터(T1, T2)의 특성이 저하되는 것을 방지하기 위하여 제1 및 제2박막트랜지스터(T1, T2)와 제1보호층(146) 사이에 무기 절연물질층을 추가로 형성할 수 있다.
- [0082] 제1보호층(146) 상부의 반사부(REF)에는 제1공통 전극(147)이 형성되고, 제1보호층(146) 상부의 투과부(TRA)에는 제2공통 전극(148)이 형성된다.
- [0083] 게이트 절연층(136) 및 제1보호층(146)에는 제1 및 제2공통 배선(131, 132)을 각각 노출하는 제1 및 제2공통 콘택홀(163, 164)이 형성되고, 제1공통 전극(147)은 제1공통 콘택홀(163)을 통하여 제1공통 배선(131)에 연결되고, 제2공통 전극(148)은 제2공통 콘택홀(164)을 통하여 제2공통 배선(132)에 연결된다.
- [0084] 그리고, 반사부(REF)의 제1공통 전극(147) 상부에는 반사층(150)이 형성되는데, 반사부(REF)의 제1공통 전극(147) 및 반사층(150)은 제1보호층(146)의 요철패턴을 따라 굴곡을 갖도록 형성된다.
- [0085] 제1 및 제2공통 전극(147, 148)은 인듐-틴-옥사이드(indium-tin-oxide: ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide: IZO)와 같은 투명도전성 물질로 이루어지고, 반사층(150)은 상대적으로 반사율이 높은 금속물질로 이루어질 수 있다.
- [0086] 그리고, 제1 및 제2공통 전극(147, 148)은 판(plate) 형태를 가지며 화소 영역(P) 전체에 형성될 수 있다.
- [0087] 반사층(150)을 굴곡지게 형성하는 이유는, 외부광이 굴곡진 반사층(150)에 의하여 난반사 되도록 함으로써, 평탄한 반사층(150)에 의하여 반사될 경우 발생하는 경면 반사와 같은 불량을 방지하기 위함이다.
- [0088] 반사층(150) 및 제2공통 전극(148) 상부에는 제2보호층(152)이 형성되고, 제2보호층(152) 상부의 반사부(REF)에는 제1화소 전극(155)이 형성되고, 제2보호층(152) 상부의 투과부(TRA)에는 제2화소 전극(156)이 형성된

다.

- [0089] 제2보호층(152)은 벤조사이클로부텐(benzocyclobutene: BCB) 또는 아크릴수지(acrylic resin)과 같은 유기 절연물질, 또는 질화실리콘(silicon nitride: SiN_x) 또는 산화실리콘(silicon oxide: SiO₂)과 같은 무기 절연물질로 이루어질 수 있으며, 제1 및 제2화소 전극(155, 156)은 인듐-틴-옥사이드(indium-tin-oxide: ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide: IZO)와 같은 투명도전성 물질로 이루어질 수 있다.
- [0090] 제2보호층(152), 반사층(150), 제1공통 전극(147) 및 제1보호층(146)에는 제1드레인 전극(143)을 노출하는 제1드레인 콘택홀(153)이 형성되고, 제2보호층(152), 제2공통 전극(148) 및 제1보호층(146)에는 제2드레인 전극(144)을 노출하는 제2드레인 콘택홀(154)이 형성되며, 제1화소 전극(155)은 제1드레인 콘택홀(153)을 통하여 제1드레인 전극(143)에 연결되고, 제2화소 전극(156)은 제2드레인 콘택홀(154)을 통하여 제2드레인 전극(144)에 연결된다.
- [0091] 그리고, 제1 및 제2화소 전극(155, 156) 각각에는 제2보호층(152)을 노출하는 다수의 개구부(160)가 형성된다.
- [0092] 한편, 제2기판(170) 하부(내면)에는 제1기판(120)의 게이트 배선(130), 제1 및 제2공통 배선(131, 132) 및 데이터 배선(140)에 대응되는 블랙매트릭스(172)가 형성되고, 블랙매트릭스(172) 및 제2기판(170) 하부에는 적, 녹, 청(R, G, B) 컬러필터를 포함하는 컬러필터층(174)이 형성되며, 컬러필터층(174) 하부에는 오버코트(overcoat)층(176)이 형성된다.
- [0093] 그리고, 제1기판(120)의 제1 및 제2화소 전극(155, 156)과 제2기판(170)의 오버코트층(176) 사이에는 액정층(190)이 형성되는데, 종래에서와 같은 경로보상층(도 1의 80)을 형성하지 않으므로 액정층(190)은 반사부(REF) 및 투과부(TRA)에서 동일한 두께로 형성되어 싱글 셀갭(single cell gap) 구조의 액정층(190)이 형성된다.
- [0094] 도시하지는 않았지만, 제1기판(120) 하부(외면)에는 제1편광층이 형성되고 제2기판(170) 상부(외면)에는 제2편광층이 형성되며, 다른 실시예에서는 제1기판(120)과 제1편광층 사이에 반파장 플레이트(half wave plate: HWP)인 제1보상층이 형성되고 제2기판(170)과 제2편광층 사이에 반파장 플레이트인 제2보상층이 형성될 수 있는데, 제1 및 제2보상층은 적, 녹, 청색 광의 편차, 즉 파장에 따른 편차를 보상하기 위하여 사용될 수 있다.
- [0095] 이러한 반사투과형 액정표시장치(110)는, 제1기판(120) 상부에 제1 및 제2박막트랜지스터(T1, T2), 제1 및 제2공통 전극(147, 148), 반사층(150), 제1 및 제2화소 전극(155, 156)을 형성하고, 제2기판(170) 상부에 블랙매트릭스(172), 컬러필터층(174) 및 오버코트층(176)을 형성한 후, 제1 및 제2화소 전극(155, 156)과 오버코트층(176)이 서로 마주보도록 제1 및 제2기판(120, 170)을 합착하고, 제1 및 제2기판(120, 170) 사이에 액정층(190)을 형성함으로써 완성할 수 있다.
- [0096] 이와 같은 반사투과형 액정표시장치(110)에서, 게이트 배선(130)에 하이레벨의 게이트 전압(Vg)이 공급되면, 동일한 게이트 배선(130)에 연결된 제1 및 제2박막트랜지스터(T1, T2)가 턴-온(turn-on)되고, 데이터 배선(140)에 공급되는 데이터 전압(Vd)이 제1 및 제2박막트랜지스터(T1, T2)를 통하여 제1 및 제2화소 전극(155, 156)에 전달된다.
- [0097] 이때, 제1 및 제2박막트랜지스터(T1, T2)는 서로 상이한 W/L비를 가지므로, 데이터 전압(Vd)이 제1 및 제2화소 전극(155, 156)에 충전되는 속도가 상이하며, 그 결과 게이트 전압(Vg)의 하이레벨이 종료되는 시점의 제1 및 제2화소 전극(155, 156)의 전압도 제1 및 제2화소 전압(Vp1, Vp2)으로 서로 상이하게 된다. (Vp1 ≠ Vp2)
- [0098] 즉, 박막트랜지스터의 W/L비가 클수록 충전 속도가 빠르며, 그에 따라 더 큰 화소 전압을 얻을 수 있다.
- [0099] 예를 들어, 반사부(REF)의 제1박막트랜지스터(T1)의 제1W/L비(W1/L1)는 투과부(TRA)의 제2박막트랜지스터(T2)의 제2W/L비(W2/L2) 보다 작도록 형성될 수 있으며, 그 경우 제1박막트랜지스터(T1)를 통한 충전 속도는 제2박막트랜지스터(T2)를 통한 충전 속도 보다 작을 수 있으며, 그 결과 반사부(REF)의 제1화소 전극(155)의 제1화소 전압(Vp1)은 투과부(TRA)의 제2화소 전극(156)의 제2화소 전압(Vp2) 보다 작을 수 있다.
- [0100] 따라서, 제1화소 전극(155)과 제1공통 전극(147) 사이에는 개구부(160)를 통과하는 제1전기장이 생성되고, 제2화소 전극(156)과 제2공통 전극(148) 사이에는 개구부(160)를 통과하는 제2전기장이 생성되며, 제1 및 제2전기장은 서로 상이한 세기를 가질 수 있다.

- [0101] 그리고, 생성된 제1 및 제2전기장에 의하여 액정층(190)의 반사부(REF) 및 투과부(TRA)의 액정분자가 각각 재배열되어 영상을 표시하는데, 제1 및 제2전기장의 세기가 상이하므로, 반사부(REF)의 액정분자의 재배열 상태와 투과부(TRA)의 액정분자의 재배열 상태는 서로 상이하게 된다.
- [0102] 비록 제2기관(170) 상부로부터 반사부(REF)로 입사되어 액정층(190)을 2회 통과한 후 출사되는 외부광의 광경로와 제1기관(120)의 하부로부터 투과부(TRA)로 입사되어 액정층(190)을 1회 통과하여 출사되는 백라이트 유닛 광의 광경로가 상이하지만, 제1전기장에 의한 반사부(REF)의 액정분자의 재배열 상태와 제2전기장에 의한 투과부(TRA)의 액정분자의 재배열 상태가 서로 상이하므로, 외부광과 백라이트 유닛 광의 광경로 차이가 보상된다.
- [0103] 따라서, 반사투과형 액정표시장치(110)가 반사부(REF) 및 투과부(TRA)의 액정층(190)의 두께가 동일한 싱글 셀갭(single cell gap) 구조를 갖도록 형성할 수 있으며, 그 결과 제조공정이 단순화되고 생산성이 개선되고 제조비용이 감소되면서도 동시에 화질이 개선된다.
- [0104] 이러한 반사투과형 액정표시장치(110)의 제1 및 제2박막트랜지스터(T1, T2)의 구성과 그에 따른 제1 및 제2화소 전압(Vp1, Vp2)을 도면을 참조하여 설명한다.
- [0105] 도 5는 도3의 제1 및 제2박막트랜지스터를 확대 도시한 도면이고, 도 6은 본 발명의 제1실시예에 따른 반사투과형 액정표시장치의 게이트 전압, 데이터 전압, 제1 및 제2화소 전압의 파형을 도시한 도면이다.
- [0106] 도 5에 도시한 바와 같이, 제1박막트랜지스터(T1)는 게이트 배선(130), 반도체층(138), 제1소스 전극(141) 및 제1드레인 전극(143)으로 구성되고, 제2박막트랜지스터(T2)는 게이트 배선(130), 반도체층(138), 제2소스 전극(142) 및 제2드레인 전극(144)으로 구성된다.
- [0107] 여기서, 게이트 배선(130)은 제1 및 제2박막트랜지스터(T1, T2) 각각의 게이트 전극으로 사용되고, 제1 및 제2소스 전극(141, 142)은 일체형으로 형성된다.
- [0108] 제1박막트랜지스터(T1)는 제1폭(W1) 및 제1길이(L1)를 갖는 제1채널(CH1)을 포함하고, 제2박막트랜지스터(T2)는 제2폭(W2) 및 제1길이(L2)를 갖는 제2채널(CH2)을 포함한다.
- [0109] 여기서, 제1 및 제2채널(CH1, CH2)은 각각 제1 및 제2W/L비(W1/L1, W2/L2)를 갖는 것으로 표현할 수 있으며, 제1 및 제2W/L비(W1/L1, W2/L2)가 서로 상이한 값이 되도록 제1 및 제2박막트랜지스터(T1, T2)의 제1소스 전극(141), 제1드레인 전극(143), 제2소스 전극(142) 및 제2드레인 전극(144)을 형성한다.
- [0110] 도 5의 제1 및 제2박막트랜지스터(T1, T2)의 형태는 일 예이며, 다른 실시예에서는 다른 형태로 서로 상이한 제1 및 제2W/L비(W1/L1, W2/L2)를 갖는 제1 및 제2박막트랜지스터(T1, T2)를 구성할 수 있다.
- [0111] 이러한 제1 및 제2박막트랜지스터(T1, T2)를 통한 제1 및 제2화소 전극(도 3의 155, 156)의 충전 상태를 도시한 도 6을 참조하면, 게이트 배선(130)에 하이레벨의 게이트 전압(Vg)이 공급되는 동안, 제1 및 제2박막트랜지스터(T1, T2)는 턴-온 되고, 데이터 배선(도 3의 140)에 공급되는 데이터 전압(Vd)은 제1 및 제2박막트랜지스터(T1, T2)를 통하여 각각 제1 및 제2화소 전극(155, 156)에 인가된다.
- [0112] 이때, 제1 및 제2박막트랜지스터(T1, T2)의 제1 및 제2W/L비(W1/L1, W2/L2)가 상이하므로 제1 및 제2화소 전극(155, 156)로의 데이터 전압(Vd)의 충전 속도는 서로 상이하다.
- [0113] 예를 들어, 제1박막트랜지스터(T1)의 제1W/L비(W1/L1)가 5/30(~ 0.17)이고, 제2박막트랜지스터(T2)의 제2W/L비(W2/L2)가 30/5(~ 6)인 경우, 제1화소 전극(155)의 충전 속도는 제2화소 전극(156)의 충전 속도보다 느리게 되므로, 결국 게이트 전압(Vg)의 하이레벨이 종료되는 시점의 반사부(REF)의 제1화소 전극(155)의 전압은 제1화소 전압(Vp1)이 되고 투과부(TRA)의 제2화소 전극(156)의 전압은 제1화소 전압(Vp1) 보다 큰 제2화소 전압(Vp2)이 된다. (Vp1 < Vp2)
- [0114] 따라서, 하나의 게이트 전압(Vg) 및 하나의 데이터 전압(Vd)이 공급되는 화소 영역(P)의 반사부(REF) 및 투과부(TRA)의 전기장의 세기가 상이하게 되고, 그에 따라 액정층(190)의 액정분자의 재배열 상태가 상이하게 되어 외부광과 백라이트 유닛 광의 광경로 차이가 보상된다.
- [0115] 그러므로, 반사투과형 액정표시장치(110)가 반사부(REF) 및 투과부(TRA)의 액정층(190)의 두께가 동일한 싱글 셀갭(single cell gap) 구조를 갖도록 형성할 수 있으며, 그 결과 제조공정을 단순화하고 생산성을 개선하고 제조비용을 감소하면서도 동시에 화질을 개선할 수 있다.

- [0116] 한편, 다른 실시예에서는 반사투과형 액정표시장치를 인-플레인 스위칭(in-plane switching: IPS) 모드로 동작하도록 할 수도 있는데, 이를 도면을 참조하여 설명한다.
- [0117] 도 7은 본 발명의 제2실시예에 따른 반사투과형 액정표시장치용 어레이 기관의 평면도이고, 도 8은 본 발명의 제2실시예에 따른 반사투과형 액정표시장치의 단면도로서, 도 7의 절단선 VIII-VIII에 대응되는 도면이며, 도 7 및 도 8의 반사투과형 액정표시장치는 인-플레인 스위칭(in-plane switching: IPS) 모드로 동작한다.
- [0118] 도 7 및 도 8에 도시한 바와 같이, 본 발명의 제2실시예에 따른 반사투과형 액정표시장치(210)는, 서로 마주보는 제1 및 제2기관(220, 270)과, 제1 및 제2기관(220, 270) 사이에 형성되는 액정층(290)을 포함하고, 제1 및 제2기관(220, 270)은 반사부(REF) 및 투과부(TRA)로 구성되는 화소 영역(P)을 포함한다.
- [0119] 제1기관(220) 상부(내면)의 반사부(REF)에는 제1박막트랜지스터(T1)와, 제1박막트랜지스터(T1)에 연결되는 제1화소전극(255)과, 제1화소전극(255)에 대응되는 제1공통전극(257)이 형성된다.
- [0120] 그리고, 제1기관(220) 상부(내면)의 투과부(TRA)에는 제2박막트랜지스터(T2)와, 제2박막트랜지스터(T2)에 연결되는 제2화소전극(256)과, 제2화소전극(256)에 대응되는 제2공통전극(258)이 형성된다.
- [0121] 도시하지는 않았지만, 제1기관(220)의 제1편광층(282) 하부에는 백라이트 유닛(backlight unit)이 배치된다.
- [0122] 구체적으로, 제1기관(220) 상부에는 일 방향에 평행한 게이트 배선(230), 상기 게이트 배선(230)에 평행하게 이격되는 제1 및 제2공통 배선(231, 232)이 형성되고, 게이트 배선(230)과 제1 및 제2공통 배선(231, 232) 상부에는 게이트 절연층(236)이 형성된다.
- [0123] 여기서, 게이트 배선(230)은 제1 및 제2박막트랜지스터(T1, T2) 각각의 게이트 전극 역할을 한다.
- [0124] 게이트 배선(234)에 대응되는 게이트 절연층(236) 상부에는 반도체층(238)이 형성되고, 반도체층(238) 상부에는 서로 이격되는 제1소스 전극(241) 및 제1드레인 전극(243)과, 제2소스 전극(242) 및 제2드레인 전극(244)이 형성된다.
- [0125] 도시하지는 않았지만, 반도체층(238)은 순수 실리콘(intrinsic silicon)으로 이루어지는 활성층과 불순물 실리콘(impurity-doped silicon)으로 이루어지는 오믹 콘택층을 포함할 수 있다.
- [0126] 또한, 게이트 절연층(236) 상부에는 게이트 배선(230)과 교차하여 화소 영역(P)을 정의하는 데이터 배선(240)이 형성되고, 제1 및 제2소스 전극(241, 242)은 데이터 배선(240)에 연결되는데, 도 7에서는 일체형으로 형성된 제1 및 제2소스 전극(241, 242)을 예로 들었으나, 다른 실시예에서는 제1 및 제2소스 전극(241, 242)이 별도의 패턴으로 형성되어 데이터 배선(240)에 연결될 수 있다.
- [0127] 여기서, 게이트 배선(230), 반도체층(238), 제1소스 전극(241) 및 제1드레인 전극(243)은 제1박막트랜지스터(T1)를 구성하고, 게이트 배선(230), 반도체층(238), 제2소스 전극(242) 및 제2드레인 전극(244)은 제2박막트랜지스터(T2)를 구성하는데, 제1 및 제2박막트랜지스터(T1, T2)는 서로 상이한 W/L비(width to length ratio)를 갖도록 형성된다.
- [0128] 제1 및 제2박막트랜지스터(T1, T2) 상부에는 제1보호층(246)이 형성되는데, 반사부(REF)의 제1보호층(246)의 상부표면에는 요철패턴이 형성되고, 투과부(TRA)의 제1보호층(246)의 상부표면은 평탄하게 형성된다.
- [0129] 제1보호층(246)은 벤조사이클로부텐(benzocyclobutene: BCB) 또는 아크릴수지(acrylic resin)과 같은 감광성 유기 절연물질을 이용하여 형성될 수 있으며, 반사부(REF)의 요철패턴 형성은 투과영역, 차단영역, 반투과영역을 포함하는 마스크를 이용하여 노광, 현상한 후 열처리를 통하여 형성할 수 있다.
- [0130] 그리고, 다른 실시예에서는, 유기 절연물질의 제1보호층(246)에 의하여 하부의 제1 및 제2박막트랜지스터(T1, T2)의 특성이 저하되는 것을 방지하기 위하여 제1 및 제2박막트랜지스터(T1, T2)와 제1보호층(246) 사이에 무기 절연물질층을 추가로 형성할 수 있다.
- [0131] 제1보호층(246) 상부의 반사부(REF)에는 반사층(250)이 형성되는데, 반사부(REF)의 반사층(250)은 제1보호층(246)의 요철패턴을 따라 굴곡을 갖도록 형성되며, 상대적으로 반사율이 높은 금속물질로 이루어질 수 있다.
- [0132] 반사층(250)을 굴곡지게 형성하는 이유는, 외부광이 굴곡진 반사층(250)에 의하여 난반사 되도록 함으로써, 평탄한 반사층(250)에 의하여 반사될 경우 발생하는 경면 반사와 같은 불량을 방지하기 위함이다.
- [0133] 반사층(250) 및 제1보호층(246) 상부에는 제2보호층(252)이 형성되고, 제2보호층(252) 상부의 반사부(REF)에

는 제1화소 전극(255) 및 제1공통 전극(257)이 형성되고, 제2보호층(252) 상부의 투과부(TRA)에는 제2화소 전극(256) 및 제2공통 전극(258)이 형성된다.

- [0134] 제2보호층(252)은 벤조사이클로부텐(benzocyclobutene: BCB) 또는 아크릴수지(acrylic resin)과 같은 유기 절연물질, 또는 질화실리콘(silicon nitride: SiNx) 또는 산화실리콘(silicon oxide: SiO₂)과 같은 무기 절연물질로 이루어질 수 있으며, 제1 및 제2화소 전극(255, 256) 및 제1 및 제2공통 전극(257, 258)은 인듐-틴-옥사이드(indium-tin-oxide: ITO) 또는 인듐-징크-옥사이드(indium-zinc-oxide: IZO)와 같은 투명도전성 물질로 이루어질 수 있다.
- [0135] 제2보호층(252), 반사층(250) 및 제1보호층(246)에는 제1드레인 전극(243)을 노출하는 제1드레인 콘택홀(253)이 형성되고, 제2보호층(252) 및 제1보호층(246)에는 제2드레인 전극(244)을 노출하는 제2드레인 콘택홀(254)이 형성되며, 제1화소 전극(255)은 제1드레인 콘택홀(253)을 통하여 제1드레인 전극(243)에 연결되고, 제2화소 전극(256)은 제2드레인 콘택홀(254)을 통하여 제2드레인 전극(244)에 연결된다.
- [0136] 또한, 제2보호층(252), 제1보호층(246) 및 게이트 절연층(236)에는 제1 및 제2공통 배선(231, 232)을 각각 노출하는 제1 및 제2공통 콘택홀(263, 264)이 형성되고, 제1공통 전극(247)은 제1공통 콘택홀(263)을 통하여 제1공통 배선(231)에 연결되고, 제2공통 전극(248)은 제2공통 콘택홀(264)을 통하여 제2공통 배선(232)에 연결된다.
- [0137] 제1화소 전극(255) 및 제1공통 전극(257)은 서로 평행하게 이격되며, 화소 영역(P)의 반사부(REF) 내에서 교대로 배치되고, 제2화소 전극(256) 및 제2공통 전극(258)은 서로 평행하게 이격되며, 화소 영역(P)의 투과부(TRA) 내에서 교대로 배치된다.
- [0138] 한편, 제2기판(270) 하부에는 제1기판(220)의 게이트 배선(230), 제1 및 제2공통 배선(231, 232) 및 데이터 배선(240)에 대응되는 블랙매트릭스(272)가 형성되고, 블랙매트릭스(272) 및 제2기판(270) 하부에는 적, 녹, 청(R, G, B) 컬러필터를 포함하는 컬러필터층(274)이 형성되며, 컬러필터층(274) 하부에는 오버코트층(overcoat)층(276)이 형성된다.
- [0139] 그리고, 제1기판(120)의 제1 및 제2화소 전극(155, 156)과 제2기판(170)의 오버코트층(176) 사이에는 액정층(190)이 형성되는데, 종래에서와 같은 경로보상층(도 1의 80)을 형성하지 않으므로 액정층(190)은 반사부(REF) 및 투과부(TRA)에서 동일한 두께로 형성되어 싱글 셀갭(single cell gap) 구조의 액정층(190)이 형성된다.
- [0140] 도시하지는 않았지만, 제1기판(120) 하부(외면)에는 제1편광층이 형성되고 제2기판(170) 상부(외면)에는 제2편광층이 형성되며, 다른 실시예에서는 제1기판(120)과 제1편광층 사이에 반파장 플레이트(half wave plate: HWP)인 제1보상층이 형성되고 제2기판(170)과 제2편광층 사이에 반파장 플레이트인 제2보상층이 형성될 수 있는데, 제1 및 제2보상층은 적, 녹, 청색 광의 편차, 즉 파장에 따른 편차를 보상하기 위하여 사용될 수 있다.
- [0141] 이러한 반사투과형 액정표시장치(210)는, 제1기판(220) 상부에 제1 및 제2박막트랜지스터(T1, T2), 반사층(250), 제1 및 제2화소 전극(255, 256) 제1 및 제2공통 전극(257, 258)을 형성하고, 제2기판(270) 상부에 블랙매트릭스(272), 컬러필터층(274) 및 오버코트층(276)을 형성한 후, 제1 및 제2화소 전극(255, 256)과 오버코트층(276)이 서로 마주보도록 제1 및 제2기판(220, 270)을 합착하고, 제1 및 제2기판(220, 270) 사이에 액정층(290)을 형성함으로써 완성할 수 있다.
- [0142] 이와 같은 반사투과형 액정표시장치(210)에서, 게이트 배선(230)에 하이레벨의 게이트 전압(Vg)이 공급되면, 동일한 게이트 배선(230)에 연결된 제1 및 제2박막트랜지스터(T1, T2)가 턴-온(turn-on)되고, 데이터 배선(240)에 공급되는 데이터 전압(Vd)이 제1 및 제2박막트랜지스터(T1, T2)를 통하여 제1 및 제2화소 전극(255, 256)에 전달된다.
- [0143] 이때, 제1 및 제2박막트랜지스터(T1, T2)는 서로 상이한 W/L비를 가지므로, 데이터 전압(Vd)이 제1 및 제2화소 전극(255, 256)에 충전되는 속도가 상이하며, 그 결과 게이트 전압(Vg)의 하이레벨이 종료되는 시점의 제1 및 제2화소 전극(255, 256)의 전압도 제1 및 제2화소 전압(Vp1, Vp2)으로 서로 상이하게 된다. (Vp1 ≠ Vp2)
- [0144] 즉, 박막트랜지스터의 W/L비가 클수록 충전 속도가 빠르며, 그에 따라 더 큰 화소 전압을 얻을 수 있다.
- [0145] 따라서, 제1화소 전극(255)과 제1공통 전극(247) 사이에는 제1전기장이 생성되고, 제2화소 전극(256)과 제2공

통 전극(248) 사이에는 제2전기장이 생성되며, 제1 및 제2전기장은 서로 상이한 세기를 가질 수 있다.

- [0146] 그리고, 생성된 제1 및 제2전기장에 의하여 액정층(290)의 반사부(REF) 및 투과부(TRA)의 액정분자가 각각 재배열되어 영상을 표시하는데, 제1 및 제2전기장의 세기가 상이하므로, 반사부(REF)의 액정분자의 재배열 상태와 투과부(TRA)의 액정분자의 재배열 상태는 서로 상이하게 된다.
- [0147] 비록 제2기관(270) 상부로부터 반사부(REF)로 입사되어 액정층(290)을 2회 통과한 후 출사되는 외부광의 광경로와 제1기관(220)의 하부로부터 투과부(TRA)로 입사되어 액정층(290)을 1회 통과하여 출사되는 백라이트 유닛 광의 광경로가 상이하지만, 제1전기장에 의한 반사부(REF)의 액정분자의 재배열 상태와 제2전기장에 의한 투과부(TRA)의 액정분자의 재배열 상태가 서로 상이하므로, 외부광과 백라이트 유닛 광의 광경로 차이가 보상된다.
- [0148] 따라서, 반사투과형 액정표시장치(210)가 반사부(REF) 및 투과부(TRA)의 액정층(290)의 두께가 동일한 싱글셀갭(single cell gap) 구조를 갖도록 형성할 수 있으며, 그 결과 제조공정이 단순화되고 생산성이 개선되고 제조비용이 감소되면서도 동시에 화질이 개선된다.
- [0149] 제1 및 제2실시예에서는 프린지 필드 스위칭(FFS) 모드 또는 인-플레인 스위칭(IPS) 모드로 동작하는 반사투과형 액정표시장치를 예로 들어 설명하였으나, 다른 실시예에서는 트위스티드 네마틱(twisted nematic: TN) 모드로 동작하는 반사투과형 액정표시장치에 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터를 적용하여 싱글갭 구조의 액정층을 형성할 수도 있으며, 이 경우 화소 전극은 제1기관 상부에 형성되고 공통 전극은 제2기관 하부에 형성될 수 있다.
- [0150] 또한, 서로 상이한 W/L비를 갖는 제1 및 제2박막트랜지스터를 반사부 및 투과부 내에 별도로 형성하되, 제1 및 제2박막트랜지스터의 게이트 전극에 동일한 게이트 신호가 인가되도록 제1 및 제2박막트랜지스터가 각각 연결되는 2개의 게이트 배선을 제1기관의 가장자리부에서 하나로 묶은 형태로 형성할 수도 있다.
- [0151] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

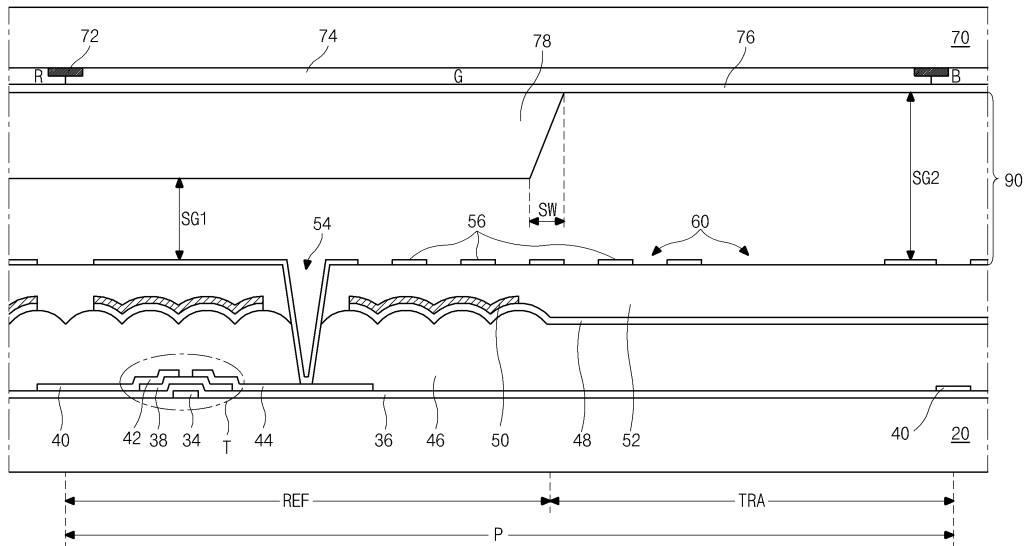
부호의 설명

- [0152]
- | | |
|------------------------|------------------------|
| 110: 반사투과형 액정표시장치 | 120: 제1기관 |
| 170: 제2기관 | T1, T2: 제1 및 제2박막트랜지스터 |
| 147, 148: 제1 및 제2공통 전극 | 150: 반사층 |
| 155, 156: 제1 및 제2화소 전극 | 190: 액정층 |

도면

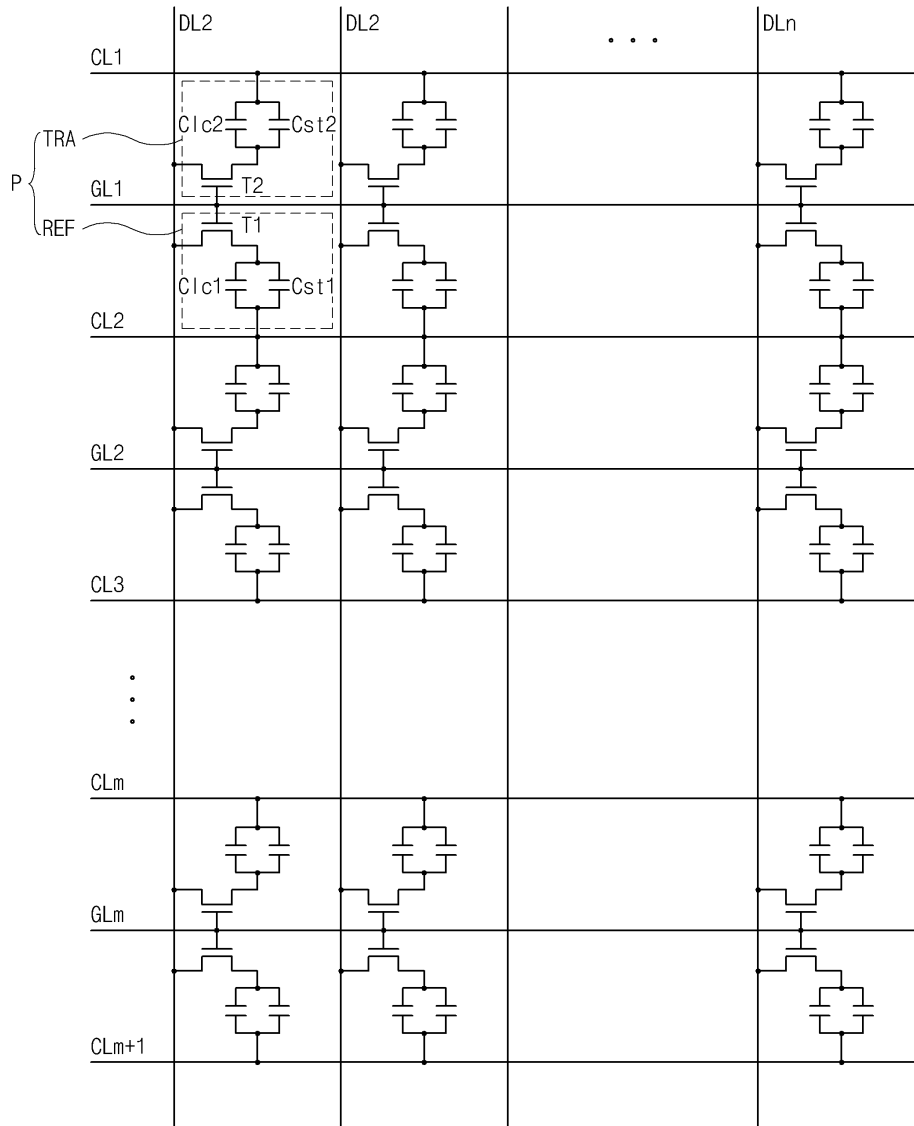
도면1

10



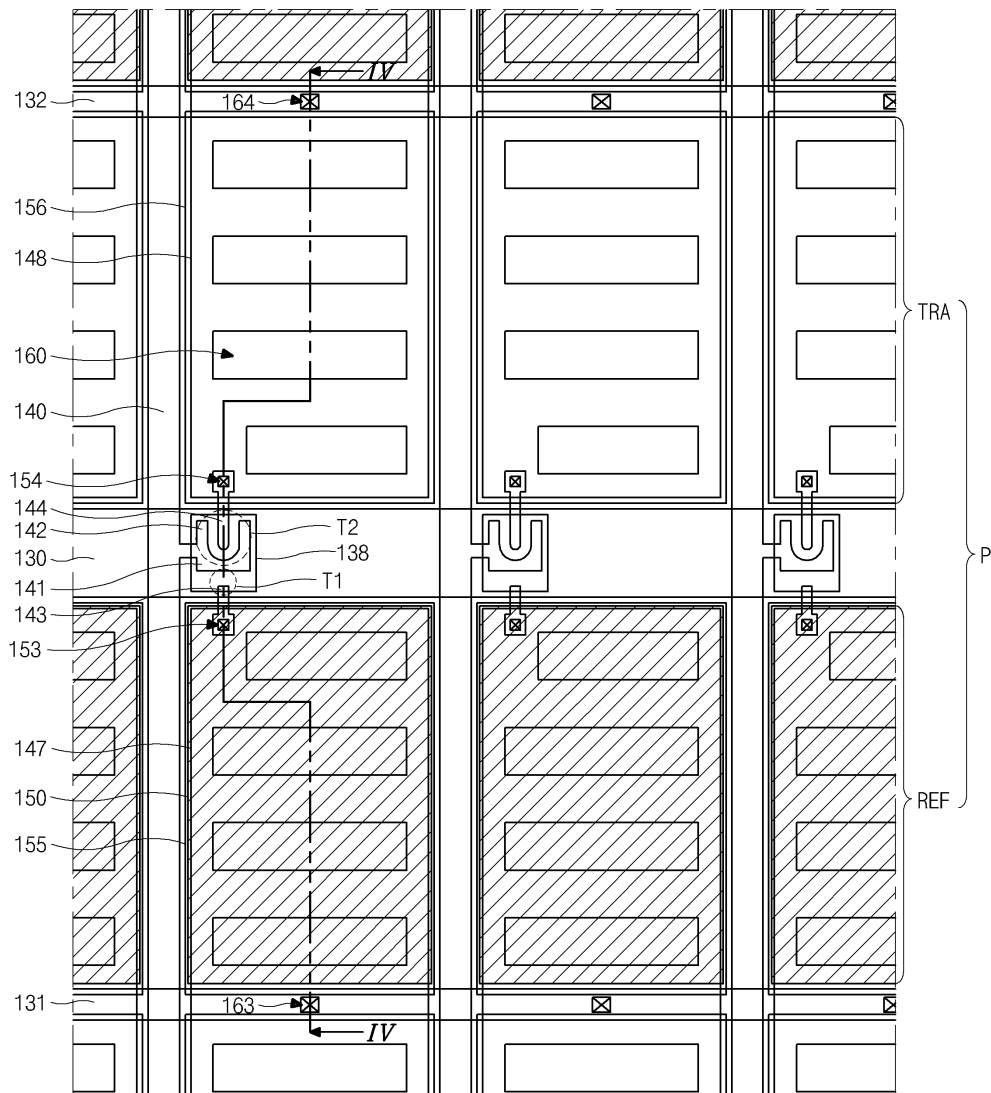
도면2

110

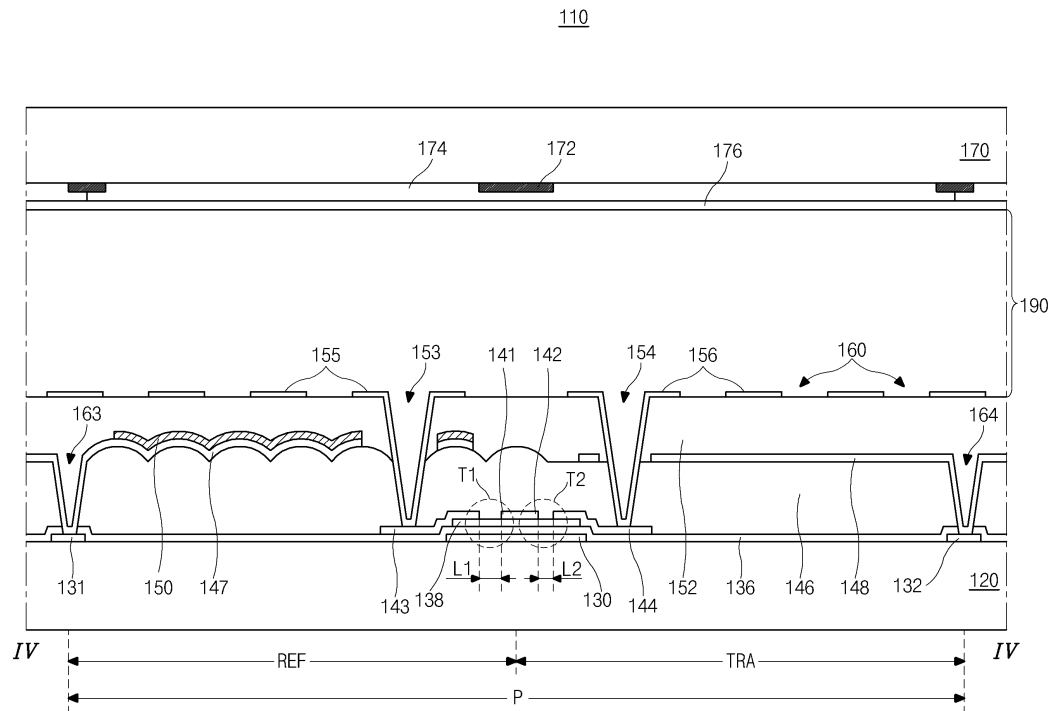


도면3

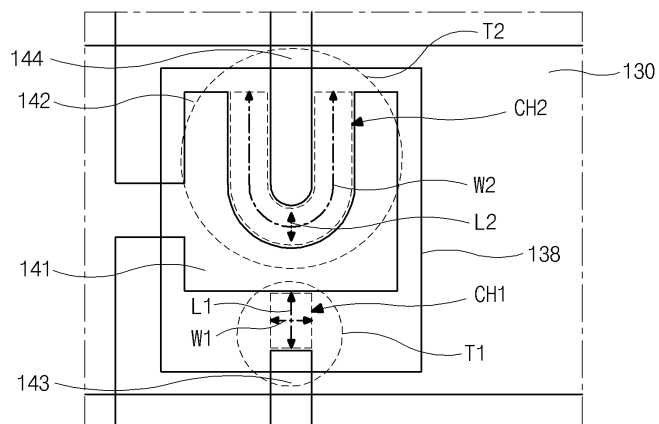
120



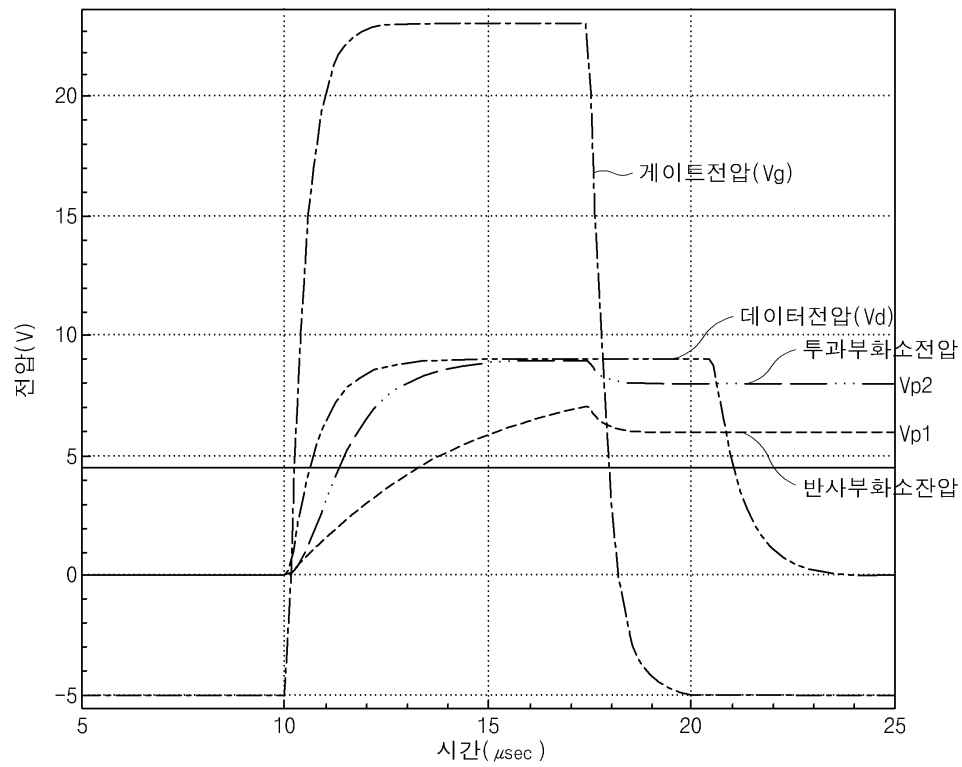
도면4



도면5

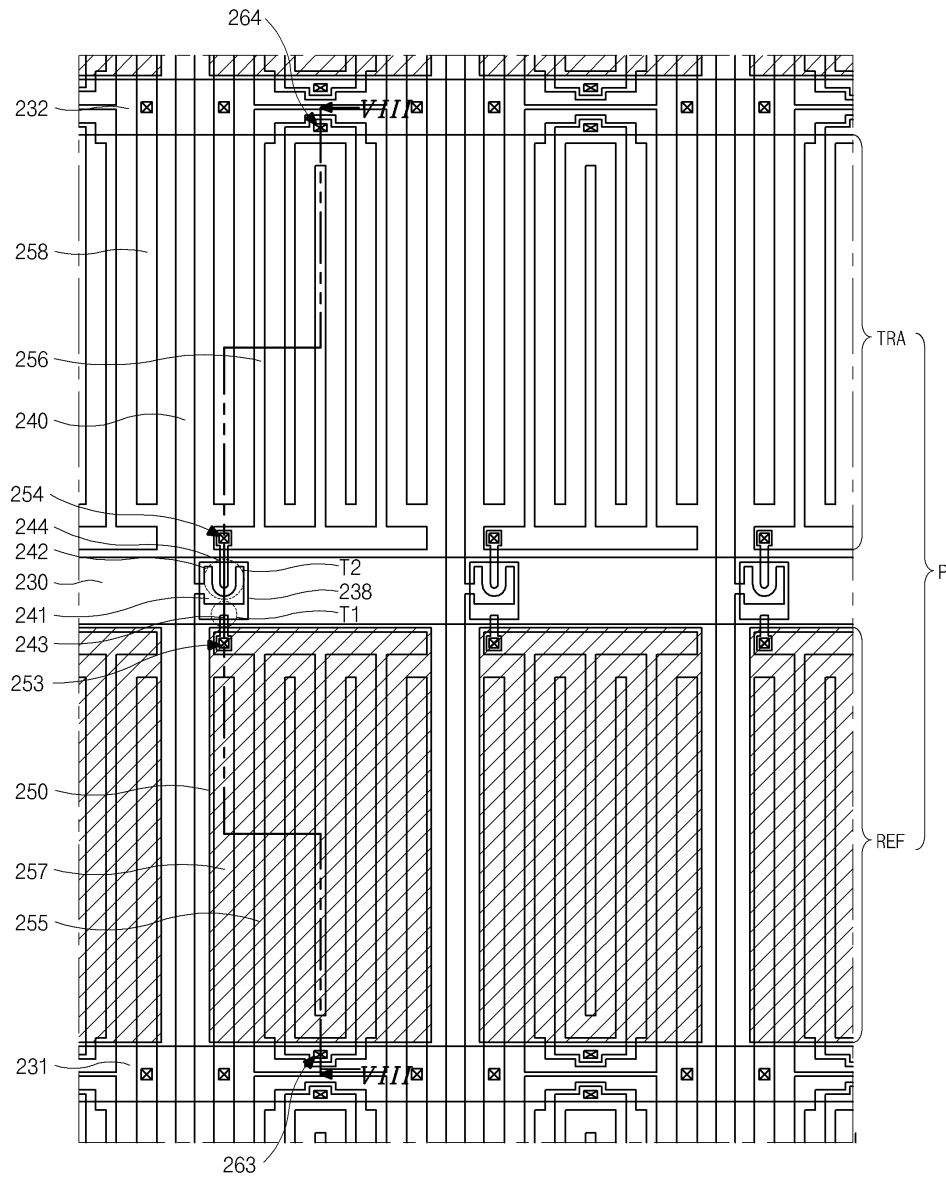


도면6



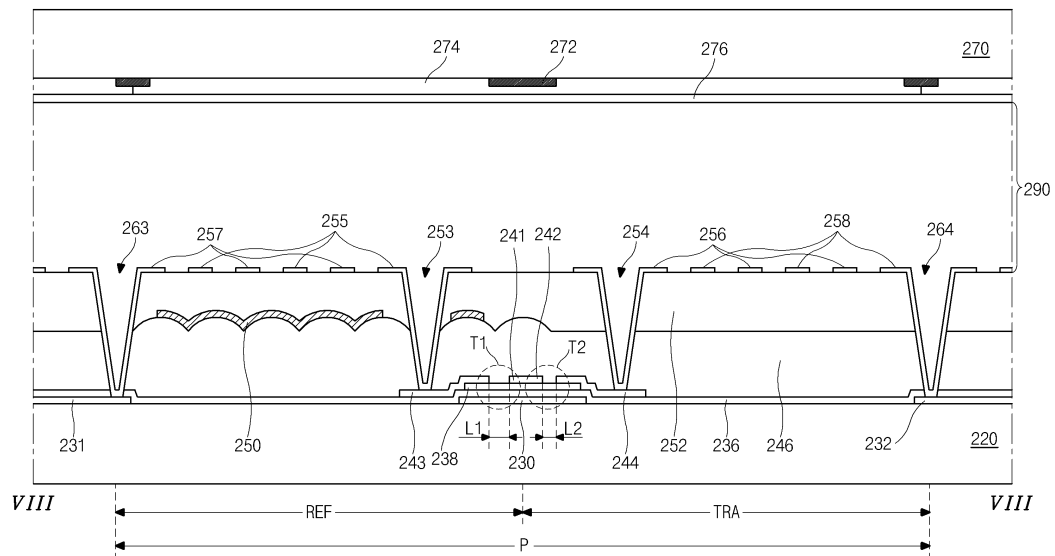
도면7

220



도면8

210



专利名称(译)	液晶显示装置及其制造方法		
公开(公告)号	KR1020120070321A	公开(公告)日	2012-06-29
申请号	KR1020100131833	申请日	2010-12-21
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE JONG HWAE 이중회		
发明人	이중회		
IPC分类号	G02F1/1335 H01L29/786		
CPC分类号	G02F1/133553 G02F1/1343		
其他公开文献	KR101886301B1		
外部链接	Espacenet		

摘要(译)

本发明提供一种液晶显示器，包括：第一基板和第二基板，彼此面对并包括像素区域，每个像素区域由反射部分和透射部分组成；第一和第二薄膜晶体管形成在第一基板的内表面上并具有彼此不同的W / L比；形成在第一基板的内表面的反射部分上的反射层；第一和第二像素电极分别连接到第一和第二薄膜晶体管；第一和第二公共电极分别对应于第一和第二像素电极以产生电场；并且在第一和第二基板之间形成液晶层。

