



특허청구의 범위

청구항 1

기관 상에 서로 교차하여 화소영역을 정의하며 게이트 절연막을 사이에 두고 그 하부 및 상부에 각각 형성된 게이트 배선 및 데이터 배선과;

상기 게이트 배선과 나란하게 형성된 공통배선과;

상기 각 화소영역에 상기 게이트 배선 및 데이터 배선과 연결되며 형성된 박막트랜지스터와;

상기 박막트랜지스터와 데이터 배선을 덮으며 증착밀도를 달리하는 제 1, 2, 3 층으로 구성되며, 상기 각 화소영역에 상기 제 1 층과 상기 제 3 층에서 상기 제 2 층으로 갈수록 더 넓어지는 것을 특징으로 하는 다수의 화소홀을 가지며 형성된 보호층과;

상기 다수의 각 화소홀 내부의 서로 마주하는 장축의 제 1 및 제 2 측면에 각각 서로 마주하며 서로 교대하도록 형성되며 $2\mu\text{m}$ 보다 작은 폭을 가지며 형성된 바(bar) 형태의 다수의 중앙부 공통전극 및 화소전극

을 포함하는 횡전계형 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 다수의 각 화소전극 및 중앙부 공통전극은 그 폭이 $0.1\mu\text{m}$ 내지 $1.5\mu\text{m}$ 인 것이 특징인 횡전계형 액정표시장치용 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 각 화소홀 내의 서로 마주하는 제 1 및 제 2 측면의 단면은 ' < '또는 ' > '형상인 것이 특징인 횡전계형 액정표시장치용 어레이 기관.

청구항 4

제 1 항에 있어서,

상기 각 화소영역의 최외측에는 상기 데이터 배선과 나란하며 상기 공통배선에서 분기한 최외각 공통전극이 형성되며,

상기 박막트랜지스터의 드레인 전극은 상기 공통배선과 중첩하며 형성됨으로써 서로 중첩하는 부분이 각각 제 1 및 제 2 스토리지 전극을 이루며, 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 상기 게이트 절연막과 더불어 스토리지 커패시터를 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기관.

청구항 5

제 4 항에 있어서,

상기 보호층은 상기 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀과 상기 최외각 공통전극을 노출시키는 공통 콘택홀이 구비되며,

상기 각 화소영역 내에 상기 다수의 화소전극의 일끝단과 연결된 보조화소패턴과, 상기 다수의 공통전극 일끝단과 연결된 보조공통패턴이 구비되며,

상기 보조화소패턴은 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며, 상기 보조공통패턴은 상기 공통 콘택홀을 통해 상기 최외각 공통전극과 접촉하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 데이터 배선은 상기 각 화소영역의 중앙부를 기준으로 대칭적으로 꺾인 구조가 되어 전체적으로는 지그재그 구조를 가지며,

상기 다수의 화소전극과 최외각 및 중앙부 공통전극 또한 상기 각 화소영역의 중앙부를 기준으로 대칭적으로 꺾인 구조를 이루는 것이 특징인 횡전계형 액정표시장치용 어레이 기판.

청구항 7

다수의 화소영역이 정의된 기판 상에 제 1 방향으로 연장하는 다수의 게이트 배선과 상기 다수의 게이트 배선과 각각 이격하여 평행하게 다수의 공통배선을 형성하는 단계와;

상기 다수의 게이트 배선과 공통배선 위로 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위로 상기 다수의 게이트 배선과 교차하여 상기 다수의 화소영역을 정의하는 다수의 데이터 배선을 형성하고, 상기 각 화소영역에 상기 게이트 배선 및 데이터 배선과 연결된 박막트랜지스터를 형성하는 단계와;

상기 박막트랜지스터와 데이터 배선을 덮으며 증착밀도를 달리하는 제 1, 2, 3 층으로 구성되며, 상기 각 화소영역에 상기 제 1 층과 상기 제 3 층에서 상기 제 2 층으로 갈수록 더 넓어지는 것을 특징으로 하는 다수의 화소홀을 갖는 보호층을 형성하는 단계와;

상기 다수의 각 화소홀 내부의 서로 마주하는 장축의 제 1 및 제 2 측면에 각각 서로 마주하며 서로 교대하도록 형성되며 $2\mu\text{m}$ 보다 작은 폭을 갖는 바(bar) 형태의 다수의 중앙부 공통전극 및 화소전극을 형성하는 단계를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조방법.

청구항 8

제 7 항에 있어서,

상기 다수의 게이트 배선 및 공통배선을 형성하는 단계는,

상기 각 화소영역 내에 상기 각 공통배선에서 분기하여 상기 데이터 배선과 나란하게 배치되는 최외각 공통전극을 형성하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판의 제조방법.

청구항 9

제 7 항에 있어서,

상기 다수의 화소홀을 갖는 보호층을 형성하는 단계는,

상기 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀과, 상기 최외각 공통전극을 노출시키는 공통 콘택홀을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조방법.

청구항 10

제 9 항에 있어서,

상기 다수의 화소전극과 공통전극을 형성하는 단계는,

상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 다수의 화소전극의 일끝단과 접촉하는 보조화소패턴과, 상기 공통 콘택홀을 통해 상기 최외각 공통전극과 접촉하며 상기 다수의 중앙부 공통전극의 일끝단과 접촉하는 보조공통패턴을 형성하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조방법.

청구항 11

제 9 항에 있어서,

상기 다수의 화소홀과 드레인 콘택홀 및 공통 콘택홀을 갖는 보호층을 형성하는 단계는,

상기 박막트랜지스터와 상기 데이터 배선 위로 무기절연물질을 화학기상증착을 실시하여 제 1 증착 밀도를 갖는 상기 제 1 층을 형성하는 단계와;

상기 제 1 층 위로 상기 무기절연물질을 화학기상증착을 실시하여 상기 제 1 증착 밀도보다 작은 제 2 증착 밀도를 갖는 상기 제 2 층을 형성하는 단계와;

상기 제 2 층 위로 상기 무기절연물질을 화학기상증착을 실시하여 상기 제 1 증착 밀도를 갖는 제 3 층을 형성하는 단계와;

상기 제 3 층 위로 제 1 포토레지스트 패턴을 형성하는 단계와;

상기 제 1 포토레지스트 패턴 외측으로 노출된 상기 제 3 층과 그 하부의 제 2 층 및 제 1 층을 등방성의 건식식각을 진행함으로써 상기 각 화소영역 내에 상기 제 1 층과 상기 제 3 층에서 상기 제 2 층으로 갈수록 더 넓어지는 것을 특징으로 하는 다수의 화소홀을 형성하고, 동시에 상기 드레인 전극 및 최외각 공통전극에 대응하여 상기 드레인 콘택홀 및 공통 콘택홀을 형성하는 단계와;

상기 제 1 포토레지스트 패턴을 제거하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조방법.

청구항 12

제 9 항에 있어서,

상기 다수의 각 화소홀 내부의 서로 마주하는 장축의 제 1 및 제 2 측면에 각각 서로 마주하며 서로 교대하도록 형성되며 2 μ m보다 작은 폭을 갖는 바(bar) 형태의 다수의 공통전극 및 화소전극을 형성하는 단계는,

상기 다수의 화소홀을 갖는 상기 보호층 위로 건식식각이 가능한 금속물질을 증착하여 전면에 금속층을 형성하는 단계와;

상기 금속층 위로 상기 보조화소패턴 및 보조공통패턴에 대응하여 제 2 포토레지스트 패턴을 형성하는 단계와;

이방성의 건식식각을 진행하여 상기 제 2 포토레지스트 패턴 외측으로 노출된 상기 금속층을 제거함으로써 상기 보조화소패턴과 이와 연결되며 상기 각 화소홀의 제 1 측면에 상기 다수의 화소전극을 형성하고, 동시에 상기 보조공통패턴과 이와 연결된 상기 각 화소홀의 제 2 측면에 상기 다수의 중앙부 공통전극을 형성하는 단계와;

상기 제 2 포토레지스트 패턴을 제거하는 단계

를 포함하는 횡전계형 액정표시장치용 어레이 기판의 제조방법.

청구항 13

제 12 항에 있어서,

상기 이방성의 건식식각은 상기 금속층이 형성된 기판을 안착시키는 스테이지를 지면에 대해 수평한 상태에서 진행한 후,

상기 스테이지를 상기 지면에 대해 상하 또는 좌우 방향으로 일정한 각도를 가지며 기울인 상태에서 진행하는 것이 특징인 횡전계형 액정표시장치용 어레이 기판의 제조방법.

청구항 14

제 12 항에 있어서,

상기 건식식각이 가능한 금속물질은 몰리브덴(Mo) 또는 몰리브덴 합금(MoTi) 인 것이 특징인 횡전계형 액정표시장치용 어레이 기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로 특히, 공통전극 및 화소전극의 폭을 최소화하여 개구율 및 휘도를 개선시킬 수 있는 횡전계형 액정표시장치용 어레이 기판 및 이의 제조 방법에 관한 것이다.

배경기술

[0002] 일반적으로, 액정표시장치의 구동원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

[0006] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다.

[0007] 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다.

[0008] 이하, 도 1을 참조하여 일반적인 횡전계형 액정표시장치에 대해 상세히 설명한다.

[0009] 도 1은 일반적인 횡전계형 액정표시장치의 단면을 도시한 도면이다.

[0010] 도시한 바와 같이, 컬러필터 기판인 상부기판(9)과 어레이 기판인 하부기판(10)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기판(9, 10)사이에는 액정층(11)이 개재되어 있다.

[0011] 상기 하부기판(10)상에는 공통전극(17)과 화소전극(30)이 동일 평면상에 형성되어 있으며, 이때, 상기 액정층(11)의 액정분자는 상기 공통전극(17)과 화소전극(30)에 의한 수평전계(L)에 의해 작동된다.

[0012] 도 2a와 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도이다.

[0013] 우선, 전압이 인가된 온(on)상태에서의 액정의 배열상태를 도시한 도 2a를 참조하면, 상기 공통전극(17) 및

화소전극(30)과 대응하는 위치의 액정분자(11a)의 상변이는 없지만 공통전극(17)과 화소전극(30)사이 구간에 위치한 액정분자(11b)는 이 공통전극(17)과 화소전극(30)사이에 전압이 인가됨으로써 형성되는 수평전계(L)에 의하여, 상기 수평전계(L)와 같은 방향으로 배열하게 된다. 즉, 상기 횡전계형 액정표시장치는 액정이 수평전계에 의해 이동하므로, 시야각이 넓어지는 특성을 띠게 된다.

- [0014] 그러므로, 상기 횡전계형 액정표시장치를 정면에서 보았을 때, 상/하/좌/우 방향으로 약 80도 ~85도 방향에서도 반전현상 없이 가시 할 수 있다.
- [0015] 다음, 도 2b를 참조하면, 상기 액정표시장치에 전압이 인가되지 않은 오프상태이므로 상기 공통전극(17)과 화소전극(30) 간에 수평전계가 형성되지 않으므로 액정층(11)내의 액정분자(11a, 11b)의 배열 상태가 변하지 않는다.
- [0016] 도 3은 종래의 횡전계형 액정표시장치용 어레이 기판에 있어 하나의 화소영역의 중앙부를 게이트 배선이 연장된 방향과 나란하게 절단한 단면도이다.
- [0017] 도시한 바와 같이, 투명한 절연기판(10) 상에 다수개의 공통전극(17)이 서로 이격하여 형성되어 있으며, 그 상부로 전면에 게이트 절연막(20)이 형성되어 있다. 상기 게이트 절연막(20) 위로는 상기 게이트 배선(미도시)과 교차하여 화소영역(P)을 정의하는 데이터 배선(미도시)이 형성되어 있다.
- [0018] 또한, 상기 데이터 배선(미도시) 상부로는 전면에 보호층(25)이 형성되어 있으며, 상기 보호층(25) 위로는 각 화소영역 내에서 상기 게이트 절연막(20) 하부에 형성된 공통전극(17)과 서로 엇갈려 교대로 배치되도록 다수의 화소전극(30)이 형성되고 있다.
- [0019] 이러한 구조를 갖는 종래의 횡전계형 액정표시장치용 어레이기판(10)은 특히 공통전극(17)과 화소전극(30)이 보호층(25) 및 게이트 절연막(20)을 사이에 두고 그 상하에 위치하게 되는 바, 이들 두 전극(17, 30)간의 전계가 상기 절연층 등에 의해 방해될 받게 됨으로써 전계가 약화되며 왜곡되는 등의 문제가 발생하고 있으며, 이로 인해 더욱 큰 구동전압을 요구하게 되어 전력소비가 심해지거나 또는 구동전압을 높이지 않을 경우, 전계의 약화로 인해 액정분자들의 응답속도의 저하가 발생하고 있다.
- [0020] 또한, 상기 공통전극(17)과 화소전극(30)이 각각 그 표면이 평탄한 영역에 형성되고 있음을 알 수 있으며, 액정표시장치에 제조에 이용되는 패터닝 장비 특성 상 2 μ m 이하의 폭을 갖도록 형성할 수 없는 실정이다.
- [0021] 이러한 화소전극(30)과 공통전극(17) 상부에서는 전계가 발생되지 않으므로 액정분자가 비정상적인 구동을 함으로써 실질적으로 화소영역 내에서 비표시영역을 이루게 됨으로써 빛의 투과율 및 휘도를 저하시키는 요인이 되고 있으며, 종래의 경우 상기 화소전극(30)과 공통전극(17)은 그 폭이 최소 2 μ m 이상의 크기를 갖게 되므로 매우 큰 개구율 저하의 요인이 되고 있다.

발명의 내용

해결하려는 과제

- [0022] 본 발명은 상기 문제점을 해결하기 위하여 안출된 것으로, 현 수준의 패터닝 장비를 이용하면서 공통전극과 화소전극이 2 μ m 이하의 폭을 갖도록 형성할 수 있는 횡전계형 액정표시장치의 제조 방법을 제공하는 것을 그 목적으로 한다.
- [0023] 또한, 공통전극과 화소전극을 동일한 층에 형성함으로써 화소전극과 공통전극간의 전계의 세기를 향상시키고, 전계 왜곡을 방지함으로써 개구율 및 콘트라스트 비를 향상시키는 것을 또 다른 목적으로 한다.

과제의 해결 수단

- [0024] 전술한 바와 같은 목적을 달성하기 위한 본 발명의 일 실시예에 따른 횡전계형 액정표시장치용 어레이 기판은, 기판 상에 서로 교차하여 화소영역을 정의하며 게이트 절연막을 사이에 두고 그 하부 및 상부에 각각 형성된 게이트 배선 및 데이터 배선과; 상기 게이트 배선과 나란하게 형성된 공통배선과; 상기 각 화소영역에 상기 게이트 배선 및 데이터 배선과 연결되며 형성된 박막트랜지스터와; 상기 박막트랜지스터와 데이터 배선을 덮으며 증착밀도를 달리하는 제 1, 2, 3 층으로 구성되며, 상기 각 화소영역에 상기 제 1 층과 상기 제 3

층에서 상기 제 2 층으로 갈수록 더 넓어지는 것을 특징으로 하는 다수의 화소홀을 가지며 형성된 보호층과;

[0025] 상기 다수의 각 화소홀 내부의 서로 마주하는 장축의 제 1 및 제 2 측면에 각각 서로 마주하며 서로 교대하도록 형성되며 $2\mu\text{m}$ 보다 작은 폭을 가지며 형성된 바(bar) 형태의 다수의 중앙부 공통전극 및 화소전극을 포함한다.

[0026] 이때, 상기 다수의 각 화소전극 및 중앙부 공통전극은 그 폭이 $0.1\mu\text{m}$ 내지 $1.5\mu\text{m}$ 인 것이 특징이다.

[0027] 또한, 상기 각 화소홀 내의 서로 마주하는 제 1 및 제 2 측면의 단면은 ' < ' 또는 ' > ' 형상인 것이 특징이다.

[0028] 또한, 상기 각 화소영역의 최외측에는 상기 데이터 배선과 나란하며 상기 공통배선에서 분기한 최외각 공통전극이 형성되며, 상기 박막트랜지스터의 드레인 전극은 상기 공통배선과 중첩하며 형성됨으로써 서로 중첩하는 부분이 각각 제 1 및 제 2 스토리지 전극을 이루며, 이들 제 1 및 제 2 스토리지 전극 사이에 개재된 상기 게이트 절연막과 더불어 스토리지 커패시터를 이루는 것이 특징이다. 이때, 상기 보호층은 상기 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀과 상기 최외각 공통전극을 노출시키는 공통 콘택홀이 구비되며, 상기 각 화소영역 내에 상기 다수의 화소전극의 일끝단과 연결된 보조화소패턴과, 상기 다수의 공통전극 일끝단과 연결된 보조공통패턴이 구비되며, 상기 보조화소패턴은 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며, 상기 보조공통패턴은 상기 공통 콘택홀을 통해 상기 최외각 공통전극과 접촉하는 것이 특징이다.

[0029] 또한, 상기 데이터 배선은 상기 각 화소영역의 중앙부를 기준으로 대칭적으로 꺾인 구조가 되어 전체적으로는 지그재그 구조를 가지며, 상기 다수의 화소전극과 최외각 및 중앙부 공통전극 또한 상기 각 화소영역의 중앙부를 기준으로 대칭적으로 꺾인 구조를 이루는 것이 특징이다.

[0030] 본 발명의 일 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 방법은, 다수의 화소영역이 정의된 기판 상에 제 1 방향으로 연장하는 다수의 게이트 배선과 상기 다수의 게이트 배선과 각각 이격하여 평행하게 다수의 공통배선을 형성하는 단계와; 상기 다수의 게이트 배선과 공통배선 위로 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위로 상기 다수의 게이트 배선과 교차하여 상기 다수의 화소영역을 정의하는 다수의 데이터 배선을 형성하고, 상기 각 화소영역에 상기 게이트 배선 및 데이터 배선과 연결된 박막트랜지스터를 형성하는 단계와; 상기 박막트랜지스터와 데이터 배선을 덮으며 증착밀도를 달리하는 제 1, 2, 3 층으로 구성되며, 상기 각 화소영역에 상기 제 1 층과 상기 제 3 층에서 상기 제 2 층으로 갈수록 더 넓어지는 것을 특징으로 하는 다수의 화소홀을 갖는 보호층을 형성하는 단계와; 상기 다수의 각 화소홀 내부의 서로 마주하는 장축의 제 1 및 제 2 측면에 각각 서로 마주하며 서로 교대하도록 형성되며 $2\mu\text{m}$ 보다 작은 폭을 갖는 바(bar) 형태의 다수의 중앙부 공통전극 및 화소전극을 형성하는 단계를 포함한다.

[0031] 상기 다수의 게이트 배선 및 공통배선을 형성하는 단계는, 상기 각 화소영역 내에 상기 각 공통배선에서 분기하여 상기 데이터 배선과 나란하게 배치되는 최외각 공통전극을 형성하는 것이 특징이다.

[0032] 또한, 상기 다수의 화소홀을 갖는 보호층을 형성하는 단계는, 상기 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀과, 상기 최외각 공통전극을 노출시키는 공통 콘택홀을 형성하는 단계를 포함하며, 이때, 상기 다수의 화소전극과 공통전극을 형성하는 단계는, 상기 보호층 위로 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접촉하며 상기 다수의 화소전극의 일끝단과 접촉하는 보조화소패턴과, 상기 공통 콘택홀을 통해 상기 최외각 공통전극과 접촉하며 상기 다수의 중앙부 공통전극의 일끝단과 접촉하는 보조공통패턴을 형성하는 단계를 포함한다.

[0033] 또한, 상기 다수의 화소홀과 드레인 콘택홀 및 공통 콘택홀을 갖는 보호층을 형성하는 단계는, 상기 박막트랜지스터와 상기 데이터 배선 위로 무기절연물질을 화학기상증착을 실시하여 제 1 증착 밀도를 갖는 상기 제 1 층을 형성하는 단계와; 상기 제 1 층 위로 상기 무기절연물질을 화학기상증착을 실시하여 상기 제 1 증착 밀도보다 작은 제 2 증착 밀도를 갖는 상기 제 2 층을 형성하는 단계와; 상기 제 2 층 위로 상기 무기절연물질을 화학기상증착을 실시하여 상기 제 1 증착 밀도를 갖는 제 3 층을 형성하는 단계와; 상기 제 3 층 위로 제 1 포토레지스트 패턴을 형성하는 단계와; 상기 제 1 포토레지스트 패턴 외측으로 노출된 상기 제 3 층과 그 하부의 제 2 층 및 제 1 층을 등방성의 건식식각을 진행함으로써 상기 각 화소영역 내에 상기 제 1 층과 상기 제 3 층에서 상기 제 2 층으로 갈수록 더 넓어지는 것을 특징으로 하는 다수의 화소홀을 형성하고, 동시에 상기 드레인 전극 및 최외각 공통전극에 대응하여 상기 드레인 콘택홀 및 공통 콘택홀을 형성하는 단계와; 상기 제 1 포토레지스트 패턴을 제거하는 단계를 포함한다.

[0034] 또한, 상기 다수의 각 화소홀 내부의 서로 마주하는 장축의 제 1 및 제 2 측면에 각각 서로 마주하며 서로 교대하도록 형성되며 $2\mu\text{m}$ 보다 작은 폭을 갖는 바(bar) 형태의 다수의 공통전극 및 화소전극을 형성하는 단계는,

상기 다수의 화소홀을 갖는 상기 보호층 위로 건식식각이 가능한 금속물질을 증착하여 전면에 금속층을 형성하는 단계와; 상기 금속층 위로 상기 보조화소패턴 및 보조공통패턴에 대응하여 제 2 포토레지스트 패턴을 형성하는 단계와; 이방성의 건식식각을 진행하여 상기 제 2 포토레지스트 패턴 외측으로 노출된 상기 금속층을 제거함으로써 상기 보조화소패턴과 이와 연결되며 상기 각 화소홀의 제 1 측면에 상기 다수의 화소전극을 형성하고, 동시에 상기 보조공통패턴과 이와 연결된 상기 각 화소홀의 제 2 측면에 상기 다수의 중앙부 공통전극을 형성하는 단계와; 상기 제 2 포토레지스트 패턴을 제거하는 단계를 포함한다. 이때, 상기 이방성의 건식식각은 상기 금속층이 형성된 기판을 안착시키는 스테이지를 지면에 대해 수평한 상태에서 진행한 후, 상기 스테이지를 상기 지면에 대해 상하 또는 좌우 방향으로 일정한 각도를 가지며 기울인 상태에서 진행하는 것이 특징이다.

[0035] 또한, 상기 건식식각이 가능한 금속물질은 몰리브덴(Mo) 또는 몰리브덴 합금(MoTi) 인 것이 특징이다.

발명의 효과

[0036] 본 발명에 따른 횡전계형 액정표시장치용 어레이 기판은, 동일 물질로 식각률 차이를 갖도록 3중층 구조의 보호층을 형성하고, 상기 3중층 구조의 보호층 내부에 언더컷 형태의 홀을 형성하고 상기 언더컷 형태를 갖는 홀의 내측면에 바(bar) 형태의 화소전극과 공통전극을 형성함으로써 그 폭이 2 μ m 미만인 되도록 한 것이 특징이다. 따라서, 이러한 구성에 의해 종래의 2 μ m 이상의 폭을 갖는 공통전극과 화소전극을 형성하는 어레이 기판 대비 개구율 및 광 투과율을 향상시키는 효과가 있다.

[0037] 나아가, 공통전극과 화소전극을 동일한 층에 형성함으로써 화소전극과 공통전극간의 전계의 세기를 향상시키는 효과가 있으며, 전계 왜곡을 방지함으로써 콘트라스트 비를 향상시키는 효과가 있다.

도면의 간단한 설명

[0038] 도 1은 일반적인 횡전계형 액정표시장치의 일부를 개략적으로 도시한 단면도.

도 2a, 2b는 일반적인 횡전계형 액정표시장치의 온(on), 오프(off) 상태의 동작을 각각 도시한 단면도.

도 3은 종래의 일반적인 횡전계형 액정표시장치용 어레이 기판의 일부를 도시한 평면도.

도 4는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 스위칭 소자인 박막트랜지스터를 포함하는 하나의 화소영역에 대한 평면도.

도 5는 도 4를 절단선 IV-IV를 따라 절단한 부분에 대한 단면도.

도 6a 내지 6i는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이기판의 하나의 화소영역에 대한 제조 단계별 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0039] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시예를 설명한다.

[0040] 도 4는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 스위칭 소자인 박막트랜지스터를 포함하는 하나의 화소영역에 대한 평면도이다.

[0041] 도시한 바와 같이, 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판에는 서로 교차하여 화소영역(P)을 정의하며 다수의 게이트 배선(105)과 데이터 배선(130)이 구성되고 있으며, 상기 각 화소영역(P)을 관통하며 상기 게이트 배선(105)과 나란하게 공통배선(110)이 구성되고 있다.

[0042] 상기 게이트 배선(105)과 데이터 배선(130)의 교차지점 근처에는 스위칭 소자인 박막트랜지스터(Tr)가 구성되고 있다. 도면에 있어서는 게이트 배선(105)의 일부가 그 자체로 게이트 전극(107)을 이루고 있음을 보이고 있지만, 상기 게이트 배선에서 분기한 형태로 상기 게이트 전극이 형성될 수도 있다.

[0043] 한편, 상기 박막트랜지스터(Tr)는 상기 게이트 배선(105)과 연결된 게이트 전극(107)과, 게이트 절연막(미도시)과, 반도체층(미도시)과, 상기 반도체층(미도시) 상부로 서로 이격하는 소스 및 드레인 전극(133, 136)으

로 구성되고 있다. 이때, 상기 소스 전극(133)은 상기 데이터 배선(130)과 연결되고 있다.

- [0044] 상기 화소영역(P) 내부의 상기 데이터 배선(130)이 형성된 부근에는 상기 공통배선(110)으로부터 분기하여 상기 데이터 배선(130)과 나란하게 상기 화소영역(P)내에서 연장되어 각각 최외각 공통전극(112)을 이루고 있다.
- [0045] 또한, 상기 공통배선(110)은 스토리지 영역(StgA)에서 그 자체로 제 1 스토리지 전극(111)을 이루며, 이와 중첩하며 상기 드레인 전극(136)이 연장 형성됨으로써 제 2 스토리지 전극(137)을 이루며, 서로 중첩하는 제 1 및 제 2 스토리지 전극(111, 137)과 이들 두 전극(111, 137) 사이에 개재된 상기 게이트 절연막(미도시)은 스토리지 커패시터(StgC)를 이루고 있다.
- [0046] 상기 제 2 스토리지 전극(137) 상부에는 보호층(미도시)을 개재하여 상기 보호층(미도시) 내에 구비된 드레인 콘택홀(149)을 통해 상기 제 2 스토리지 전극(137)과 접촉하는 보조화소패턴(163)이 형성되고 있다.
- [0047] 또한, 상기 화소영역(P) 내의 상기 공통배선(110)이 위치하는 하측과 마주하는 상측에는 상기 최외각 공통전극(112)과 상기 보호층(미도시) 내에 구비된 공통 콘택홀(147)을 통해 연결되는 보조공통패턴(169)이 형성되어 있다.
- [0048] 다음, 상기 화소영역(P) 내부에는 상기 보조공통패턴(169)에서 분기하는 형태로 상기 보호층(미도시) 내에 구비된 바(bar) 형태 홈의 언더컷 형태로 형성된 측면을 따라 평면적으로 $0.1\mu\text{m}$ 내지 $1.5\mu\text{m}$ 정도의 폭을 갖는 다수의 중앙부 공통전극(170)이 형성되어 있다. 그리고 상기 다수의 중앙부 공통전극(170)과 교대하며 상기 보조화소패턴(163)에서 분기하는 형태로 상기 보호층(미도시) 내에 구비된 화소홈의 측면을 따라 평면적으로 $0.1\mu\text{m}$ 내지 $1.5\mu\text{m}$ 정도의 폭을 갖는 다수의 화소전극(164)이 형성되어 있다.
- [0049] 도면에 있어서는 상기 다수의 화소전극(164)과 중앙부 공통전극(170)은 바(bar) 형태를 이루고 있지만, 각 화소영역(P)의 중앙부를 기준으로 대칭적으로 꺾인 구성을 이룸으로써 상기 꺾인 부분을 기준으로 그 상부 및 하부로 서로 다른 도메인 영역을 형성하도록 구성될 수도 있다. 이 경우, 상기 데이터 배선(130) 또한 각 화소영역(P)의 중앙부를 기준으로 꺾인 구성을 이루게 된다.
- [0050] 한편, 전술한 실시예 및 변형예에서와 같이 화소홈(148)의 서로 마주하는 내측면에 서로 마주하며 구성된 중앙부 공통전극(170)과 화소전극(164)은 그 폭은 상기 화소홈(148)의 깊이에 비례하며 상기 보호층(미도시)의 두께를 조절함으로써 $0.1\mu\text{m}$ 내지 $1.5\mu\text{m}$ 정도의 범위에서 형성될 수 있다.
- [0051] 이렇게 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(101)에 있어서 중앙부 공통전극(170)과 화소전극(164)이 $0.1\mu\text{m}$ 내지 $1.5\mu\text{m}$ 정도의 폭을 가질 수 있는 것은 보호층(미도시) 및 보호층(미도시)에 구비된 화소홈의 구조에 따른 것이다. 이러한 보호층(미도시)의 특징적인 구성은 단면도를 통해 잘 나타나므로 이후에는 전술한 바와 같은 평면구조를 갖는 횡전계형 액정표시장치용 어레이 기관의 단면구조에 대해 설명한다.
- [0052] 도 5는 도 4를 절단선 IV-IV를 따라 절단한 부분에 대한 단면도이다. 설명의 편의를 위해 박막트랜지스터(T_r)가 형성되는 영역을 스위칭 영역(TrA), 스토리지 커패시터가 형성되는 영역을 스토리지 영역(StgA)이라 정의한다.
- [0053] 도시한 바와 같이, 투명한 절연기관(101) 상에 일방향으로 연장하며 그 일부가 게이트 전극(107)을 이루는 게이트 배선(105)이 형성되어 있으며, 상기 게이트 배선(105)과 나란하게 공통배선(미도시)이 스토리지 영역(StgA)에 형성되어 있다.
- [0054] 또한, 각 화소영역(P) 내부의 최외각에는 상기 공통배선(미도시)에서 분기하여 상기 게이트 배선(105)과 수직 한 방향으로 연장하며 최외각 공통전극(112)이 형성되어 있다.
- [0055] 다음, 상기 게이트 배선(105)과 게이트 전극(107)과 공통배선(110) 및 최외각 공통전극(112) 위로는 전면에 게이트 절연막(115)이 형성되어 있으며, 상기 게이트 절연막(115) 위로 상기 게이트 배선(105) 및 공통배선(110)과 교차하는 데이터 배선(130)이 형성되어 있다.
- [0056] 또한, 상기 게이트 절연막(115) 위로 스위칭 영역(TrA)에 있어서는 순차 적층되며 순수 비정질 실리콘의 액티브층(121)과 이의 상부에서 서로 이격하며 불순물 비정질 실리콘으로 이루어진 오믹콘택층(123)으로 이루어진 반도체층(125)이 형성되어 있으며, 상기 오믹콘택층(123) 위로 상기 데이터 배선(130)과 연결된 소스 전극과

이와 이격하며 드레인 전극(133, 136)이 형성되어 있다.

- [0057] 이때, 상기 스위칭 영역(TrA)에 순차 적층된 상기 게이트 전극(107)과 게이트 절연막(115)과 반도체층(125)과 서로 이격하는 소스 및 드레인 전극(133, 136)은 박막트랜지스터(Tr)를 이룬다.
- [0058] 한편, 도면에 있어서는 상기 데이터 배선(130) 하부에 상기 반도체층(125)을 이루는 것과 동일한 물질로 이루어진 제 1 및 제 2 패턴(122, 124)으로 구성된 반도체패턴(126)이 구비되고 있는 것을 보이고 있지만, 이는 상기 반도체층(125)과 데이터 배선(130)을 동시에 1회의 마스크 공정을 진행하여 제조함에 기인한 것으로 반도체층(125)과 데이터 배선(130)을 각각 형성하는 경우 상기 데이터 배선(130) 하부에 구비된 반도체 패턴(126)은 생략될 수 있다.
- [0059] 다음, 상기 박막트랜지스터(Tr) 및 데이터 배선(130) 위로 상기 박막트랜지스터(Tr)의 드레인 전극(136)과 상기 공통배선(110)에 대응하여 각각 이들을 노출시키는 드레인 콘택홀(149) 및 공통 콘택홀(147)을 가지며, 화소영역(P)의 중앙부에 대해 서로 일정간격으로 이격하며 다수의 화소홀(hm)을 갖는 보호층(145)이 형성되어 있다.
- [0060] 이때, 상기 보호층(145)은 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiN_x)으로 이루어지며, 증착 시 증착 밀도를 달리하여 진행됨으로서 제 1 식각율을 갖는 제 1 층(145a)과 상기 제 1 식각율보다 빠른 제 2 식각율을 갖는 제 2 층(145b)과 상기 제 1 식각율을 갖는 제 3 층(145c)으로 이루어지고 있는 것이 특징이다.
- [0061] 또한, 상기 각 식각홀의 각 측면은 다른 식각율을 갖는 제 1, 2, 3 층(145a, 145b, 145c)으로 이루어진 보호층(145) 특성 상, 식각 진행 시 식각 진행율이 달라짐으로써 언더컷 구성을 갖는 것이 특징이다. 더욱 정확하게는 상기 화소홀(hm)의 일측면은 그 단면 형태가 수직적으로 제 2 층(145b)을 기준으로 꺾어져 '〈' 또는 '〉' 형상을 이루는 것이 특징이다.
- [0062] 화소홀(hm)의 측면이 전술한 바와 같은 형태를 이룸으로써 상기 화소홀(hm) 내부의 상기 각 측면에 형성되는 화소전극(164)과 중앙부 공통전극(170)은 상기 언더컷 구조를 갖는 화소홀(hm)의 측면에만 형성되므로 평면적으로 그 폭은 상기 화소홀(hm)의 언더컷을 이루는 부분의 폭이 되는 것이 특징이다. 이러한 화소홀(hm) 측면의 언더컷 형태는 이를 이루는 물질의 식각율 차이에 의해 식각 시간에 의해 조절될 수 있으므로 패터닝에 의한 한계치인 $2\mu\text{m}$ 보다 작은 $0.1\mu\text{m}$ 내지 $1.5\mu\text{m}$ 정도 범위를 갖는 화소전극(164)과 중앙부 공통전극(170)이 형성될 수 있는 것이다.
- [0063] 전술한 구성을 갖는 횡전계형 액정표시장치용 어레이 기판은 화소홀(hm)의 내측면에 대해 화소전극(164)과 중앙부 공통전극(170)을 형성하고 있는 바, 이들 전극들의 폭이 패터닝 한계치인 $2\mu\text{m}$ 보다 작은 값을 가질 수 있으므로 이들 전극(164, 170)에 의해 가려지는 부분이 줄어들므로 해서 화소영역(P)의 개구율 및 빛의 투과율을 개선시킬 수 있는 것이 특징이다.
- [0064] 이후에는 전술한 구성을 갖는 횡전계형 액정표시장치용 어레이 기판의 제조 방법에 대해 설명한다.
- [0065] 도 6a 내지 도 6i는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판의 제조 단계별 공정 단면도이다.
- [0066] 우선, 도 6a에 도시한 바와 같이, 투명한 절연기판(101) 상에 제 1 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 몰리브덴 합금, 구리(Cu), 구리합금 중에서 선택되는 하나 또는 둘 이상의 금속물질을 전면에 증착하여 제 1 금속층(미도시)을 형성한다.
- [0067] 이후, 상기 제 1 금속층을 마스크 공정을 실시하여 패터닝함으로써 상기 기판(101) 상에 일방향으로 연장하는 게이트 배선(105)과 이와 나란하게 연장하는 공통배선(미도시)을 형성한다. 동시에 각 화소영역(P) 내에 상기 공통배선(미도시)에서 분기하는 최외각 공통전극(112)을 형성하며, 스위칭 영역(TrA)에 있어서는 상기 게이트 배선(105)과 연결된 게이트 전극(107)을 형성한다. 본 발명의 실시예의 경우 상기 게이트 배선(105) 중 상기 스위칭 영역(TrA)에 대응되는 부분이 그 자체로서 게이트 전극(107)을 이루게 된다.
- [0068] 한편, 도면에 있어서는 상기 게이트 배선(105), 공통배선(미도시), 최외각 공통전극(112) 및 게이트 전극(107)이 단일층 구조를 이룬 것을 일례로 도시하였지만 상기 제 1 금속층(미도시)을 다중층 구조로 형성한 경우 이중층 이상의 다중층 구조를 이룰 수도 있다.

- [0069] 다음, 도 6b에 도시한 바와 같이, 상기 게이트 전극(107)을 포함한 게이트 배선(105)과 공통배선(미도시)과 최외각 공통전극(112) 위로 전면에 무기절연물질 예를들면 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)을 증착하여 게이트 절연막(115)을 형성한다.
- [0070] 이후, 연속하여 상기 게이트 절연막(115) 위로 순수 비정질 실리콘과 불순물 비정질 실리콘을 연속하여 순차적으로 증착하여 순수 비정질 실리콘층(미도시)과 불순물 비정질 실리콘층(미도시)을 형성하고, 상기 불순물 비정질 실리콘층(미도시) 위로 제 2 금속물질 예를들면 알루미늄(Al), 알루미늄 합금(AlNd), 크롬(Cr), 몰리브덴(Mo), 몰리브덴 합금, 구리(Cu), 구리합금 중 하나 또는 둘 이상의 물질을 증착함으로써 단일층 또는 다중층 구조의 제 2 금속층(미도시)을 형성한다.
- [0071] 이후, 상기 제 2 금속층(미도시)과 그 하부의 불순물 비정질 실리콘층(미도시)과 순수 비정질 실리콘층(미도시)을 포토레지스트의 도포, 노광, 현상 및 식각 등 일련의 단위공정을 포함하며, 특히 반투과영역을 포함하는 노광 마스크를 이용한 회절노광 또는 하프톤 노광을 포함하는 마스크 공정을 진행하여 패터닝함으로써 각 화소영역(P)의 경계에 상기 게이트 배선(105)과 교차하여 화소영역(P)을 정의하는 데이터 배선(130)을 형성한다.
- [0072] 그리고 동시에 상기 스위칭 영역(TrA)의 상기 게이트 절연막(115) 위로 그 하부로부터 순수 비정질 실리콘으로 이루어진 액티브층(121)과 불순물 비정질 실리콘으로 이루어지며 서로 이격하여 상기 액티브층(121) 중앙부를 노출시키는 오믹콘택층(123)을 포함하는 반도체층(125)과, 서로 이격한 상기 오믹콘택층(123) 상부로 상기 액티브층(121)의 중앙부를 노출시키며 서로 이격하는 소스 및 드레인 전극(133, 136)을 형성한다.
- [0073] 이때, 상기 스위칭 영역(TrA)에 순차 적층된 상기 게이트 전극(107)과 게이트 절연막(115)과 반도체층(125)과 소스 및 드레인 전극(133, 136)은 스위칭 소자인 박막트랜지스터(Tr)를 이룬다.
- [0074] 한편, 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기관(101)의 제조에 있어서는 상기 반도체층(125)과 소스 및 드레인 전극(133, 136)을 1회의 마스크 공정 진행에 의해 형성하므로 상기 데이터 배선(130) 하부에는 상기 액티브층(121)과 오믹콘택층(123)을 형성한 동일한 물질로써 순수 비정질 실리콘의 제 1 패턴(122) 및 불순물 비정질 실리콘의 제 2 패턴(124)으로 구성된 반도체 패턴(126)이 형성되고 있는 것을 보이고 있지만, 상기 반도체층(125)과 데이터 배선(130)을 서로 다른 마스크 공정을 진행하여 패터닝하는 경우 상기 데이터 배선(130) 하부에는 반도체 패턴(126)이 형성되지 않는다.
- [0075] 다음, 도 6c에 도시한 바와 같이, 상기 데이터 배선(130)과 소스 및 드레인 전극(133, 136)이 형성된 기관(101)을 화학기상증착 장비(미도시)의 챔버(190) 내의 스테이지(191) 상에 위치시키고, 상기 챔버(190) 내부를 진공의 분위기로 만든 후 최종 결과물이 상기 산화실리콘(SiO_2) 또는 질화실리콘(SiNx)이 기관(101) 상에 증착되도록 하는 반응 기체들을 주입하여 화학기상증착을 실시함으로써 상기 데이터 배선(130)과 소스 및 드레인 전극(133, 136) 위로 전면에서 제 1 증착 밀도를 갖는 제 1 층(145a)을 형성한다.
- [0076] 이후, 도 6d에 도시한 바와같이, 상기 제 1 층(145a) 위로 제 1 증착 밀도보다 작은 제 2 증착 밀도를 갖도록 화학기상증착을 실시함으로써 제 2 층(145b)을 형성하고, 도 6e에 도시한 바와같이, 상기 제 2 층(145c) 상부로 다시 상기 제 1 증착 밀도를 갖는 제 3 층(145c)을 형성함으로써 3중층 구조의 보호층(145)을 형성한다.
- [0077] 이렇게 증착 밀도를 달리하여 제 1, 2, 3 층(145a, 145b, 145c)을 형성함으로써 상기 제 1, 2, 3 층(145a, 145b, 145c)은 동일한 무기절연물질로 이루어졌음에도 불구하고 건식식각을 진행하며 그 식각율이 달리하게 되는 것이 특징이다.
- [0078] 높은 증착밀도를 가지며 형성된 제 1 층 및 제 3 층(145a, 145c) 대비 상대적으로 낮은 증착밀도를 가지며 형성된 제 2 층(145b)의 식각율이 크므로 건식식각을 진행하게 되면, 상기 제 2 층(145b)이 제 1 층(145a) 및 제 3 층(145c) 대비 빠른 속도로 진행되는 것이 특징이다.
- [0079] 다음, 도 6f에 도시한 바와 같이, 상기 3중층 구조를 갖는 보호층(145) 상부로 포토레지스트를 전면에서 도포하여 포토레지스트층(미도시)을 형성한 후, 상기 포토레지스트층(미도시)을 노광 및 현상함으로써 제 1 포토레지스트 패턴(183)을 형성한다. 이때, 상기 제 1 포토레지스트 패턴(183)은 각 화소영역(P)에 있어 드레인 전극(136)과 최외각 공통전극(112)의 일부 및 화소홀(hm)이 형성되어야 할 부분을 제외한 영역에 형성되게 된다.
- [0080] 다음, 상기 제 1 포토레지스트 패턴(183)을 식각 마스크로 하여 등방성의 건식식각을 실시함으로써 제 1 포토레지스트 패턴(183) 외측으로 노출된 상기 3중층 구조를 갖는 보호층(145)을 제거함으로써 상기 각 화소영역

(P) 내에 상기 드레인 전극(136)을 노출시키는 드레인 콘택홀(149)과, 상기 최외각 공통전극(112)을 노출시키는 공통 콘택홀(미도시)을 형성하고, 동시에 화소영역(P) 중앙부에는 평면적으로 바(bar) 형태를 갖는 화소홈(hm)을 형성한다.

[0081] 이때, 3중층 구조의 보호층(145)은 제 1, 3 층(145a, 145c)과 제 2 층(145b)이 서로 다른 증착 밀도를 가지며 형성되었으므로, 등방성 특성을 갖는 건식식각에 의해 상기 제 1 층 및 제 3 층(145a, 145c) 보다는 상기 제 2 층(145b)이 더욱 빠른 속도로 제거됨으로서 상기 각 화소홈(hm)과 드레인 콘택홀(149) 및 공통 콘택홀(미도시) 내부의 각 측면은 그 단면 구조가 '〈' 또는 '〉' 형상을 이루는 것이 특징이다. 이때, 언더컷 형태를 이루는 보호층(145)의 측면에 있어서 상기 제 3 층(145c)의 측면 끝단 기준으로 그 내부에 형성되는 상기 제 2 층(145b)의 측면의 끝단간의 폭은 0.1 μ m 내지 1.5 μ m 정도가 되는 것이 특징이다.

[0082] 다음, 도 6g에 도시한 바와 같이, 상기 제 1 포토레지스트 패턴(도 6f의 183)을 스트립(strip)을 진행하여 제거함으로써 상기 보호층(145)을 노출시킨다.

[0083] 이후, 상기 드레인 콘택홀(149)과 공통 콘택홀(미도시) 및 화소홈(hm)이 형성된 기판(101) 위로 건식식각이 가능한 금속물질 예를들면 몰리브덴(Mo) 또는 몰리브덴 합금(MoTi)을 전면 증착하여 제 3 금속층(151)을 형성한다.

[0084] 다음, 도 6h에 도시한 바와 같이, 제 3 금속층(도 6g의 151) 위로 각 화소영역(P) 내에 보조공통패턴(미도시)이 형성될 부분 및 공통 콘택홀(미도시)이 형성될 부분과, 보조화소패턴(163)이 형성될 부분 및 화소 콘택홀(149)이 형성된 부분에 대응하여 제 2 포토레지스트 패턴(185)을 형성하고 그 이외의 영역에 대해서는 상기 제 3 금속층(151)을 노출시킨다.

[0085] 이후, 상기 제 2 포토레지스트 패턴(185)을 식각 마스크로 하여 상기 제 3 금속층(도 6g의 151)과 반응하는 반응가스를 이용한 이방성의 건식식각을 진행한다.

[0086] 이때, 상기 이방성의 건식식각 특성상 상기 기판(101) 표면에 대해 수직한 방향으로 건식식각이 진행됨으로서 상기 제 2 포토레지스트 패턴(185) 외측으로 노출된 상기 제 3 금속층(도 6g의 151)은 화소홈(hm) 내부의 측면부를 제외하고는 모두 제거된다.

[0087] 따라서, 상기 제 2 포토레지스트 패턴에 의해 건식식각이 블록킹된 부분은 각각 보조화소패턴(163) 및 보조공통패턴(미도시)을 이루게 되며, 이러한 보조화소패턴(163)은 상기 드레인 콘택홀(149)을 통해 상기 드레인 전극(136)과 접촉하며, 상기 보조공통패턴(미도시)은 상기 공통콘택홀(미도시)을 통해 상기 최외각 공통전극(112)과 접촉하게 된다.

[0088] 한편, 화소홈(hm)에 대해서는 상기 이방성 건식식각 특성 상 언더컷이 발생된 부분 즉 화소홈(hm) 내부의 각 측면에 대해서는 상기 제 3 금속층(도 6g의 151)이 그대로 남아있게 되며, 상기 화소홈(hm) 내부의 밑면에 형성된 제 3 금속층(도 6g의 151)은 제거되게 된다.

[0089] 이때, 상기 이방성 건식식각 진행 시 상기 화소홈(hm) 내부의 측면에 남게 되는 제 3 금속층(도 6g의 151) 중 상기 화소홈(hm)의 장축의 측면에 형성된 부분은 서로 교대하는 바(bar) 형태의 다수의 중앙부 공통전극(170)과 다수의 화소전극(164)을 이룬다. 이때, 다수의 상기 중앙부 공통전극(170)은 상기 보조공통패턴(미도시)과 연결되고 있으며, 다수의 상기 화소전극(164)은 상기 보조화소패턴(163)과 연결되고 있다.

[0090] 한편, 상기 제 3 금속층(도 6g의 151) 패터닝을 위한 상기 이방성 건식식각은 상기 기판(101)이 안착되는 스테이지(미도시)를 지면과 수평한 상태를 이룬 상태에서 소정시간 진행된 후, 상기 화소홈(hm)의 장축의 연장방향 즉, 데이터 배선(130)이 연장한 방향으로 일정각도를 갖도록 기울어진 상태에서 건식식각을 진행함으로써 상기 각 화소홈(hm) 내부의 단축 방향의 측면에 형성된 제 3 금속층(도 6g의 151)을 제거함으로써 상기 화소홈(hm) 내에서 장축 방향의 측면에 서로 마주하며 형성된 중앙부 공통전극(170)과 화소전극(164)이 전기적으로 분리된 상태를 이루도록 하는 것이 특징이다.

[0091] 다음, 도 6i에 도시한 바와 같이, 스트립(strip)을 진행하여 상기 보조화소패턴(163)과 보조공통패턴(미도시) 상부에 남아있는 제 2 포토레지스트 패턴(도 6h의 185)을 제거함으로써 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이 기판(101)을 완성한다.

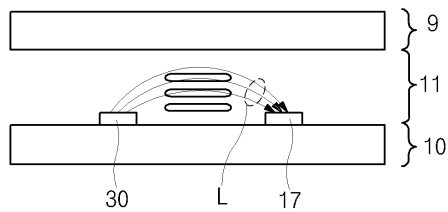
부호의 설명

[0092]

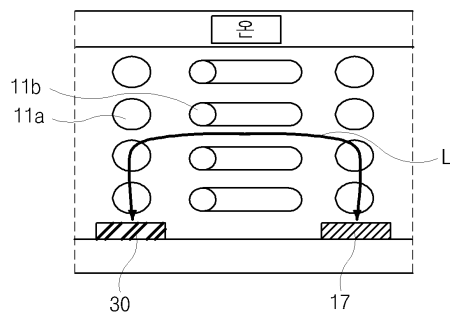
101 : 기판	105 : 게이트 배선
107 : 게이트 전극	111 : 제 1 스토리지 전극
112 : 최외각 공통전극	115 : 게이트 절연막
121 : 액티브층	122 : 제 1 패턴
123 : 오믹콘택층	124 : 제 2 패턴
125 : 반도체층	126 : 반도체 패턴
130 : 데이터 배선	133 : 소스 전극
136 : 드레인 전극	137 : 제 2 스토리지 전극
145 : 보호층	145a, 145b, 145c : 제 1, 2, 3 층
149 : 드레인 콘택홀	163 : 보조화소패턴
164 : 화소전극	170 : 중앙부 공통전극
hm : 화소홀	P : 화소영역
StgA : 스토리지 영역	StgC : 스토리지 커패시터
Tr : 박막트랜지스터	TrA : 스위칭 영역

도면

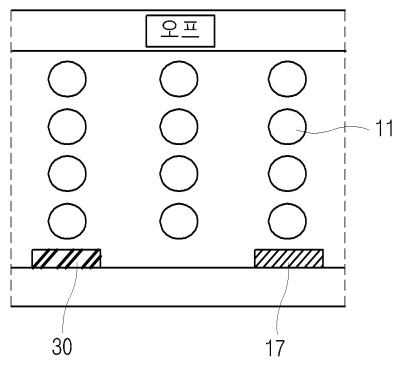
도면1



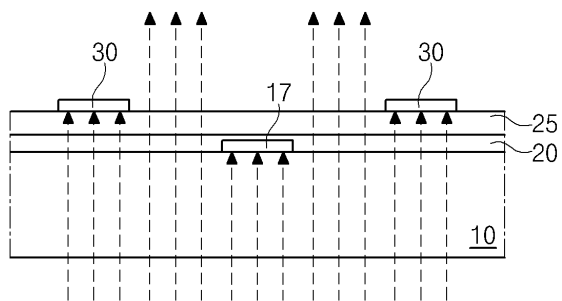
도면2a



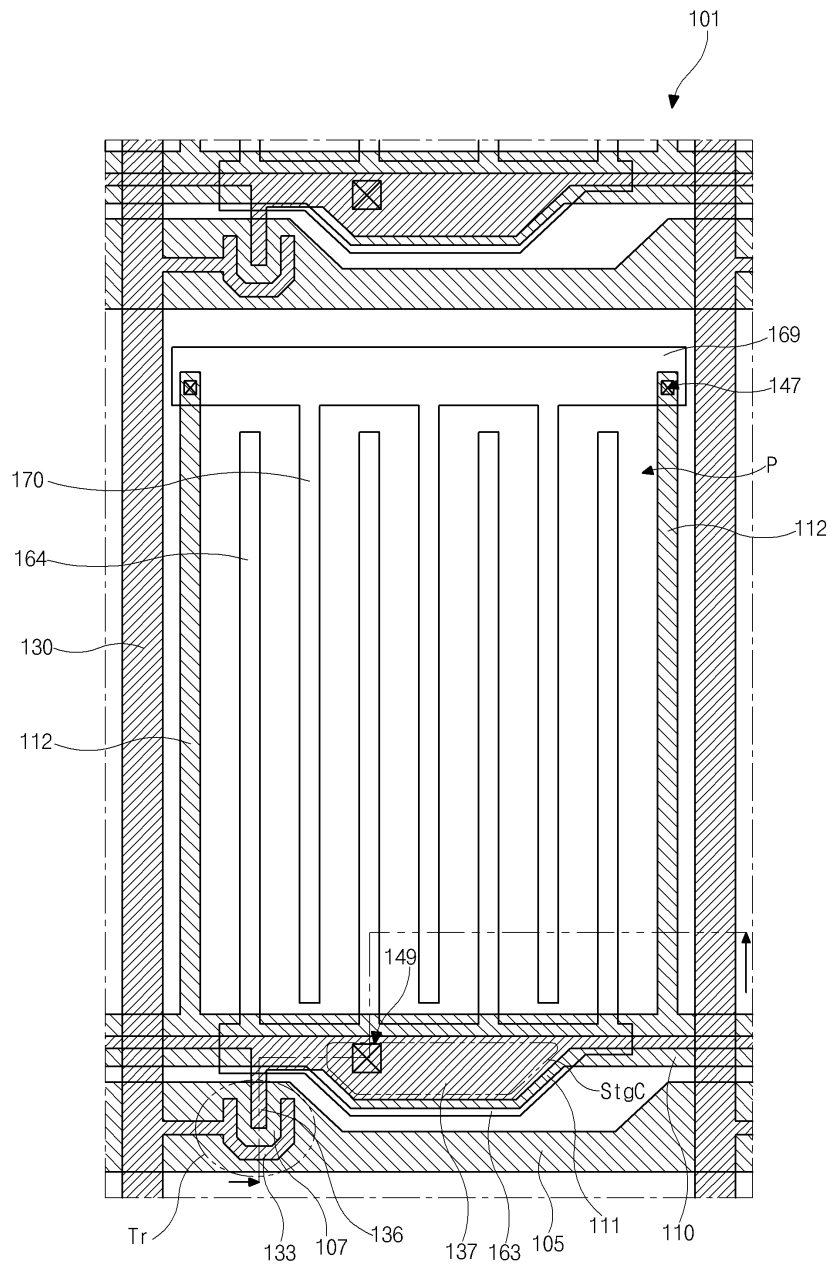
도면2b



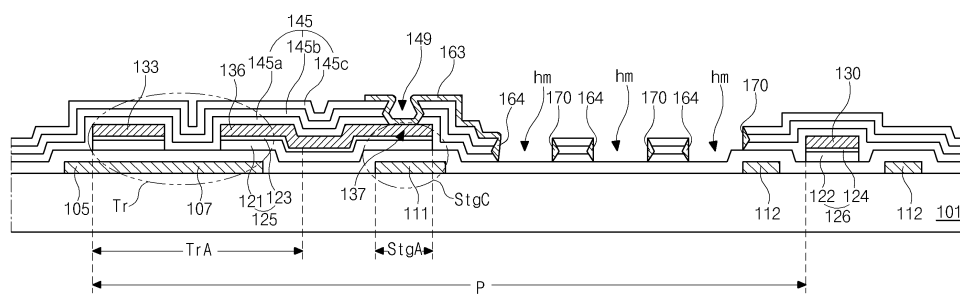
도면3



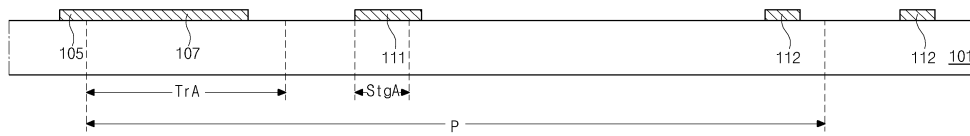
도면4



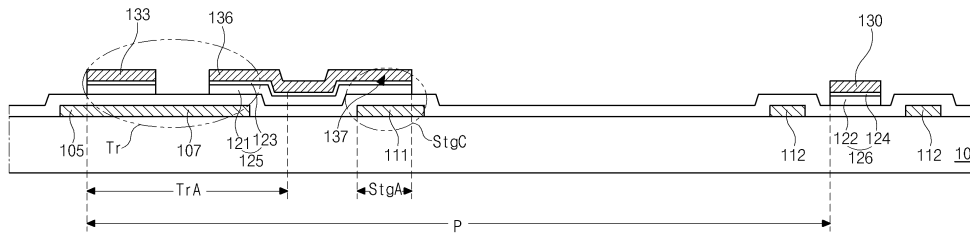
도면5



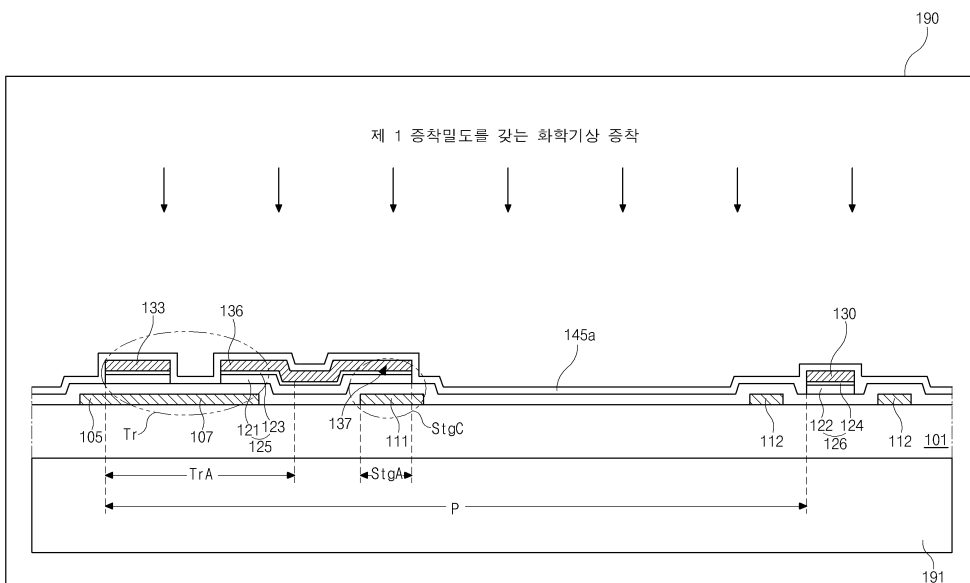
도면6a



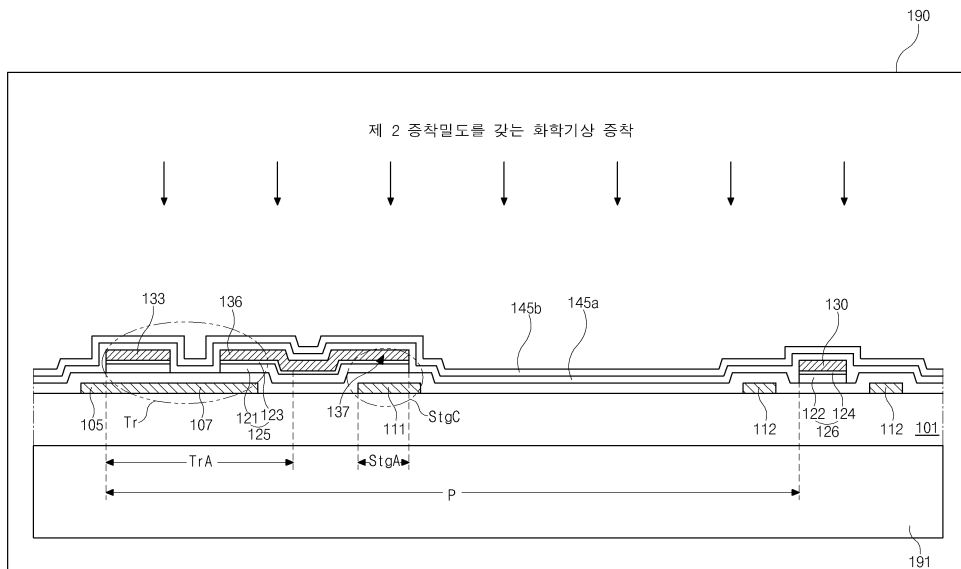
도면6b



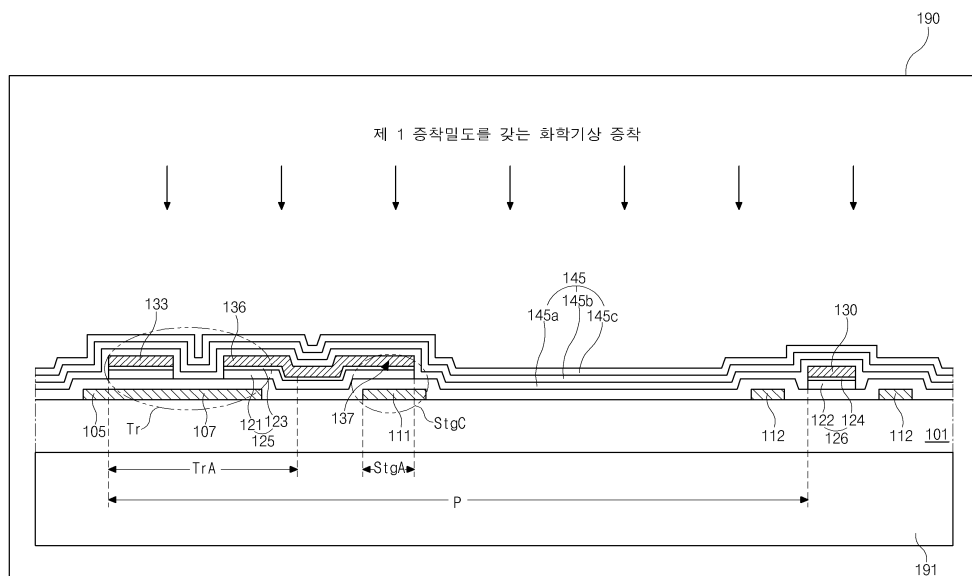
도면6c



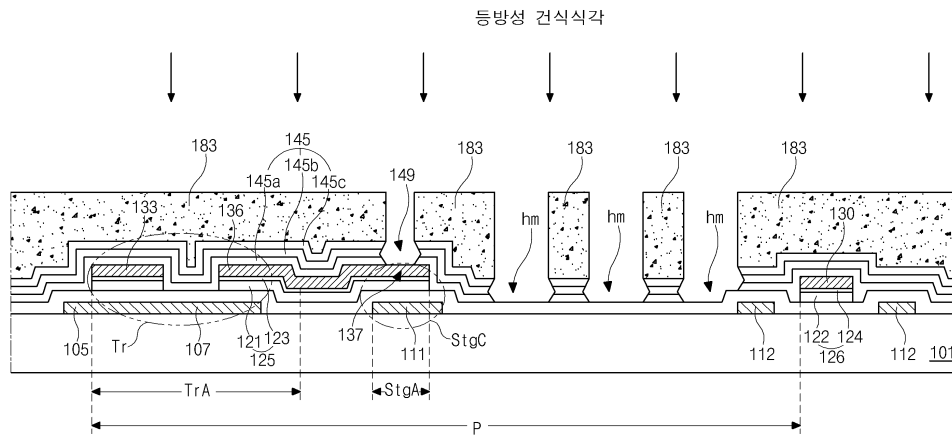
도면6d



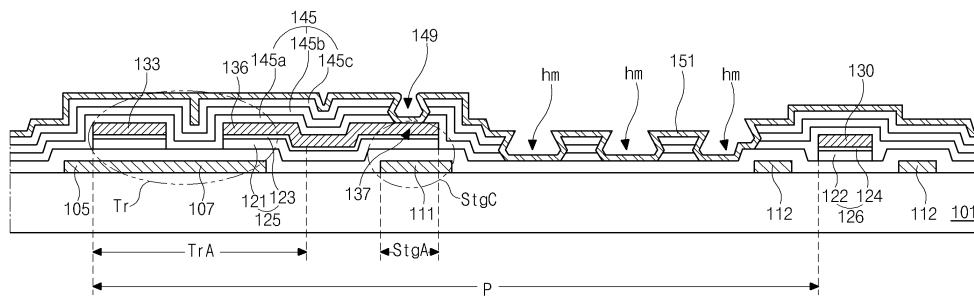
도면6e



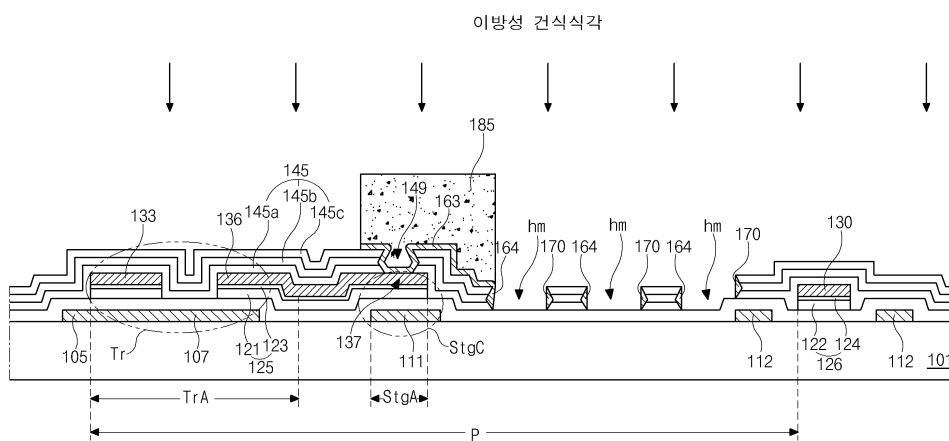
도면6f



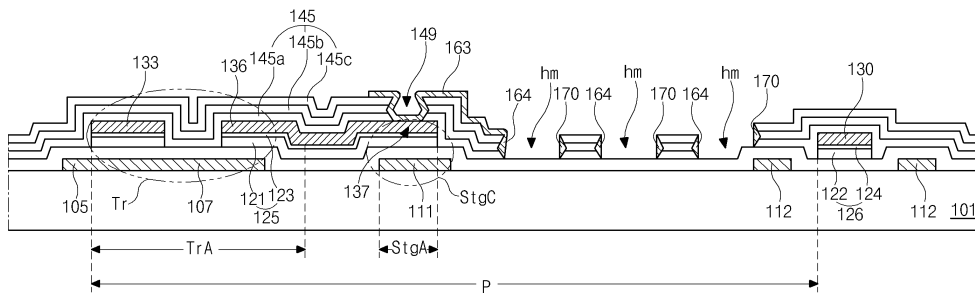
도면6g



도면6h



도면6i



本发明通过在基片上，并通过栅极绝缘膜的底部和顶部彼此相交限定的像素区域中，分别形成在栅极线和所述数据线;及与栅极布线并联形成的公共布线;薄膜晶体管，形成在每个像素区域中并连接到栅极线和数据线;形成第一，第二和第三层以覆盖具有不同沉积密度的薄膜晶体管和数据线。第一层和第三层在接近第二层时更宽。其中，所述多个像素槽的第一侧表面和第二侧表面彼此面对并且交替地形成彼此面对并且具有小于 $2\mu\text{m}$ 的宽度一种用于横向电场型液晶显示器的阵列基板及其制造方法，所述阵列基板包括多个中心公共电极和形成在其上的条形电极的像素电极。

