



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0023145
(43) 공개일자 2012년03월12일

<p>(51) 국제특허분류(Int. Cl.) <i>G02F 1/136</i> (2006.01) <i>H01L 29/786</i> (2006.01)</p> <p>(21) 출원번호 10-2011-7031558</p> <p>(22) 출원일자(국제) 2011년04월26일 심사청구일자 2011년12월29일</p> <p>(85) 번역문제출일자 2011년12월29일</p> <p>(86) 국제출원번호 PCT/CN2011/073335</p> <p>(87) 국제공개번호 WO 2011/134389 국제공개일자 2011년11월03일</p> <p>(30) 우선권주장 201010158983.3 2010년04월26일 중국(CN)</p>	<p>(71) 출원인 베이징 비오이 옵토일렉트로닉스 테크놀로지 컴퍼니 리미티드 중국 베이징 100176 비디에이 시환중로 8호</p> <p>(72) 발명자 송 영숙 중국 베이징 100176 비디에이 시환중로 8호 최 승진 중국 베이징 100176 비디에이 시환중로 8호 유 승열 중국 베이징 100176 비디에이 시환중로 8호</p> <p>(74) 대리인 리엔목특허법인</p>
--	---

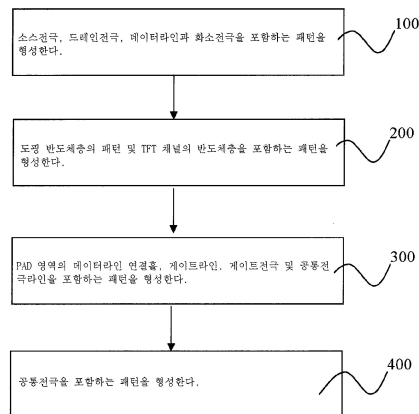
전체 청구항 수 : 총 15 항

(54) 발명의 명칭 **FFS형 TFT-LCD 어레이기판의 제조방법**

(57) 요약

일종의 FFS형 TFT-LCD 어레이기판의 제조방법으로서, 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체박막을 순차적으로 증착한 후, 제1 투명도전막, 제1 금속박막 및 도핑 반도체박막의 적층에 대하여 패터닝을 실시하여, 소스전극, 드레인전극, 데이터라인과 화소전극을 포함하는 패턴을 형성하는 단계와; 반도체박막을 형성하고, 반도체박막에 패터닝을 실시하여, 도핑 반도체층의 패턴 및 TFT 채널의 반도체층을 포함하는 패턴을 형성하는 단계와; 절연박막과 제2 금속박막을 순차적으로 형성하고, 절연박막과 제2 금속박막에 대하여 패터닝을 실시하여, PAD영역의 데이터라인 연결홀, 게이트라인, 게이트전극 및 공통전극라인을 포함하는 패턴을 형성하는 단계와; 제2 투명도전박막을 형성하고, 제2 투명도전박막에 대하여 패터닝을 실시하여, 공통전극을 포함하는 패턴을 형성하는 단계를 포함한다.

대표도 - 도3



특허청구의 범위

청구항 1

단계 1: 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체 박막을 순차적으로 형성한 다음, 상기 제1 투명도전박막, 상기 제1 금속박막 및 상기 도핑 반도체박막의 적층에 패터닝을 실시하여 소스전극, 드레인전극, 데이터라인과 화소전극을 포함하는 패턴을 형성하고;

단계 2: 반도체박막을 형성하고, 상기 반도체박막에 대하여 패터닝을 실시하여 도핑 반도체층의 패턴 및 TFT 채널을 포함하는 반도체층의 패턴을 형성하며;

단계 3: 절연박막과 제2 금속박막을 형성하고, 상기 절연박막과 상기 제2 금속박막에 패터닝을 실시하여, PAD 영역의 데이터라인 연결홀, 게이트라인, 게이트전극 및 공통전극라인을 포함하는 패턴을 형성하고;

단계 4: 제2 투명도전박막을 형성하고, 상기 제2 투명도전박막에 패터닝을 실시하여 공통전극을 포함하는 패턴을 형성하는 단계를 포함하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 2

제 1항에 있어서,

상기 단계 1은,

단계 11: 상기 투명기판에 상기 제1 투명도전박막, 상기 제1 금속박막 및 상기 도핑 반도체박막을 순차적으로 퇴적하는 단계와;

단계 12: 상기 도핑 반도체박막에 제1 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 포토레지스트를 노광 및 현상 처리하여 상기 포토레지스트에 포토레지스트가 완전히 남아있는 영역, 포토레지스트가 부분적으로 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 상기 어레이기판의 상기 데이터라인, 상기 소스전극 및 상기 드레인전극의 영역에 대응되고, 상기 포토레지스트가 부분적으로 남아있는 영역은 상기 어레이기판의 상기 화소전극 영역에 대응되며, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 13: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 도핑 반도체박막, 상기 제1 금속박막과 상기 제1 투명도전박막을 제거하여, 상기 데이터라인 및 상기 화소전극을 포함하는 패턴을 형성하는 단계와;

단계 14: 상기 제1 포토레지스트에 대하여 애싱 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 상기 도핑 반도체박막을 노출시키고, 상기 포토레지스트가 완전히 남아있는 영역에 부분적으로 두께를 지니는 제1 포토레지스트를 남기는 단계와;

단계 15: 식각 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 상기 도핑 반도체박막과 상기 제1 금속박막을 제거하여, 상기 소스전극 및 상기 드레인전극의 패턴을 형성하는 단계와;

단계 16: 남은 제1 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 3

제 1항에 있어서,

상기 단계 2는,

단계 21: 상기 단계 1을 통해 획득된 구조에 상기 반도체박막을 퇴적하는 단계와;

단계 22: 상기 도핑 반도체박막에 제2 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제2 포토레지스트를 노광 및 현상 처리하여 상기 제2 포토레지스트에 포토레지스트가 완전히 제거된 영역 및 포토레지스트가 완전히 남아있는 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 상기 어레이기판의 반도체층 영역에 대응되고, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대

응되도록 하는 단계와;

단계 23: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 반도체박막을 제거하는 단계와;

단계 24: 남은 제2 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 4

제 1항에 있어서,

상기 단계 3은,

단계 31: 상기 단계 2를 통해 획득된 구조에 상기 절연박막과 상기 제2 금속박막을 퇴적하는 단계와;

단계 32: 상기 제2 금속박막에 제3 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 포토레지스트를 노광 및 현상 처리하여, 상기 포토레지스트에 포토레지스트가 완전히 남아있는 영역, 포토레지스트가 부분적으로 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 상기 어레이기판의 상기 게이트전극, 상기 게이트라인 및 상기 공통전극의 영역에 대응되고, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 상기 PAD영역의 상기 데이터라인 영역에 대응되며, 상기 포토레지스트가 부분적으로 남아있는 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 33: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 제2 금속박막과 상기 절연박막을 제거하여, 상기 PAD영역의 상기 데이터라인 연결홀 및 상기 게이트절연층을 포함하는 패턴을 형성하는 단계와;

단계 34: 상기 제3 포토레지스트에 대하여 애싱 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 제2 금속박막을 노출시키고, 상기 포토레지스트가 완전히 남아있는 영역에 부분적으로 두께를 지니는 제3 포토레지스트를 남기는 단계와;

단계 35: 식각 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 상기 제2 금속박막을 제거하여, 상기 공통전극라인, 상기 게이트전극 및 상기 게이트라인을 포함하는 패턴을 형성하는 단계와;

단계 36: 남은 제3 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 5

제 1항에 있어서,

상기 단계 4는,

단계 41: 상기 단계 3를 통해 획득된 구조에 상기 제2 투명도전박막을 퇴적하는 단계와;

단계 42: 상기 제2 투명도전박막에 제4 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제4 포토레지스트를 노광 및 현상 처리하여, 상기 제4 포토레지스트에 포토레지스트가 완전히 제거된 영역 및 포토레지스트가 완전히 남아있는 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 상기 어레이기판의 상기 공통전극, 상기 PAD영역의 상기 데이터라인 및 상기 PAD영역의 상기 게이트라인 영역에 대응되며, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 43: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 제2 투명도전박막을 제거하여, 상기 공통전극을 포함하는 패턴을 형성하는 단계와;

단계 44: 남은 제4 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 6

단계 1: 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체박막을 순차적으로 형성하고, 상기 제1 투

명도전박막, 상기 제1 금속박막 및 상기 도핑 반도체박막의 적층에 패터닝을 실시하여, 소스전극, 드레인전극, 데이터라인과 화소전극을 포함하는 패턴을 형성하고;

단계 2: 반도체박막을 형성하고, 상기 반도체박막에 대하여 패터닝을 실시하여, 도핑 반도체층의 패턴 및 TFT 채널의 반도체층을 포함하는 패턴을 형성하며;

단계 3': 절연박막과 제2 금속박막을 형성하고, 상기 절연박막과 상기 제2 금속박막에 대하여 패터닝을 실시한 다음, 상기 제2 투명도전박막을 형성하고, 리프트(lift) 박리공정 및 식각 공정을 실시하여 PAD영역의 데이터라인 연결홀, 게이트라인, 게이트전극 및 공통전극라인의 패턴을 형성하는 단계를 포함하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 7

제 6항에 있어서,

상기 단계 1은,

단계 11: 상기 투명기판에 상기 제1 투명도전박막, 상기 제1 금속박막 및 상기 도핑 반도체박막을 순차적으로 퇴적하는 단계와;

단계 12: 상기 도핑 반도체박막에 제1 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제1 포토레지스트를 노광 및 현상 처리하여, 상기 제1 포토레지스트에 포토레지스트가 완전히 남아있는 영역, 포토레지스트가 부분적으로 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 상기 어레이기판의 상기 데이터라인, 상기 소스전극 및 상기 드레인전극의 영역에 대응되고, 상기 포토레지스트가 부분적으로 남아있는 영역은 상기 어레이기판의 화소전극 영역에 대응되며, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 13: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 도핑 반도체박막, 상기 제1 금속박막과 상기 투명도전박막을 제거하여, 상기 데이터라인 및 상기 화소전극을 포함하는 패턴을 형성하는 단계와;

단계 14: 상기 제1 포토레지스트에 대하여 애싱 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 도핑 반도체박막을 노출시키고, 상기 포토레지스트가 완전히 남아있는 영역에 부분적으로 두께를 지니는 제1 포토레지스트를 남기는 단계와;

단계 15: 식각 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 상기 도핑 반도체박막과 상기 제1 금속박막을 제거하여, 상기 소스전극 및 상기 드레인전극을 포함하는 패턴을 형성하는 단계와;

단계 16: 남은 제1 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 8

제 6항에 있어서,

상기 단계 2는,

단계 21: 상기 단계 1을 통해 획득된 구조에 상기 반도체박막을 퇴적하는 단계와;

단계 22: 상기 도핑 반도체박막에 제2 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제2 포토레지스트를 노광 및 현상 처리하여 상기 제2 포토레지스트에 포토레지스트가 완전히 제거된 영역 및 포토레지스트가 완전히 남아있는 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 어레이기판의 반도체층 영역에 대응되고, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 23: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 반도체박막을 제거하여, 상기 도핑반도체층의 패턴 및 TFT 채널의 반도체층을 포함하는 패턴을 형성하는 단계와;

단계 24: 남은 제2 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 9

제 6항에 있어서,

상기 단계 3'은,

단계 31': 상기 단계 2를 통해 획득된 구조에 상기 절연박막과 상기 제2 금속박막을 퇴적하는 단계와;

단계 32': 상기 제2 금속박막에 제3 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 포토레지스트를 노광 및 현상 처리하여, 상기 제3 포토레지스트에 포토레지스트가 완전히 남아있는 영역, 제1 포토레지스트가 부분적으로 남아있는 영역 및 제2 포토레지스트가 부분적으로 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 현상 후 상기 제2 포토레지스트가 부분적으로 남아있는 영역의 포토레지스트가 상기 제1 포토레지스트가 부분적으로 남아있는 포토레지스트보다 두꺼우며, 상기 포토레지스트가 완전히 제거된 영역은 어레이기판의 PAD영역의 데이터라인 영역에 대응되고, 상기 제1 포토레지스트가 부분적으로 남아있는 영역은 상기 어레이기판의 공통전극 영역에 대응되며, 상기 제2 포토레지스트가 부분적으로 남아있는 영역은 상기 어레이기판의 게이트라인, 게이트전극 영역에 대응되고, 상기 포토레지스트가 완전히 남아있는 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 33': 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 절연박막 및 상기 제2 금속박막을 제거하여, PAD영역의 데이터라인 연결홀 및 게이트절연층을 포함하는 패턴을 형성하는 단계와;

단계 34': 상기 제3 포토레지스트에 대하여 애싱 공정을 실시하여, 상기 제1 포토레지스트가 부분적으로 남아있는 영역의 제2 금속박막을 노출시키고, 상기 제2 포토레지스트가 부분적으로 남아있는 영역과 상기 포토레지스트가 완전히 남아있는 영역에 부분적으로 두께를 지니는 제3 포토레지스트를 남기는 단계와;

단계 35': 식각 공정을 실시하여, 상기 제1 포토레지스트가 부분적으로 남아있는 영역의 상기 제2 금속박막을 제거하는 단계와;

단계 36': 단계 35'의 상기 포토레지스트에 대하여 애싱 공정을 실시하여, 상기 제2 포토레지스트가 부분적으로 남아있는 영역의 제2 금속박막을 노출시키고, 상기 포토레지스트가 완전히 남아있는 영역에 부분적으로 두께를 지닌 제3 포토레지스트를 남기는 단계와;

단계 37': 상기 제2 투명도전박막을 퇴적하는 단계와;

단계 38': 리프트(lift) 박리공정을 실시하여, 상기 포토레지스트가 완전히 남아있는 영역의 제3 포토레지스트 및 상기 제3 포토레지스트에 퇴적된 상기 제2 투명도전박막을 제거하여, 공통전극을 포함하는 패턴을 형성하는 단계와;

단계 39': 식각공정을 실시하여, 상기 포토레지스트가 완전히 남아있는 영역의 상기 제2 금속박막을 제거하여, 게이트라인 및 게이트전극을 포함하는 패턴을 형성하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 10

단계 100: 투명기판에, 반도체박막 및 도핑 반도체박막을 순차적으로 형성하고, 상기 반도체박막 및 상기 도핑 반도체박막의 적층에 패터닝을 실시하여, 반도체층과 도핑 반도체층을 포함하는 패턴을 형성하고;

단계 200: 제1 투명도전박막 및 제1 금속박막을 형성하고, 상기 제1 투명도전박막 및 상기 제1 금속박막의 적층에 대하여 패터닝을 실시하여, 소스전극, 드레인전극, 도핑반도체층, TFT 채널, 데이터라인과 화소전극을 포함하는 패턴을 형성하며;

단계 300: 절연박막을 형성하고, 상기 절연박막에 대하여 패터닝을 실시하여, PAD영역의 데이터라인 연결홀을 포함하는 패턴을 형성하는 단계와;

단계 400: 제2 투명도전박막 및 제2 금속박막을 형성하고, 상기 제2 투명도전박막 및 상기 제2 금속박막의 적층에 대하여 패터닝을 실시하여, 게이트라인, 게이트전극과 공통전극을 포함하는 패턴을 형성하는 단계를 포함하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 11

제 10항에 있어서,

상기 단계 100은,

단계 1100: 상기 투명기판에 상기 반도체박막 및 상기 도핑 반도체박막을 순차적으로 퇴적하는 단계와;

단계 1200: 도핑 반도체박막에 제1 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제1 포토레지스트를 노광 및 현상 처리하여 상기 제1 포토레지스트에 포토레지스트가 완전히 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 어레이기판의 반도체층 영역에 대응되고, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 1300: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 도핑 반도체박막과 상기 반도체박막을 제거하여, 반도체층을 포함하는 패턴을 형성하는 단계와;

단계 1400: 남은 제1 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 12

제 10항에 있어서,

상기 단계 200은,

단계 2100: 단계 100을 통해 획득된 구조에 상기 제1 투명도전박막 및 상기 제1 금속박막을 순차적으로 퇴적하는 단계와;

단계 2200: 상기 제1 금속박막에 제2 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제2 포토레지스트를 노광 및 현상 처리하여 상기 제2 포토레지스트에 포토레지스트가 완전히 남아있는 영역, 포토레지스트가 부분적으로 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 어레이기판의 데이터라인, 소스전극 및 드레인전극의 영역에 대응되고, 상기 포토레지스트가 부분적으로 남아있는 영역은 상기 어레이기판의 화소전극 영역에 대응되며, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 2300: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 제1 금속박막과 상기 제1 투명도전박막을 제거하여, 상기 데이터라인 및 화소전극을 포함하는 패턴을 형성하는 단계와;

단계 2400: 상기 제2 포토레지스트에 대하여 애싱 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 제1 금속박막을 노출시키고, 상기 포토레지스트가 완전히 남아있는 영역에 부분적으로 두께를 지닌 제2 포토레지스트를 남기는 단계와;

단계 2500: 식각 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 상기 제1 금속박막과 상기 도핑 반도체박막을 제거하여, TFT 채널, 소스전극 및 드레인전극을 포함하는 패턴을 형성하는 단계와;

단계 2600: 남은 제2 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 13

제 10항에 있어서,

상기 단계 300은,

단계 3100: 단계 200에서 획득된 구조에 상기 절연박막을 퇴적하는 단계와;

단계 3200: 상기 절연박막에 제3 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제3 포토레지스트를 노광 및 현상 처리하여 상기 제3 포토레지스트에 포토레지스트가 완전히 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 제거된 영역은 어레이기판의 PAD영역의 데이터라인 영역에 대응되고, 상기 포토레지스트가 완전히 남아있는 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 3300: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 절연박막을 제거하여, 게이

트절연층을 포함하는 패턴을 형성하는 단계와;

단계 3400: 남은 제3 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 14

제 10항에 있어서,

상기 단계 400은,

단계 4100: 단계 300을 통해 획득된 구조에 상기 제2 투명도전박막 및 상기 제2 금속박막을 순차적으로 퇴적하는 단계와;

단계 4200: 상기 제2 금속박막에 제4 포토레지스트를 도포하고, 미리 제조된 마스크를 통해 상기 제4 포토레지스트를 노광 및 현상 처리하여 상기 제4 포토레지스트에 포토레지스트가 완전히 남아있는 영역, 포토레지스트가 부분적으로 남아있는 영역 및 포토레지스트가 완전히 제거된 영역이 구비되도록 하여, 그 중 상기 포토레지스트가 완전히 남아있는 영역은 어레이기판의 게이트전극, 게이트라인, 공통전극라인 및 PAD영역의 데이터라인 영역에 대응되고, 상기 포토레지스트가 부분적으로 남아있는 영역은 상기 어레이기판의 공통전극 영역에 대응되며, 상기 포토레지스트가 완전히 제거된 영역은 상기 어레이기판의 나머지 영역에 대응되도록 하는 단계와;

단계 4300: 식각 공정을 실시하여 상기 포토레지스트가 완전히 제거된 영역의 상기 제2 금속박막과 상기 제2 투명도전박막을 제거하여, 상기 게이트라인 및 게이트전극, 공통전극라인 및 공통전극을 포함하는 패턴을 형성하는 단계와;

단계 4400: 상기 제4 포토레지스트에 대하여 애싱 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 제2 금속박막을 노출시키고, 상기 포토레지스트가 완전히 남아있는 영역에 부분적으로 두께를 지닌 제4 포토레지스트를 남기는 단계와;

단계 4500: 식각 공정을 실시하여, 상기 포토레지스트가 부분적으로 남아있는 영역의 상기 제2 금속박막을 제거하여, 공통전극을 노출시키는 단계와;

단계 4600: 남은 제4 포토레지스트를 박리하는 단계를 포함하는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

청구항 15

제 10항에 있어서,

상기 단계 100 중 상기 반도체박막을 퇴적하는 사이에 절연박막을 형성하며, 또한 상기 절연박막은 상기 반도체박막과 함께 패턴닝되는 것을 특징으로 하는 FFS형 TFT-LCD 어레이기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 일종의 FFS형 TFT-LCD 어레이기판의 제조방법에 관한 것이다.

배경기술

[0002] 박막트랜지스터 액정디스플레이장치(Thin Film Transistor Liquid Crystal Display, 약칭 TFT-LCD)는 일종의 주요한 평판디스플레이장치(Flat Panel Display, 약칭 FPD)이다.

[0003] 액정을 구동시키는 전계 방향에 따라, TFT-LCD는 수직전계형과 수평전계형으로 구분된다. 수직전계형 TFT-LCD는 어레이기판에 화소전극을 형성하고, 컬러필터기판에 공통전극을 형성해야 하며, 수평전계형 TFT-LCD는 어레이기판에 화소전극과 공통전극을 동시에 형성해야 한다. 따라서 수평전계형 TFT-LCD의 어레이기판을 제작할 경우, 수직전계형 TFT-LCD의 어레이기판에 비해 공통전극을 형성하는 한 번의 마스크 공정을 별도로 추가해야 한다. 수직전계형 TFT-LCD는 트위스트 네마틱(Twist Nematic, 약칭 TN)형 TFT-LCD를 포함하며, 수평전계형 TFT-LCD는 프린지 필드 스위칭(Fringe Field Switching, 약칭 FFS)형 TFT-LCD와, 인플레인 스위칭(In-Plane Switching,

약칭 IPS)형 TFT-LCD를 포함한다. 수평전계형 TFT-LCD, 특히 FFS형 TFT-LCD는 넓은 시야각, 높은 개구율 등의 장점을 지녀 액정디스플레이 분야에 광범위하게 응용되고 있다.

- [0004] 현재, FFS형 TFT-LCD 어레이기판은 여러 번의 패터닝 공정을 통해 구조 패턴을 형성하여 제작되며, 매회의 패터닝 공정은 또한 각각 마스크를 사용하여 포토레지스트의 노광, 현상, 식각과 나머지 포토레지스트의 박리 등 공정을 포함한다. 식각 공정은 건식 식각과 습식 식각을 포함한다. 따라서 패터닝 공정의 횟수는 TFT-LCD 어레이기판 제조의 복잡하거나 단순한 정도를 판단할 수 있어, 패터닝 공정의 횟수를 감소시킨다는 것은 제조비용의 절감을 의미한다. 종래 기술의 6회 패터닝 공정은 공통전극 패터닝, 게이트라인과 게이트전극 패터닝, 활성층 패터닝, 소스전극-드레인전극 패터닝, 비어홀 패터닝과 화소전극 패터닝을 포함한다.
- [0005] 종래의 5회 패터닝공정으로 FFS형 TFT-LCD 어레이기판을 제조하는 방법은 다음과 같다:
- [0006] 단계 1: 제1 투명도전박막을 증착하고, 일반 마스크(mask)를 통해 판상의 공통전극 패턴을 형성한다.
- [0007] 단계 2: 제1 금속박막을 증착하고, 일반 마스크를 이용하여 게이트라인, 게이트전극 및 공통전극라인의 패턴을 형성한다.
- [0008] 단계 3: 순차적으로 제1 절연박막, 반도체 박막, 도핑 반도체 박막과 제2 금속박막을 증착하고, 듀얼톤 마스크(dual tone mask)를 이용하여 활성층(반도체층과 도핑 반도체층), TFT 채널, 소스전극, 드레인전극과 데이터라인의 패턴을 형성한다.
- [0009] 단계 4: 제2 절연박막을 증착하고, 제2 듀얼톤 마스크를 이용하여 비어홀의 패턴을 형성하며, PAD 영역의 게이트라인 영역, PAD영역의 데이터라인 영역 및 PAD 영역의 공통전극라인 영역에 연결홀의 패턴을 형성한다.
- [0010] 단계 5: 제2 투명도전박막을 증착하고, 일반 마스크(mask)를 이용하여 슬릿을 구비한 화소전극 패턴을 형성한다.

발명의 내용

해결하려는 과제

- [0011] 본 발명이 해결하려는 과제는, 상기 종래 기술의 문제점을 감안하여, 패터닝 단계가 감소하고, TFT 채널이 과도하게 식각되는 것을 방지함으로써 액정디스플레이의 생산품질을 보장할 수 있는 FFS형 TFT-LCD 어레이기판의 제조방법을 제공하는 데 있다.

과제의 해결 수단

- [0012] 본 발명의 일 실시예에서는 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체 박막을 순차적으로 형성한 후, 상기 제1 투명도전박막, 상기 제1 금속박막 및 상기 도핑 반도체 박막의 적층에 패터닝을 실시하여 소스전극, 드레인전극, 데이터라인과 화소전극을 포함하는 패턴을 형성하는 단계 1과; 반도체 박막을 형성하고, 상기 반도체 박막에 패터닝을 실시하여 도핑 반도체층의 패턴 및 TFT 채널을 포함하는 반도체층의 패턴을 형성하는 단계 2와; 절연박막과 제2 금속박막을 형성하고, 상기 절연박막과 상기 제2 금속박막의 적층에 패터닝을 실시하여 PAD영역의 데이터라인 연결홀, 게이트라인, 게이트전극 및 공통전극라인의 패턴을 형성하는 단계 3과; 제2 투명도전박막을 형성하고, 상기 제2 투명도전박막에 패터닝을 실시하여 공통전극을 포함하는 패턴을 형성하는 단계 4를 포함하는 일종의 FFS형 TFT-LCD 어레이기판의 제조방법을 제공한다.
- [0013] 본 발명의 또 다른 일 실시예에서는 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체박막을 순차적으로 형성하고, 상기 제1 투명도전박막, 상기 제1 금속박막 및 상기 도핑 반도체박막의 적층에 패터닝을 실시하여 소스전극, 드레인전극, 데이터라인과 화소전극을 포함하는 패턴을 형성하는 단계 1과; 반도체 박막을 형성하고, 상기 반도체 박막에 패터닝을 실시하여 도핑 반도체층의 패턴 및 TFT 채널의 반도체층을 포함하는 패턴을 형성하는 단계 2와; 절연박막과 제2 금속박막을 형성하고, 상기 절연박막과 상기 제2 금속박막에 패터닝을 실시한 다음, 제2 투명도전박막을 형성하고 리프트(lift) 박리공정 및 식각공정을 실시하여, PAD영역의 데이터라인 연결홀, 게이트라인, 게이트전극 및 공통전극라인의 패턴을 형성하는 단계 3'를 포함하는 일종의 FFS형 TFT-LCD 어레이기판의 제조방법을 제공한다.
- [0014] 본 발명의 또 다른 일 실시예에서는 투명기판에 반도체 박막 및 도핑 반도체 박막을 순차적으로 형성하고, 상기 반도체 박막 및 상기 도핑 반도체 박막의 적층에 패터닝을 실시하여 반도체층과 도핑 반도체층을 포함하는 패턴을 형성하는 단계 100과; 제1 투명도전박막 및 제1 금속박막을 형성하고, 상기 제1 투명도전박막 및 상기 제1

금속박막의 적층에 패터닝을 실시하여 소스전극, 드레인전극, 도핑 반도체층, TFT 채널, 데이터라인과 화소전극을 포함하는 패턴을 형성하는 단계 200과; 절연박막을 형성하고, 상기 절연박막에 패터닝을 실시하여 PAD영역의 데이터라인 연결홀을 포함하는 패턴을 형성하는 단계 300과; 제2 투명도전박막 및 제2 금속박막을 형성하고, 상기 제2 투명도전박막 및 상기 제2 금속박막의 적층에 패터닝을 실시하여, 게이트라인, 게이트전극과 공통전극을 포함하는 패턴을 형성하는 단계 400를 포함하는 일종의 FFS형 TFT-LCD 어레이기판의 제조방법을 제공한다.

발명의 효과

[0015] 본 발명에 따르면, FFS형 TFT-LCD 어레이기판의 제조방법에서 패터닝 단계가 감소하였으며, TFT 채널이 과도하게 식각되는 것이 방지됨으로써 액정디스플레이의 생산품질을 보장할 수 있다.

도면의 간단한 설명

[0016] 도 1은 일종의 FFS형 TFT-LCD 어레이기판의 평면도이다.

도 2a는 도1의 A-A선에 따른 단면도로서, 화소영역을 나타낸 단면도이고, 도 2b는 일종의 FFS형 TFT-LCD 어레이기판의 PAD 영역의 데이터라인의 단면도이며; 도 2c는 일종의 FFS형 TFT-LCD 어레이기판의 PAD 영역의 게이트라인의 단면도이다.

도 3은 본 발명의 실시예 1에 따라 FFS형 TFT-LCD 어레이기판을 제조하는 흐름도이다.

도 4a-도 4c는 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체박막을 증착한 후의 단면도로서, 그중 도 4a는 화소영역의 단면도이고, 도 4b는 PAD영역의 게이트라인의 단면도이며, 도 4c는 PAD영역의 데이터라인의 단면도이다.

도 5a-도 5c는 도 4a-도 4c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.

도 6a-도 6c는 도 5a-도 5c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.

도 7a-도 7c는 도 6a-도 6c의 포토레지스트에 대하여 애싱 공정을 실시한 후의 단면도이다.

도 8a-도 8c는 도 7a-도 7c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.

도 9a-도 9c는 도 8a-도 8c의 포토레지스트를 박리한 후의 단면도이다.

도 10a-도 10c는 도 9a-도 9c의 구조에 반도체박막을 증착한 후의 단면도이다.

도 11a-도 11c는 도 10a-도 10c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.

도 12a-도 12c는 도 11a-도 11c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.

도 13a-도 13c는 도 12a-도 12c의 포토레지스트를 박리한 후의 단면도이다.

도 14a-도 14c는 도 13a-도 13c의 구조에 절연박막과 제2 금속박막을 증착한 후의 단면도이다.

도 15a-도 15c는 도 14a-도 14c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.

도 16a-도 16c는 도 15a-도 15c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.

도 17a-도 17c는 도 16a-도 16c의 포토레지스트에 대하여 애싱 공정을 실시한 후의 단면도이다.

도 18a-도 18c는 도 17a-도 17c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.

도 19a-도 19c는 도 18a-도 18c의 포토레지스트를 박리한 후의 단면도이다.

도 20a-도 20c는 도 19a-도 19c의 구조에 제2 투명도전박막을 증착한 후의 단면도이다.

도 21a-도 21c는 도 20a-도 20c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.

도 22a-도 22c는 도 21a-도 21c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.

도 23a-도 23c는 도 22a-도 22c의 포토레지스트를 박리한 후의 단면도이다.

- 도 24는 본 발명의 실시예 2에 따라 FFS형 TFT-LCD 어레이기판을 제조하는 흐름도이다.
- 도 25a-도 25c는 도 13a-도 13c의 구조에 절연박막 및 제2 금속박막을 증착한 후의 단면도이다.
- 도 26a-도 26c는 도 25a-도 25c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.
- 도 27a-도 27c는 도 26a-도 26c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 28a-도 28c는 도 27a-도 27c의 포토레지스트에 대하여 애싱 공정을 실시한 후의 단면도이다.
- 도 29a-도 29c는 도 28a-도 28c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 30a-도 30c는 도 29a-도 29c의 구조에 대하여 애싱 공정을 실시한 후의 단면도이다.
- 도 31a-도 31c는 도 30a-도 30c의 구조에 제2 투명도전박막을 증착한 후의 단면도이다.
- 도 32a-도 32c는 도 31a-도 31c의 구조에 박리공정을 실시한 후의 단면도이다.
- 도 33a-도 33c는 도 32a-도 32c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 34는 본 발명의 실시예 3에 따라 FFS형 TFT-LCD 어레이기판을 제조하는 흐름도이다.
- 도 35a-도 35c는 투명기판에 반도체박막 및 도핑 반도체박막을 증착한 후의 단면도로서, 그 중 도 35a는 화소영역의 단면도이고, 도 35b는 PAD영역의 게이트라인의 단면도이며, 도 35c는 PAD영역의 데이터라인의 단면도이다.
- 도 36a-도 36c는 도 35a-도 35c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.
- 도 37a-도 37c는 도 36a-도 36c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 38a-도 38c는 도 37a-도 37c의 포토레지스트를 박리한 후의 단면도이다.
- 도 39a-도 39c는 도 38a-도 38c의 구조에 제1 투명도전박막 및 제1 금속박막을 증착한 후의 단면도이다.
- 도 40a-도 40c는 도 39a-도 39c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.
- 도 41a-도 41c는 도 40a-도 40c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 42a-도 42c는 도 41a-도 41c의 포토레지스트에 대하여 애싱 공정을 실시한 후의 단면도이다.
- 도 43a-도 43c는 도 42a-도 42c의 제1 금속박막에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 44a-도 44c는 도 43a-도 43c의 도핑 반도체박막에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 45a-도 45c는 도 44a-도 44c의 포토레지스트를 박리한 후의 단면도이다.
- 도 46a-도 46c는 도 45a-도 45c의 구조에 절연박막을 증착한 후의 단면도이다.
- 도 47a-도 47c는 도 46a-도 46c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.
- 도 48a-도 48c는 도 47a-도 47c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 49a-도 49c는 도 48a-도 48c의 포토레지스트를 박리한 후의 단면도이다.
- 도 50a-도 50c는 도 49a-도 49c의 구조에 제2 투명도전박막 및 제2 금속박막을 증착한 후의 단면도이다.
- 도 51a-도 51c는 도 50a-도 50c의 구조에 포토레지스트를 도포한 후 노광과 현상 처리를 실시한 후의 단면도이다.
- 도 52a-도 52c는 도 51a-도 51c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.
- 도 53a-도 53c는 도 52a-도 52c의 포토레지스트에 대하여 애싱 공정을 실시한 후의 단면도이다.
- 도 54a-도 54c는 도 53a-도 53c의 구조에 대하여 식각 공정을 실시한 후의 단면도이다.

도 55a-도 55c는 도 54a-도 54c의 포토레지스트를 박리한 후의 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0017] 본 발명의 실시예의 목적, 기술방안과 장점이 더욱 명확해지도록, 이하 본 발명의 실시예 중의 도면을 결합하여, 본 발명의 실시예 중의 기술방안에 대하여 명확하고도 완전하게 설명하고자 한다. 묘사되는 실시예는 단지 본 발명의 일부 실시예일뿐 실시예의 전부가 아님은 당연하다. 본 발명의 실시예를 바탕으로, 본 분야의 통상의 기술자가 창조적인 노동을 기울이지 않은 전제 하에 획득된 모든 기타 실시예는 모두 본 발명의 보호 범위에 속한다.
- [0018] 본 발명의 실시예에 따른 FFS형 TFT-LCD 어레이기판을 제조하는 방법을 더욱 잘 묘사하기 위하여, 먼저 도 1 및 도 2a 내지 도 2c를 결합하여 FFS형 TFT-LCD의 기본 구조를 설명한다.
- [0019] 도 1은 일종의 FFS형 TFT-LCD 어레이기판의 평면도이다. 도 1에 도시된 바와 같이, 어레이기판(Array Substrate)은 게이트라인(1), 데이터라인(2), 박막트랜지스터(Thin Film Transistor, 약칭 TFT)(3), 화소전극(4), 공통전극(50) 및 공통전극라인(5)을 포함한다. 게이트라인(1)은 투명기판에 가로로 설치되고, 데이터라인(2)은 투명기판에 세로로 설치되며, 게이트라인(1)과 데이터라인(2)의 교차 부위에 TFT(3)가 설치된다. TFT(3)는 활성 스위치소자이다. 화소전극(4)은 슬릿 전극이다. 공통전극(50)은 화소전극(4)의 아래에 위치하면서 대부분이 중첩되며, 공통전극(5)은 화소전극과 함께 액정을 구동시키기 위한 전기장을 형성한다. 공통전극라인(5)은 공통전극(50)과 연결된다. 언급할 점은, 도 1에서 부호 표기 “50”이 지시하는 것은 스트립형의 슬릿이 아니라 슬릿의 하부에 놓이는 판상의 공통전극이라는 것이다.
- [0020] 도 2a-2c는 일종의 FFS형 TFT-LCD 어레이기판의 단면도이다. 그 중 도 2a는 도 1의 A-A선에 따른 단면도로서, 어레이기판 중 화소부분의 단면구조를 도시한 것이다. 도 2a에 도시된 바와 같이, 어레이기판은 구체적으로 투명기판(11), 공통전극(50), 게이트전극(12), 게이트 절연층(13), 반도체층(14), 도핑 반도체층(15), 소스전극(16), 드레인전극(17), 부동태화층(18, passivation layer)을 더 포함한다. 게이트전극(12)은 게이트라인(1)과 일체형으로 형성되고, 소스전극(16)은 데이터라인(2)과 일체형으로 형성되며, 소스전극(17)과 화소전극(4)은 일반적으로 부동태화층의 비어홀(via hole)(180)과 연결된다. 게이트라인(1)에 온 신호가 입력되면, 활성층(반도체층(14)과 도핑 반도체층(15)이 온되며, 데이터라인(2)의 데이터신호가 소스전극(16)으로부터 TFT 채널(channel)(19)을 통해 드레인전극(17)에 도달하여, 최종적으로 화소전극(4)에 입력된다. 화소전극(4)은 신호를 획득한 후 판상의 공통전극(50)과 함께 액정을 구동시키는 전기장을 형성한다. 화소전극(4)에 슬릿(49)이 구비되므로, 공통전극(50)과 함께 수평전계를 형성한다.
- [0021] 도 2b는 일종의 FFS형 TFT-LCD 어레이기판의 PAD영역의 데이터라인 단면도이고, 도 2c는 일종의 FFS형 TFT-LCD 어레이기판의 PAD영역의 게이트라인 단면도이다. PAD영역은 즉 프레스 연결영역으로서, 게이트라인, 데이터라인 및 공통전극라인 등의 신호선을 외부 구동회로기판의 리드선과 프레스 연결한 영역이다. PAD영역은 어레이기판의 네 가장자리 중 하나 또는 서로 인접한 두 변에 위치하며, 리드선과 신호선을 전기적으로 연결시키기 위하여, PAD영역의 신호선 상방에는 반드시 절연층이 덮여있지 않아야 한다. 도 2b 및 2c에서 볼 수 있듯이, PAD영역의 데이터라인(2)과 게이트라인(1) 상방에는 모두 연결홀(181),(182)이 개설되어 있으며, 도면부호 700이 지시하는 것은 투명도전박막의 식각을 통해 화소전극을 형성할 때 동시에 형성되는 투명도전층으로서, 도전될 수 있으며, 도 2b 중의 도면부호 300과 400은 도핑 반도체박막과 반도체박막을 식각할 때 형성되는 구조로서, 데이터라인(2)의 통신에 영향을 주지 않는다. 만약 외부 리드선을 직접 도 2b 및 2c의 투명도전층(700)에 용접할 경우, 어레이기판과 구동회로기판의 연결을 구현할 수 있다. 같은 원리로, 공통전극라인 상방에도 마찬가지로 외부의 리드선과 연결시키기 위한 연결홀이 개설되며, 그 구조는 도 2c와 대체로 동일하므로 도면은 생략한다.
- [0022] 그러나, 상기 FFS형 TFT-LCD 어레이기판의 제조방법에서는 5회의 패터닝 공정이 필요하기 때문에 원가가 높고, 시장경쟁력도 저하된다. 뿐만 아니라, 상기 단계 3에서, TFT 채널, 소스전극 및 드레인전극을 형성하기 위하여, 전체 기판에 2회의 식각을 실시해야 하는데, 일반적으로 습식 식각법을 채택하며, 즉 기판을 식각액에 침지시켜 포토레지스트로 덮이지 않았으면서 상기 식각액에 의해 침식된 부분을 제거한다. TFT 채널이 습식법으로 식각될 경우, 식각 파라미터를 엄격하게 제어해야 하며, 통상적으로 식각 시간을 제어하는 방법으로 진행된다. 그런데 공정오차가 존재하기 때문에, TFT 채널이 과도하게 식각(Over Etch)될 수 있다. 어레이기판에 대하여 중요한 의미를 갖는 TFT 채널은 이러한 과도한 식각으로 무시할 수 없는 결함을 발생시킬 수 있으며, TFT 채널이 넓어지거나 또는 직접 TFT 채널을 손상시킬 수 있어, 액정디스플레이의 전체 성능 및 제품 합격률에 대단히 부정적

인 영향을 줄 수 있다. 따라서 어느 정도의 개선이 필요하다.

- [0023] 도 3은 본 발명의 실시예 1에 따른 FFS형 TFT-LCD 어레이기판의 제조방법 흐름도이다. 도 3에 도시된 바와 같이, 본 발명의 실시예 1의 FFS형 TFT-LCD 어레이기판의 제조방법은,
- [0024] 단계 1에서, 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체 박막을 순차적으로 형성한 다음, 제1 투명도전박막, 제1 금속박막 및 도핑 반도체박막의 적층을 패터닝하여 소스전극, 드레인전극, 데이터라인과 화소전극을 포함하는 패턴을 형성하고;
- [0025] 단계 2에서, 반도체박막을 형성하고, 상기 반도체박막에 대하여 패터닝을 실시하여 도핑 반도체층의 패턴 및 TFT 채널을 포함하는 반도체층의 패턴을 형성하며;
- [0026] 단계 3에서, 절연박막과 제2 금속박막을 증착하고, 절연박막과 제2 금속박막에 패터닝을 실시하여, PAD영역의 데이터라인 연결홀, 게이트라인, 게이트전극 및 공통전극라인을 포함하는 패턴을 형성하고;
- [0027] 단계 4에서, 제2 투명도전박막을 형성하고, 제2 투명도전박막에 패터닝을 실시하여 공통전극을 포함하는 패턴을 형성한다.
- [0028] 본 발명의 실시예의 FFS형 TFT-LCD 어레이기판의 제조방법은 4회의 패터닝 공정을 통해 FFS형 TFT-LCD 어레이기판을 제조하기 때문에, 종래기술에 비해 공정횟수를 감소시켰고, 원가를 대단히 절감할 수 있어 시장 경쟁력을 제고시킬 수 있다.
- [0029] 이하 도 4a-도 23c를 결합하여 본 발명의 실시예 1에 따른 FFS형 TFT-LCD 어레이기판의 제조방법을 상세히 설명하고자 한다.
- [0030] 먼저 도 4a-도 9c에 따라 본 발명의 실시예 1의 FFS형 TFT-LCD 어레이기판의 제조방법의 제1 패터닝 공정을 상세히 설명한다. 도 4a-도 9c에 도시된 바와 같이, 본 발명의 실시예 1에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 제1 패터닝 공정은 다음 단계를 포함한다.
- [0031] 단계 11: 도 4a-도 4c와 같이, 상기 투명기판(11)에 제1 투명도전박막(100), 제1 금속박막(200) 및 도핑 반도체박막(400)을 순차적으로 증착한다.
- [0032] 플라즈마 증강 화학기상증착(PECVD), 마그네트론 스퍼터링, 열증발 또는 기타 필름 형성방법을 이용하여, 투명기판(11)(예를 들어 유리기판 또는 석영기판)에 제1 투명도전박막(100), 제1 금속박막(200) 및 도핑 반도체박막(400)을 순차적으로 증착한다. 제1 투명도전박막(100)은 ITO, IZO 등 투명도전재료일 수 있다. 제1 금속박막(200)은 폴리브덴, 알루미늄, 알루미늄 티타늄 합금, 텅스텐, 크로뮴, 구리 등 금속으로 형성되는 단층 박막일 수도 있고, 이상의 금속이 다층으로 증착되어 형성되는 다층 박막일 수도 있다.
- [0033] 단계 12: 도 4a-도 4c의 구조 중 도핑 반도체박막(400)에 포토레지스트(1000)를 도포하고, 미리 제조된 마스크를 통해 상기 포토레지스트를 노광 및 현상 처리한다. 이 단계에서 사용되는 마스크는 듀얼톤 마스크(예를 들어 하프톤 마스크 또는 그레이톤 마스크)이다. 듀얼톤 마스크는 빛의 투과정도 또는 강도에 따라 완전 광누출 영역, 부분 광누출 영역 및 비 광누출 영역으로 구분할 수 있다. 이 마스크를 통해 노광 처리를 실시한 후, 포토레지스트(1000)에 비 노광영역, 부분 노광영역 및 완전 노광영역을 형성한 후, 현상처리를 거쳐, 완전 노광영역의 포토레지스트를 약제로 제거한다. 부분 노광영역의 포토레지스트 중, 상층은 노광되어 제거되며 하층의 포토레지스트만 남기 때문에, 포토레지스트층의 두께가 저하되며, 비 노광영역의 포토레지스트 두께는 변하지 않는다. 본 단계의 포토레지스트(1000)에서, 비 노광구역은 어레이기판의 데이터라인(2)(도 1 참조), 소스전극 및 드레인전극의 영역에 대응되고, 상기 부분 노광영역은 상기 어레이기판의 화소전극(4)(도 1 참조)의 영역에 대응되며, 상기 완전 노광영역은 상기 어레이기판의 나머지 영역에 대응되며, 도 5a-도 5c와 같다.
- [0034] 단계 13: 도 5a-도 5c의 구조에 대하여 식각 공정을 실시하여 상기 완전 노광영역의 도핑 반도체박막(400), 제1 금속박막(200)과 제1 투명도전박막(100)을 제거하여, 데이터라인(2) 및 화소전극(4)을 포함하는 패턴을 형성한다. 본 단계의 식각공정은 3-스텝 식각을 포함한다. 도 6a-도 6c에 도시된 바와 같이, 제1 스텝에서 도핑 반도체재료의 식각액을 이용하여, 도핑 반도체박막(400)을 식각하고, 제2 스텝에서 금속재료 식각액(예를 들어 인산과 질산의 혼합물)을 이용하여 제1 금속박막(200)을 식각하여 데이터라인(2)의 패턴을 획득하며, 제3 스텝에서 ITO 또는 IZO 식각액을 이용하여 제1 투명도전박막(100)을 제거하여 화소전극(4)의 패턴을 형성한다. 실제 생산에서는 큰 면적의 패턴을 식각할 때 습식 식각 방법을 채택할 수 있다. 소위 습식 식각이란 피식각물을 식각액에 투입하여, 식각액으로 노출된 피식각물을 부식시키는 방식이다. 금속재료 식각액은 금속재료, 즉 제1 금속박막만 식각할 수 있다. 포토레지스트로 덮인 영역, 다시 말해 부분 노광영역 및 비 노광영역의 박막은 포토레지

스트에 의해 보호되기 때문에 부식되지 않는다. 완전 노광영역의 박막은 직접 식각액과 접촉되어 식각되며, 잔류된 박막에 필요한 패턴을 형성한다.

- [0035] 단계 14: 도 7a-도 7c와 같이, 도 6a-도 6c의 포토레지스트(100)에 대하여 애싱 공정을 실시하여, 상기 부분 노광영역의 도핑 반도체박막(400)을 노출시킨다. 애싱 공정의 작용은 일정 두께의 포토레지스트를 제거하는 것이다. 이 단계에서, 제거된 포토레지스트 두께는 단계 12 중 부분 노광영역에 남은 포토레지스트 두께와 동일하며, 즉 애싱 공정 후, 포토레지스트는 비 노광영역에만 남아 있게 되고, 나머지 영역은 포토레지스트가 남지 않는다.
- [0036] 단계 15: 도 8a-도 8c와 같이, 도 7a-도 7c의 구조에 대해 식각 공정을 실시하여, 부분 노광영역의 도핑 반도체박막(400)과 제1 금속박막(200)을 제거하여, 소스전극(16) 및 드레인전극(17)의 패턴을 형성한다. 이 단계의 식각 공정은 2-스텝 식각을 포함한다. 먼저 도핑 반도체박막(400)을 식각한 다음, 제1 금속박막(200)을 식각함으로써, 소스전극(16)과 드레인전극(17)을 형성하고, 또한 화소전극(4)을 노출시킨다.
- [0037] 단계 16: 도 9a-도 9c와 같이, 도 8a-도 8c 중 남은 포토레지스트(1000)를 박리한다.
- [0038] 이하 도 10a-도 13c에 따라 본 발명의 실시예 1에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 제2 패턴닝 공정을 상세히 설명한다. 상기 제2 패턴닝 공정은 다음 단계를 포함한다:
- [0039] 단계 21: 도 10a-도 10c와 같이, 도 9a-도 9c의 구조에 반도체박막(300)을 증착한다.
- [0040] 단계 22: 도 11a-도 11c와 같이, 도 10a-도 10c의 반도체박막(300)에 포토레지스트(2000)를 도포하고, 미리 제작된 마스크를 통해 상기 포토레지스트를 노광 및 현상처리하여, 상기 포토레지스트(2000)에 완전 노광영역 및 비 노광영역이 구비되도록 한다. 상기 비 노광영역은 상기 어레이기판의 반도체층(도 2 참조)의 영역에 대응되고, 상기 완전 노광영역은 나머지 영역에 대응된다.
- [0041] 단계 23: 도 12a-도 12c와 같이, 도 11a-도 11c에 대하여 식각 공정을 실시하여 상기 완전 노광영역의 반도체박막(300)을 제거하여 반도체층(14)과 도핑 반도체층(15)을 형성한다. 이 단계에서, 반도체층박막(300)에 대하여 식각을 실시하는 동시에 도핑 반도체층(400)에 대해서도 동시에 식각을 실시할 수 있다. 본 단계에서, TFT 채널이 자연적으로 형성되므로 식각이 필요없다. 따라서 종래 기술 중 도핑 반도체박막을 식각하여 TFT 채널을 형성할 때 과도한 식각이 발생하는 문제를 방지할 수 있다.
- [0042] 단계 24: 도 13a-도 13c와 같이, 도 12a-도 12c의 나머지 포토레지스트(2000)를 박리한다.
- [0043] 이하 도 14a-도 19c에 따라 본 발명의 실시예1에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 제3 패턴닝 공정을 상세히 설명한다. 상기 제3 패턴닝 공정은 다음 단계를 포함한다:
- [0044] 단계 31: 도 14a-도 14c와 같이, 도 13a-도 13c의 구조에 절연박막(500)과 제2 금속박막(600)을 순차적으로 증착한다.
- [0045] 단계 32: 도 15a-도 15c와 같이, 도 14a-도 14c 중의 제2 금속박막에 포토레지스트(3000)를 도포하고, 미리 제작된 마스크를 통해 포토레지스트(3000)를 노광 및 현상처리하여, 상기 포토레지스트(3000)에 비 노광영역, 부분 노광영역 및 완전 노광영역이 구비되도록 한다. 상기 비 노광영역은 어레이기판의 게이트전극(12), 게이트라인(1) 및 공통전극라인(5)의 영역에 대응되고, 상기 완전 노광영역은 상기 어레이기판의 PAD영역의 데이터라인(2) 영역에 대응되며, 상기 부분 노광영역은 상기 어레이기판의 나머지 영역에 대응된다.
- [0046] 단계 33: 도 16a-도 16c와 같이, 도 15a-도 15c의 구조에 대하여 식각 공정을 실시하여 완전 노광영역의 제2 금속박막(600)과 절연박막(500)을 제거하여, PAD영역의 데이터라인 연결홀 및 게이트절연층(13)을 포함하는 패턴을 형성한다.
- [0047] 단계 34: 도 17a-도 17c와 같이, 도 16a-도 16c의 포토레지스트(3000)에 대하여 애싱 공정을 실시하여, 상기 부분 노광영역의 상기 제2 금속박막(600)을 노출시키고, 비 노광영역에 일정 두께의 포토레지스트를 남긴다.
- [0048] 단계 35: 도 18a-도 18c와 같이, 도 17a-도 17c의 구조에 대해 식각 공정을 실시하여, 상기 부분 노광영역의 제2 금속박막(600)을 제거하여, 공통전극라인(5)(도 1 참조), 게이트전극(12) 및 게이트라인(1)을 포함하는 패턴을 형성한다.
- [0049] 단계 36: 도 19a-도 19c와 같이, 도 18a-도 18c의 나머지 포토레지스트(3000)를 박리한다.
- [0050] 이하 도 20a-도 23c에 따라 본 발명의 실시예1에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 제4 패턴닝 공정

을 상세히 설명한다. 상기 제4 패터닝 공정은 다음 단계를 포함한다:

- [0051] 단계 41: 도 20a-도 20c와 같이, 도 19a-도 19c의 구조에 제2 투명도전박막(700)을 증착한다.
- [0052] 단계 42: 도 21a-도 21c와 같이, 도 20a-도 20c의 제2 투명도전박막(700)에 포토레지스트(4000)를 도포하고, 미리 제작된 마스크를 통해 포토레지스트(4000)를 노광 및 현상 처리하여, 상기 포토레지스트(4000)에 완전 노광 영역 및 비 노광영역이 구비되도록 한다. 상기 비 노광영역은 어레이기판의 공통전극(50)(도 1 참조), PAD 영역의 데이터라인(2) 및 PAD영역의 게이트라인(1) 영역에 대응되고, 상기 완전 노광영역은 나머지 영역에 대응된다.
- [0053] 단계 44: 도 22a-도 22c와 같이, 도 21a-도 21c의 구조에 대하여 식각 공정을 실시하여, 상기 완전 노광영역의 상기 제2 투명도전박막(700)을 제거하여, 공통전극(50)을 포함하는 패턴을 형성한다.
- [0054] 단계 45: 도 23a-도 23c와 같이, 도 22a-도 22c의 나머지 포토레지스트(4000)를 박리한다.
- [0055] 본 발명의 실시예 1에 따른 FFS형 TFT-LCD 어레이기판의 제조방법은 종래의 5회 패터닝 공정보다 한 번의 패터닝 단계가 감소하였을 뿐만 아니라, 또한 먼저 도핑 반도체층을 패터닝한 다음, 반도체층을 패터닝하는 방법을 채택하여, TFT 채널이 과도하게 식각되는 것을 방지함으로써 액정디스플레이의 생산품질을 보장할 수 있다.
- [0056] 도 24는 본 발명의 실시예 2에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 흐름도이다. 도 24에 도시된 바와 같이, 본 발명의 실시예 2의 FFS형 TFT-LCD 어레이기판의 제조방법은,
- [0057] 단계 1에서, 투명기판에 제1 투명도전박막, 제1 금속박막 및 도핑 반도체박막을 순차적으로 형성하고, 제1 투명도전박막, 제1 금속박막 및 도핑 반도체박막의 적층에 패터닝을 실시하여, 소스전극, 드레인전극, 데이터라인과 화소전극을 포함하는 패턴을 형성한다.
- [0058] 단계 2에서, 반도체박막을 증착하고, 반도체박막과 도핑 반도체박막에 대하여 패터닝을 실시하여, 도핑 반도체층의 패턴 및 TFT 채널의 반도체층을 포함하는 패턴을 형성한다.
- [0059] 단계 3'에서 절연박막과 제2 금속박막을 증착하고, 절연박막과 제2 금속박막에 대하여 패터닝을 실시한 다음, 제2 투명도전박막을 증착하고, 박리공정 및 식각 공정을 실시하여 PAD영역의 데이터라인 연결홀, 게이트라인, 게이트전극 및 공통전극라인의 패턴을 형성한다.
- [0060] 본 실시예의 FFS형 TFT-LCD 어레이기판의 제조방법은, 3회의 패터닝 공정을 통해 FFS형 TFT-LCD 어레이기판을 제조하기 때문에, 실시예 1에 비해 공정 횟수가 더욱 감소되었으며, 원가를 대단히 절약할 수 있어, 시장 경쟁력이 제고된다.
- [0061] 이하 도 25a-도 33c를 결합하여 본 발명의 실시예 2에 따른 FFS형 TFT-LCD 어레이기판의 제조방법을 상세히 설명한다. 실시예 2의 제1 패터닝 공정과 제2 패터닝 공정은 실시예 1과 동일하므로, 여기서는 설명을 생략한다.
- [0062] 도 25a-도 33c에 따라 본 발명의 실시예 2에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 제3 패터닝 공정을 상세히 설명한다. 상기 제3 패터닝 공정은 다음 단계를 포함한다:
- [0063] 단계 31' : 도 25a-도 25c와 같이, 도 13a-도 13c로 획득된 구조에 절연박막(500) 및 제2 금속박막(600)을 증착한다,
- [0064] 단계 32' : 도 26a-도 26c와 같이, 도 25a-도 25c의 제2 금속박막(600)에 포토레지스트(3000')를 도포하고, 미리 제작된 마스크를 통해 상기 포토레지스트(3000')를 노광 및 현상 처리하여, 상기 포토레지스트(3000')에 비 노광영역, 제1 부분 노광영역, 제2 부분 노광영역 및 완전 노광영역이 구비되도록 한다. 그 중 현상 후 상기 제2 부분 노광영역의 포토레지스트는 상기 제1 부분 노광영역의 포토레지스트보다 두껍다. 상기 완전 노광영역은 어레이기판의 PAD영역의 데이터라인(2)의 영역에 대응되고, 상기 제1 부분 노광영역은 상기 어레이기판의 공통전극(50) 영역에 대응되며, 상기 제2 부분 노광영역은 상기 어레이기판의 게이트라인(1), 게이트전극(12) 영역에 대응되고, 상기 비 노광영역은 상기 어레이기판의 나머지 영역에 대응된다. 본 단계에서 채택하는 마스크는 쓰리톤 마스크로서, 완전 광누출 영역, 제1 부분 광누출 영역, 제2 부분 광누출 영역 및 비 광누출 영역을 구비하는데, 이 4개의 영역은 광누출 강도 또는 정도로 구분되는 것으로서, 제1 부분 광누출 영역에 투과되는 광강도는 제2 부분 광누출 영역에 투과되는 광강도보다 크다.
- [0065] 단계 33' : 도 27a-도 27c와 같이, 도 26a-도 26c의 구조에 대하여 식각 공정을 실시하여, 상기 완전 노광영역의 절연박막(500) 및 제2 금속박막(600)을 제거하여, PAD영역의 데이터라인 연결홀 및 게이트절연층(13)을 포함

하는 패턴을 형성한다. 본 단계의 식각 공정은 2-스텝 식각으로 나누어, 먼저 제2 금속박막(600)을 식각한 다음, 절연박막(500)을 식각한다.

- [0066] 단계 34' : 도 28a-도 28c와 같이, 도 27a-도 27c의 포토레지스트(3000')에 대하여 애싱 공정을 실시하여, 상기 제1 부분 노광영역의 제2 금속박막(600)을 노출시키고, 제2 부분 노광영역에 비 노광영역에 각각 일정 두께의 포토레지스트를 남긴다.
- [0067] 단계 35' : 도 29a-도 29c와 같이, 도 28a-도 28c의 구조에 대하여 식각 공정을 실시하여, 상기 제1 부분 노광영역의 제2 금속박막(600)을 제거한다.
- [0068] 단계 36' : 도 30a-도 30c와 같이, 도 29a-도 29c의 포토레지스트(3000')에 대하여 애싱 공정을 실시하여, 상기 제2 부분 노광영역의 제2 금속박막(600)을 노출시키고, 비노광 영역에 일정 두께의 포토레지스트를 남긴다.
- [0069] 단계 37' : 도 31a-도 31c와 같이, 도 30a-도 30c의 구조에 제2 투명도전박막(700)을 증착한다.
- [0070] 단계 38' : 도 32a-도 32c와 같이, 도 31a-도 31c의 구조에 박리공정을 실시하여, 비 노광영역의 포토레지스트(3000') 및 상기 포토레지스트(3000')에 증착된 상기 제2 투명도전박막(700)을 제거하여, 공통전극(50)을 포함하는 패턴을 형성한다.
- [0071] 단계 39' : 도 32a-도 32c의 구조에 대하여 식각 공정을 실시하여, 상기 비 노광영역의 제2 금속박막(600)을 제거하여, 게이트라인(1) 및 게이트전극(12)을 포함하는 패턴을 형성한다.
- [0072] 본 실시예의 FFS형 TFT-LCD 어레이기판의 제조방법은 3회의 패터닝 공정을 통해 FFS형 TFT-LCD 어레이기판을 제조하기 때문에, 실시예 1에 비해, 공정 횟수가 더욱 감소되었으며, 원가를 대단히 절약하여 시장 경쟁력이 제고된다.
- [0073] 도 34는 본 발명의 실시예 3에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 흐름도이다. 도 34에 도시된 바와 같이, 본 발명의 실시예 3의 FFS형 TFT-LCD 어레이기판의 제조방법은
- [0074] 단계 100에서, 투명기판에 반도체박막 및 도핑 반도체박막을 순차적으로 형성하고, 반도체박막 및 도핑 반도체박막의 적층에 패터닝을 실시하여, 반도체층과 도핑 반도체층을 포함하는 패턴을 형성한다.
- [0075] 단계 200에서, 제1 투명도전박막 및 제1 금속박막을 형성하고, 제1 투명도전박막 및 제1 금속박막의 적층에 대하여 패터닝을 실시하여, 소스전극, 드레인전극, 도핑 반도체층, TFT 채널, 데이터라인과 화소전극을 포함하는 패턴을 형성한다.
- [0076] 단계 300에서, 절연박막을 형성하고, 절연박막에 대하여 패터닝을 실시하여, PAD영역의 데이터라인 연결홀을 포함하는 패턴을 형성한다.
- [0077] 단계 400에서, 제2 투명도전박막 및 제2 금속박막을 형성하고, 제2 투명도전박막 및 제2 금속박막의 적층에 대하여 패터닝을 실시하여, 게이트라인, 게이트전극과 공통전극을 포함하는 패턴을 형성한다.
- [0078] 본 발명의 실시예 3의 FFS형 TFT-LCD 어레이기판의 제조방법은 4회의 패터닝 공정을 통해 FFS형 TFT-LCD 어레이기판을 제조하기 때문에, 종래 기술에 비해 공정 횟수가 감소하여, 원가를 대단히 절약할 수 있으며, 시장 경쟁력이 제고된다.
- [0079] 이하 도 35a-도 55c를 결합하여 본 발명의 실시예 3에 따른 FFS형 TFT-LCD 어레이기판의 제조방법을 상세히 설명한다.
- [0080] 먼저 도 35a-도 38c에 따라 본 발명의 실시예 3의 FFS형 TFT-LCD 어레이기판의 제조방법의 제1 패터닝 공정을 상세히 설명한다. 상기 제1 패터닝 공정은 다음 단계를 포함한다:
- [0081] 단계 1100: 도 35a-도 35c와 같이, 상기 투명기판(11)에 반도체박막(300) 및 도핑 반도체박막(400)을 순차적으로 증착한다.
- [0082] 단계 1200: 도 36a-도 36c와 같이, 도 35a-도 35c의 도핑 반도체박막에 포토레지스트(5000)를 도포하고, 미리 제작된 마스크를 통해 상기 포토레지스트(5000)를 노광 및 현상 처리를 하여 상기 포토레지스트에 비 노광영역과 완전 노광영역이 구비되도록 한다. 상기 비 노광영역은 어레이기판의 반도체층(14)의 영역에 대응되고, 상기 완전 노광영역은 상기 어레이기판의 나머지 영역에 대응된다.
- [0083] 단계 1300: 도 37a-도 37c와 같이, 도 36a-도 36c의 구조에 대하여 식각 공정을 실시하여, 상기 완전 노광영역

의 도핑 반도체박막(400)과 반도체박막(300)을 제거하여, 반도체층(14)을 포함하는 패턴을 형성한다.

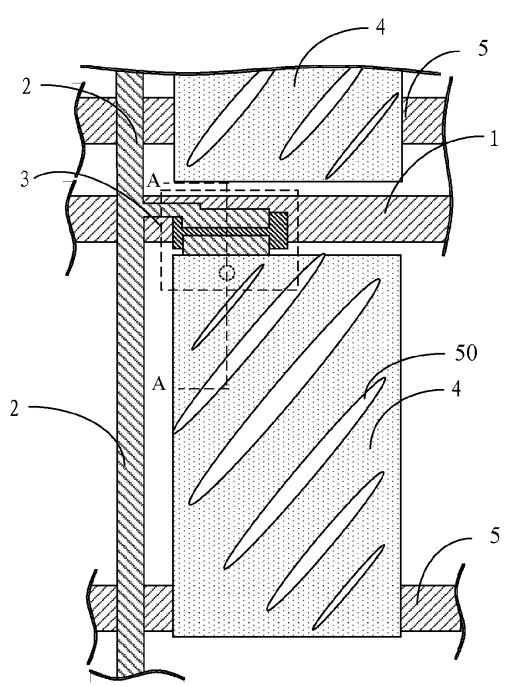
- [0084] 단계 1400: 도 38a-도 38c와 같이, 도 37a-도 37c 중 나머지 포토레지스트(5000)를 박리한다.
- [0085] 본 실시예의 제1차 패터닝공정 단계 100에서, 먼저 절연박막을 증착하고, 반도체층과 함께 패터닝하여 반도체층 아래에 절연층이 형성되는 패턴을 얻을 수도 있다. 상기 절연층은 반도체층과 배광모듈 사이에 기생 커패시터가 형성되어 신호 전송을 방해하는 것을 방지할 수 있다. 상기 절연박막은 불투명 재료, 예를 들어 질화규소와 카본블랙의 혼합물(블랙매트릭스 제작 재료)등을 선택하는 것이 바람직하다. 상기 절연박막은 동시에 블랙매트릭스의 역할을 할 수 있다.
- [0086] 이하 도 39a-도 45c를 결합하여 본 발명의 실시예 3에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 제2 패터닝 공정을 상세히 설명한다. 상기 제2 패터닝 공정은 다음 단계를 포함한다:
- [0087] 단계 2100: 도 39a-도 39c와 같이, 도 38a-도 38c의 구조에, 제1 투명도전박막(100) 및 제1 금속박막(200)을 순차적으로 증착한다.
- [0088] 단계 2200: 도 40a-도40c와 같이, 도 39a-도 39c의 제1 금속박막에 포토레지스트(6000)를 도포하고, 미리 제작된 마스크를 통해 상기 포토레지스트(6000)를 노광 및 현상 처리하여, 상기 포토레지스트(6000)에 비 노광영역, 부분 노광영역 및 완전 노광영역이 구비되도록 한다. 상기 비 노광영역은 어레이기판의 데이터라인(2), 소스전극(16) 및 드레인전극(17)의 영역에 대응되고, 상기 부분 노광영역은 상기 어레이기판의 화소전극(4) 영역에 대응되며, 상기 완전 노광영역은 상기 어레이기판의 나머지 영역에 대응된다.
- [0089] 단계 2300: 도 41a-도41c와 같이, 도 40a-도40c의 구조에 대하여 식각 공정을 실시하여, 상기 완전 노광영역의 제1 금속박막(200)과 제1 투명도전박막(100)을 제거하여, 데이터라인(2) 및 화소전극(4)을 포함하는 패턴을 형성한다.
- [0090] 단계 2400: 도 42a-도42c와 같이, 도 41a-도41c의 포토레지스트(6000)에 대하여 애싱 공정을 실시하여, 상기 부분 노광영역의 제1 금속박막(200)을 노출시키고, 비 노광영역에 일부 두께를 지닌 포토레지스트를 남긴다.
- [0091] 단계 2500: 도 43a-도43c와 같이, 도 42a-도42c의 구조에 대하여 식각 공정을 실시하여, 상기 부분 노광영역의 제1 금속박막(200)과 도핑 반도체박막(400)을 제거하여, TFT 채널(19), 소스전극(16) 및 드레인전극(17)을 포함하는 패턴을 형성한다.
- [0092] 단계 2600: 도 45a-도45c와 같이, 도 44a-도44c 중 나머지 포토레지스트(6000)를 박리한다.
- [0093] 이하 도 46a-도 49c를 결합하여 본 발명의 실시예 2에 따른 FFS형 TFT-LCD 어레이기판의 제조방법의 제3 패터닝 공정을 상세히 설명한다. 상기 제3 패터닝 공정은 다음 단계를 포함한다:
- [0094] 단계 3100: 도 46a-도46c와 같이, 도 45a-도45c로 얻어진 구조에, 절연박막(500)을 증착한다.
- [0095] 단계 3200: 도 47a-도47c와 같이, 도 46a-도46c의 절연박막(500)에 포토레지스트(7000)를 도포하고, 미리 제작된 마스크를 통해 상기 포토레지스트(7000)를 노광 및 현상 처리하여, 상기 포토레지스트(7000)에 비 노광영역과 완전 노광영역이 구비되도록 한다. 상기 완전 노광영역은 어레이기판의 PAD영역의 데이터라인(2) 영역에 대응되고, 상기 비 노광영역은 상기 어레이기판의 나머지 영역에 대응된다.
- [0096] 단계 3300: 도 48a-도48c와 같이, 도 47a-도47c의 구조에 대하여 식각 공정을 실시하여, 상기 완전 노광영역의 절연박막(500)을 제거하여, 게이트절연층(13)을 포함하는 패턴을 형성한다.
- [0097] 단계 3400: 도 49a-도49c와 같이, 도 48a-도48c 중 나머지 포토레지스트(7000)를 박리한다.
- [0098] 이하 도 50a-도 55c에 따른 본 발명의 실시예 2의 FFS형 TFT-LCD 어레이기판의 제조방법의 제4 패터닝 공정을 상세히 설명한다. 상기 제4 패터닝 공정은 다음 단계를 포함한다:
- [0099] 단계 4100: 도 50a-도 50c와 같이, 도 49a-도49c의 구조에 제2 투명도전박막(700)과 제2 금속박막(600)을 순차적으로 증착한다.
- [0100] 단계 4200: 도 51a-도 51c와 같이, 도 50a-도 50c의 제2 금속박막(600)에 포토레지스트(8000)를 도포하고, 미리 제작된 마스크를 통해 상기 포토레지스트(8000)를 노광 및 현상 처리하여, 상기 포토레지스트(8000)에 비 노광영역, 부분 노광영역 및 완전 노광영역이 구비되도록 한다. 상기 비 노광영역은 어레이기판의 게이트전극(12), 게이트라인(1), 공통전극라인(5) 및 PAD영역의 데이터라인(2) 영역에 대응되고, 상기 부분 노광영역은 상기 어레이기판의 공통전극(50) 영역에 대응되며, 상기 완전 노광영역은 상기 어레이기판의 나머지 영역에 대응

된다.

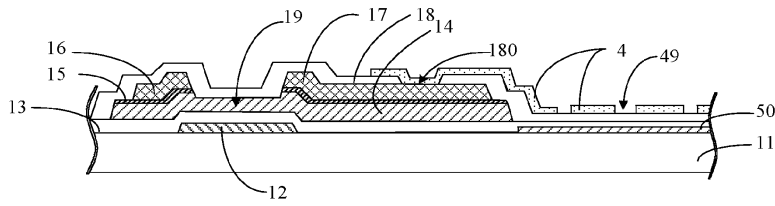
- [0101] 단계 4300: 도 52a-도 52c와 같이, 도 51a-도 51c의 구조에 대하여 식각 공정을 실시하여, 완전 노광영역의 제2 금속박막(600)과 제2 투명도전박막(700)을 제거하여, 게이트라인(1), 게이트전극(12), 공통전극라인(5) 및 공통전극(50)을 포함하는 패턴을 형성한다.
- [0102] 단계 4400: 도 53a-도 53c와 같이, 도 52a-도 52c의 포토레지스트(8000)에 대하여 애싱 공정을 실시하여, 상기 부분 노광영역의 상기 제2 금속박막(600)을 노출시키고, 비 노광영역에 부분적인 두께를 지닌 포토레지스트를 남긴다.
- [0103] 단계 4500: 도 54a-도 54c와 같이, 도 53a-도 53c의 구조에 대하여 식각 공정을 실시하여, 상기 부분 노광영역의 제2 금속박막(600)을 제거하고, 공통전극(50)을 노출시킨다.
- [0104] 단계 4600: 도 55a-도 55c와 같이, 도 54a-도 54c의 나머지 포토레지스트를 박리한다.
- [0105] 실시예 2의 계시에 따라, 본 분야의 기술자라면 매우 쉽게 실시예 3의 단계 300과 400을 통합하여 한 번의 패턴닝 공정만 실시할 수 있을 것이며, 공정 횟수를 더욱 감소시켜 원가가 절감되고 시장경쟁력이 제고된다.
- [0106] 이상에서는 양성 포토레지스트를 예로 들어 설명하였으며, 현상 후 비 노광영역의 포토레지스트는 완전히 남아있고, 완전 노광영역의 포토레지스트는 전부 제거되며, 부분 노광영역의 포토레지스트는 부분적으로 남게 된다. 그러나 본 발명의 실시예는 양성 포토레지스트에 국한되지 않으며, 만약 음성 포토레지스트를 사용할 경우, 현상 후 포토레지스트의 완전 노광영역 중의 포토레지스트는 완전히 남아있고, 비 노광영역 중의 포토레지스트는 전부 제거되며, 부분 노광영역 중의 포토레지스트는 여전히 부분적으로 남게 된다.
- [0107] 마지막으로, 이상의 실시예는 본 발명의 기술방안을 설명하기 위한 것일 뿐, 이를 한정하는 것은 아니며, 전술한 실시예를 참조하여 본 발명에 대해 가능한 한 상세히 설명하였으나, 본 분야의 통상의 기술자라면 전술한 각 실시예에 기재된 기술방안을 보정하거나, 또는 그 중 일부 기술특징을 동등하게 치환할 수 있으며, 이러한 보정 또는 치환에 의해 상응하는 기술방안의 본질이 본 발명의 각 실시예의 기술방안의 정신과 범위를 벗어나지 않도록 하여야 함을 이해하여야 한다.

도면

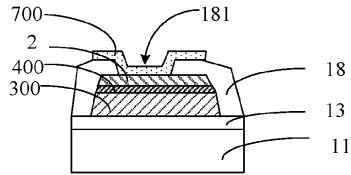
도면1



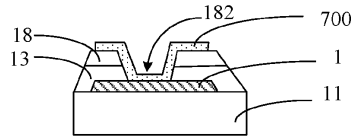
도면2a



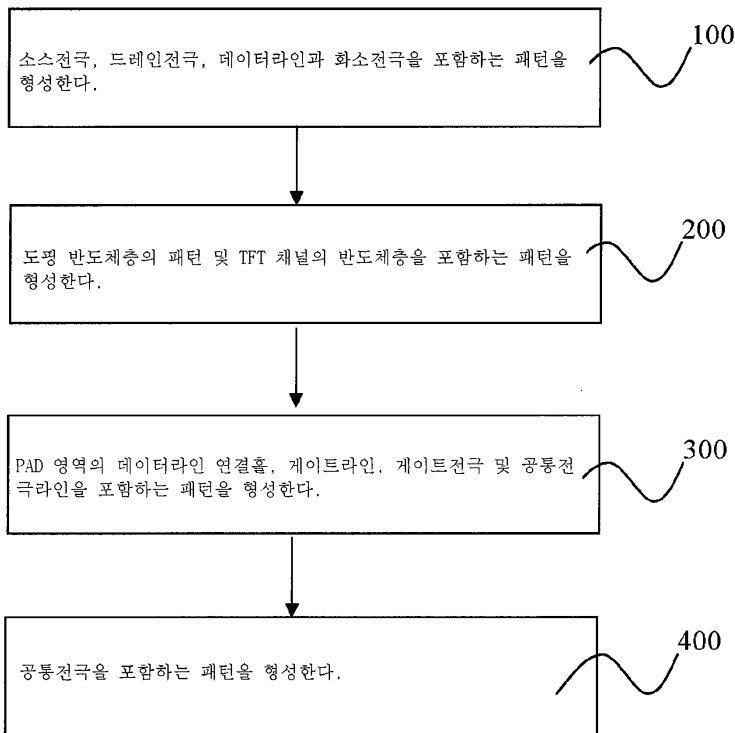
도면2b



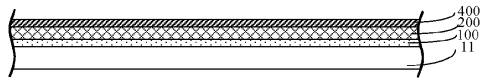
도면2c



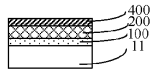
도면3



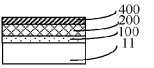
도면4a



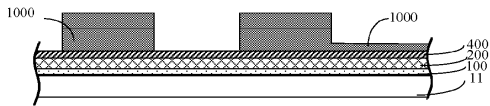
도면4b



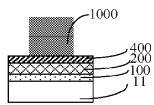
도면4c



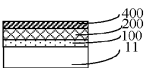
도면5a



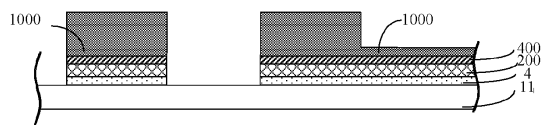
도면5b



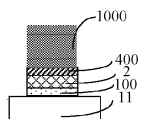
도면5c



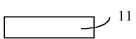
도면6a



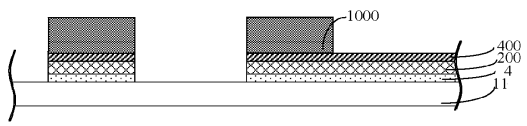
도면6b



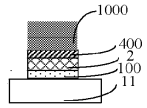
도면6c



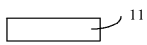
도면7a



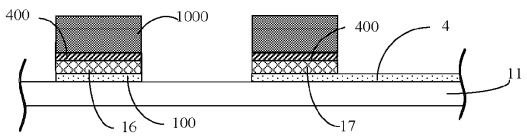
도면7b



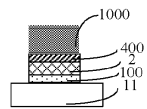
도면7c



도면8a



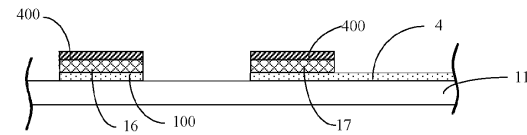
도면8b



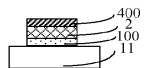
도면8c



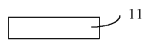
도면9a



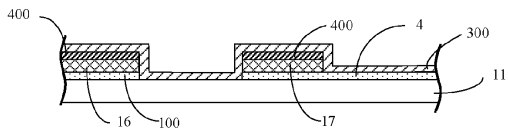
도면9b



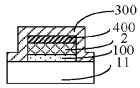
도면9c



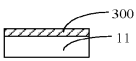
도면10a



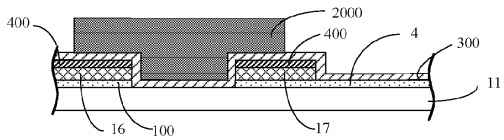
도면10b



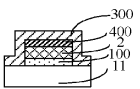
도면10c



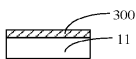
도면11a



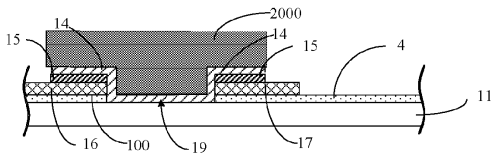
도면11b



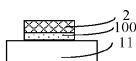
도면11c



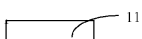
도면12a



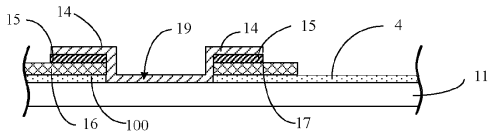
도면12b



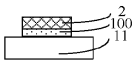
도면12c



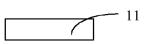
도면13a



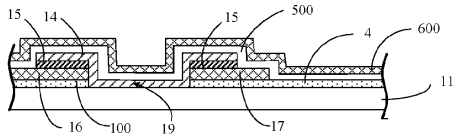
도면13b



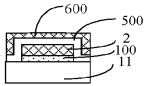
도면13c



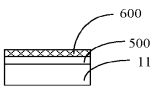
도면14a



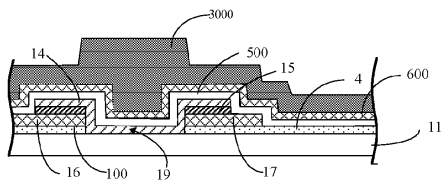
도면14b



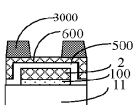
도면14c



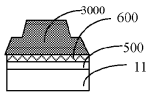
도면15a



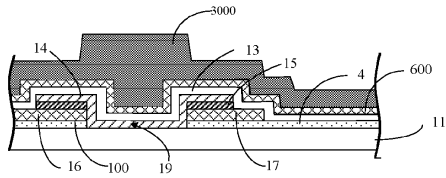
도면15b



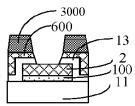
도면15c



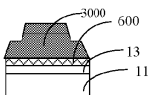
도면16a



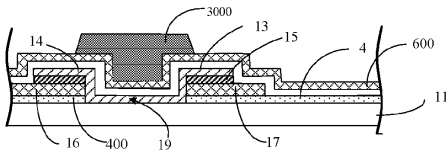
도면16b



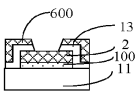
도면16c



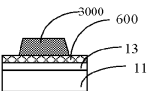
도면17a



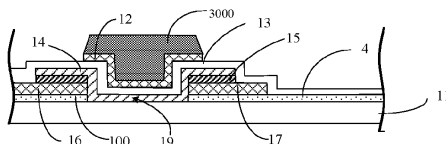
도면17b



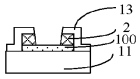
도면17c



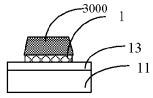
도면18a



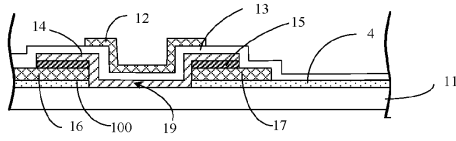
도면18b



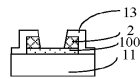
도면18c



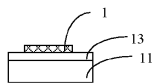
도면19a



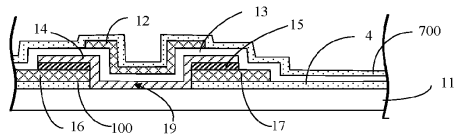
도면19b



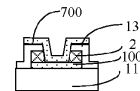
도면19c



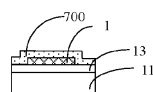
도면20a



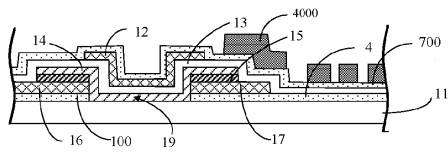
도면20b



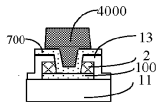
도면20c



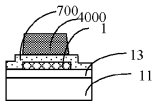
도면21a



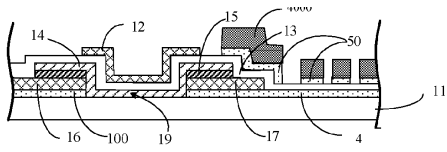
도면21b



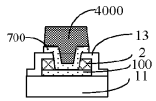
도면21c



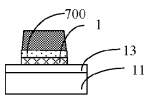
도면22a



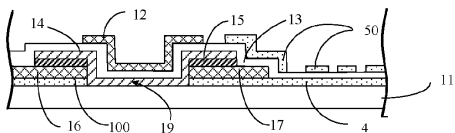
도면22b



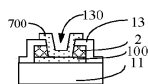
도면22c



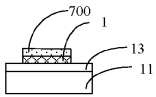
도면23a



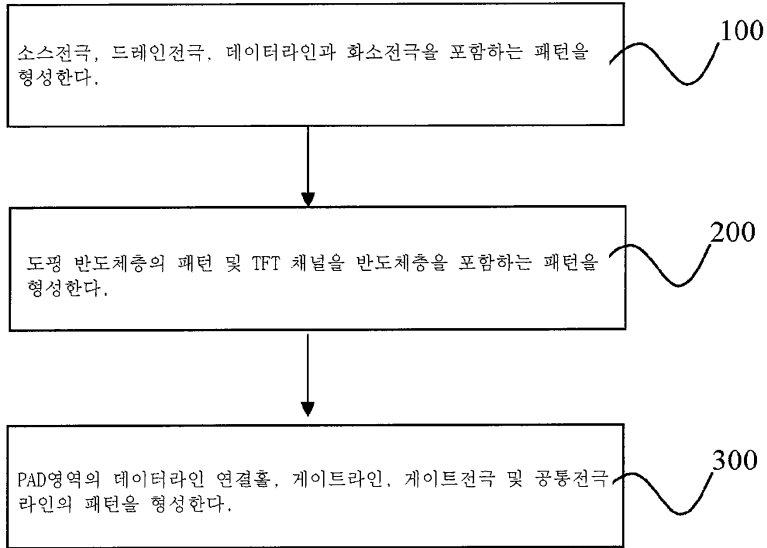
도면23b



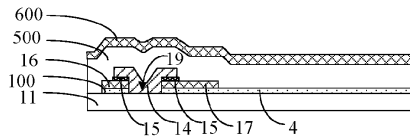
도면23c



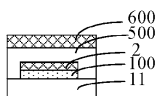
도면24



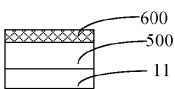
도면25a



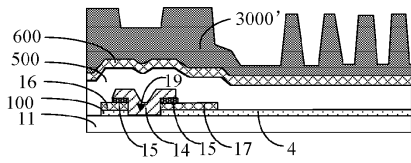
도면25b



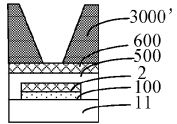
도면25c



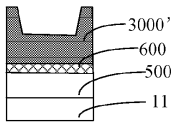
도면26a



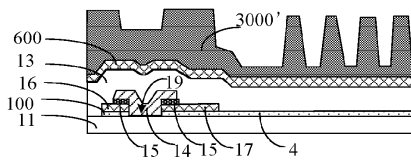
도면26b



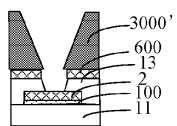
도면26c



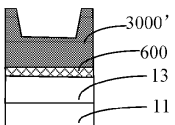
도면27a



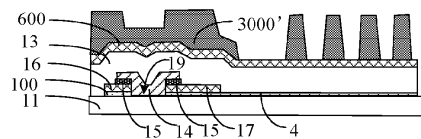
도면27b



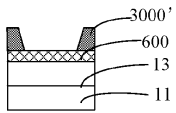
도면27c



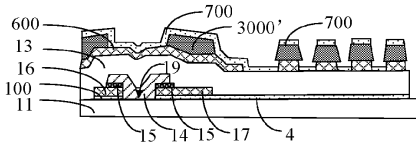
도면28a



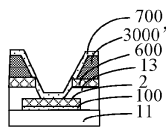
도면30c



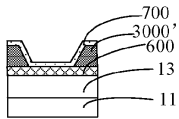
도면31a



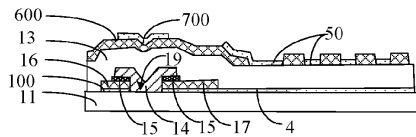
도면31b



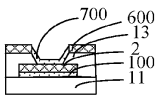
도면31c



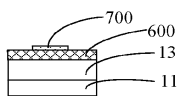
도면32a



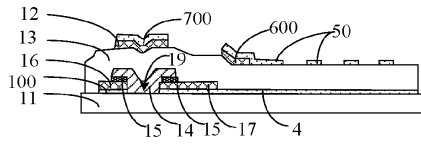
도면32b



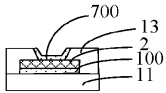
도면32c



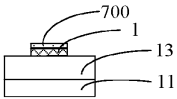
도면33a



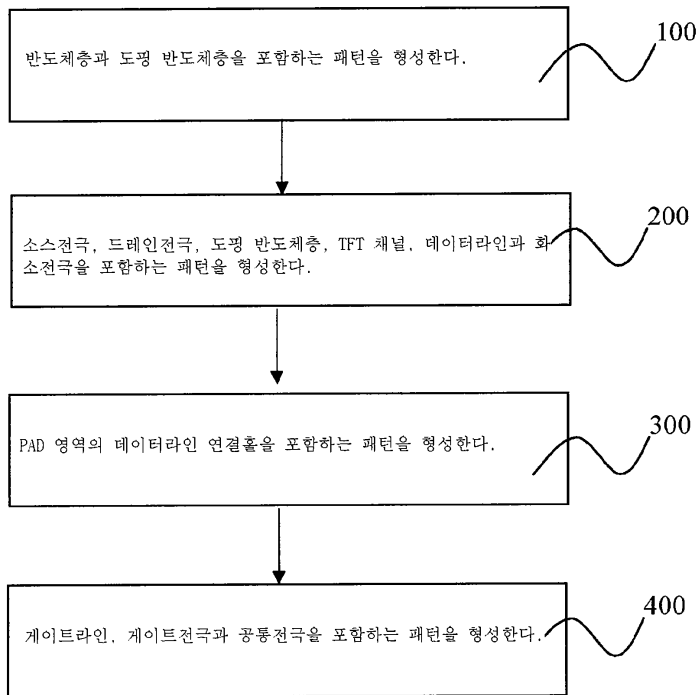
도면33b



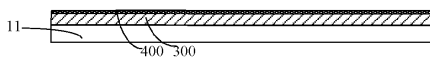
도면33c



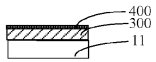
도면34



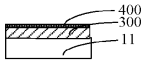
도면35a



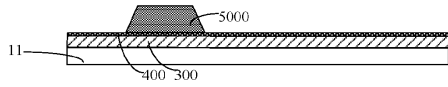
도면35b



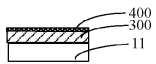
도면35c



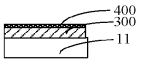
도면36a



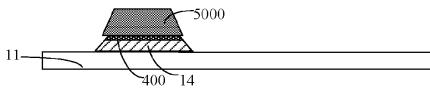
도면36b



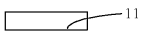
도면36c



도면37a



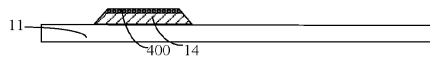
도면37b



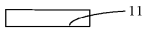
도면37c



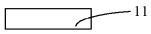
도면38a



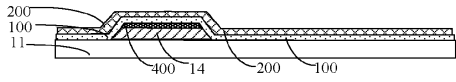
도면38b



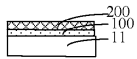
도면38c



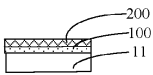
도면39a



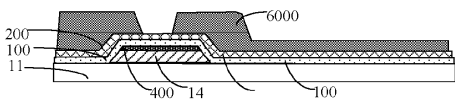
도면39b



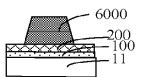
도면39c



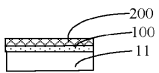
도면40a



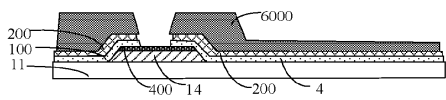
도면40b



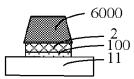
도면40c



도면41a



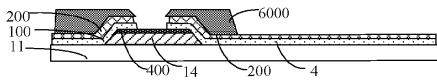
도면41b



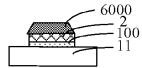
도면41c



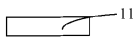
도면42a



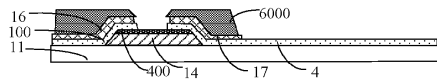
도면42b



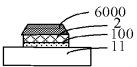
도면42c



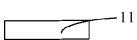
도면43a



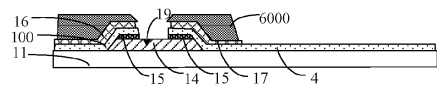
도면43b



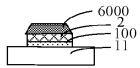
도면43c



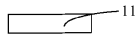
도면44a



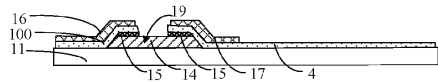
도면44b



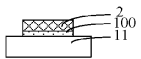
도면44c



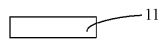
도면45a



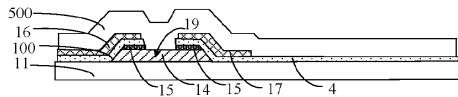
도면45b



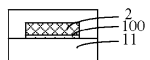
도면45c



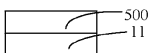
도면46a



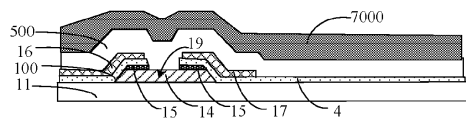
도면46b



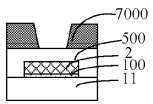
도면46c



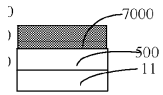
도면47a



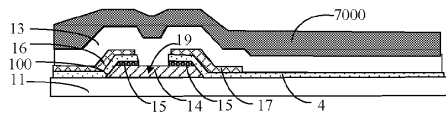
도면47b



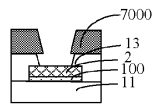
도면47c



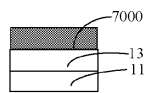
도면48a



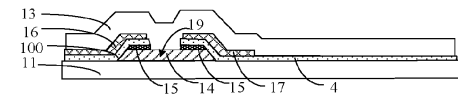
도면48b



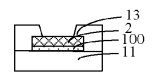
도면48c



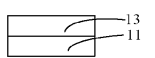
도면49a



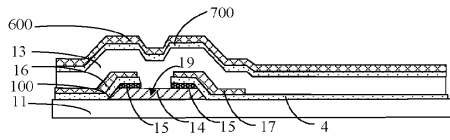
도면49b



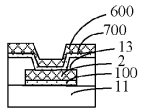
도면49c



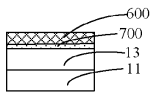
도면50a



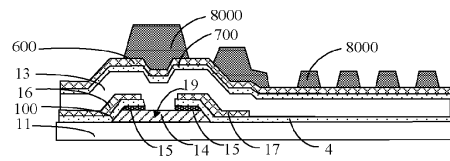
도면50b



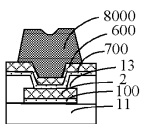
도면50c



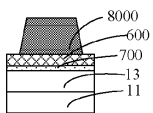
도면51a



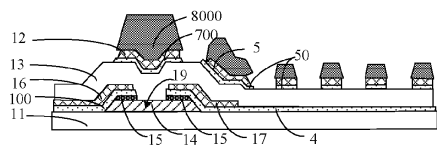
도면51b



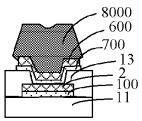
도면51c



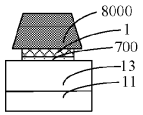
도면52a



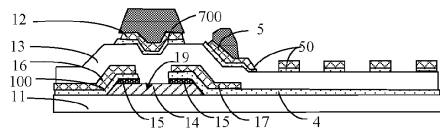
도면52b



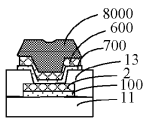
도면52c



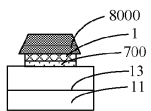
도면53a



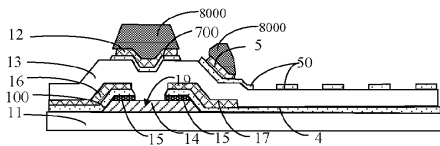
도면53b



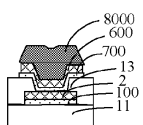
도면53c



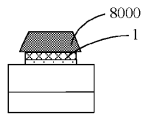
도면54a



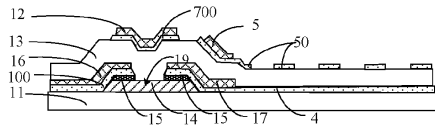
도면54b



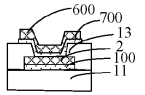
도면54c



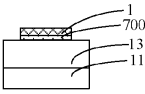
도면55a



도면55b



도면55c



专利名称(译)	FFS型TFT-LCD阵列基板的制造方法		
公开(公告)号	KR1020120023145A	公开(公告)日	2012-03-12
申请号	KR1020117031558	申请日	2011-04-26
[标]申请(专利权)人(译)	北京京东方光电科技有限公司		
申请(专利权)人(译)	北京京东方光电科技有限公司		
当前申请(专利权)人(译)	北京京东方光电科技有限公司		
[标]发明人	SONG YOUNGSUK 송영숙 CHOI SEUNGJIN 최승진 YOO SEONGYEOL 유승열		
发明人	송영숙 최승진 유승열		
IPC分类号	G02F1/136 H01L29/786		
CPC分类号	G02F1/136286 G02F1/1343 H01L27/124 H01L27/1288 G02F1/13458 G02F1/136227 G02F2001/134372 G02F2001/136231 H01L27/1214		
优先权	201010158983.3 2010-04-26 CN		
其他公开文献	KR101279982B1		
外部链接	Espacenet		

摘要(译)

一种用于生产一种FFS型TFT-LCD的阵列基板的，包括第一透明导电性薄膜后的方法，所述第1金属薄膜的增加和在透明基板上按顺序掺杂半导体膜，第一透明导电膜，第1金属薄膜和掺杂半导体膜形成包括源电极，漏电极，数据线和像素电极的图案;包括：形成一半导体薄膜，在半导体薄膜进行图案化，形成包括半导体层图案，和掺杂半导体层的TFT沟道的图案;分离和顺序地形成在薄膜和第二金属薄膜，进行图案化相对于所述绝缘薄膜和所述第二金属薄膜，从而形成包括数据线PAD区连接孔，栅极线，栅极电极和所述公共电极线的图案和的步骤;形成第二透明导电薄膜，并图案化第二透明导电薄膜以形成包括公共电极的图案。

