



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0075190
(43) 공개일자 2011년07월06일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2009-0131560

(22) 출원일자 2009년12월28일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

공민석

경상북도 구미시 도량2동 한빛아파트 105동 1406호

문홍만

경기도 고양시 일산구 주엽2동 문촌마을6단지아파트 603동 1104호

(74) 대리인

특허법인네이트

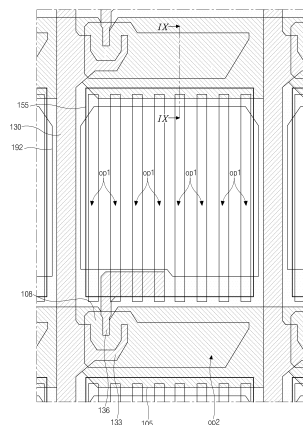
전체 청구항 수 : 총 8 항

(54) 광시야각 액정표시장치용 어레이 기판

(57) 요약

본 발명의 광시야각 액정표시장치용 어레이 기판은 기판 상에 제 1 방향 형성된 제 1 게이트 배선과, 제 2 방향으로 형성되고, 상기 제 1 게이트 배선과 교차하여 화소 영역을 정의하는 데이터 배선, 상기 제 1 게이트 배선 및 데이터 배선과 전기적으로 연결되며 형성된 박막트랜지스터, 상기 화소 영역에 형성되고, 상기 박막트랜지스터의 드레인 전극과 접촉하는 화소 전극, 상기 화소 전극 상부에 형성되고, 상기 박막트랜지스터와 제 1 게이트 배선 및 데이터 배선을 덮는 보호층, 상기 보호층 상부에 형성되고, 상기 화소 전극과 중첩하며, 상기 화소 영역에 위치하는 상기 제 2 방향의 다수의 제 1 개구부와, 상기 제 1 게이트 배선 상부에 위치하는 제 2 개구부를 가지는 공통 전극을 포함하며, 상기 제 1 개구부의 제1끝 및 상기 화소 전극의 제1측은 제 2 게이트 배선과 중첩한다.

대표도 - 도8



특허청구의 범위

청구항 1

기관 상에 제 1 방향으로 형성된 제 1 게이트 배선과;

제 2 방향으로 형성되고, 상기 제 1 게이트 배선과 교차하여 화소 영역을 정의하는 데이터 배선;

상기 제 1 게이트 배선 및 데이터 배선과 전기적으로 연결된 박막트랜지스터;

상기 화소 영역에 형성되고, 상기 박막트랜지스터의 드레인 전극과 접촉하는 화소 전극;

상기 화소 전극 상부에 형성되고, 상기 박막트랜지스터와 제 1 게이트 배선 및 데이터 배선을 덮는 보호층;

상기 보호층 상부에 형성되고, 상기 화소 전극과 중첩하며, 상기 화소 영역에 위치하는 상기 제 2 방향의 다수의 제 1 개구부와, 상기 제 1 게이트 배선 상부에 위치하는 제 2 개구부를 가지는 공통 전극

을 포함하며,

상기 제 1 개구부의 제1끝 및 상기 화소 전극의 제1측은 제 2 게이트 배선과 중첩하는 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

청구항 2

청구항 1에 있어서,

상기 제 1 개구부의 제1끝과 상기 제 2 게이트 배선 사이 거리는 상기 화소 전극의 제1측과 상기 제 2 게이트 배선 사이 거리와 같거나 짧은 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

청구항 3

청구항 2에 있어서,

상기 제 1 개구부의 제1끝과 상기 제 2 게이트 배선의 하측 사이 거리는 상기 화소 전극의 제1측과 상기 제 2 게이트 배선의 하측 사이 거리 각각은 2 마이크로 미터인 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

청구항 4

청구항 2에 있어서,

상기 제 1 개구부의 제2끝과 상기 화소 전극의 제2측은 상기 제 1 게이트 배선과 이격되어 있는 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

청구항 5

청구항 4에 있어서,

상기 제 1 개구부의 제2끝과 상기 제 1 게이트 배선 사이 거리는 상기 화소 전극의 제2측과 상기 제 1 게이트 배선 사이 거리와 같거나 짧은 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

청구항 6

청구항 5에 있어서,

상기 제 1 개구부의 제2끝과 상기 제 1 게이트 배선 사이 거리는 2 마이크로 미터이고, 상기 화소 전극의 제2측과 상기 제 1 게이트 배선 사이 거리는 4 마이크로 미터인 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

청구항 7

청구항 1에 있어서,

상기 제 2 개구부는 상기 박막 트랜지스터 상부까지 연장된 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

청구항 8

청구항 1에 있어서,

상기 화소 전극은 상기 드레인 전극의 상면 및 측면과 접촉하는 것을 특징으로 하는 광시야각 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 개구율 및 투과율을 향상시킨 광시야각 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

[0002] 액정표시장치(liquid crystal display device: LCD)는 액정의 광학적 이방성과 분극 성질을 이용한 표시소자로, 휴대 전자기기의 표시부나, 컴퓨터의 모니터 또는 텔레비전 등에 널리 사용된다.

[0003] 액정은 가늘고 긴 분자구조를 가지고 있어, 배향에 방향성을 가지며 전기장 내에 놓일 경우 그 크기 및 방향에 따라 분자배열 방향이 변화된다. 따라서, 액정표시장치는 전계생성전극이 각각 형성된 두 기판 사이에 액정층이 위치하는 액정패널을 포함하며, 두 전극 사이에 생성되는 전기장의 변화를 통해서 액정분자의 배열방향을 인위적으로 조절하고, 이에 따른 광 투과율을 변화시켜 여러 가지 화상을 표시한다.

[0004] 일반적으로, 액정표시장치는 다수의 배선과 스위칭 소자 및 화소 전극이 형성된 어레이 기판과, 컬러필터 및 공통 전극이 형성된 컬러필터 기판을 포함하며, 두 기판 사이의 액정분자는 화소 전극과 공통 전극 사이에 유도되는 전기장, 즉, 기판에 대해 수직한 방향의 수직 전계에 의해 구동된다.

[0005] 그러나, 수직 전계에 의해 액정을 구동하는 방식은 시야각 특성이 우수하지 못한 문제가 있다.

[0006] 이러한 문제를 극복하기 위해, 횡전계형 액정표시장치가 제안되었다. 횡전계형 액정표시장치에서는 화소 전극과 공통 전극이 동일 기판 상에 엇갈리게 형성되어, 두 전극 사이에 기판에 대해 평행한 방향의 수평 전계가 유도된다. 따라서, 액정분자는 수평 전계에 의해 구동되어, 기판에 대해 평행한 방향으로 움직이며, 이러한 횡전계형 액정표시장치는 향상된 시야각을 가진다.

[0007] 하지만 이러한 횡전계형 액정표시장치는 개구율 및 투과율이 낮은 단점이 있다.

[0008] 따라서, 횡전계형 액정표시장치의 단점을 개선하기 위하여, 프린지 필드(fringe field)에 의해 액정을 구동하는 프린지 필드 스위칭 모드 액정표시장치(fringe field switching mode LCD)가 제안되었다.

[0009] 도 1은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판에 있어 하나의 화소 영역에 대한 평면도이다.

- [0010] 도시한 바와 같이, 일방향을 따라 게이트 배선(43)이 형성되어 있으며, 게이트 배선(43)과 교차하여 화소 영역을 정의하는 데이터 배선(51)이 형성되어 있다.
- [0011] 화소 영역에는 게이트 배선(43) 및 데이터 배선(51)과 연결되는 박막 트랜지스터(Tr)가 형성되어 있으며, 박막 트랜지스터(Tr)는 게이트 전극(45)과, 액티브층(48), 그리고 소스 및 드레인 전극(55, 58)을 포함한다.
- [0012] 또한, 화소 영역에는 박막 트랜지스터(Tr)와 연결되는 화소 전극(60)이 형성되어 있으며, 화소 전극(60)은 드레인 콘택홀(59)을 통해 박막 트랜지스터(Tr)의 드레인 전극(58)과 접촉한다. 화소 전극(60)은 실질적으로 화소 영역 전면에 대응하는 판(plate) 형태를 가진다.
- [0013] 화소 전극(60)과 중첩하여 공통 전극(75)이 형성되어 있으며, 공통 전극(75)은 화소 영역 내에 다수의 개구부(op)를 가진다. 공통 전극(75)은 인접한 화소 영역으로 연장되어, 다수의 화소 영역을 포함하는 표시영역 전면에 대응하도록 형성된다. 공통 전극(75)의 개구부(op) 각각은 데이터 배선(51)과 평행한 바(bar) 형태이다.
- [0014] 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 화소 영역에 대한 단면을 도 2에 도시한다. 도 2는 도 1에서 II-II선을 따라 자른 단면도이다. 도 2에 도시한 바와 같이, 기판(10) 상에 게이트 절연막(30)과 제1보호층(40)이 순차적으로 형성되고, 그 위에 화소 전극(60)이 형성되어 있다. 화소 전극(60)은 실질적으로 화소 영역에 대응하는 면적을 가진다. 화소 전극(60) 상부에는 제2보호층(70)이 형성되어 있으며, 그 위에 공통 전극(75)이 형성되어 있다. 공통 전극(75)은 화소 전극(60)과 중첩하며, 다수의 개구부(op)를 가진다.
- [0015] 이러한 구조의 어레이 기판을 포함하는 프린지 필드 스위칭 모드 액정표시장치에서는, 화소 전극(60) 및 공통 전극(75)에 전압이 인가될 경우, 중첩하는 화소 전극(60)과 공통 전극(75) 사이에 프린지 필드(Fringe field)가 형성된다. 따라서, 전극 위에 위치하는 액정 분자까지도 모두 동작되므로, 횡전계형 액정표시장치에 비해 향상된 투과율 및 개구율을 얻을 수 있다.
- [0016] 그러나, 종래의 프린지 필드 스위칭 액정표시장치에서는, 공통 전극(75)의 개구부(op)와 화소 전극(60)의 상하부 가장자리 영역(도 1의 DA)에서 전경(disclination)이 발생하게 된다. 즉, 이 영역(도 1의 DA)에서는 전기장의 방향이 다른 영역과 다르기 때문에, 액정 분자의 움직임이 달라지게 되고, 이로 인해 전경이 발생한다.
- [0017] 이러한 전경은 콘트라스트비(contrast ratio)를 저하시켜 화질을 떨어뜨린다. 따라서, 콘트라스트비 저하를 방지하기 위해, 전경 발생 영역(도 1의 DA)을 블랙 매트릭스로 차단해야 한다.
- [0018] 도 3은 종래의 프린지 필드 스위칭 모드 액정표시장치에 있어 하나의 화소 영역에 대한 평면도이고, 도 4는 도 3의 IV-IV선을 따라 자른 단면도이며, 도 5는 종래의 프린지 필드 스위칭 모드 액정표시장치에서 전경이 발생한 것을 나타낸 도면이다. 도 3 내지 도 5의 액정표시장치는 도 1 및 도 2에 도시된 구조의 어레이 기판을 포함하며, 동일한 부분은 동일 부호를 부여하고 이에 대한 설명은 생략한다.
- [0019] 도시한 바와 같이, 어레이 기판 상에 절연 기판(90)이 배치되고, 절연 기판(90)의 안쪽면에는 블랙 매트릭스(92)가 형성되어 있다. 블랙 매트릭스(92)는 어레이 기판의 게이트 배선(43)과 데이터 배선(51) 및 박막 트랜지스터(Tr)와 같이 화상이 표시되지 않는 영역을 덮고 있다. 또한, 블랙 매트릭스(92)는 전경 발생 영역(DA)을 가리기 위해, 공통 전극(75)의 개구부(op) 및 화소 전극(60)의 가장자리까지 덮도록 형성된다. 따라서, 블랙 매트릭스(92)의 일끝은 게이트 배선(43)의 하측으로부터 일정 거리(d)를 떨어져 있게 된다.
- [0020] 이와 같이, 종래의 프린지 필드 스위칭 모드 액정표시장치에서는, 콘트라스트비 저하를 방지하기 위해 블랙 매트릭스(92)로 전경 발생 영역(DA)을 덮어야 하는데, 이는 개구율을 감소시킨다.
- [0021] 한편, 종래의 프린지 필드 스위칭 모드 액정표시장치에서, 공통 전극(75)은 화소 전극(60) 및 게이트 배선(43)과 중첩하여 스토리지 커패시터(storage capacitor)를 형성한다. 그런데, 이러한 스토리지 커패시터가 화소 영역 전체에 걸쳐 형성되므로, 횡전계형 액정표시장치에 비해 3 내지 5배 정도 큰 용량(capacitance)을 가지게 된다. 따라서, 충전 특성을 확보하기 위해서는 박막 트랜지스터(Tr)의 채널 폭을 크게 해야 하므로, 박막 트랜지스터(Tr)의 크기가 커지게 되고, 이는 개구율의 감소를 초래한다.

발명의 내용

해결 하고자하는 과제

- [0022] 본 발명은 블랙 매트릭스의 폭을 작게 하여 개구율을 향상시킬 수 있는 광시야각 액정표시장치용 어레이 기판을

제공하는 것을 그 목적으로 한다.

[0023] 또한, 본 발명은 스토리지 커패시터의 용량을 감소시켜, 박막 트랜지스터의 크기를 줄이고 개구 영역을 증가시킬 수 있는 광시야각 액정표시장치용 어레이 기판을 제공하는 것을 또 다른 목적으로 한다.

과제 해결수단

[0024] 상기한 목적을 달성하기 위한, 본 발명의 광시야각 액정표시장치용 어레이 기판은 기판 상에 제 1 방향 형성된 제 1 게이트 배선과, 제 2 방향으로 형성되고, 상기 제 1 게이트 배선과 교차하여 화소 영역을 정의하는 데이터 배선, 상기 제 1 게이트 배선 및 데이터 배선과 전기적으로 연결되며 형성된 박막트랜지스터, 상기 화소 영역에 형성되고, 상기 박막트랜지스터의 드레인 전극과 접촉하는 화소 전극, 상기 화소 전극 상부에 형성되고, 상기 박막트랜지스터와 제 1 게이트 배선 및 데이터 배선을 덮는 보호층, 상기 보호층 상부에 형성되고, 상기 화소 전극과 중첩하며, 상기 화소 영역에 위치하는 상기 제 2 방향의 다수의 제 1 개구부와, 상기 제 1 게이트 배선 상부에 위치하는 제 2 개구부를 가지는 공통 전극을 포함하며, 상기 제 1 개구부의 제1끝 및 상기 화소 전극의 제1측은 제 2 게이트 배선과 중첩한다.

[0025] 여기서, 상기 제 1 개구부의 제1끝과 상기 제 2 게이트 배선 사이 거리는 상기 화소 전극의 제1측과 상기 제 2 게이트 배선 사이 거리와 같거나 짧은 것이 바람직하며, 상기 제 1 개구부의 제1끝과 상기 제 2 게이트 배선의 하측 사이 거리는 상기 화소 전극의 제1측과 상기 제 2 게이트 배선의 하측 사이 거리 각각은 2 마이크로 미터일 수 있다.

[0026] 한편, 상기 제 1 개구부의 제2끝과 상기 화소 전극의 제2측은 상기 제 1 게이트 배선과 이격되어 있으며, 상기 제 1 개구부의 제2끝과 상기 제 1 게이트 배선 사이 거리는 상기 화소 전극의 제2측과 상기 제 1 게이트 배선 사이 거리와 같거나 짧은 것이 바람직하다.

[0027] 이때, 상기 제 1 개구부의 제2끝과 상기 제 1 게이트 배선 사이 거리는 2 마이크로 미터이고, 상기 화소 전극의 제2측과 상기 제 1 게이트 배선 사이 거리는 4 마이크로 미터일 수 있다.

[0028] 상기 제 2 개구부는 상기 박막 트랜지스터 상부까지 연장된다.

[0029] 또한, 상기 화소 전극은 상기 드레인 전극의 상면 및 측면과 접촉한다.

효 과

[0030] 본 발명은 프린지 필드 스위칭 모드에 있어서, 전경이 발생하는 공통 전극의 제 1 개구부와 화소 전극의 가장자리를 전단의 게이트 배선과 중첩하도록 함으로써, 블랙 매트릭스의 폭을 줄여 개구율을 증가시킬 수 있다.

[0031] 또한, 공통 전극은 게이트 배선 상부에 제 2 개구부를 포함하여, 게이트 배선과의 중첩 면적을 감소시켜 스토리지 커패시터를 줄일 수 있다. 따라서, 박막 트랜지스터의 채널 크기를 감소시키고, 개구 영역을 증가시킬 수 있다.

발명의 실시를 위한 구체적인 내용

[0032] 이하, 도면을 참조하여 본 발명의 실시예에 의한 액정표시장치용 어레이 기판을 설명하면 다음과 같다.

[0033] 도 6은 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 하나의 화소 영역에 대한 평면도이며, 도 7은 도 6에서 VII-VII선을 따라 자른 단면도이다.

[0034] 도시한 바와 같이, 기판(101) 상에 제 1 방향으로 연장된 게이트 배선(105)이 형성되어 있으며, 게이트 배선(105)의 일부는 게이트 전극(108)으로 정의된다. 게이트 배선(105) 및 게이트 전극(108)은 알루미늄이나 알루미늄 합금, 몰리브덴, 몰리브덴 합금, 구리, 크롬 등의 금속 물질로 형성된다. 본 발명의 실시예에서 게이트 배선(105)의 일부가 게이트 전극(108)으로 사용되나, 게이트 전극(108)은 게이트 배선(105)에서 연장될 수도 있다.

[0035] 게이트 배선(105) 및 게이트 전극(108) 상부에는 게이트 절연막(115)이 형성되어 있다. 게이트 절연막(115)은

실리콘 질화막이나 실리콘 산화막으로 이루어질 수 있다.

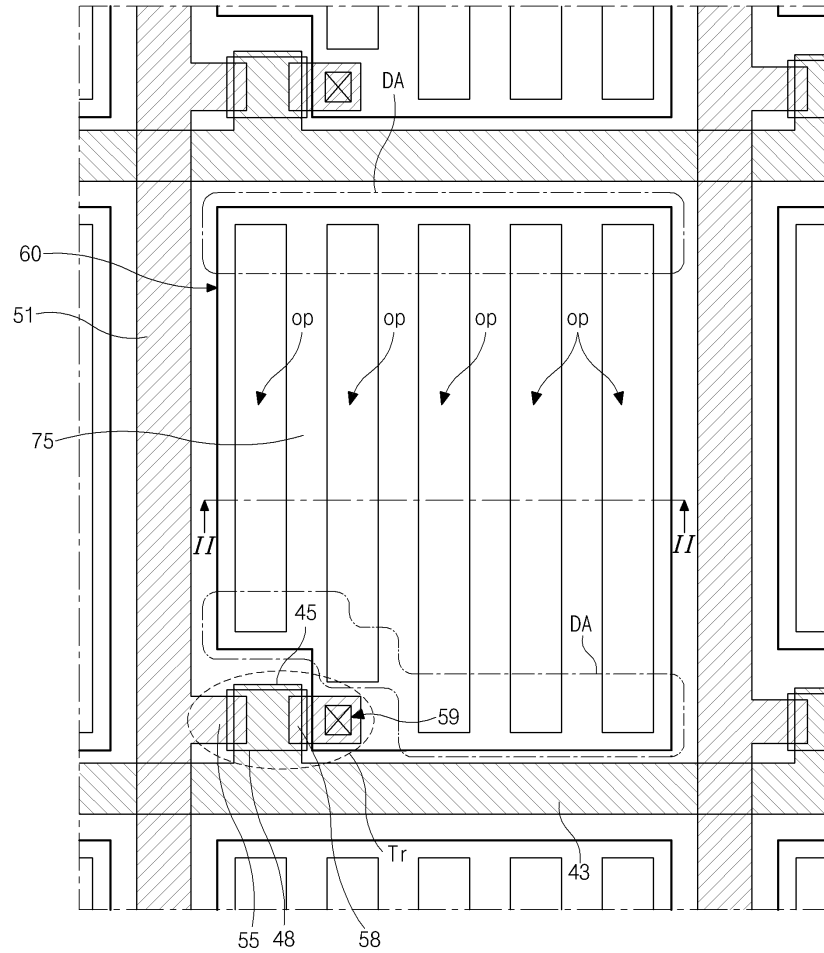
- [0036] 게이트 전극(108) 상부의 게이트 절연막(115) 위에는 순수 비정질 실리콘으로 이루어진 액티브층(120)이 형성되어 있으며, 액티브층(120) 위에는 불순물이 도핑된 실리콘으로 이루어진 오믹콘택층(122)이 형성되어 있다. 오믹콘택층(122)은 분리된 두 개의 패틴을 포함한다. 액티브층(120)과 오믹콘택층(122)은 반도체층이라 일컬어질 수 있다.
- [0037] 오믹콘택층(122) 위에는 소스 전극(133)과 드레인 전극(136)이 형성되어 있다. 소스 및 드레인 전극(133, 136)은 게이트 전극(108)과 중첩하며, 게이트 전극(108) 위에서 서로 이격되어 있다. 소스 및 드레인 전극(133, 136)은 알루미늄이나 알루미늄 합금, 몰리브덴, 몰리브덴 합금, 구리, 크롬 등의 금속 물질로 형성될 수 있다.
- [0038] 게이트 전극(108)과 액티브층(120), 오믹콘택층(122), 그리고 소스 및 드레인 전극(133, 136)은 박막 트랜지스터를 이룬다. 소스 및 드레인 전극(133, 136) 사이의 액티브층(120)은 박막 트랜지스터의 채널이 된다. 여기서, 박막 트랜지스터의 채널은 U자 모양을 가진다. 따라서, 소스 전극(133)은 U자 모양을 가지며, 드레인 전극(136)은 소스 전극(133)으로 둘러싸이는 I자 모양의 부분을 포함한다. 한편, 채널은 다른 모양을 포함할 수도 있다.
- [0039] 또한, 소스 전극(133)과 연결되고, 제 1 방향과 교차하는 제 2 방향을 따라 연장된 데이터 배선(130)이 형성되어 있으며, 데이터 배선(130)은 게이트 배선(105)과 교차하여 화소 영역을 정의한다. 도시하지 않았지만, 데이터 배선(130) 하부에는 반도체 패틴이 형성될 수 있다. 즉, 액티브층(120)과 오믹콘택층(122), 소스 및 드레인 전극(133, 136), 그리고 데이터 배선(130)은 동일 사진식각 공정을 통해 형성될 수 있는데, 이 경우 데이터 배선(130) 하부에는 액티브층(120)에 연결된 순수 비정질 실리콘 패틴과, 오믹콘택층(122)의 일측에 연결된 불순물 비정질 실리콘 패틴이 순차적으로 형성될 수 있으며, 순수 비정질 실리콘 패틴과 불순물 비정질 실리콘 패틴은 반도체 패틴을 이룬다.
- [0040] 한편, 화소 영역에는 판 형태의 화소 전극(155)이 형성되어 있다. 화소 전극(155)은 실질적으로 화소 영역에 대응하는 면적을 가지며, 사각형 모양일 수 있다. 화소 전극(155)은 게이트 절연막(115) 및 드레인 전극(136) 상부에 위치한다. 따라서, 화소 전극(155)의 드레인 전극(136)의 상면 및 측면과 접촉한다. 즉, 화소 전극(155)은 드레인 전극(136) 바로 위에 형성되어, 콘택홀 없이 드레인 전극(136)과 접촉한다. 그러나, 소스 및 드레인 전극(133, 136) 상부에, 드레인 전극(136)을 부분적으로 노출하는 콘택홀을 갖는 절연막을 형성하고, 절연막 상부에 화소 전극(155)을 형성하여, 화소 전극(155)은 콘택홀을 통해 드레인 전극(136)과 접촉할 수도 있다.
- [0041] 여기서, 화소 전극(155)은 마주 대하는 제1측과 제2측을 가진다. 화소 전극(155)의 제1측은 전단의 게이트 배선과 중첩하고, 제2측은 드레인 전극(136)과 중첩하여 접촉한다.
- [0042] 소스 및 드레인 전극(133, 136)과 화소 전극(155) 상부에는 실리콘 질화막이나 실리콘 산화막으로 이루어진 보호층(160)이 형성되어 있다. 도시하지 않았지만, 보호층(160)은 데이터 배선(130)도 덮고 있다.
- [0043] 이어, 보호층(160) 상부에 공통 전극(170)이 형성되어 있다. 공통 전극(170)은 화소 전극(155)과 중첩하며, 인접한 화소 영역까지 연장되어, 다수의 화소 영역을 포함하는 표시영역 전면에 형성된다. 여기서, 화소 전극(155)과 공통 전극(170)은 투명도전물질로 형성될 수 있다. 공통 전극(170)은 화소 영역에 다수의 제 1 개구부(op1)를 가지며, 게이트 배선(105) 상부에 제 2 개구부(op2)를 가진다.
- [0044] 제 2 개구부(op2)는 박막 트랜지스터 상부까지 연장되어, 게이트 배선(105) 및 박막 트랜지스터 상부의 보호층(160)을 노출한다. 이러한 제 2 개구부(op2)는 게이트 배선(105)과의 중첩 면적을 감소시켜 스토리지 커패시터를 줄일 수 있다. 따라서, 박막 트랜지스터의 채널 크기를 감소시키고, 개구 영역을 증가시킬 수 있다.
- [0045] 한편, 제 1 개구부(op1) 각각은 제 2 방향에 평행한 바(bar) 형태를 가지며, 제 1 개구부(op1) 각각의 제1끝은 전단의 게이트 배선과 중첩하고, 제2끝은 게이트 배선(105)과 이격되어 있다. 이때, 제 1 개구부(op1)의 제1끝과 전단의 게이트 배선의 하측 사이의 거리는 화소 전극(155)의 제1측과 전단의 게이트 배선의 하측 사이의 거리와 같거나 짧다. 또한, 제 1 개구부(op1)의 제2끝과 게이트 배선(105)의 상측 사이의 거리는 화소 전극(155)의 제2측과 게이트 배선(105)의 상측 사이의 거리와 같거나 짧다.
- [0046] 이와 같이, 본 발명에서는 전경이 발생하는 공통 전극(170)의 제 1 개구부(op1) 및 화소 전극(155)의 상부 가장자리 부분을 빗이 투과하지 않는 전단의 게이트 배선과 중첩하도록 함으로써, 블랙 매트릭스의 폭을 줄이고, 개구율을 증가시킬 수 있다. 이에 대해, 도 8 및 도 9를 참조하여 보다 상세히 설명한다.

- [0047] 도 8은 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치에 있어 하나의 화소 영역에 대한 평면도이고, 도 9는 도 8의 IX-IX선을 따라 자른 단면도이다. 도 8과 도 9의 액정표시장치는 도 6 및 도 7에 도시된 구조의 어레이 기판을 포함하며, 동일한 부분은 동일 부호를 부여하고 이에 대한 설명은 생략한다.
- [0048] 도시한 바와 같이, 어레이 기판 상에 절연 기판(190)이 배치되고, 절연 기판(190)의 안쪽 면에는 블랙 매트릭스(192)가 형성되어 있다. 도시하지 않았지만, 절연 기판(190)의 안쪽 면에는 적, 녹, 청의 컬러필터 패턴을 포함하는 컬러필터층이 형성된다. 블랙 매트릭스(192)는 어레이 기판의 게이트 배선(143)과 데이터 배선(130) 및 박막 트랜지스터와 같이 화상이 표시되지 않는 영역을 덮고 있다. 또한, 블랙 매트릭스(192)는 전경 발생 영역을 가리기 위해, 공통 전극(170)의 제 1 개구부(op1)의 제1 및 제2끝과 화소 전극(155)의 제1 및 제2측까지 덮도록 형성된다. 이때, 공통 전극(170)의 제 1 개구부(op1)의 제1끝과 화소 전극(155)의 제1측은 전단의 게이트 배선과 중첩하므로, 전단의 게이트 배선의 하측으로부터 블랙 매트릭스(192)의 일측까지의 거리(d1)는 종래의 거리(도 4의 d)에 비해 줄어든다. 따라서, 블랙 매트릭스(192)의 폭이 좁아지게 되어, 개구율을 증가시킬 수 있다.
- [0049] 본 발명의 실시예에서, 게이트 배선(105)의 폭은 종래에 비해 두껍게 표시되었으나, 이는 설명의 편의를 위한 것으로, 본 발명의 게이트 배선(105)은 종래에 대응하는 폭을 가질 수도 있으며, 필요에 따라 변경될 수 있다.
- [0050] 여기서, 제 1 개구부(op1)의 제1끝과 전단의 게이트 배선의 하측 사이의 제1거리(a)가 화소 전극(155)의 제1측과 전단의 게이트 배선의 하측 사이의 제2거리(b) 보다 클 경우, 전단의 게이트 배선에 의한 전계를 차폐하지 못해, 블랙 모드에서 빛샘이 발생할 수 있다. 따라서, 제 1 개구부(op1)의 제1끝과 전단의 게이트 배선의 하측 사이의 제1거리(a)는 화소 전극(155)의 제1측과 전단의 게이트 배선의 하측 사이의 제2거리(b)와 같거나 짧은 것이 바람직하다.
- [0051] 일례로, 제1거리(a)와 제2거리(b) 각각을 2 마이크로 미터로 형성할 수 있다. 이러한 경우, 블랙 모드와 화이트 모드에 대한 시뮬레이션(simulation) 결과를 도 10a와 10b에 각각 도시한다. 도시한 바와 같이, 블랙 모드에서 빛샘이 발생하지 않음을 알 수 있다. 또한, 화이트 모드에서 전경 발생 영역의 대부분이 게이트 배선에 의해 가려지므로, 드러나는 전경 발생 영역이 도 5의 종래에 비해 작은 것을 알 수 있다. 따라서, 블랙 매트릭스의 폭을 종래에 비해 줄일 수 있으며, 개구율을 증가시킬 수 있다.
- [0052] 한편, 블랙 모드에서의 빛샘과 화이트 모드에서의 투과율 및 기생 용량 등을 고려하여, 제 1 개구부(도 8의 op1)의 제2끝과 게이트 배선(도 8의 105)의 상측 사이의 거리는 2 마이크로 미터로 형성하고, 화소 전극(도 8의 155)의 제2측과 게이트 배선(도 8의 105)의 상측 사이의 거리는 4 마이크로 미터로 형성하는 것이 바람직하다.
- [0053] 본 발명은 상기한 실시예에 한정되지 않으며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.
- 도면의 간단한 설명**
- [0054] 도 1은 종래의 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판에 있어 하나의 화소 영역에 대한 평면도이다.
- [0055] 도 2는 도 1에서 II-II선을 따라 자른 단면도이다.
- [0056] 도 3은 종래의 프린지 필드 스위칭 모드 액정표시장치에 있어 하나의 화소 영역에 대한 평면도이다.
- [0057] 도 4는 도 3의 IV-IV선을 따라 자른 단면도이다.
- [0058] 도 5는 종래의 프린지 필드 스위칭 모드 액정표시장치에서 전경이 발생한 것을 나타낸 도면이다.
- [0059] 도 6은 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치용 어레이 기판의 하나의 화소 영역에 대한 평면도이다.
- [0060] 도 7은 도 6에서 VII-VII선을 따라 자른 단면도이다.
- [0061] 도 8은 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치에 있어 하나의 화소 영역에 대한 평면도이다.
- [0062] 도 9는 도 8의 IX-IX선을 따라 자른 단면도이다.

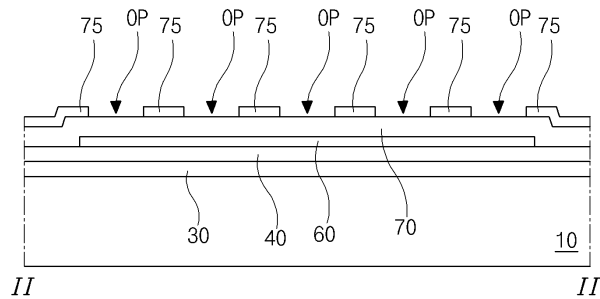
[0063] 도 10a와 도 10b는 본 발명의 실시예에 따른 프린지 필드 스위칭 모드 액정표시장치에서 블랙 모드와 화이트 모드에 대한 시뮬레이션 결과를 각각 도시한 도면이다.

도면

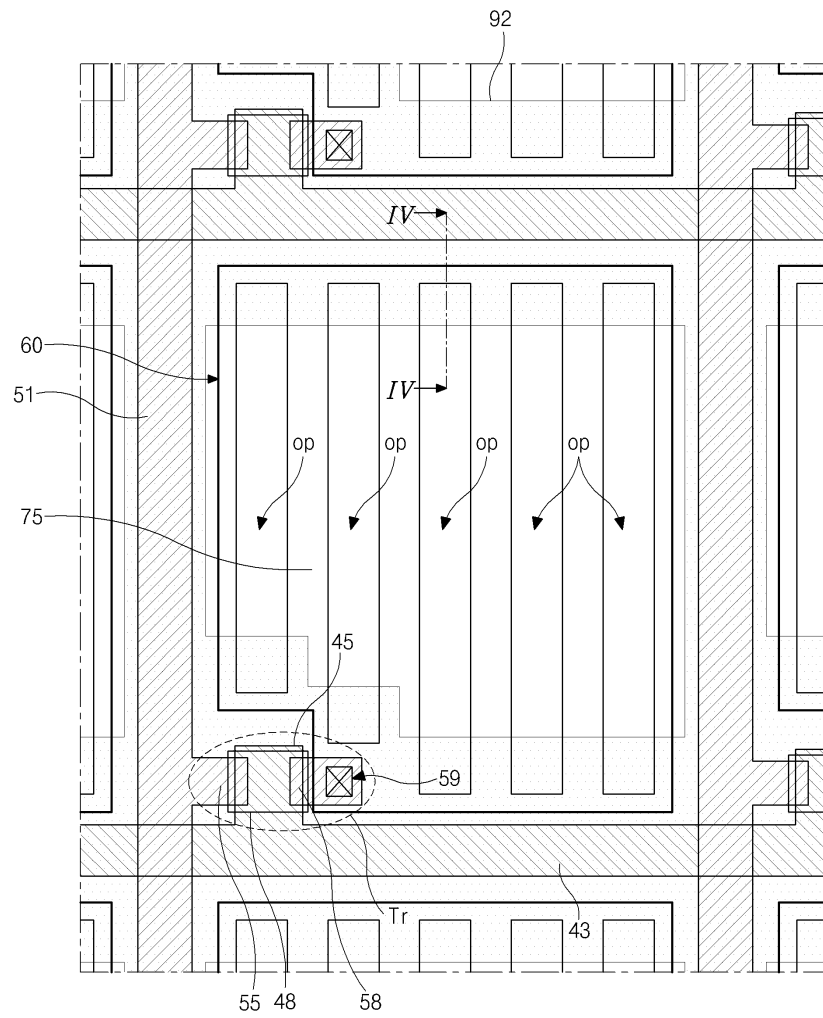
도면1



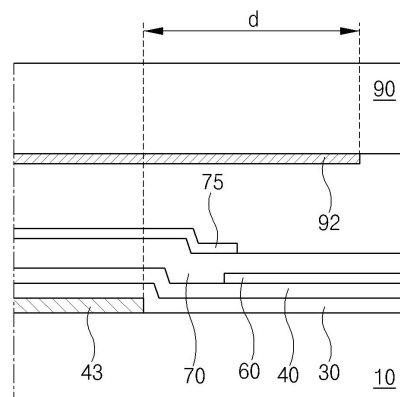
도면2



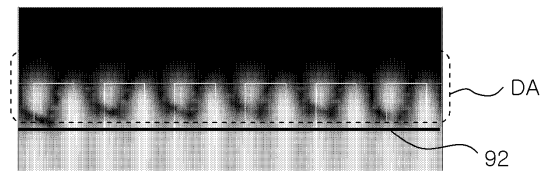
도면3



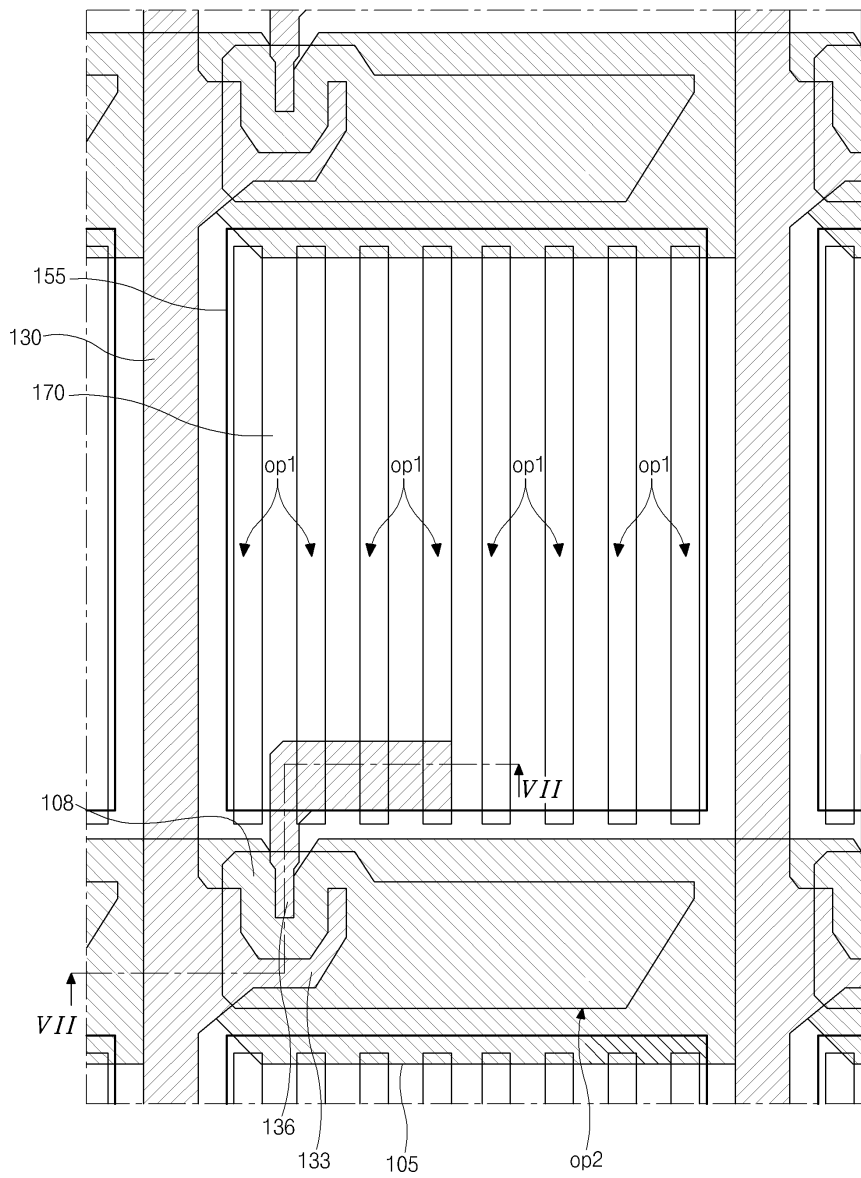
도면4



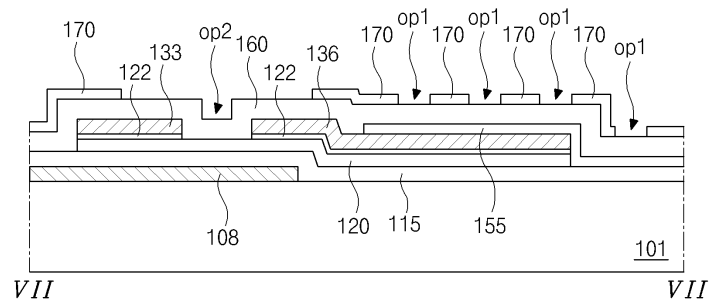
도면5



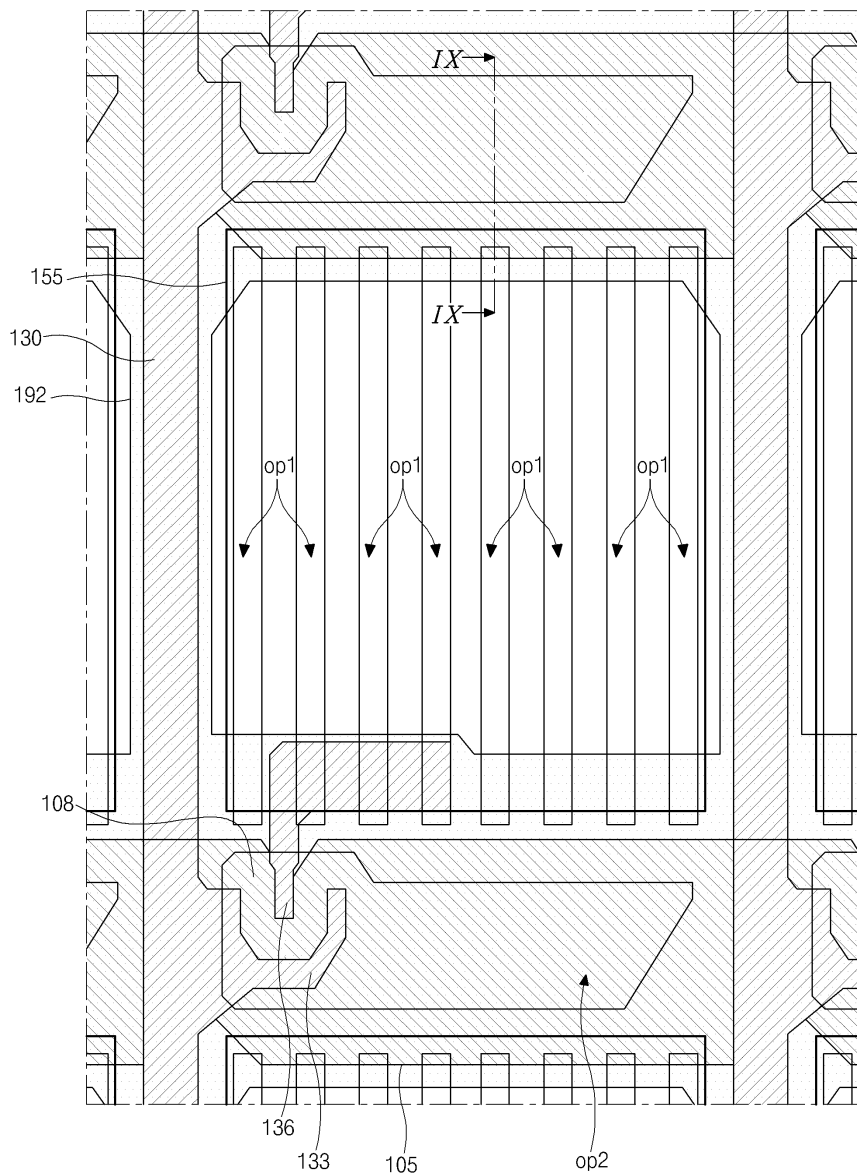
도면6



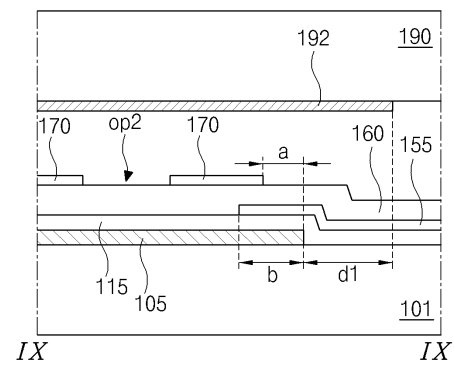
도면7



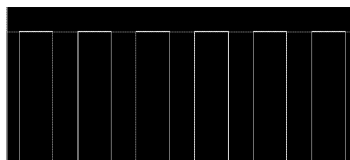
도면8



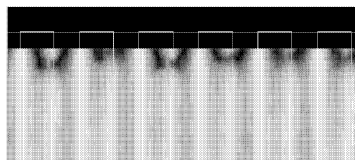
도면9



도면10a



도면10b



专利名称(译)	用于宽视角液晶显示装置的阵列基板		
公开(公告)号	KR1020110075190A	公开(公告)日	2011-07-06
申请号	KR1020090131560	申请日	2009-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KONG MIN SUK 공민석 MOON HONG MAN 문홍만		
发明人	공민석 문홍만		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/1343 G02F1/134363 G02F1/134309		
其他公开文献	KR101633407B1		
外部链接	Espacenet		

摘要(译)

宽视角，形成在第一栅极线和第二方向用于本发明的液晶显示装置的阵列基板上形成在基板上的第一方向，所述数据线与所述第一栅极线，其特征在于，交叉以限定像素区域第一栅极布线和数据布线和电连接于所述薄膜晶体管被形成，被形成在像素区域中，形成有像素电极在其上，所述薄膜晶体管和第一栅极布线，其与薄膜晶体管的漏极电极接触在所述像素电极并且在保护层上形成，在保护层上，其覆盖所述数据线，重叠的像素电极，和所述第一开口的多个位于所述像素区域中的第二方向的，它位于在上部第一栅布线2包括具有第一开口的像素电极的开口部，第一侧部和第一端部至所述第二公共电极与位线的重叠。

