



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2011-0032301
(43) 공개일자 2011년03월30일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0089729

(22) 출원일자 2009년09월22일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 용산구 한강로3가 65-228

(72) 발명자

이한석

서울특별시 성동구 성수2가3동 현대아이파크아파트 111동 404호

정대성

서울특별시 강북구 수유5동 441-64(9/2) 대광쉐르빌 502호

(74) 대리인

특허법인네이트

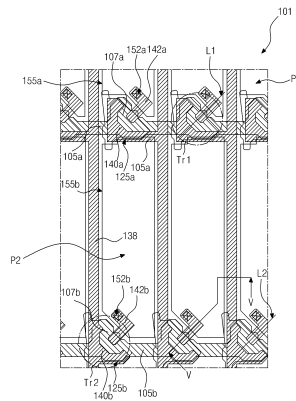
전체 청구항 수 : 총 7 항

(54) 액정표시장치용 어레이 기판

(57) 요약

본 발명은, 기판 상에 일 방향으로 연장하며 교대로 이격하며 형성된 제 1 및 제 2 게이트 배선과; 상기 제 1 및 제 2 게이트 배선과 교차하여 제 1 및 제 2 화소영역을 정의하며 형성된 데이터 배선과; 상기 제 1 게이트 배선 및 상기 데이터 배선과 연결되며, 상기 제 1 화소영역 내에서 게이트 전극과, 상기 게이트 전극과 중첩되며 상기 데이터 배선에서 좌측으로 상기 제 1 게이트 배선을 따라 이와 중첩하며 분기하며 절곡되어 제 1 요입부를 갖는 제 1 소스 전극과, 제 1 요입부 내부에 삽입되는 부분을 갖는 제 1 드레인 전극을 포함하여 구성된 제 1 박막트랜지스터와; 상기 제 2 게이트 배선 및 상기 데이터 배선과 연결되며, 상기 제 2 화소영역 내에서 게이트 전극과, 상기 게이트 전극과 중첩되며 상기 데이터 배선에서 우측으로 분기하며 상기 제 1 소스 전극과 동일한 방향의 제 2 요입부를 갖는 제 2 소스 전극과, 상기 제 2 요입부 내부에 삽입되는 부분을 갖는 제 2 드레인 전극을 포함하여 구성된 제 2 박막트랜지스터를 포함하며, 상기 제 1 및 제 2 박막트랜지스터는 상기 제 1 및 제 2 화소영역 내에서 동일한 방향을 가지며 형성됨으로써 상기 제 1 소스 전극과 이와 마주하는 제 1 드레인 전극을 연결하는 가상의 선과, 상기 제 2 소스 전극과 이와 마주하는 제 2 드레인 전극을 연결하는 가상의 선이 서로 평행하도록 배치된 것이 특징인 액정표시장치용 어레이 기판을 제공한다.

대표도 - 도4



특허청구의 범위

청구항 1

기관 상에 일 방향으로 연장하며 교대로 이격하며 형성된 제 1 및 제 2 게이트 배선과;

상기 제 1 및 제 2 게이트 배선과 교차하여 제 1 및 제 2 화소영역을 정의하며 형성된 데이터 배선과;

상기 제 1 게이트 배선 및 상기 데이터 배선과 연결되며, 상기 제 1 화소영역 내에서 게이트 전극과, 상기 게이트 전극과 중첩되며 상기 데이터 배선에서 좌측으로 상기 제 1 게이트 배선을 따라 이와 중첩하며 분기하며 절곡되어 제 1 요입부를 갖는 제 1 소스 전극과, 제 1 요입부 내부에 삽입되는 부분을 갖는 제 1 드레인 전극을 포함하여 구성된 제 1 박막트랜지스터와;

상기 제 2 게이트 배선 및 상기 데이터 배선과 연결되며, 상기 제 2 화소영역 내에서 게이트 전극과, 상기 게이트 전극과 중첩되며 상기 데이터 배선에서 우측으로 분기하며 상기 제 1 소스 전극과 동일한 방향의 제 2 요입부를 갖는 제 2 소스 전극과, 상기 제 2 요입부 내부에 삽입되는 부분을 갖는 제 2 드레인 전극을 포함하여 구성된 제 2 박막트랜지스터

를 포함하며, 상기 제 1 및 제 2 박막트랜지스터는 상기 제 1 및 제 2 화소영역 내에서 동일한 방향을 가지며 형성됨으로써 상기 제 1 소스 전극과 이와 마주하는 제 1 드레인 전극을 연결하는 가상의 선과, 상기 제 2 소스 전극과 이와 마주하는 제 2 드레인 전극을 연결하는 가상의 선이 서로 평행하도록 배치된 것이 특징인 액정표시장치용 어레이 기판.

청구항 2

제 1 항에 있어서,

상기 제 1 화소영역에는 상기 제 1 박막트랜지스터의 제 1 드레인 전극과 연결된 제 1 화소전극이 형성되며,

상기 제 2 화소영역에는 상기 제 2 박막트랜지스터의 제 2 드레인 전극과 연결된 제 2 화소전극이 형성된 액정표시장치용 어레이 기판.

청구항 3

제 2 항에 있어서,

상기 제 1 및 제 2 드레인 전극 각각은 상기 제 1 및 제 2 소스 전극의 제 1 및 제 2 요입부에 각각 삽입되는 제 1 부분과, 상기 제 1 부분에서 절곡되어 상기 제 1 및 제 2 화소영역 내측으로 연장하는 제 2 부분으로 구성되며, 그 형태가 회전한 “ㄱ” 자 형태를 이루는 것이 특징인 액정표시장치용 어레이 기판.

청구항 4

제 3 항에 있어서,

상기 제 1 및 제 2 드레인 전극 각각은 상기 제 1 부분이 상기 제 1 및 제 2 게이트 전극과 중첩하도록 형성된 것이 특징인 액정표시장치용 어레이 기판.

청구항 5

제 1 항에 있어서,

상기 제 1 박막트랜지스터는 상기 제 1 게이트 전극 위로 게이트 절연막과, 순수 비정질 실리콘의 제 1 액티브층 및 서로 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층으로 구성된 제 1 반도체층을 포함하며,

상기 제 2 박막트랜지스터는 상기 제 2 게이트 전극 위로 상기 게이트 절연막과, 순수 비정질 실리콘의 제 2 액

티브층 및 서로 이격하는 불순물 비정질 실리콘의 제 2 오믹콘택층으로 구성된 제 2 반도체층을 포함하는 액정 표시장치용 어레이 기판.

청구항 6

제 1 항에 있어서,

상기 액정표시장치는 홀수번째 게이트 배선과 짝수번째 게이트 배선에 프레임 단위로 교대하며 그 극성을 달리 하는 게이트 전압이 인가되는 라인 인버전 구동을 실시하며, 상기 제 1 및 제 2 화소영역은 상기 데이터 배선을 공유하는 것이 특징인 액정표시장치용 어레이 기판.

청구항 7

제 1 항에 있어서,

상기 제 1 및 제 2 화소영역 각각에는 상기 제 1 및 제 2 화소전극과 이격하며 교대하는 다수의 공통전극이 형성된 것이 특징인 액정표시장치용 어레이 기판.

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로 특히, 라인 단위 인버전 구동 시 소비 전력을 저감시키는 구성을 가지며 서도 게이트 및 소스 드레인 간 오버레이 변동에 따른 각 화소별 기생용량 변동을 최소화하므로써 플리커 등의 발생을 억제하여 표시품질을 향상시킬 수 있는 액정표시장치용 어레이 기판에 관한 것이다.

배경 기술

- [0002] 최근에 액정표시장치는 소비전력이 낮고, 휴대성이 양호한 기술 집약적이며, 부가가치가 높은 차세대 첨단 디스플레이(display)소자로 각광받고 있다.
- [0003] 이러한 액정표시장치 중에서도 각 화소(pixel)별로 전압의 온(on),오프(off)를 조절할 수 있는 스위칭 소자인 박막트랜지스터가 구비된 액티브 매트릭스형 액정표시장치가 해상도 및 동영상 구현능력이 뛰어나 가장 주목받고 있다.
- [0004] 일반적으로, 액정표시장치는 박막트랜지스터 및 화소전극을 형성하는 어레이 기판 제조 공정과 컬러필터 및 공통 전극을 형성하는 컬러필터 기판 제조 공정을 통해 각각 어레이 기판 및 컬러필터 기판을 형성하고, 이들 두 기판 사이에 액정을 개재하는 셀 공정을 거쳐 완성된다.
- [0005] 좀 더 자세히, 일반적인 액정표시장치의 분해사시도인 도 1을 참조하여 설명하면, 도시한 바와 같이, 액정층(30)을 사이에 두고 어레이 기판(10)과 컬러필터 기판(20)이 대면 합착된 구성을 갖는데, 이중 하부의 어레이 기판(10)은 투명한 기판(12)의 상면으로 중횡 교차 배열되어 다수의 화소영역(P)을 정의하는 복수개의 게이트 배선(14)과 데이터 배선(16)을 포함하며, 이들 두 배선(14, 16)의 교차지점에는 박막트랜지스터(T)가 구비되어 각 화소영역(P)에 마련된 화소전극(18)과 일대일 대응 접속되어 있다.
- [0006] 또한, 상기 어레이 기판(10)과 마주보는 상부의 컬러필터 기판(20)은 투명기판(22)의 배면으로 상기 게이트 배선(14)과 데이터 배선(16) 그리고 박막트랜지스터(T) 등의 비표시영역을 가리도록 각 화소영역(P)을 테두리하는 격자 형상의 블랙매트릭스(25)가 형성되어 있으며, 이들 격자 내부에서 각 화소영역(P)에 대응되게 순차적으로 반복 배열된 적(R), 녹(G), 청(B)색의 컬러필터 패턴(26a, 26b, 26c)을 포함하는 컬러필터층(26)이 형성되어 있으며, 상기 블랙매트릭스(25)와 컬러필터층(26)의 전면에 걸쳐 투명한 공통전극(28)이 구비되어 있다.
- [0007] 그리고, 도면상에 도시되지는 않았지만, 이들 두 기판(10, 20)은 그 사이로 개재된 액정층(30)의 누설을 방지하

기 위하여 가장자리 따라 실링제(sealant) 등으로 봉합된 상태에서 각 기관(10, 20)과 액정층(30)의 경계부분에는 액정의 분자배열 방향에 신뢰성을 부여하는 상, 하부 배향막이 개재되며, 각 기관(10, 20)의 적어도 하나의 외측면에는 편광판이 구비되어 있다.

- [0008] 또한, 어레이 기관(10)의 외측면으로는 백라이트(back-light)가 구비되어 빛을 공급하는 바, 게이트 배선(14)으로 박막트랜지스터(T)의 온(on)/오프(off) 신호가 순차적으로 스캔 인가되어 선택된 화소영역(P)의 화소전극(18)에 데이터배선(16)의 화상신호가 전달되면 이들 사이의 수직전계에 의해 그 사이의 액정분자가 구동되고, 이에 따른 빛의 투과율 변화로 여러 가지 화상을 표시할 수 있다.
- [0009] 한편, 전술한 구성을 갖는 액정표시장치는 TV 나 모니터 등을 포함하여 개인용 휴대기기인 휴대폰, PDA 등 많은 다양한 제품에 적용되고 있다.
- [0010] 개인용 휴대기기에 적용되는 액정표시장치는 특히 소비 전력 최소화가 큰 이슈가 되고 있으며, 소비전력 최소화를 위해 다양한 구조 및 구동법이 제안되고 있다.
- [0011] 액정표시장치는 액정을 이용하여 화상을 구현하게 됨으로써 액정의 전기화학적 특성에 의해 동일한 극성을 갖는 전압을 계속적으로 인가하게 되면 전압에 반응하는 민감도 등이 전하되어 응답속도가 떨어지고 화상 표현 시 잔상 등이 발생한다. 따라서 이러한 문제를 해결하고자 각 화소영역에 인가되는 전압의 극성을 매 프레임 별로 반전시키는 인버전 구동을 실시하고 있는데, 개인용 휴대기기 등에 사용되는 액정표시장치의 경우 주로 화소라인 별로 극성이 교대하여 인가되는 라인 인버전 방식이 주로 적용되고 있다.
- [0012] 도 2는 라인 인버전을 방식이 적용된 액정표시장치 중 라인 인버전 방식 중 하나인 소비전력 저감을 위해 제안된 Z-인버전 구동방법이 적용된 액정표시장치용 어레이 기관의 표시영역 일부를 도시한 평면도이다.
- [0013] 도시한 바와 같이, 다수의 게이트 배선(43a, 43b)이 일정간격 이격하며 일 방향으로 연장되고 있으며, 다수의 상기 게이트 배선(43a, 43b)과 교차하여 다수의 화소영역(P1, P2)을 정의하며 다수의 데이터 배선(60)이 일정간격 이격하며 형성되고 있다.
- [0014] 또한, 각 화소영역(P1, P2) 내에는 게이트 전극(45a, 45b)과 게이트 절연막(미도시)과 반도체층(미도시)과 소스 및 드레인 전극((62a, 62b), (65a, 65b))으로 구성된 박막트랜지스터(Tr1, Tr2)가 구비되고 있으며, 상기 박막트랜지스터(Tr1, Tr2)의 드레인 전극(65a, 65b)과 연결되며 화소전극(70a, 70b)이 구성되고 있다.
- [0015] 이때, 하나의 데이터 배선(60)에 연결되며 형성된 박막트랜지스터(Tr1, Tr2)는 홀수번 게이트 배선(43a)과 짝수번 게이트 배선(43b)과 연결된 화소영역(P2, P1) 별로 그 형성 위치를 달리하고 있음을 알 수 있다. 즉, 홀수번째 게이트 배선(43a)과 연결된 화소영역(이하 제 1 화소영역(P1)이라 칭함)에 형성된 제 1 박막트랜지스터(Tr1)는 이와 연결된 데이터 배선(60)의 좌측에 위치함으로써 상기 제 1 화소영역(P1) 내에서 우하측에 위치하며, 짝수번째 게이트 배선(43b)과 연결된 화소영역(이하 제 2 화소영역(P2)이라 칭함)에 형성된 제 2 박막트랜지스터(Tr2)는 이와 연결된 데이터 배선(60)의 우측에 위치함으로써 상기 제 2 화소영역(P2) 내에서 좌하측에 위치하고 있다. 이 경우, 상기 하나의 데이터 배선(60)에 공통으로 연결된 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)는 동일한 선상에 위치시키면 상기 데이터 배선(60)을 기준으로 서로 대칭적으로 형성되고 있으므로 상기 제 1 화소영역(P1)과 제 2 화소영역(P2)에서 각 소스 전극(62b, 62b)의 중앙부에서 이와 마주하는 드레인 전극(65a, 65b)으로 가상의 직선으로 이었을 경우, 상기 소스 및 드레인 전극((62a, 62b), (65a, 65b))을 연결한 직선(L1, L2)은 서로 교차하게 됨을 알 수 있다.
- [0016] 전술한 바와같은 구조를 갖는 어레이 기관(41)의 경우, 그 제조 공정 진행시 게이트 배선(43a, 43b) 및 게이트 전극(45a, 45b) 형성을 위한 게이트 레이어(gate layer)와 데이터 배선(60a, 60b)과 소스 및 드레인 전극((62a, 62b), (65a, 65b)) 형성을 위한 소스 레이어(source layer) 형성 시 편차에 의해 좌우 방향으로 틀어져 패터닝이 되었을 경우, 상기 제 1 및 제 2 화소영역 간(P1, P2)의 박막트랜지스터(Tr, Tr2)의 기생용량인 Cgs (게이트 전극과 드레인 전극의 중첩에 의한 기생용량)의 차이가 발생하게 된다.
- [0017] 즉, 패터닝 편차에 의해 게이트 레이어에 대해 소스 레이어가 우측으로 치우쳐 형성되었다 가정하면, 제 1 화소영역(P1)에 있어서는 제 1 드레인 전극(65a)이 제 1 게이트 전극(45a)과 중첩되는 영역이 감소하게 되는 반면, 제 2 화소영역(P2) 있어서는 제 2 드레인 전극(65b)이 제 2 게이트 전극(45b)과 중첩되는 영역이 증가하게 됨으로써 상기 제 1 화소영역(P1)과 제 2 화소영역(P2) 내에서의 Cgs 차이가 발생하게 된다.
- [0018] 이 경우, 이러한 기생용량 Cgs의 차이에 기인하여 각 화소영역별로 ΔV_p (feed through voltage) 크기 차이가 발생하며, 이로 인해 두 화소영역(P1, P2) 간에 인가되는 데이터 신호전압 차이가 발생하고, 따라서 휘도 차이가

발생하여 플리커 등이 발생하며 최종적으로 화질이 저하되는 문제가 발생하고 있다.

[0019] 이러한 문제를 해결하고자 도 3(종래의 소비전력 저감을 위해 제안된 Z-인버전 구동방법이 적용된 액정표시장치용 어레이 기관의 표시영역 일부를 도시한 평면도로서 각 화소영역별 패터닝 오차 발생에 따른 기생용량이 Cgs 변화 방지를 위한 구성을 갖는 것을 도시한 도면으로서 도 2와 동일한 구성요소에 대해서는 동일한 도면부호를 부여함)에 도시한 바와같이, 드레인 전극(65a, 65b)의 형태를 변형하여 상기 게이트 전극(45a, 45b)과 중첩하는 또 하나의 영역을 갖도록 즉, 회전한 "T"형태가 되도록 구성함으로써 상기 게이트 전극(45a, 45b)과 중첩하는 부분이 일측으로 치우치는 패터닝 오차가 발생하더라도 상기 게이트 전극(45a, 45b)과 중첩되는 영역의 면적 변화가 상쇄되도록 하는 구조가 제안되었지만, 이 경우 상기 드레인 전극(65a, 65b)의 각 화소영역(P1, P2) 내에서의 면적이 증가됨으로써 개구율을 저감시키는 문제가 발생하고 있다.

발명의 내용

해결 하고자하는 과제

[0020] 본 발명은 전술한 문제를 해결하기 위한 목적으로 제안된 것으로, 게이트 전극과 소스 및 드레인 전극 형성 시 패터닝 오차에 의해 틀어짐이 발생한다 하여도 개구율 저하없이 서로 데이터 배선을 공유하는 화소영역 간에 게이트 전극과 드레인 전극간의 중첩영역이 달라짐으로 인한 기생용량의 차이가 발생되지 않도록 함으로써 이러한 기생용량에 의해 발생하는 표시품질이 저하되는 것을 방지할 수 있는 Z 인버전 구동을 위한 액정표시장치용 어레이 기관을 제공하는 것을 그 목적으로 한다.

과제 해결수단

[0021] 본 발명 전술한 바와 같은 문제를 해결하기 위한 목적으로 제안된 것으로, 본 발명에 따른 액정표시장치용 어레이기관은, 기관 상에 일 방향으로 연장하며 교대로 이격하며 형성된 제 1 및 제 2 게이트 배선과; 상기 제 1 및 제 2 게이트 배선과 교차하여 제 1 및 제 2 화소영역을 정의하며 형성된 데이터 배선과; 상기 제 1 게이트 배선 및 상기 데이터 배선과 연결되며, 상기 제 1 화소영역 내에서 게이트 전극과, 상기 게이트 전극과 중첩되며 상기 데이터 배선에서 좌측으로 상기 제 1 게이트 배선을 따라 이와 중첩하며 분기하며 절곡되어 제 1 요입부를 갖는 제 1 소스 전극과, 제 1 요입부 내부에 삽입되는 부분을 갖는 제 1 드레인 전극을 포함하여 구성된 제 1 박막트랜지스터와; 상기 제 2 게이트 배선 및 상기 데이터 배선과 연결되며, 상기 제 2 화소영역 내에서 게이트 전극과, 상기 게이트 전극과 중첩되며 상기 데이터 배선에서 우측으로 분기하며 상기 제 1 소스 전극과 동일한 방향의 제 2 요입부를 갖는 제 2 소스 전극과, 상기 제 2 요입부 내부에 삽입되는 부분을 갖는 제 2 드레인 전극을 포함하여 구성된 제 2 박막트랜지스터를 포함하며, 상기 제 1 및 제 2 박막트랜지스터는 상기 제 1 및 제 2 화소영역 내에서 동일한 방향을 가지며 형성됨으로써 상기 제 1 소스 전극과 이와 마주하는 제 1 드레인 전극을 연결하는 가상의 선과, 상기 제 2 소스 전극과 이와 마주하는 제 2 드레인 전극을 연결하는 가상의 선이 서로 평행하도록 배치된 것이 특징이다.

[0022] 이때, 상기 제 1 화소영역에는 상기 제 1 박막트랜지스터의 제 1 드레인 전극과 연결된 제 1 화소전극이 형성되며, 상기 제 2 화소영역에는 상기 제 2 박막트랜지스터의 제 2 드레인 전극과 연결된 제 2 화소전극이 형성된다.

[0023] 또한, 상기 제 1 및 제 2 드레인 전극 각각은 상기 제 1 및 제 2 소스 전극의 제 1 및 제 2 요입부에 각각 삽입되는 제 1 부분과, 상기 제 1 부분에서 절곡되어 상기 제 1 및 제 2 화소영역 내측으로 연장하는 제 2 부분으로 구성되며, 그 형태가 회전한 "ㄱ"자 형태를 이루며, 때, 상기 제 1 및 제 2 드레인 전극 각각은 상기 제 1 부분이 상기 제 1 및 제 2 게이트 전극과 중첩하도록 형성된 것이 특징이다.

[0024] 또한, 상기 제 1 박막트랜지스터는 상기 제 1 게이트 전극 위로 게이트 절연막과, 순수 비정질 실리콘의 제 1 액티브층 및 서로 이격하는 불순물 비정질 실리콘의 제 1 오믹콘택층으로 구성된 제 1 반도체층을 포함하며, 상기 제 2 박막트랜지스터는 상기 제 2 게이트 전극 위로 상기 게이트 절연막과, 순수 비정질 실리콘의 제 2 액티브층 및 서로 이격하는 불순물 비정질 실리콘의 제 2 오믹콘택층으로 구성된 제 2 반도체층을 포함한다.

[0025] 또한, 상기 액정표시장치는 홀수번째 게이트 배선과 짝수번째 게이트 배선에 프레임 단위로 교대하며 그 극성을 달리하는 게이트 전압이 인가되는 라인 인버전 구동을 실시하며, 상기 제 1 및 제 2 화소영역은 상기 데이터 배

선을 공유하는 것이 특징이다.

[0026] 또한, 상기 제 1 및 제 2 화소영역 각각에는 상기 제 1 및 제 2 화소전극과 이격하며 교대하는 다수의 공통전극이 형성된 것이 특징이다.

효 과

[0027] 본 발명에 따른 Z 인버전 구동을 위한 데이터 배선 공유 구조 액정표시장치용 어레이 기판은, 공유되는 데이터 배선을 기준으로 그 좌측 및 우측에 형성되는 박막트랜지스터를 대칭적으로 구성하지 않고, 표시영역 전면에 일방향으로 즉, 소스 및 드레인 전극을 이은 가상의 선이 나란한 배치가 되도록 형성함으로써 게이트 레이어와 소스 레이어의 틀어짐에 의해 발생할 수 있는 기생용량 크기의 변화를 원천적으로 방지하는 효과가 있으며, 나아가 각 화소영역 내의 기생용량 크기 변화에 기인한 표시품질 저하를 방지하는 효과가 있다.

[0028] 또한, 모든 화소영역에 대해 패터닝 오차 발생시 기생용량(Cgs) 변동량을 일정하게 하기 위해 별도로 각 화소영역 내에 추가 구성되는 부분이 없으므로 개구율 저감을 방지하거나 또는 개구율을 향상시키는 효과가 있다.

발명의 실시를 위한 구체적인 내용

[0029] 이하, 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예를 설명한다.

[0030] Z-인버전이 적용된 액정표시장치는 박막트랜지스터가 하나의 데이터 배선을 그 좌우에서 공유하는 형태를 이루며, 따라서 Z자 형태로 전압이 인가되며 이러한 구성에 의해 주파수가 기존의 라인 인버전 방식 액정표시장치 대비 낮아지게 되어 소비전력이 낮아지게 되는 것이다.

[0031] 즉, 이러한 Z-인버전의 경우 게이트 배선의 경우 각 화소영역별로 극성 교대가 발생하는 도트 인버전의 구조처럼 +, - 가 교대하는 구동을 보이지만, 데이터 배선을 기준으로 하면, + 구동 또는 - 구동만이 이루어지게 되므로 데이터 배선을 통한 신호전압 인가 시 그 주파수를 낮출 수 있으므로 소비전력을 저감시킬 수 있는 것이 특징이다.

[0032] 도 4는 데이터 배선을 기준으로 그 양측에 박막트랜지스터가 형성되는 본 발명의 실시예에 따른 Z 인버전 구동을 실시하는 액정표시장치용 어레이 기판의 표시영역 일부에 대한 평면도이다. 이때, 설명의 편의를 위해 상기 각 데이터 배선(138)을 기준으로 그 좌측으로 분기한 소스 전극을 포함하는 화소영역을 제 1 화소영역(P1), 그 우측으로 분기한 소스 전극을 포함하는 화소영역을 제 2 화소영역(P2)이라 정의하며, 상기 제 1 화소영역(P1)에 구비된 박막트랜지스터를 제 1 박막트랜지스터(Tr1)라 칭하였으며, 상기 제 2 화소영역(P2)에 구비된 박막트랜지스터를 제 2 박막트랜지스터(Tr2)라 칭하였으며, 상기 제 1 박막트랜지스터(Tr1)를 이루는 각 구성요소에 대해서는 “제 1” 을, 상기 제 2 박막트랜지스터(Tr2)를 이루는 각 구성요소에 대해서는 그 구성요소 앞에 “제 2” 를 부여하였으며, 이때 표시영역 전면에 형성되는 구성요소 즉 게이트 절연막과 보호층에 대해서는 “제 1”, 또는 “제 2” 를 부여하지 않고 그대로 “게이트 절연막”, “보호층” 이라 칭하였다.

[0033] 도시한 바와 같이, 본 발명에 따른 액정표시장치용 어레이 기판(101)은 다수의 게이트 배선(105a, 105b)이 일방향으로 연장하고 있으며, 다수의 데이터 배선(138)이 상기 다수의 게이트 배선(105a, 105b)과 교차하여 화소영역(P1, P2)을 정의하며 형성되고 있다.

[0034] 또한, 각 화소영역(P1, P2)에는 상기 게이트 배선(105a, 105b)과 연결된 게이트 전극(107a, 107b)과, 상기 데이터 배선(138)과 연결되는 소스 전극(140a, 140b)과 이와 이격하는 드레인 전극(142a, 142b)과, 상기 게이트 전극(107a, 107b)미도시)과 상기 소스 및 드레인 전극((140a, 140b), (142a, 142b)) 사이에 형성된 게이트 절연막(미도시)과 순수 비정질 실리콘의 액티브층(미도시)과 불순물 비정질 실리콘의 오믹콘택층(미도시)으로 구성된 반도체층(125a, 125b)을 포함하는 스위칭 소자인 박막트랜지스터(Tr1, Tr2)가 형성되고 있다. 이때, 상기 소스 전극(140a, 140b)은 그 형태가 요입부를 갖는 회전한 “U” 자 형태를 가지며, 상기 드레인 전극(142a, 142b)은 상기 소스 전극(140a, 140b)의 요입부에 그 끝단이 삽입되어 회전한 “U” 자 형태의 채널영역이 형성될 수 있도록 그 끝단이 바(bar) 형태를 가지며, 타 끝단은 화소전극(155a, 155b)과 연결될 수 있도록 여러 형태를 이루고 있다. 일례로 도면에 있어서는 상기 드레인 전극(142a, 142b)은 상기 소스 전극(140a, 140b)과 마주하는 바

(bar) 형태의 끝단에서 연장하여 절곡되어 구성됨으로서 회전한 “L” 자 형태를 이루고 있다.

- [0035] 이때, 상기 박막트랜지스터(Tr1, Tr2)에 있어서, 홀수번째 게이트 배선(105a) 및 상기 데이터 배선(138)과 연결된 제 1 박막트랜지스터(Tr1)는 상기 데이터 배선(138)을 기준으로 좌측에 위치하고 있으며, 짝수번째 게이트 배선(105b) 및 상기 데이터 배선(138)과 연결된 제 2 박막트랜지스터(Tr2)는 상기 데이터 배선(138)을 기준으로 우측에 위치하고 있다.
- [0036] 한편, 본 발명에 있어 가장 특징적인 것으로, 상기 박막트랜지스터(Tr1, Tr2)는 데이터 배선(138)을 기준으로 좌측 또는 우측으로 분기한 형태의 소스 전극(140a, 140b)을 포함하여 형성되고 있지만, 상기 박막트랜지스터(Tr1, Tr2)는 표시영역 전면에 있어서 마치 데이터 배선(138)의 일측으로만 분기하여 형성된 것과 같이 그 형태 더욱 정확히는 그 형성 방향이 일정한 것이 특징적인 구성이 되고 있다.
- [0037] 즉, 임의의 하나의 데이터 배선(138)을 기준으로 그 좌측 또는 우측으로 분기한 소스 전극(140a, 140b)을 포함하여 박막트랜지스터(Tr1, Tr2)가 형성되었을지라도, 각 박막트랜지스터(Tr1, Tr2)에 있어 상기 소스 전극(140a, 140b) 요입부에서 상기 요입부에 삽입된 드레인 전극(142a, 142b)을 향하여 가상의 선을 그었을 때, 모든 화소영역(P1, P2) 내에 형성된 박막트랜지스터(Tr1, Tr2)는 상기 가상의 선(L1, L2)이 나란한 방향이 되고 있는 것이 특징이다.
- [0038] 전술한 바와 같이, 박막트랜지스터(Tr1, Tr2)가 모든 화소영역(P1, P2) 내에서 동일한 방향성을 가지며 형성되는 경우, 게이트 전극(107a, 107b) 형성 시와 소스 및 드레인 전극((140a, 140b), (142a, 142b)) 형성 시 좌측 또는 우측으로 치우침 오차가 발생하더라도 전 화소영역(P1, P2)에 대해 동일한 수준으로 발생하게 되므로 즉, 화소영역(P1, P2)별로 게이트 전극과 드레인 전극(142a, 142b)간 오버랩되는 면적 변화가 일정함에 따라 Cgs 변동치가 일정하게 되므로 화소영역(P1, P2)간 유의차가 발생하지 않는다. 따라서, 모든 화소영역(P1, P2)에 있어서 휘도 수준이 동일해지므로 플리커 현상 등의 표시품질 저하를 방지할 수 있다.
- [0039] 제 1 화소영역(P1)과 제 2 화소영역(P2)에서의 박막트랜지스터(Tr1, Tr2)의 형성 형태에 대해 조금 더 상세히 설명한다.
- [0040] 우선, 홀수번째 게이트 배선(105a)과 데이터 배선(138)과 연결되어 상기 데이터 배선(138)의 좌측으로 제 1 박막트랜지스터(Tr1)가 형성된 제 1 화소영역(P1)을 살펴보면, 상기 제 1 화소영역(P1) 내에서 좌측 하단에 게이트 배선(105a) 자체로서 타영역보다 두꺼운 두께를 갖도록 구성됨으로써 제 1 게이트 전극(107a)을 이루고 있으며, 상기 제 1 게이트 전극(107a)을 덮으며 게이트 절연막(미도시)이 형성되어 있으며, 상기 게이트 절연막(미도시) 위로 상기 제 1 게이트 전극(107a)에 대응하여 순수 비정질 실리콘의 제 1 액티브층(미도시)과 서로 이격하는 형태로 불순물 비정질 실리콘의 제 1 오믹콘택층(미도시)으로 이루어진 제 1 반도체층(125a)이 형성되어 있다.
- [0041] 또한, 데이터 배선(138)에서 분기하며 상기 홀수번째 게이트 배선(105a)을 따라 연장하며, 상기 제 1 화소영역(P1)의 하단 좌측에서 절곡되어 요입부가 상기 제 1 화소영역(P1)의 우측 상단을 바라보며 상기 홀수번째 게이트 배선(105a)과 중첩하는 영역 이외에 상기 제 1 게이트 전극(107a)과 중첩하는 부분이 회전한 “U”자 형태를 이루며 상기 제 1 오믹콘택층(미도시)과 접촉하며 그 상부에 제 1 소스 전극(140a)이 형성되어 있다.
- [0042] 또한, 이러한 구성을 갖는 제 1 소스 전극(140a)에 대응하여 상기 제 1 소스 전극(140a)의 요입부에 삽입된 부분 및 상기 제 1 화소영역(P1) 내측으로 연장하여 제 1 화소전극(155a)과 접촉하는 부분을 갖는 제 1 드레인 전극(142a)이 상기 제 1 소스 전극(140a)과 이격하며 상기 제 1 오믹콘택층(미도시) 상부에 형성되고 있다. 또한 상기 제 1 박막트랜지스터(Tr1)를 덮으며 표시영역 전면에 보호층(미도시)이 형성되고 있다.
- [0043] 또한, 상기 제 1 화소영역(P1) 내에는 상기 제 1 드레인 전극(142a)의 상기 제 1 화소영역(P1) 내측으로 연장된 끝단과 제 1 드레인 콘택홀(152a)을 통해 접촉하는 제 1 화소전극(155a)이 형성되어 있다.
- [0044] 한편, 짝수번째 게이트 배선(105b)과 상기 데이터 배선(138)과 연결되어 상기 데이터 배선(138)의 우측으로 제 2 박막트랜지스터(Tr2)가 형성된 제 2 화소영역(P2)을 살펴보면, 상기 제 2 화소영역(P2) 내에서 좌측 하단에 게이트 배선(105b) 자체로서 타영역보다 두꺼운 두께를 갖도록 구성됨으로써 제 2 게이트 전극(107b)을 이루고 있으며, 상기 제 2 게이트 전극(107b)을 덮으며 상기 게이트 절연막(미도시)이 형성되어 있다. 또한, 상기 게이트 절연막(미도시) 위로 상기 제 2 게이트 전극(107b)에 대응하여 순수 비정질 실리콘의 제 2 액티브층(미도시)과 서로 이격하는 형태로 불순물 비정질 실리콘의 제 2 오믹콘택층(미도시)으로 이루어진 제 2 반도체층(120b)이 형성되어 있다.

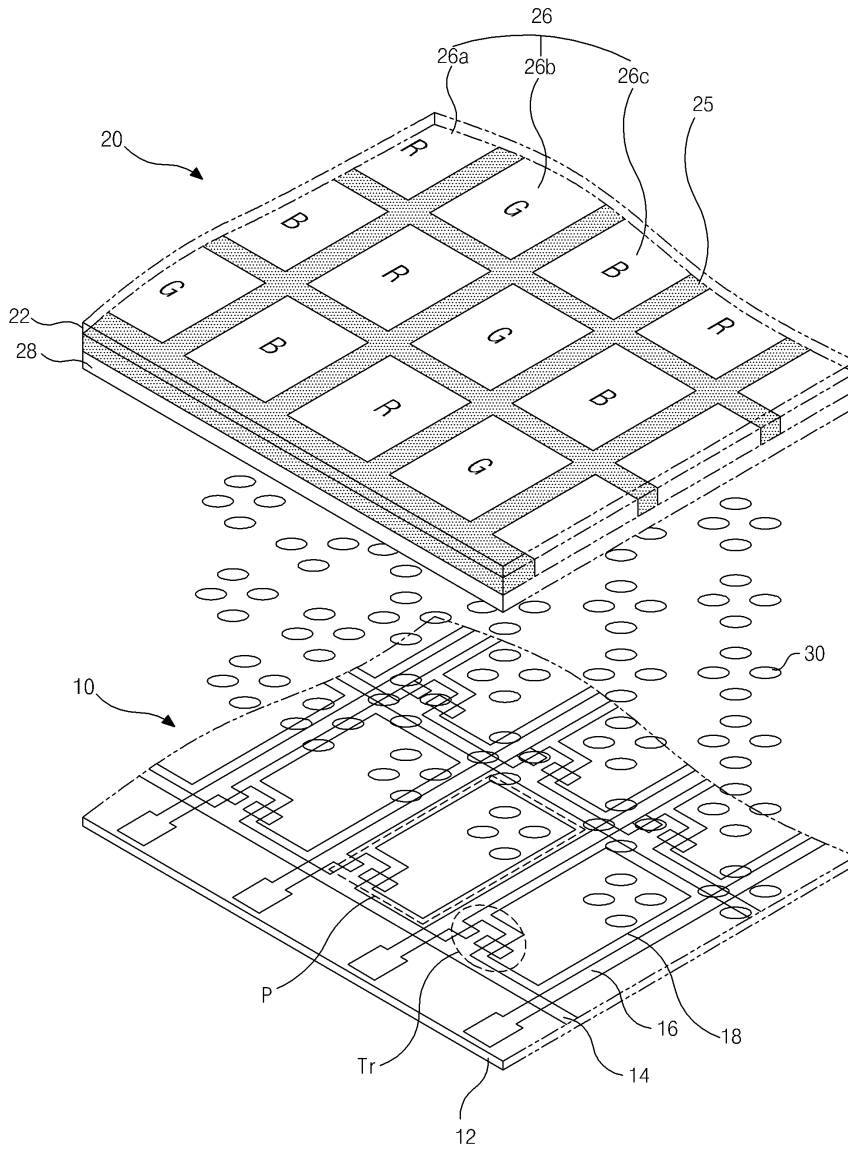
- [0045] 또한, 상기 데이터 배선(138)에서 우측으로 분기하며 그 요입부가 상기 제 2 화소영역(P2)의 우측 상단을 바라 보며 회전한 “U”자 형태를 이루며 상기 제 2 오믹콘택층(미도시)과 접촉하며 그 상부에 제 2 소스 전극(140b)이 형성되어 있으며, 이와 이격하며 상기 제 2 소스 전극(140b)의 요입부에 삽입된 부분 및 상기 제 2 화소영역(P2) 내측으로 연장하여 제 2 화소전극(155b)과 접촉하는 부분을 갖는 제 2 드레인 전극(142b)이 상기 제 2 오믹콘택층(미도시) 상부에 형성되고 있다. 또한 상기 제 2 박막트랜지스터(Tr2)를 덮으며 표시영역 전면에 상기 보호층(미도시)이 형성되고 있다.
- [0046] 또한, 상기 제 2 화소영역(P2) 내에는 상기 제 2 드레인 전극(142b)의 상기 제 2 화소영역(P2) 내측으로 연장된 끝단과 상기 보호층(미도시) 내에 구비된 제 2 드레인 콘택홀(152b)을 통해 상기 제 2 드레인 전극(142b)과 접촉하는 제 2 화소전극(155b)이 형성되어 있다.
- [0047] 따라서, 제 1 화소영역(P1)에서의 제 1 박막트랜지스터(Tr1)와, 상기 제 2 화소영역(P2)에서의 제 2 박막트랜지스터(Tr2)는 각 화소영역(P1, P2) 내에서 동일한 형태 및 방향성을 갖도록 형성되고 있는 것이 특징이다.
- [0048] 따라서, 이러한 구성에 의해 게이트 전극(107a, 107b) 및 게이트 배선(105a, 105b)을 형성하는 공정과 데이터 배선(138)과 소스 및 드레인 전극((140a, 140b), (142a, 142b))을 형성하는 공정 간의 열라인 오차 등에 의해 상기 게이트 전극(107a, 107b)에 대해 상기 소스 및 드레인 전극((140a, 140b), (142a, 142b))이 일측으로 치우쳐 형성되는 경우, 상기 제 1 및 제 2 박막트랜지스터(Tr1, Tr2)의 방향성이 동일하므로 전체적으로 게이트 전극(107a, 107b)과 상기 소스 및 드레인 전극((140a, 140b), (142a, 142b))이 중첩되는 정도의 변화 또한 일정하게 된다. 이로 인해 제 1 화소영역(P1)과 제 2 화소영역(P2)간 기생용량인 Cgs 변화량이 일정하게 되어 표시영역 전체에 대해 동일한 휘도차를 이루게 됨으로서 플리커 현상 등의 표시품질 저하를 억제할 수 있는 것이 특징이다.
- [0049] 이후에는, 전술한 평면 구조를 갖는 본 발명에 따른 액정표시장치용 어레이 기관의 단면구조에 대해 설명한다.
- [0050] 도 5는 도 4를 절단선 V-V를 따라 절단한 부분에 대한 단면도이다. 이때, 단면구조는 제 1 화소영역과 제 2 화소영역 있어서 동일하므로 제 2 화소영역에 대해서만 설명한다. 설명의 편의를 위해 제 2 화소영역 내에 제 2 박막트랜지스터(Tr2)가 형성되는 영역을 스위칭 영역(TrA)이라 정의한다.
- [0051] 도시한 바와 같이, 투명한 절연기관(101) 상에 게이트 배선(미도시)이 일방향으로 연장 형성되고 있으며, 상기 게이트 배선(미도시)과 연결되며 상기 스위칭 영역에 분기하여 제 2 게이트 전극(107b)이 형성되어 있다.
- [0052] 또한, 상기 게이트 배선(미도시) 및 상기 제 2 게이트 전극(107b) 위로 전면에 게이트 절연막(112)이 형성되어 있으며, 상기 게이트 절연막(112) 위로 상기 스위칭 영역(TrA)에는 상기 제 2 게이트 전극(107b)에 대응하여 순수 비정질 실리콘의 제 2 액티브층(120b)과 상기 제 2 액티브층(120b) 위로 서로 이격하며 불순물 비정질 실리콘으로 이루어진 제 2 오믹콘택층(123b)을 포함하는 제 2 반도체층(125b)이 아일랜드 형태로 형성되어 있다.
- [0053] 또한, 상기 제 2 반도체층 중 상기 제 2 오믹콘택층(123b) 위로 그 형태가 회전한 “U”자 형태를 가져 요입부가 구성된 제 2 소스 전극(140b)이 형성되고 있으며, 상기 제 2 소스 전극(140b) 외측에 위치하는 또 다른 제 2 오믹콘택층(123b) 위에는 상기 제 2 소스 전극(140b)의 요입부에 삽입된 부분과 상기 제 2 화소영역(P2) 내측으로 연장된 부분을 가지며, 상기 제 2 소스 전극(140b)과 이격하며 제 2 드레인 전극(142b)이 형성되어 있다. 이때, 상기 스위칭 영역(TrA)에 순차 적층된 상기 제 2 게이트 전극(107b)과 게이트 절연막(112)과 제 2 반도체층(125b)과 서로 이격하는 상기 제 2 소스 전극(140b) 및 제 2 드레인 전극(142b)은 제 2 박막트랜지스터(Tr2)를 이룬다.
- [0054] 또한, 상기 제 2 박막트랜지스터(Tr2) 위로 상기 제 2 드레인 전극(142a, 142b)을 노출시키는 제 2 드레인 콘택홀(152b)을 갖는 보호층(150)이 형성되어 있으며, 상기 드레인 콘택홀(152a, 152b)을 통해 상기 제 1 드레인 전극(142a, 142b)과 동시에 접촉하며 제 1 화소전극(155)이 형성됨으로써 본 발명의 실시예에 따른 액정표시장치용 어레이 기관(101)이 완성되고 있다.
- [0055] 한편, 본 발명은 어레이 기관 내에 화소전극만이 형성되는 액정표시장치용 어레이 기관에 대해서만 일례로 보이고 있지만, 본 발명은 전술한 실시예에 한정되지 아니하며, 본 발명의 정신을 벗어나지 않는 이상 다양한 변화와 변형이 가능하다.
- [0056] 일례로 각 화소영역 내에서 바(bar) 형태를 가지며 서로 이격하며 교대하도록 공통전극과 화소전극이 형성되는 횡전계형 액정표시장치용 어레이 기관에 대해서도 적용될 수 있음은 자명하다 할 것이다.

도면의 간단한 설명

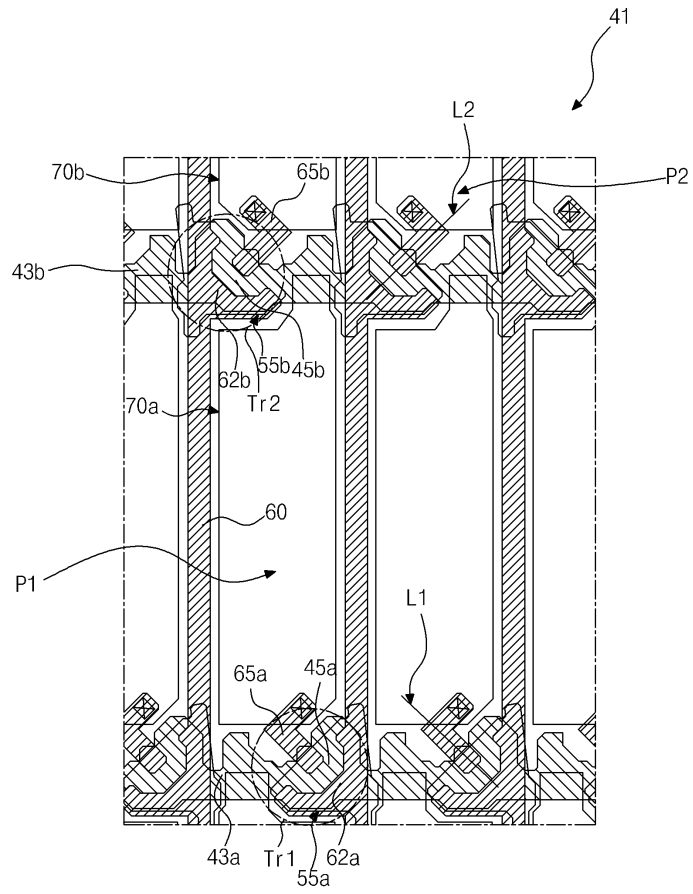
- [0057] 도 1은 일반적인 액정표시장치의 구성을 개략적으로 도시한 분해 사시도.
- [0058] 도 2는 라인 인버전을 방식이 적용된 액정표시장치 중 라인 인버전 방식 중 하나인 소비전력 저감을 위해 제안된 Z-인버전 구동방법이 적용된 액정표시장치용 어레이 기관의 표시영역 일부를 도시한 평면도.
- [0059] 도 3은 종래의 소비전력 저감을 위해 제안된 Z-인버전 구동방법이 적용된 액정표시장치용 어레이 기관의 표시영역 일부를 도시한 평면도로서 각 화소영역별 패터닝 오차 발생에 따른 기생용량이 Cgs 변화 방지를 위한 구성을 갖는 것을 도시한 도면.
- [0060] 도 4는 데이터 배선을 기준으로 그 양측에 박막트랜지스터가 형성되는 본 발명의 실시예에 따른 Z 인버전 구동을 실시하는 액정표시장치용 어레이 기관의 표시영역 일부에 대한 평면도.
- [0061] 도 5는 도 4를 절단선 V-V를 따라 절단한 부분에 대한 단면도.
- [0062] < 도면의 주요 부분에 대한 부호의 설명 >
- [0063] 101 : 어레이 기관
- [0064] 105a, 105b : 홀수번째 및 짝수번째 게이트 배선
- [0065] 107a, 107b : 제 1 및 제 2 게이트 전극
- [0066] 125a, 125b : 제 1 및 제 2 반도체층
- [0067] 138 : 데이터 배선
- [0068] 140a, 140b : 제 1 및 제 2 소스 전극
- [0069] 142a, 142b : 제 1 및 제 2 드레인 전극
- [0070] 152a, 152b : 제 1 및 제 2 드레인 콘택홀
- [0071] 155a, 155b : 제 1 및 제 2 화소전극
- [0072] P1, P2 : 제 1 및 제 2 화소영역
- [0073] Tr1, Tr2 : 제 1 및 제 2 박막트랜지스터
- [0074] L1, L2 : 소스 및 드레인 전극을 연결한 가상의 선

도면

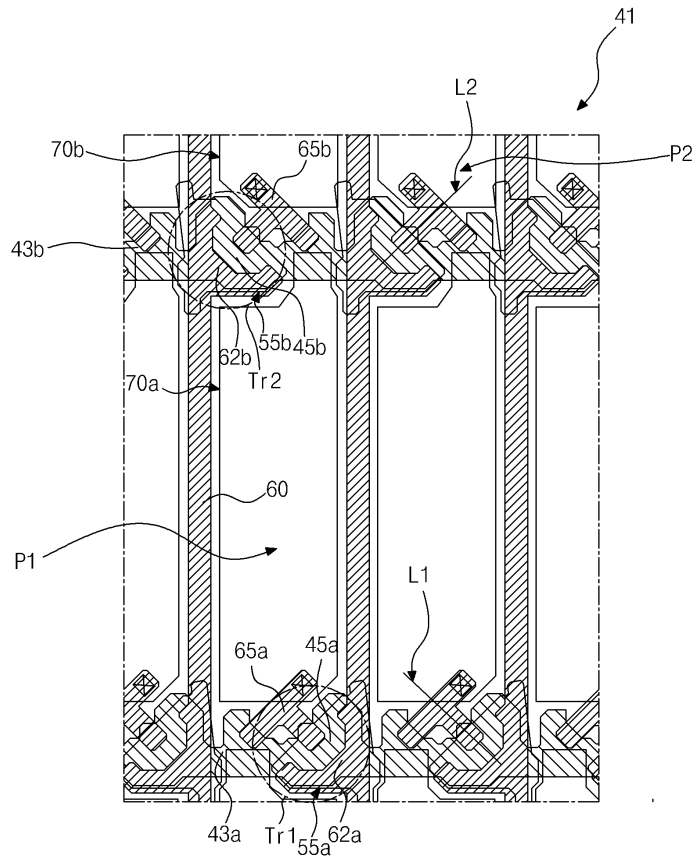
도면1



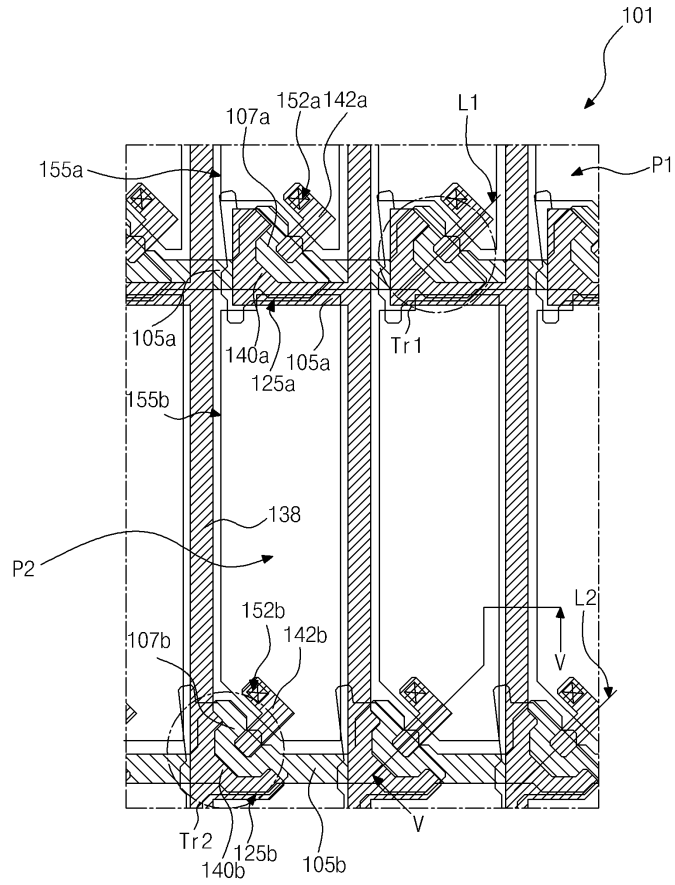
도면2



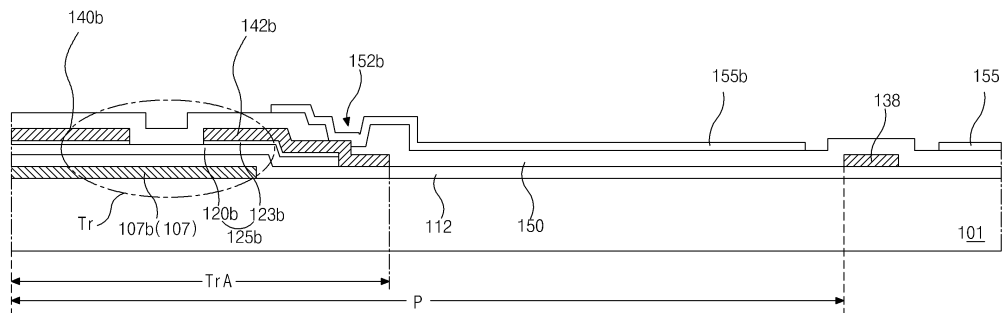
도면3



도면4



도면5



专利名称(译)	一种用于液晶显示器的阵列基板		
公开(公告)号	KR1020110032301A	公开(公告)日	2011-03-30
申请号	KR1020090089729	申请日	2009-09-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE HAN SEOK 이한석 JUNG DAE SUNG 정대성		
发明人	이한석 정대성		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	H01L27/124 G02F1/13306 G02F1/136286 G02F1/1368		
外部链接	Espacenet		

摘要(译)

本发明提供一种半导体器件，包括：第一和第二栅极布线，形成在基板上并沿一个方向延伸并形成交替间隔开；形成的数据线与第一和第二栅极线交叉并限定第一和第二像素区域；第一被连接到第一栅极线和数据线，并在第一像素区域中的栅极电极，和与栅电极重叠是这样的重叠枝和沿所述第一栅极线弯曲，以从数据线左第一薄膜晶体管，包括具有第一凹陷部分的第一源电极和具有插入第一凹陷部分的部分的第一漏电极；第二栅极布线，并且与所述数据线，所述第二像素区域连接并与所述栅电极，在相同的方向和分支到在数据线的右侧和所述第一源电极的第二凹内的栅极电极重叠的第二薄膜晶体管包括第二源电极和第二漏电极，第二源电极具有插入第一凹陷部分的部分，第二漏电极具有插入第二凹陷部分的部分，连接第一源电极和第一漏电极面对第一源电极的虚线和连接第二源电极和第二漏电极面对第一源电极的虚线，被布置成彼此平行。

