



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0101978
(43) 공개일자 2010년09월20일

(51) Int. Cl.

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0020450

(22) 출원일자 2009년03월10일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

이윤석

충청남도 천안시 두정동 1078번지 계룡 리슈빌
아파트 103동 803호

조영제

충청남도 천안시 두정동 666번지 두정 4차 푸르지
오 405동 101호

(74) 대리인

팬코리아특허법인

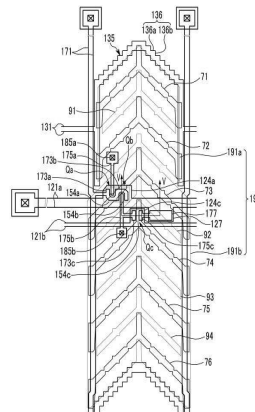
전체 청구항 수 : 총 20 항

(54) 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 본 발명의 한 실시예에 따른 액정 표시 장치는 행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서, 제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 복수의 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 복수의 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제2 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제3 박막 트랜지스터, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 제1 게이트선, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 데이터선, 상기 제3 박막 트랜지스터에 연결되어 있는 복수의 제2 게이트선, 그리고 상기 제3 박막 트랜지스터의 드레인 전극과 상기 제1 게이트선 사이에 연결되어 있는 감압 축전기를 포함한다.

대표도 - 도4



특허청구의 범위

청구항 1

행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서,
제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 복수의 화소 전극,
상기 제1 부화소 전극에 연결되어 있는 복수의 제1 박막 트랜지스터,
상기 제2 부화소 전극에 연결되어 있는 복수의 제2 박막 트랜지스터,
상기 제2 부화소 전극에 연결되어 있는 복수의 제3 박막 트랜지스터,
상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 제1 게이트선,
상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 데이터선,
상기 제3 박막 트랜지스터에 연결되어 있는 복수의 제2 게이트선, 그리고
상기 제3 박막 트랜지스터의 드레인 전극과 상기 제1 게이트선 사이에 연결되어 있는 감압 축전기를 포함하는 액정 표시 장치.

청구항 2

제1항에서,
상기 감압 축전기는 제1 절연막을 사이에 두고 상기 제1 게이트선과 전극 부재가 중첩하여 이루어지고,
상기 전극 부재는 상기 데이터선과 동일한 층으로 형성된 액정 표시 장치.

청구항 3

제2항에서,
상기 전극 부재는 상기 제3 박막 트랜지스터의 드레인 전극과 연결되는 액정 표시 장치.

청구항 4

제2항에서,
상기 감압 축전기는 상기 전극 부재 아래에 배치되어 있는 반도체층을 더 포함하고,
상기 전극 부재는 상기 반도체층과 실질적으로 동일한 평면 모양을 가지는 액정 표시 장치.

청구항 5

제1항에서,
상기 제1, 제2 및 제3 박막 트랜지스터와 상기 제1 및 제2 부화소 전극 사이에 형성되어 있는 제2 절연막을 더 포함하고,
상기 제2 절연막은 상기 제1 박막 트랜지스터를 상기 제1 화소 전극에 연결하기 제1 접촉 구멍, 그리고 상기 제2 박막 트랜지스터를 상기 제2 화소 전극에 연결하기 제2 접촉 구멍을 가지고,
상기 제1 접촉 구멍은 상기 제1 박막 트랜지스터의 소스 전극으로 둘러싸인 영역 내에 존재하고, 상기 제2 접촉 구멍은 상기 제2 박막 트랜지스터의 소스 전극으로 둘러싸인 영역 내에 존재하는 액정 표시 장치.

청구항 6

제1항에서,
상기 감압 축전기는 절연막을 사이에 두고 상기 제1 게이트선과 전극 부재가 중첩하여 이루어지고,
상기 전극 부재는 상기 화소 전극과 동일한 층으로 형성된 액정 표시 장치.

청구항 7

제6항에서,

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선 아래에 형성되어 있는 반도체를 더 포함하고,

상기 반도체는 상기 제1, 제2 및 제3 박막 트랜지스터의 채널부를 제외하고 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선과 실질적으로 동일한 평면 모양을 가지는 액정 표시 장치.

청구항 8

제6항에서,

상기 절연막은 접촉 구멍을 가지고,

상기 전극 부재는 상기 접촉 구멍을 통해 상기 제3 박막 트랜지스터의 드레인 전극과 연결되는 액정 표시 장치.

청구항 9

제1항에서,

상기 제1 부화소 전극과 상기 제2 부화소 전극은 상기 복수의 화소의 화소 열을 따라 이웃하는 액정 표시 장치.

청구항 10

제1항에서,

상기 화소 전극과 마주하는 공통 전극을 더 포함하고,

상기 제1 부화소 전극 및 제2 부화소 전극 중 적어도 하나는 제1 절개부를 가지고,

상기 공통 전극은 제2 절개부를 가지는 액정 표시 장치.

청구항 11

행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서,

제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 복수의 화소 전극,

상기 제1 부화소 전극에 연결되어 있는 복수의 제1 박막 트랜지스터,

상기 제2 부화소 전극에 연결되어 있는 복수의 제2 박막 트랜지스터,

상기 제2 부화소 전극에 연결되어 있는 복수의 제3 박막 트랜지스터,

상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 제1 게이트선,

상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 데이터선,

상기 제3 박막 트랜지스터에 연결되어 있는 복수의 제2 게이트선, 그리고

상기 제3 박막 트랜지스터의 상기 제3 박막 트랜지스터의 드레인 전극과 제2 게이트선 사이에 연결되어 있는 감압 축전기

를 포함하는 액정 표시 장치.

청구항 12

제11항에서,

상기 감압 축전기는 제1 절연막을 사이에 두고 상기 제2 게이트선과 전극 부재가 중첩하여 이루어지고,

상기 전극 부재는 상기 데이터선과 동일한 층으로 형성된 액정 표시 장치.

청구항 13

제12항에서,

상기 전극 부재는 상기 제3 박막 트랜지스터의 드레인 전극과 연결되는 액정 표시 장치.

청구항 14

제12항에서,

상기 감압 축전기는 상기 전극 부재 아래에 배치되어 있는 반도체층을 더 포함하고,

상기 전극 부재는 상기 반도체층과 실질적으로 동일한 평면 모양을 가지는 액정 표시 장치.

청구항 15

제11항에서,

상기 감압 축전기는 절연막을 사이에 두고 상기 제3 게이트선과 전극 부재가 중첩하여 이루어지고,

상기 전극 부재는 상기 화소 전극과 동일한 층으로 형성된 액정 표시 장치.

청구항 16

제15항에서,

상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선 아래에 형성되어 있는 반도체를 더 포함하고,

상기 반도체는 상기 제1, 제2 및 제3 박막 트랜지스터의 채널부를 제외하고 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선과 실질적으로 동일한 평면 모양을 가지는 액정 표시 장치.

청구항 17

제15항에서,

상기 절연막은 제1 접촉 구멍을 가지고,

상기 전극 부재는 상기 제1 접촉 구멍을 통해 상기 제3 박막 트랜지스터의 드레인 전극과 연결되는 액정 표시 장치.

청구항 18

제11항에서,

상기 제2 부화소 전극은 상기 제1 부화소 전극을 둘러싸는 액정 표시 장치.

청구항 19

제18항에서,

상기 제1 부화소 전극의 면적은 상기 제2 부화소 전극의 면적보다 작은 액정 표시 장치.

청구항 20

제18항에서,

상기 화소 전극과 마주하는 공통 전극을 더 포함하고,

상기 제1 부화소 전극 및 제2 부화소 전극 중 적어도 하나는 제1 절개부를 가지고,

상기 공통 전극은 제2 절개부를 가지는 액정 표시 장치.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0004] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

[0005] 이러한 방식의 액정 표시 장치의 경우에는 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 두 개의 부화소로 분할하고 두 부화소의 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 제시되었다.

[0006] 이러한 방법으로는 두 부화소에 인가하는 전압을 동일하게 하고 별도의 스위칭 소자를 이용하여 두 부화소 중 하나의 부화소의 전압을 강하시키는 방법이 있다. 그러나 이러한 방법을 사용하는 경우 액정 표시 장치는 다수의 신호선과 다수의 접촉 구멍을 구비해야 하므로 개구율이 낮다.

발명의 내용

해결 하고자 하는 과제

[0007] 본 발명이 이루고자 하는 기술적 과제는 개구율을 확보하면서 두 부화소의 전압을 다르게 조절하는 것이다.

과제 해결수단

[0008] 본 발명의 한 실시예에 따른 액정 표시 장치는 행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서, 제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 복수의 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 복수의 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제2 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제3 박막 트랜지스터, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 제1 게이트선, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 데이터선, 상기 제3 박막 트랜지스터에 연결되어 있는 복수의 제2 게이트선, 그리고 상기 제3 박막 트랜지스터의 드레인 전극과 상기 제1 게이트선 사이에 연결되어 있는 감압 축전기를 포함한다.

[0009] 상기 감압 축전기는 제1 절연막을 사이에 두고 상기 제1 게이트선과 전극 부재가 중첩하여 이루어지고, 상기 전극 부재는 상기 데이터선과 동일한 층으로 형성될 수 있다.

[0010] 상기 전극 부재는 상기 제3 박막 트랜지스터의 드레인 전극과 연결될 수 있다.

[0011] 상기 감압 축전기는 상기 전극 부재 아래에 배치되어 있는 반도체층을 더 포함하고, 상기 전극 부재는 상기 반도체층과 실질적으로 동일한 평면 모양을 가질 수 있다.

[0012] 상기 제1, 제2 및 제3 박막 트랜지스터와 상기 제1 및 제2 부화소 전극 사이에 형성되어 있는 제2 절연막을 더 포함하고, 상기 제2 절연막은 상기 제1 박막 트랜지스터를 상기 제1 화소 전극에 연결하기 제1 접촉 구멍, 그리고 상기 제2 박막 트랜지스터를 상기 제2 화소 전극에 연결하기 제2 접촉 구멍을 가지고, 상기 제1 접촉 구멍은 상기 제1 박막 트랜지스터의 소스 전극으로 둘러싸인 영역 내에 존재하고, 상기 제2 접촉 구멍은 상기 제2 박막 트랜지스터의 소스 전극으로 둘러싸인 영역 내에 존재할 수 있다.

[0013] 상기 감압 축전기는 절연막을 사이에 두고 상기 제1 게이트선과 전극 부재가 중첩하여 이루어지고, 상기 전극

부재는 상기 화소 전극과 동일한 층으로 형성될 수 있다.

- [0014] 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선 아래에 형성되어 있는 반도체를 더 포함하고, 상기 반도체는 상기 제1, 제2 및 제3 박막 트랜지스터의 채널부를 제외하고 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선과 실질적으로 동일한 평면 모양을 가질 수 있다.
- [0015] 상기 절연막은 접촉 구멍을 가지고, 상기 전극 부재는 상기 접촉 구멍을 통해 상기 제3 박막 트랜지스터의 드레인 전극과 연결될 수 있다.
- [0016] 상기 제1 부화소 전극과 상기 제2 부화소 전극은 상기 복수의 화소의 화소 열을 따라 이웃할 수 있다.
- [0017] 본 발명의 다른 한 실시예에 따른 액정 표시 장치는 행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서, 제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 복수의 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 복수의 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제2 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제3 박막 트랜지스터, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 제1 게이트선, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 데이터선, 상기 제3 박막 트랜지스터에 연결되어 있는 복수의 제2 게이트선, 그리고 상기 제3 박막 트랜지스터의 상기 제3 박막 트랜지스터의 드레인 전극과 제3 게이트선 사이에 연결되어 있는 감압 축전기를 포함한다.
- [0018] 상기 감압 축전기는 제1 절연막을 사이에 두고 상기 제3 게이트선과 전극 부재가 중첩하여 이루어지고, 상기 전극 부재는 상기 데이터선과 동일한 층으로 형성될 수 있다.
- [0019] 상기 감압 축전기는 절연막을 사이에 두고 상기 제3 게이트선과 전극 부재가 중첩하여 이루어지고, 상기 전극 부재는 상기 화소 전극과 동일한 층으로 형성될 수 있다.
- [0020] 상기 제2 부화소 전극은 상기 제1 부화소 전극을 둘러싸는 형태일 수 있다.
- [0021] 상기 제1 부화소 전극의 면적은 상기 제2 부화소 전극의 면적보다 작을 수 있다.
- [0022] 상기 화소 전극과 마주하는 공통 전극을 더 포함하고, 상기 제1 부화소 전극 및 제2 부화소 전극 중 적어도 하나는 제1 절개부를 가지고, 상기 공통 전극은 제2 절개부를 가질 수 있다.

효 과

- [0023] 이와 같이 하면, 두 부화소의 전압을 다르게 조절하면서 개구율을 확보할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0026] 이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도 1 내지 도 3을 참고하여 상세하게 설명한다.
- [0027] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 두 부화소에 대한 등가 회로를 개략적으로 도시한 도면이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.
- [0028] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 계조 전압 생성부(800) 및 신호 제어부(600)를 포함한다.
- [0029] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(GLa, GLb, DL 도 3 참고)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시

관 조립체(300)는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 그 사이에 들어 있는 액정층(3)을 포함한다.

- [0030] 도 3을 참고하면, 신호선은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(GLa, GLb) 및 데이터 전압(Vd)을 전달하는 복수의 데이터선(DL)을 포함한다. 게이트선(GLa, GLb)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선(DL)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- [0031] 본 실시예에 따른 액정 표시판 조립체는 복수의 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.
- [0032] 각 화소(PX)는 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소는 게이트선(GLa, GLb), 데이터선(DL) 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(Qa, Qb, Qc)를 포함한다.
- [0033] 액정 축전기(Clca, Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(270) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa/PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다. 도 2에서와는 달리 공통 전극(CE)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(PE, 270) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- [0034] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 상부 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 하부 표시판(100)의 부화소 전극(PEa, PEb) 위 또는 아래에 형성할 수도 있다.
- [0035] 표시판(100, 200)의 바깥 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교할 수 있다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다. 직교 편광자인 경우 전기장이 없는 액정층(3)에 들어온 입사광을 차단한다.
- [0036] 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수효의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. 기준 계조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.
- [0037] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(GLa, GLb)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(GLa, GLb)에 인가한다.
- [0038] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(DL)과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 전압으로서 데이터선(DL)에 인가한다. 그러나 계조 전압 생성부(800)가 계조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 원하는 데이터 전압을 생성한다.
- [0039] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- [0040] 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(GLa, GLb, DL) 및 박막 트랜지스터 스위칭 소자(Qa, Qb, Qc) 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.
- [0041] 이제 도 4 및 도 5, 그리고 도 3을 참고하여 본 발명의 한 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.
- [0042] 도 3을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 서로 이웃하는 제1 및 제2 게이트선(GLa, GLb)

및 데이터선(DL)을 포함하는 신호선과 이에 연결된 화소(PX)를 포함한다.

- [0043] 화소(PX)는 제1, 제2 및 제3 스위칭 소자(Qa, Qb, Qc), 제1 및 제2 액정 축전기(Clca, Clcb), 제1 및 제2 유지 축전기(Csta, Cstb) 및 감압 축전기(Cstd)를 포함한다.
- [0044] 제1 및 제2 스위칭 소자(Qa, Qb)는 각각 제1 게이트선(GLa) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제2 게이트선(GLb)에 연결되어 있다.
- [0045] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제1 스위칭 소자(Qa)의 제어 단자는 제1 게이트선(GLa)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 제1 액정 축전기(Clca), 그리고 제1 유지 축전기(Csta)와 연결되어 있다.
- [0046] 제2 스위칭 소자(Qb)의 제어 단자는 제1 게이트선(GLa)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 제2 액정 축전기(Clcb), 그리고 제2 유지 축전기(Cstb)와 연결되어 있다.
- [0047] 제3 스위칭 소자(Qc) 역시 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 제2 게이트선(GLb)과 연결되어 있고, 입력 단자는 제2 액정 축전기(Clcb)와 연결되어 있으며, 출력 단자는 감압 축전기(Cstd)와 연결되어 있다.
- [0048] 감압 축전기(Cstd)는 제3 스위칭 소자(Qc)의 출력 단자와 제1 게이트선(GLa)에 연결되어 있으며, 제1 게이트선(GLa)으로부터 확장되어 있는 용량 전극(도시하지 않음)과 제3 스위칭 소자(Qc)의 출력 전극이 절연체를 사이에 두고 중첩되어 이루어 진다.
- [0049] 이제 도 4 및 도 5를 참고하여 본 발명의 한 실시예에 따른 액정 표시판 조립체에 대하여 더욱 상세하게 설명한다.
- [0050] 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이고, 도 5는 도 4의 액정 표시판 조립체를 V-V 선을 따라 잘라 도시한 단면도이다.
- [0051] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 그리고 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0052] 먼저 하부 표시판(100)에 대하여 설명한다.
- [0053] 절연 기판(110) 위에 복수 쌍의 제1 및 제2 게이트선(121a, 121b) 및 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 제1 게이트선(121a)은 제1 및 제2 게이트 전극(124a, 124b), 용량 전극(127)을 포함하고, 제2 게이트선(121b)은 제3 게이트 전극(124c)을 포함한다.
- [0054] 유지 전극선(131)은 게이트선(121a, 121b)과 수직하게 뻗은 줄기선을 포함한다. 또한 유지 전극선(131)은 줄기선으로부터 연장되어 게이트선(121a, 121b)과 빗각을 이루는 광 차단 부재(135)를 포함한다.
- [0055] 게이트 도전체(121a, 121b, 131) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 제1, 제2 및 제3 섬형 반도체(154a, 154b, 154c)가 형성되어 있고, 그 위에는 복수의 제1 저항성 접촉 부재(도시하지 않음), 제2 저항성 접촉 부재(163b, 165b) 및 제3 저항성 접촉 부재(163c, 165c)가 형성되어 있다.
- [0056] 저항성 접촉 부재(163b, 163c, 165b, 165c) 및 게이트 절연막(140) 위에는 복수의 데이터선(171), 복수의 제1, 제2 및 제3 드레인 전극(175a, 175b, 175c), 그리고 전극 부재(177)를 포함하는 데이터 도전체가 형성되어 있다.
- [0057] 데이터선(171)은 복수의 제1 및 제2 소스 전극(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다.
- [0058] 제1 내지 제3 드레인 전극(175a, 175b, 175c)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 및 제2 드레인 전극(175a, 175b)의 막대형 끝 부분은 제1 및 제2 소스 전극(173a, 173b)으로 일부 둘러싸여 있다. 제2 드레인 전극(175b)은 연장되어 막대형의 제3 소스 전극(173c)을 이룬다. 제3 드레인 전극(175c)은 제3 소스 전극(173c)의 한쪽 끝 부분과 마주하고, 제3 소스 전극(173c)의 다른 한쪽 끝 부분은 확장되어 전극 부재(177)를 이룬다.
- [0059] 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 제1 섬형 반도체(154a)와 함께 하나의 제1 박막 트랜지스터(thin film transistor, TFT)(Qa)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173a)과 드레인 전극(175a) 사이의 반도체(154a)에 형성된다. 제2 게이트 전극(124b), 제2 소스 전극

(173b) 및 제2 드레인 전극(175b)은 제2 섬형 반도체(154b)와 함께 하나의 제2 박막 트랜지스터(Qb)를 이루고, 제3 게이트 전극(124c), 제3 소스 전극(/173c) 및 제3 드레인 전극(175c)은 제3 섬형 반도체(154c)와 함께 하나의 제3 박막 트랜지스터(Qc)를 이룬다.

[0060] 데이터 도전체(171, 173c, 175a, 175b, 175c, 177) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(180)이 형성되어 있다.

[0061] 보호막(180)에는 데이터선(171)의 끝 부분, 제1 드레인 전극(175a)의 넓은 끝 부분, 제2 드레인 전극(175b)의 넓은 끝 부분을 각각 드러내는 복수의 접촉 구멍(도시하지 않음, 185a, 185b)이 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129a, 129b)을 각각 드러내는 복수의 접촉 구멍(도시하지 않음)이 형성되어 있다.

[0062] 보호막(180) 위에는 제1 및 제2 부화소 전극(191a, 191b)을 포함하는 화소 전극(191) 및 복수의 접촉 보조 부재(도시하지 않음)가 형성되어 있다.

[0063] 제1 부화소 전극(191a)은 서로 마주하는 한 쌍의 세로변(도시하지 않음), 세로변과 이웃하는 두 쌍의 제1 내지 제4 빔변(도시하지 않음)을 포함한다. 제2 부화소 전극(191b) 역시 서로 마주하는 한 쌍의 세로변(도시하지 않음), 세로변과 이웃하는 두 쌍의 제1 내지 제4 빔변(도시하지 않음)을 포함한다. 각 세로변은 데이터선(171)에 평행하며, 각 빔변은 세로변에 대하여 45° 또는 135°의 빔각을 이룬다. 빔변은 서로 인접해 있는 두 개씩 쌍을 이뤄 서로 직각을 이루며 만난다.

[0064] 제1 및 제2 부화소 전극(191a, 191b)은 열 방향으로 인접하며, 제1 부화소 전극(191a)의 높이는 제2 부화소 전극(191b)의 높이보다 짧다.

[0065] 제1 부화소 전극(191a)은 절개부(91)를 가지고 제2 부화소 전극(191b)은 절개부(92, 93, 94)를 가진다.

[0066] 제1 및 제2 부화소 전극(191a, 191b)의 절개부(91, 92, 93, 94)는 게이트선(121a, 121b)에 대하여 약 45°의 각도를 이룬다. 화소 전극(191)은 각 절개부에 의하여 여러 영역(partition)으로 나뉘어진다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.

[0067] 제1 부화소 전극(191a)은 접촉 구멍(185a)을 통하여 제1 드레인 전극(175a)과 물리적, 전기적으로 연결되어 제1 드레인 전극(175a)으로부터 데이터 전압을 인가 받고, 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 또한 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 부화소 전극(191b)과 물리적, 전기적으로 연결되어 있다.

[0068] 데이터 전압이 인가된 제1 및 제2 부화소 전극(191a, 191b)은 공통 전압(common voltage)을 인가 받는 공통 전극 표시판(200)의 공통 전극(common electrode)(200)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극(270)은 액정 축전기를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.

[0069] 화소 전극(191)은 유지 전극선(131)과 중첩한다. 화소 전극(191)이 유지 전극선(131)과 중첩하여 유지 축전기를 이루며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.

[0070] 용량 전극(127)과 제3 드레인 전극(175c)의 전극 부재(177)는 게이트 절연막(140)을 사이에 두고 중첩하여 감압 축전기(Cstd)를 이룬다.

[0071] 이와 같이 본 발명의 한 실시예에 따른 액정 표시 장치는 별도의 추가적인 용량 전극선 및 용량 전극을 두지 않고 제1 게이트선(121a)로부터 확장된 용량 전극(127)을 이용하여 감압 축전기(Cstd)를 형성하므로, 감압 축전기(Cstd)를 형성하기 위한 용량 전극선 및 용량 전극을 따로 형성하는 경우보다 개구율을 높일 수 있다.

[0072] 접촉 보조 부재는 각각 접촉 구멍(도시하지 않음)을 통하여 게이트선(121)의 끝 부분 및 데이터선(171)의 끝 부분과 연결된다. 접촉 보조 부재는 게이트선(121)의 끝 부분 및 데이터선(171)의 끝 부분과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

[0073] 이제 상부 표시판(200)에 대하여 설명한다.

- [0074] 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.
- [0075] 기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(230)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 세로 방향으로 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다.
- [0076] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다.
- [0077] 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)에는 복수의 절개부(71, 72, 73, 74, 75) 집합이 형성되어 있다. 각 절개부(71-75)는 화소 전극(191)의 절개부(91-94)와 평행하게 뻗은 적어도 하나의 사선부를 포함한다. 절개부(71-75)의 사선부에는 삼각형 모양의 노치(notch)가 형성되어 있다.
- [0078] 표시판(100, 200)의 안쪽 면에는 배향막(alignment layer)(도시하지 않음)이 도포되어 있다. 배향막은 수직 배향막일 수 있다.
- [0079] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자(31)는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다.
- [0080] 액정 축전기(C1ca, C1cb)가 충전되면 표시판(100, 200)의 표면에 거의 수직인 전기장(전계)이 생성된다. 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 방향을 바꾸고자 한다.
- [0081] 한편, 전기장 생성 전극(191, 270)의 화소 전극의 절개부(91-94) 및 공통 전극의 절개부(71-75)와 이들과 평행한 화소 전극(191)의 빗변은 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 절개부(91-94, 71-75)의 빗변과 화소 전극(191)의 빗변에 수직이다.
- [0082] 하나의 공통 전극 절개부 집합(71-75) 및 화소 전극 절개부 집합(91-94)은 화소 전극(191)을 복수의 부영역(sub-area)으로 나누며, 각 부영역은 화소 전극(191)의 주 변과 빗각을 이루는 두 개의 주 변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려 보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- [0083] 한편, 광차단 부재(135)는 제1 부화소 전극(191a)의 제1 및 제2 빗변(192c, 192d) 및 제2 부화소 전극(191b)의 제3 및 제4 빗변(193e, 193f)을 따라 형성되어 있다. 광 차단 부재(135)는 가로부(136a) 및 세로부(136b)로 이루어진 복수의 계단(136)을 포함한다. 가로부(136a)는 게이트선(121a, 121b)에 평행하며, 세로부(136b)는 데이터선(171)에 평행하다. 편광자(11, 21)의 편광축은 화소 전극(191)의 빗변(192c-f, 193c-f)과 45° 또는 135°를 이루므로 빗변(192c-f, 193c-f) 주변에서 빛이 셀 수 있다. 이 때 편광자의 편광축과 평행한 가로부(136a) 및 세로부(136b)로 이루어진 계단(136)을 갖는 광 차단 부재(135)를 제1 부화소 전극(191a)의 제1 및 제2 빗변(192c, 192d) 및 제2 부화소 전극(191b)의 제3 및 제4 빗변(193e, 193f)에 배치하면 각 화소 전극(191)이 이웃하는 부분에서 빛이 새는 것을 방지할 수 있다.
- [0084] 계단(136)의 가로부(136a) 및 세로부(136b)의 길이는 서로 동일할 수 있다. 계단(136a)의 가로부(136a) 및 세로부(136b)의 길이는 빛샘 방지에 적당하도록 8 μ m 내지 12 μ m 일 수 있다.
- [0085] 그러면 도 4 및 도 5, 그리고 앞서 설명한 도 1 내지 도 3을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치의 동작에 대하여 설명한다.
- [0086] 먼저 도 1을 참고하면, 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 1024(=2¹⁰), 256(=2⁸) 또는 64(=2⁶) 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK), 데이터 인에이블 신호(DE) 등이 있다.
- [0087] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2)등을 생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다. 출력 영상 신호(DAT)는 디지털 신호로서 정해진 수효의 값(또는 계조)을 가진다.

- [0088] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 제조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(DL)에 인가한다.
- [0089] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(GLa, GLb)에 인가하여 이 게이트선(GLa, GLb)에 연결된 스위칭 소자(Qa, Qb, Qc)를 턴온시킨다. 그러면, 데이터선(DL)에 인가된 데이터 전압(Vd)은 턴온된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 해당 화소(PX)에 인가된다.
- [0090] 이제부터 특정 화소 행, 예를 들면 i 번째 행에 초점을 맞추어 설명한다.
- [0091] i 번째 행의 제1 게이트선(GLa)에 제1 게이트 신호가 인가되며, 제2 게이트선(GLb)에는 제2 게이트 신호가 인가된다. 제1 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면 이에 연결된 제1 및 제2 스위칭 소자(Qa, Qb)가 턴 온된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압(Vd)은 턴 온된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 제1 및 제2 부화소 전극(PEa, PEb)에 인가된다. 이 때 제1 및 제2 부화소 전극(PEa, PEb) 인가된 데이터 전압(Vd)은 서로 동일하다. 제1 및 제2 액정 축전기(Clca, Clcb)는 공통 전압과 데이터 전압(Vd)의 차이만큼 동일한 값으로 충전된다.
- [0092] 그런 후 제1 게이트 신호는 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 바뀌고, 동시에 제2 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면, 제1 및 제2 스위칭 소자(Qa, Qb)는 턴 오프되고 제3 스위칭 소자(Qc)가 턴 온된다. 그러면 제2 부화소 전극(PEb)으로부터 제3 스위칭 소자(Qc)를 통하여 제3 드레인 전극(175c)로 전하가 이동한다. 그러면 제2 액정 축전기(Clcb)의 충전 전압은 낮아지고, 감압 축전기(Cstd)가 충전된다. 제2 액정 축전기(Cstb)의 충전 전압은 감압 축전기(Cstd)의 정전 용량만큼 낮아지므로 제2 액정 축전기(Cstb)의 충전 전압은 제1 액정 축전기(Csta)의 충전 전압보다 낮아진다.
- [0093] 이 때, 두 액정 축전기(Clca, Clca)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.
- [0094] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 화소(PX)에 데이터 전압(Vd)을 인가하여 한 프레임(frame)의 영상을 표시한다.
- [0095] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압(Vd)의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다.
- [0096] 이와 같이 감압 축전기(Cstd)의 정전 용량에 따라 제1 및 제2 액정 축전기(Csta, Cstb)의 충전 전압을 조절할 수 있다.
- [0097] 그러면 도 6 및 도 7을 참고하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 6은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 7은 도 6에 도시한 액정 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이다.
- [0098] 도 6 및 도 7을 참고하면, 본 실시예에 따른 액정 표시 장치의 층상 구조는 도 6 및 도 7에 도시한 액정 표시 장치와 유사하다.
- [0099] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 그리고 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.
- [0100] 하부 표시판(100)에 대하여 설명하면, 절연 기판(110) 위에 복수 쌍의 제1 및 제2 게이트선(121a, 121b), 복수의 유지 전극선(131) 및 용량 전극(127)을 포함하는 복수의 게이트 도전체가 형성되어 있고, 게이트 도전체(121a, 121b, 131) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 반도체(154a, 154b, 154c, 157)가 형성되어 있고, 그 위에는 복수의 제1 저항성 접촉 부재(도시하지 않음), 제2 저항성 접촉 부재(163b, 165b), 제3 저항성 접촉 부재(163c, 165c) 및 제4 저항성 접촉 부재(167)가 형성되어 있다.
- [0101] 저항성 접촉 부재(163b, 163c, 165b, 165c) 및 게이트 절연막(140) 위에는 복수의 데이터선(171), 복수의 제1, 제2 및 제3 드레인 전극(175a, 175b, 175c), 그리고 전극 부재(177)를 포함하는 데이터 도전체가 형성되어

있고, 데이터 도전체(171, 173c, 175a, 175b, 175c, 177) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(180)이 형성되어 있고, 보호막(180) 위에는 제1 및 제2 부화소 전극(191a, 191b)을 포함하는 화소 전극(191) 및 복수의 접촉 보조 부재(도시하지 않음)가 형성되어 있다. 화소 전극(191)은 복수의 절개부(91, 92, 93, 94)를 가진다.

[0102] 상부 표시판(200)에 대하여 설명하면, 절연 기판(210) 위에 차광 부재(220)가 형성되어 있고, 기판(210) 및 차광 부재 일부 위에는 색필터(230)가 형성되어 있고, 색필터(230) 및 차광 부재(220) 위에는 덮개막(250)이 형성되어 있고, 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)은 복수의 절개부(71, 72, 73, 74, 75, 76)를 가진다.

[0103] 그러나, 도 4 및 도 5에 도시한 액정 표시 장치와는 달리, 반도체(154a, 154b, 154c, 157)는 데이터선(171), 제1 내지 제3 드레인 전극(175a, 175b, 175c), 전극 부재(177) 및 그 아래의 저항성 접촉 부재(163b, 163c, 165b, 165c, 167)와 실질적으로 동일한 평면 모양이다. 그러나 선형 반도체는 소스 전극(173a-c)과 드레인 전극(175a-c) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175a-c)으로 가리지 않고 노출된 부분이 있다.

[0104] 이러한 하부 표시판(100)을 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터 도전체(171, 175a, 175b, 175c, 177) 및 반도체(154a-c, 157) 및 저항성 접촉 부재(163b, 163c, 165b, 165c, 167)를 한 번의 사진 공정으로 형성한다.

[0105] 이러한 사진 공정에서 사용하는 감광막은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터 도전체(171, 175a, 175b, 175c, 177)가 차지하는 배선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.

[0106] 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투광 영역(light transmitting area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투광 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다.

[0107] 이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

[0108] 본 실시예에 따른 액정 표시 장치 역시, 도 4 및 도 5에 도시한 액정 표시 장치와 마찬가지로, 용량 전극(127)과 제3 드레인 전극(175c)의 전극 부재(177)가 게이트 절연막(140), 반도체(157) 및 저항성 접촉 부재(167)를 사이에 두고 중첩하여 이루는 감압 축전기(Cstd)를 포함한다. 따라서, 별도의 추가적인 용량 전극선 및 용량 전극을 두지 않고 제1 게이트선(121a)로부터 확장된 용량 전극(127)을 이용하여 감압 축전기(Cstd)를 형성하므로, 감압 축전기(Cstd)를 형성하기 위한 용량 전극선 및 용량 전극을 따로 형성하는 경우보다 개구율을 높일 수 있고, 시인성을 높일 수 있다.

[0109] 본 실시예에 따른 액정 표시 장치의 감압 축전기(Cstd)를 이루는 용량 전극(127)은 제1 게이트선(121a)으로부터 확장되어 형성된다. 따라서, 제1 게이트선(121a)에 게이트 온 신호가 인가되면, 용량 전극(127)에도 게이트 온 신호와 같은 크기의 전압이 인가되기 때문에, 화소 전극(191)에 인가되는 전압(191)의 극성과는 상관없이 항상 동일한 극성의 전압이 인가된다. 따라서, 본 실시예와 같이 용량 전극(127)과 전극 부재(177)가 게이트 절연막(140) 뿐만 아니라 반도체(157) 및 저항성 접촉 부재(167)를 사이에 두고 서로 중첩하여 감압 축전기(Cstd)를 이루더라도, 용량 전극(127)의 극성 변화에 따라 반도체(157) 및 저항성 접촉 부재(167)이 활성화되거나 비활성화되어 나타나는 것으로 알려진 감압 축전기(Cstd)의 용량 변화를 방지할 수 있다. 따라서, 제조 공정을 간단히 하면서도, 감압 축전기(Cstd)의 용량을 원하는 값으로 일정하게 유지할 수 있다.

[0110] 그러면, 도 8 및 도 9를 참고하여, 본 발명의 따른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 8은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 9는 도 8에 도시한 액정 표시 장치를 IX-IX 선을 따라 잘라 도시한 단면도이다.

[0111] 도 8 및 도 9에 도시한 바와 같이, 본 실시예에 따른 액정 표시 장치의 층상 구조는 도 6 및 도 7에 도시한 실시예에 따른 액정 표시 장치와 유사하다.

[0112] 그러나, 도 6 및 도 7에 도시한 실시예와는 달리, 본 실시예에 따른 액정 표시 장치의 전극 부재(197)는 제3 드

레인 전극(175c)의 확장부로 이루어지지 않고, 화소 전극(191)과 동일한 층으로 형성되어, 화소 전극(191)과 절연되어 있다. 전극 부재(197)가 배치되어 있는 영역에는 화소 전극(191)의 제2 부화소 전극(191b)이 제거되어 있고, 화소 전극(191)의 제2 부화소 전극(191b)이 가지는 절개부(92)는 전극 부재(197)가 배치되어 있는 영역에서 확장되어, 전극 부재(197)를 둘러싸도록 형성되어 있다. 따라서, 제2 부화소 전극(191b)과 전극 부재(197)는 서로 이격되어 있다.

[0113] 이처럼, 본 실시예에 따른 액정 표시 장치의 감압 축전기(Cstd)는 제1 게이트선(121a)로부터 확장된 용량 전극(127)과 화소 전극(191)과 동일 층으로 이루어진 전극 부재(197)가 게이트 절연막(140) 및 보호막(180)을 사이에 두고 중첩하여 이룬다. 이처럼, 데이터 도전체(171, 175a, 175b, 175c)와 그 아래의 반도체(154a-c) 및 저항성 접촉 부재(163b, 163c, 165b, 165c)를 한 번의 사진 공정으로 형성하면서도, 감압 축전기(Cstd)를 이루는 용량 전극(127)과 전극 부재(197) 사이에 반도체층을 포함하지 않음으로써, 반도체층의 활성화 또는 비활성화에 따른 감압 축전기(Cstd)의 용량 변화를 차단할 수 있다. 또한, 액정 표시 장치를 형성하기 위한 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

[0114] 또한, 앞서 설명한 실시예들과 마찬가지로, 별도의 추가적인 용량 전극선 및 용량 전극을 두지 않고 제1 게이트선(121a)로부터 확장된 용량 전극(127)을 이용하여 감압 축전기(Cstd)를 형성하므로, 감압 축전기(Cstd)를 형성하기 위한 용량 전극선 및 용량 전극을 따로 형성하는 경우보다 개구율을 높임과 동시에, 시인성을 높일 수 있다.

[0115] 다음으로, 도 10 및 도 11을 참고하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 10은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 11은 도 10에 도시한 액정 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도이다.

[0116] 도 10 및 도 11을 참고하면, 본 실시예에 따른 액정 표시 장치의 층상 구조는 도 6 및 도 7에 도시한 실시예에 따른 액정 표시 장치와 거의 같다. 그러나, 도 6 및 도 7에 도시한 액정 표시 장치와는 달리, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)은 제1 소스 전극(173a) 및 제2 소스 전극(173b)로 둘러싸인 영역 내에 존재하고, 각기 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)의 영역 내에 배치되어 있다. 또한, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)을 각기 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)과 연결하기 위한 제1 접촉 구멍(185a) 및 제2 접촉 구멍(185b)은 제1 드레인 전극(175a) 및 제2 드레인 전극(175b) 바로 위에 형성되어 있다. 따라서, 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)의 채널 길이를 길게 형성하면서도, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)이 차지하는 영역의 면적을 줄여, 액정 표시 장치의 개구율을 더 높일 수 있다.

[0117] 또한, 본 실시예에 따른 액정 표시 장치 역시, 도 4 및 도 5에 도시한 액정 표시 장치와 마찬가지로, 용량 전극(127)과 제3 드레인 전극(175c)의 전극 부재(177)가 게이트 절연막(140), 반도체(157) 및 저항성 접촉 부재(167)를 사이에 두고 중첩하여 이루는 감압 축전기(Cstd)를 포함한다. 따라서, 별도의 추가적인 용량 전극선 및 용량 전극을 두지 않고 제1 게이트선(121a)로부터 확장된 용량 전극(127)을 이용하여 감압 축전기(Cstd)를 형성하므로, 감압 축전기(Cstd)를 형성하기 위한 용량 전극선 및 용량 전극을 따로 형성하는 경우보다 개구율을 높일 수 있고, 시인성을 높일 수 있다. 또한, 액정 표시 장치를 형성하기 위한 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

[0118] 그러면, 도 12 내지 도 14를 참고하여, 본 발명의 다른 한 실시예에 대하여 설명한다. 도 12는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부 화소에 대한 회로도이고, 도 13은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이고, 도 14는 도 13에 도시한 액정 표시 장치를 XIV-XIV 선을 따라 잘라 도시한 단면도이다.

[0119] 도 12를 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 도 3과 유사하게, 서로 이웃하는 제1 및 제2 게이트선(GLa, GLb, GLc) 및 데이터선(DL)을 포함하는 신호선과 이에 연결된 제1 화소(PX1) 및 제2 화소(PX2)를 포함한다. 제1 화소(PX1) 및 제2 화소(PX2)는 화소 열 방향으로 이웃하여 배치된다.

[0120] 각 화소(PX)는 제1, 제2 및 제3 스위칭 소자(Qa, Qb, Qc), 제1 및 제2 액정 축전기(C1ca, C1cb), 제1 및 제2 유지 축전기(Csta, Cstb) 및 감압 축전기(Cstd)를 포함한다.

[0121] 제1 화소(PX1)의 제1 및 제2 스위칭 소자(Qa, Qb)는 각각 제1 게이트선(GLa) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제2 게이트선(GLb)에 연결되어 있다.

[0122] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단

자 소자로서, 제1 스위칭 소자(Qa)의 제어 단자는 제1 게이트선(GLa)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 제1 액정 축전기(Clca), 그리고 제1 유지 축전기(Csta)와 연결되어 있다.

[0123] 제 2 스위칭 소자(Qb)의 제어 단자는 제1 게이트선(GLa)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 제2 액정 축전기(Clcb), 그리고 제2 유지 축전기(Cstb)와 연결되어 있다.

[0124] 제3 스위칭 소자(Qc) 역시 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 제2 게이트선(GLb)과 연결되어 있고, 입력 단자는 제2 액정 축전기(Clcb)와 연결되어 있으며, 출력 단자는 감압 축전기(Cstd)와 연결되어 있다.

[0125] 그러나, 도 12의 액정 표시 장치는 도 3에 도시한 액정 표시 장치와 달리, 감압 축전기(Cstd)는 제3 스위칭 소자(Qc)의 출력 단자와 제3 게이트선(GLc)에 연결되어 있으며, 제3 게이트선(GLc)으로부터 확장되어 있는 용량 전극(도시하지 않음)과 제3 스위칭 소자(Qc)의 출력 전극이 절연체를 사이에 두고 중첩되어 이루어 진다.

[0126] 또한, 제3 게이트선(GLc)은 본 화소(PX)와 열방향으로 인접한 다른 화소의 제1 스위칭 소자(Qa) 및 제 2 스위칭 소자(Qb)의 입력 단자와 연결된다.

[0127] 본 실시예에 따른 액정 표시 장치의 동작에 대해 설명하면, 먼저, 제1 게이트선(GLa)에 인가되는 제1 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면 이에 연결된 제1 및 제2 스위칭 소자(Qa, Qb)가 턴 온된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압(Vd)은 턴 온된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 제1 화소(PX1)의 제1 및 제2 부화소 전극(PEa, PEb)에 인가된다. 이 때 제1 화소(PX1)의 제1 및 제2 부화소 전극(PEa, PEb) 인가된 데이터 전압(Vd)은 서로 동일하다. 따라서, 제1 화소(PX1)의 제1 및 제2 액정 축전기(Clca, Clcb)는 공통 전압과 데이터 전압(Vd)의 차이만큼 동일한 값으로 충전된다.

[0128] 그런 후 제1 게이트 신호는 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 바뀌고, 동시에 제3 게이트선(GLc)에 인가되는 제2 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면, 제1 화소(PX1)의 제1 및 제2 스위칭 소자(Qa, Qb)는 턴 오프되고, 제2 화소(PX2)의 제1 및 제2 스위칭 소자(Qa, Qb)는 턴 온된다. 그러면, 데이터선(DL)에 인가된 데이터 전압(Vd)은 턴 온된 제2 화소(PX2)의 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 제2 화소(PX2)의 제1 및 제2 부화소 전극(PEa, PEb)에 인가된다.

[0129] 그 후, 제3 게이트 신호는 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 바뀌고, 동시에 제2 게이트선(GLb)에 인가되는 제3 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면, 제1 화소(PX1)의 제3 스위칭 소자(Qc)가 턴 온된다. 그러면 제1 화소(PX1)의 제2 부화소 전극(PEb)으로부터 전하가 제3 스위칭 소자(Qc)를 통하여 이동한다. 그러면 제1 화소(PX1)의 제2 액정 축전기(Clcb)의 충전 전압은 낮아지고, 제1 화소(PX1)의 감압 축전기(Cstd)가 충전된다. 제1 화소(PX1)의 제2 액정 축전기(Cstb)의 충전 전압은 제1 화소(PX1)의 감압 축전기(Cstd)의 정전 용량만큼 낮아지므로 제1 화소(PX1)의 제2 액정 축전기(Cstb)의 충전 전압은 제1 화소(PX1)의 제1 액정 축전기(Csta)의 충전 전압보다 낮아진다.

[0130] 다음으로, 앞서 설명한 제1 화소(PX1)와 마찬가지로, 도시하지는 않았지만, 제2 화소(PX2)의 감압 축전기(Cstd)가 연결되어 있는 제4 게이트선에 게이트 온 전압이 인가되면, 제2 화소(PX2)의 제3 스위칭 소자(Qc)가 턴 온되어, 제2 화소(PX2)의 제2 부화소 전극(PEb)으로부터 전하가 제3 스위칭 소자(Qc)를 통하여 이동한다. 그러면 제2 화소(PX2)의 제2 액정 축전기(Clcb)의 충전 전압은 낮아지고, 제2 화소(PX2)의 감압 축전기(Cstd)가 충전된다. 제2 화소(PX1)의 제2 액정 축전기(Cstb)의 충전 전압은 제2 화소(PX2)의 감압 축전기(Cstd)의 정전 용량만큼 낮아지므로 제2 화소(PX2)의 제2 액정 축전기(Cstb)의 충전 전압은 제2 화소(PX2)의 제1 액정 축전기(Csta)의 충전 전압보다 낮아진다. 위에 설명한 단계가 반복되게 된다.

[0131] 그러면, 도 12에 도시한 실시예에 따른 액정 표시 장치의 구체적인 구조에 대하여 설명한다.

[0132] 도 13 및 도 14를 참고하면, 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 그리고 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3)을 포함한다.

[0133] 먼저 하부 표시판(100)에 대하여 설명한다.

[0134] 절연 기판(110) 위에 복수의 제1 및 제2 게이트선(121a, 121b), 복수의 제3 게이트선(121c) 및 복수의 유지 전극선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 제1 게이트선(121a)은 제1 및 제2 게이트 전극(124a, 124b)을 포함하고, 제2 게이트선(121b)은 제3 게이트 전극(124c)을 포함하고, 제3 게이트선(121c)은 용량 전극(127)을 포함한다.

- [0135] 유지 전극선(131)은 유지 전극(135)을 이루는 복수의 돌출부를 포함한다.
- [0136] 게이트 도전체(121a, 121b, 121c, 131) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 제1, 제2 및 제3 반도체(154a, 154b, 154c)가 형성되어 있고, 그 위에는 복수의 제1 저항성 접촉 부재(도시하지 않음), 제2 저항성 접촉 부재(163b, 165b) 및 제3 저항성 접촉 부재(163c, 165c)가 형성되어 있다.
- [0137] 저항성 접촉 부재(163b, 163c, 165b, 165c) 및 게이트 절연막(140) 위에는 복수의 데이터선(171), 복수의 제1, 제2 및 제3 드레인 전극(175a, 175b, 175c), 그리고 전극 부재(177)를 포함하는 데이터 도전체가 형성되어 있다.
- [0138] 데이터선(171)은 복수의 제1 및 제2 소스 전극(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위하여 면적이 넓은 끝 부분(도시하지 않음)을 포함한다. 데이터선(171)은 전체에 걸쳐 일직선 상에 있지 않으며 한 화소 당 적어도 두 번 꺾여 있다. 구체적으로 데이터선(171)은 도 13에서 보는 바와 같이 세로 방향으로 뺀 제1 세로부(171a), 제1 세로부(171a)에서 오른쪽으로 꺾인 후 가로 방향으로 뺀 제1 가로부(171c), 제1 가로부(171c)에서 아래쪽으로 꺾인 후 세로 방향으로 뺀 제2 세로부(171b), 그리고 제2 세로부(171b)에서 왼쪽으로 꺾인 후 가로 방향으로 뺀 제2 가로부(171d)를 포함한다. 데이터선(171)의 제1 세로부(171a)와 제2 세로부(171b) 각각은 서로 평행하고 서로 이격되어 있는 가상의 직선 위에 놓인다.
- [0139] 제1 및 제2 드레인 전극(175a, 175b)은 넓은 한 쪽 끝 부분과 막대형인 다른 쪽 끝 부분을 포함한다. 제1 및 제2 드레인 전극(175a, 175b)의 막대형 끝 부분은 제1 및 제2 소스 전극(173a, 173b)으로 일부 둘러싸여 있다. 제2 드레인 전극(175b)은 연장되어 막대형의 제3 소스 전극(173c)을 이룬다. 제3 드레인 전극(175c)은 제3 소스 전극(173c)의 한쪽 끝 부분과 마주하고, 제3 소스 전극(173c)의 다른 한쪽 끝 부분은 확장되어 전극 부재(177)를 이룬다.
- [0140] 제1 게이트 전극(124a), 제1 소스 전극(173a) 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 하나의 제1 박막 트랜지스터(thin film transistor, TFT)(Qa)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173a)과 드레인 전극(175a) 사이의 반도체(154a)에 형성된다. 제2 게이트 전극(124b), 제2 소스 전극(173b) 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 하나의 제2 박막 트랜지스터(Qb)를 이루고, 제3 게이트 전극(124c), 제3 소스 전극(173c) 및 제3 드레인 전극(175c)은 제3 반도체(154c)와 함께 하나의 제3 박막 트랜지스터(Qc)를 이룬다.
- [0141] 본 실시예에 따른 반도체(154a, 154b, 154c, 157)는 데이터선(171), 제1 내지 제3 드레인 전극(175a, 175b, 175c), 전극 부재(177) 및 그 아래의 저항성 접촉 부재(163b, 163c, 165b, 165c, 167)와 실질적으로 동일한 평면 모양이다. 그러나 선형 반도체는 소스 전극(173a-c)과 드레인 전극(175a-c) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175a-c)으로 가리지 않고 노출된 부분이 있다.
- [0142] 데이터 도전체(171, 173c, 175a, 175b, 175c, 177) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(180)이 형성되어 있다.
- [0143] 보호막(180)에는 데이터선(171)의 끝 부분, 제1 드레인 전극(175a)의 넓은 끝 부분, 제2 드레인 전극(175b)의 넓은 끝 부분을 각각 드러내는 복수의 접촉 구멍(도시하지 않음, 185a, 185b)이 형성되어 있으며, 보호막(180) 및 게이트 절연막(140)에는 게이트선(121)의 끝 부분(129a, 129b)을 각각 드러내는 복수의 접촉 구멍(도시하지 않음)이 형성되어 있다.
- [0144] 보호막(180) 위에는 제1 및 제2 부화소 전극(191a, 191b)을 포함하는 화소 전극(191) 및 복수의 접촉 보조 부재(도시하지 않음)가 형성되어 있다.
- [0145] 각 화소 전극(191)은 게이트선(121a, 121b) 또는 데이터선(171, 172)과 거의 평행한 네 개의 주 변을 가지는 대략 사각형 모양이다. 화소 전극(191)의 빗변 중 일부는 게이트선(121a, 121b)에 대하여 약 45°의 각도를 이루도록 모따기된 형태를 가질 수 있다.
- [0146] 하나의 화소 전극(191)을 이루는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)은 간극(gap)(94)을 사이에 두고 서로 맞물려 있으며, 제1 부화소 전극(191a)은 제2 부화소 전극(191b)의 중앙에 삽입되어 있다. 즉, 제2 부화소 전극(191b)은 제1 부화소 전극(191a)을 둘러싸는 형태이고, 간극(94)으로 이격되어 있어서 서로 중첩하지 않는다.
- [0147] 제2 부화소 전극(191b)에는 상부 절개부(92a, 93a) 및 하부 절개부(92b, 93b)가 형성되어 있으며, 제2 부화소 전극(191b)은 이들 절개부(92a, 92b, 93a, 93b)에 의하여 복수의 영역(partition)으로 분할된다. 절개부(92a,

92b, 93a, 93b)는 유지 전극선(131)에 대하여 거의 반전 대칭을 이룬다.

- [0148] 하부 및 상부 절개부(92a, 92b, 93a, 93b)는 대략 화소 전극(191)의 오른쪽 변에서부터 왼쪽 변, 위쪽 변 또는 아래쪽 변으로 비스듬하게 뻗어 있다. 하부 및 상부 절개부(92a, 92b, 93a, 93b)는 유지 전극선(131)에 대하여 하반부와 상반부에 각각 위치하고 있다. 하부 및 상부 절개부(92a, 92b, 93a, 93b)는 게이트선(121)에 대하여 약 45°의 각도를 이루며 서로 수직으로 뻗어 있다.
- [0149] 따라서, 화소 전극(191)의 하반부는 간극(91) 및 하부 절개부(92b, 93b)에 의하여 4개의 영역(partition)으로 나누어지고, 상반부 또한 간극(91) 및 상부 절개부(92a, 93a)에 의하여 4개의 영역(partition)으로 분할된다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.
- [0150] 절개부(92a, 92b, 93a, 93b)의 사선부에는 삼각형 모양의 노치(notch)가 형성되어 있다. 이러한 노치는 사각형, 사다리꼴 또는 반원형의 모양을 가질 수도 있으며, 불룩하게 또는 오목하게 이루어질 수 있다. 이러한 노치는 절개부(92a, 92b, 93a, 93b)에 대응하는 영역 경계에 위치하는 액정 분자(3)의 배열 방향을 결정해준다.
- [0151] 제1 부화소 전극(191a)은 접촉 구멍(185a)을 통하여 제1 드레인 전극(175a)과 물리적, 전기적으로 연결되어 제1 드레인 전극(175a)으로부터 데이터 전압을 인가 받고, 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 또한 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제2 부화소 전극(191b)과 물리적, 전기적으로 연결되어 있다.
- [0152] 데이터 전압이 인가된 제1 및 제2 부화소 전극(191a, 191b)은 공통 전압(common voltage)을 인가 받는 공통 전극 표시판(200)의 공통 전극(common electrode)(200)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 화소 전극(191)과 공통 전극(270)은 액정 축전기를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다.
- [0153] 화소 전극(191)은 유지 전극선(131)과 중첩한다. 화소 전극(191)이 유지 전극선(131)과 중첩하여 유지 축전기를 이루며, 유지 축전기는 액정 축전기의 전압 유지 능력을 강화한다.
- [0154] 용량 전극(127)과 제3 드레인 전극(175c)의 전극 부재(177)는 게이트 절연막(140)을 사이에 두고 중첩하여 감압 축전기(Cstd)를 이룬다.
- [0155] 이와 같이 본 발명의 한 실시예에 따른 액정 표시 장치는 별도의 추가적인 용량 전극선 및 용량 전극을 두지 않고 제1 게이트선(121a)로부터 확장된 용량 전극(127)을 이용하여 감압 축전기(Cstd)를 형성하므로, 감압 축전기(Cstd)를 형성하기 위한 용량 전극선 및 용량 전극을 따로 형성하는 경우보다 개구율을 높일 수 있다.
- [0156] 이제 상부 표시판(200)에 대하여 설명한다.
- [0157] 절연 기판(210) 위에 차광 부재(220)가 형성되어 있다. 기판(210) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(230)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 세로 방향으로 길게 뻗을 수 있다. 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270)에는 복수의 절개부(71, 72, 73a, 73b, 74a, 74b) 집합이 형성되어 있다.
- [0158] 하나의 절개부(71~74b) 집합은 하나의 화소 전극(191)과 마주 보며 제1 및 제2 중앙 절개부(71, 72), 상부 절개부(73a, 74a) 및 하부 절개부(73b, 74b)를 포함한다. 절개부(71~74b) 각각은 화소 전극(191)의 인접 절개부(91~94b) 사이에 배치되어 있다. 또한, 각 절개부(71~74b)는 화소 전극(191)의 하부 절개부(93a, 94a) 또는 상부 절개부(93b, 94b)와 평행하게 뻗은 적어도 하나의 사선 가지를 포함한다.
- [0159] 하부 및 상부 절개부(73a~74b) 각각은 사선 가지, 가로 가지 및 세로 가지를 포함한다. 사선 가지는 대략 화소 전극(191)의 오른쪽 변에서 왼쪽, 위쪽 또는 아래쪽 변으로 화소 전극(191)의 하부 또는 상부 절개부(92a~93b)와 거의 나란하게 뻗는다. 가로 가지 및 세로 가지는 사선 가지의 각 끝에서부터 화소 전극(191)의 변을 따라 중첩하면서 뻗으며 사선 가지와 둔각을 이룬다.
- [0160] 제1 및 제2 중앙 절개부(71)는 중앙 가로 가지, 한 쌍의 사선 가지 및 한 쌍의 중단 세로 가지를 포함한다. 중앙 가로 가지는 대략 화소 전극(191)의 오른쪽 변에서부터 화소 전극(191)의 가로 중심선을 따라 왼쪽으로 뻗으

며, 한 쌍의 사선 가지는 중앙 가로 가지의 끝에서 화소 전극(191)의 왼쪽 변을 향하여 각각 하부 및 상부 절개부(73a, 73b, 74a, 74b)와 거의 나란하게 뻗는다. 중단 세로 가지는 사선 가지의 각 끝에서부터 화소 전극(191)의 왼쪽 변을 따라 중첩하면서 뻗으며 사선 가지와 둔각을 이룬다.

[0161] 절개부(71~74b)의 사선부에는 삼각형 모양의 노치가 형성되어 있다. 노치는 사각형, 사다리꼴 또는 반원형의 모양을 가질 수도 있다.

[0162] 절개부(71~74b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있다.

[0163] 공통 전극(270)에 공통 전압을 인가하고 화소 전극(191)에 데이터 전압을 인가하면 표시판(100, 200)의 표면에 거의 수직인 전기장(전계)이 생성된다. 액정 분자들은 전기장에 응답하여 그 장축이 전기장의 방향에 수직을 이루도록 방향을 바꾸고자 한다. 앞으로는 화소 전극(191)과 공통 전극(271)을 통틀어 전기장 생성 전극이라 한다.

[0164] 한편, 전기장 생성 전극(191, 270)의 화소 전극의 절개부(92a, 92b, 93a, 93b) 및 공통전극의 절개부(71~74b)와 이들과 평행한 화소 전극(191)의 빗변은 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 절개부(92a~93b, 92b, 71~74b)의 빗변과 화소 전극(191)의 빗변에 수직이다.

[0165] 하나의 공통 전극 절개부 집합(71~74b) 및 화소 전극 절개부 집합(92a~93b)은 화소 전극(191)을 복수의 부영역(sub-area)으로 나누며, 각 부영역은 화소 전극(191)의 주 변과 빗각을 이루는 두 개의 주 변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려 보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.

[0166] 적어도 하나의 절개부(92a~93b, 71~74b)는 돌기나 함몰부로 대체할 수 있으며, 절개부(92a~93b, 71~74b)의 모양 및 배치는 변형될 수 있다.

[0167] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0168] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

[0169] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 두 부화소에 대한 등가 회로를 개략적으로 도시한 도면이다.

[0170] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0171] 도 4는 본 발명의 한 실시예에 따른 액정 표시 장치의 배치도이다.

[0172] 도 5는 도 4의 액정 표시 장치를 V-V 선을 따라 잘라 도시한 단면도이다.

[0173] 도 6은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이다.

[0174] 도 7은 도 6에 도시한 액정 표시 장치를 VII-VII 선을 따라 잘라 도시한 단면도이다.

[0175] 도 8은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이다.

[0176] 도 9는 도 8에 도시한 액정 표시 장치를 IX-IX 선을 따라 잘라 도시한 단면도이다.

[0177] 도 10은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이다.

[0178] 도 11은 도 10에 도시한 액정 표시 장치를 XI-XI 선을 따라 잘라 도시한 단면도이다.

[0179] 도 12는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 일부 화소에 대한 등가 회로도이다.

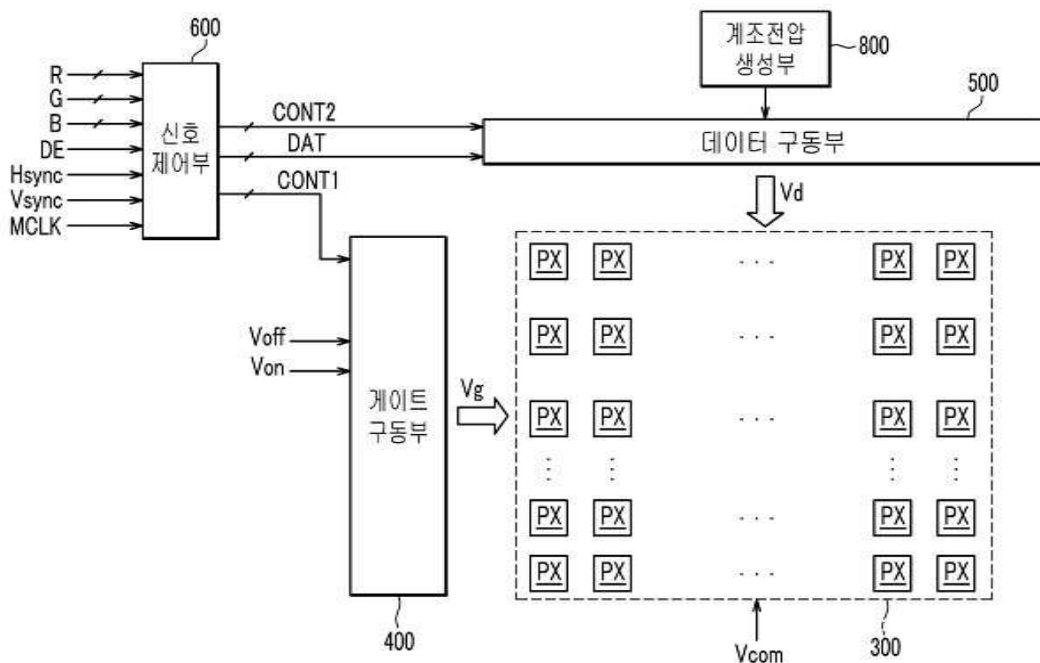
[0180] 도 13은 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이다.

[0181] 도 14는 도 13에 도시한 액정 표시 장치를 XIV-XIV 선을 따라 잘라 도시한 단면도이다.

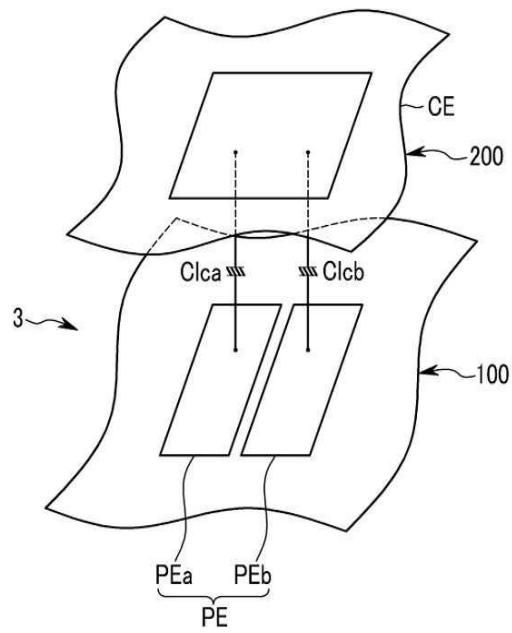
[0182]	* 도면 부호의 설명 *	
[0183]	3: 액정층	55, 110, 210: 기판
[0184]	54, 56, 57: 광 차단막	51, 52: 계단
[0185]	100, 200: 표시판	121a, 121b, 121c: 게이트선
[0186]	124a, 124b, 124c: 게이트 전극	
[0187]	131: 유지 전극선	154a, 154b, 154c, 157: 반도체
[0188]	163b, 165b, 165b, 165c, 167: 저항성 접촉 부재	
[0189]	171: 데이터선	173a, 173b, 173c: 소스 전극
[0190]	175a, 175b, 175c: 드레인 전극	180: 보호막
[0191]	181a, 181b, 186: 접촉 구멍	
[0192]	191: 화소 전극	220: 차광 부재
[0193]	230: 색필터	250: 덮개막
[0194]	270: 공통 전극	
[0195]	300: 액정 표시판 조립체	400: 게이트 구동부
[0196]	500: 데이터 구동부	600: 신호 제어부
[0197]	800: 게조 전압 생성부	

도면

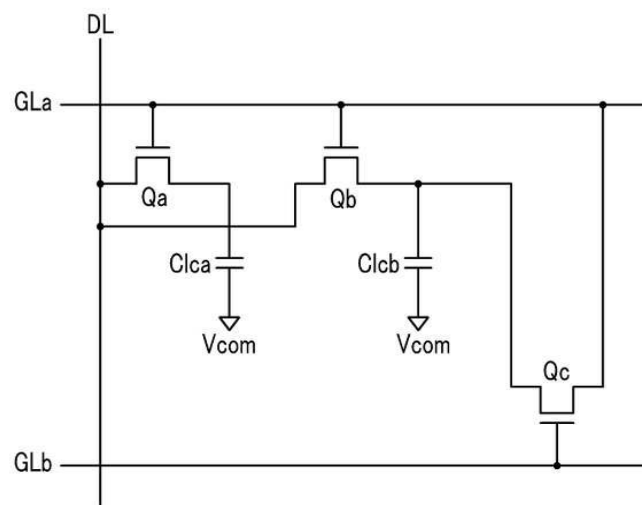
도면1



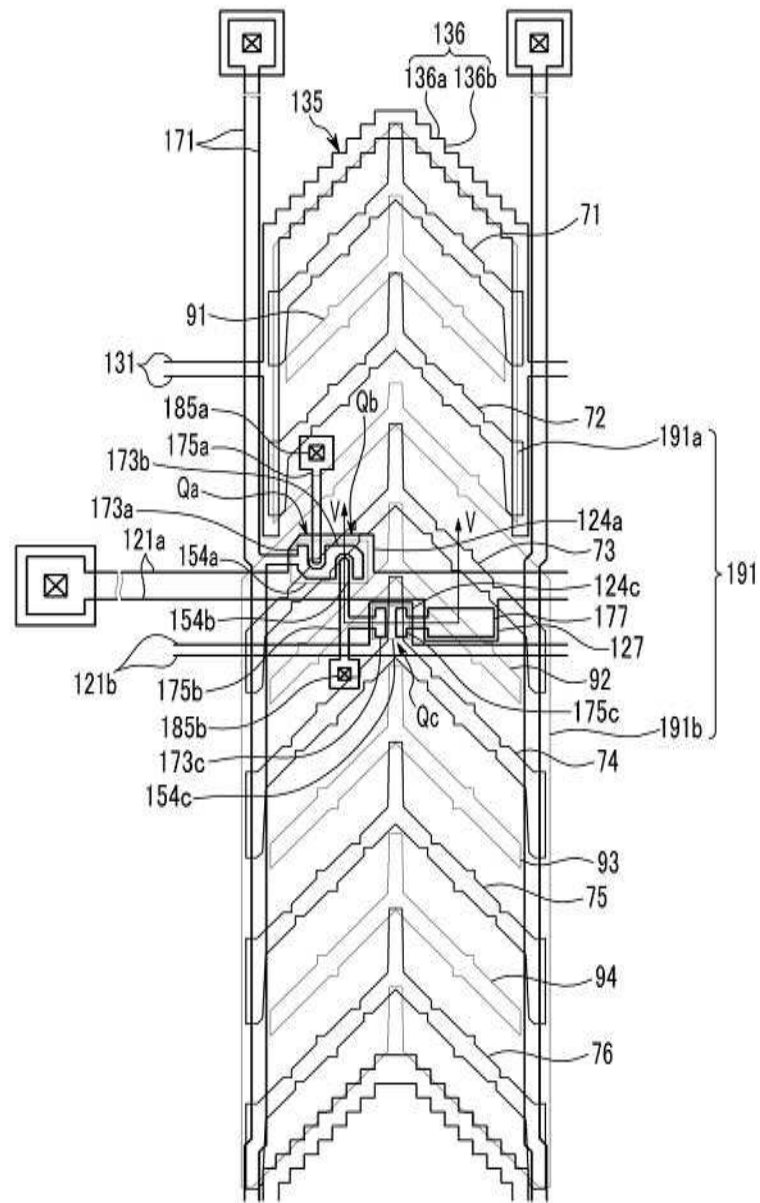
도면2



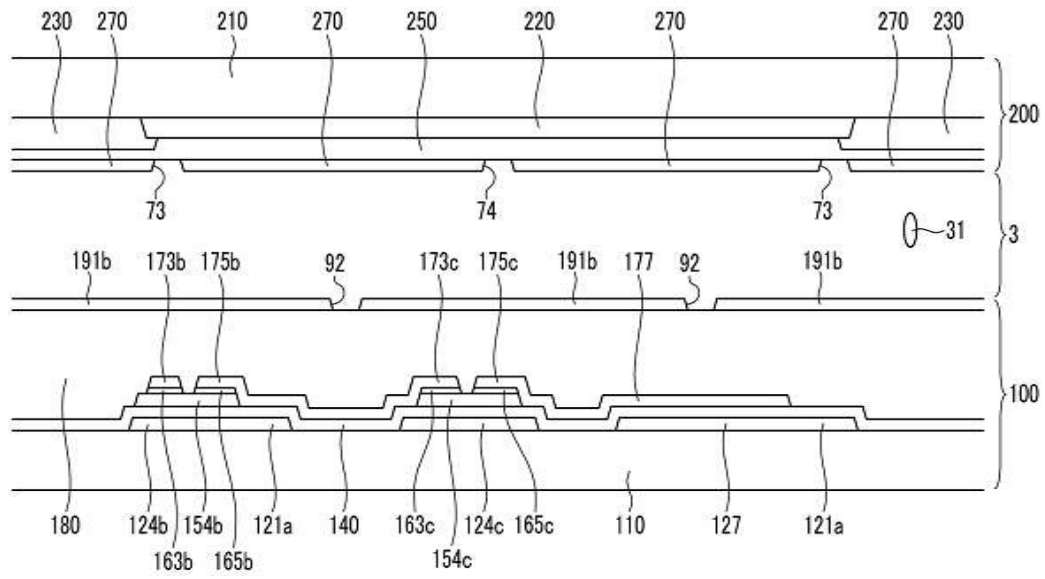
도면3



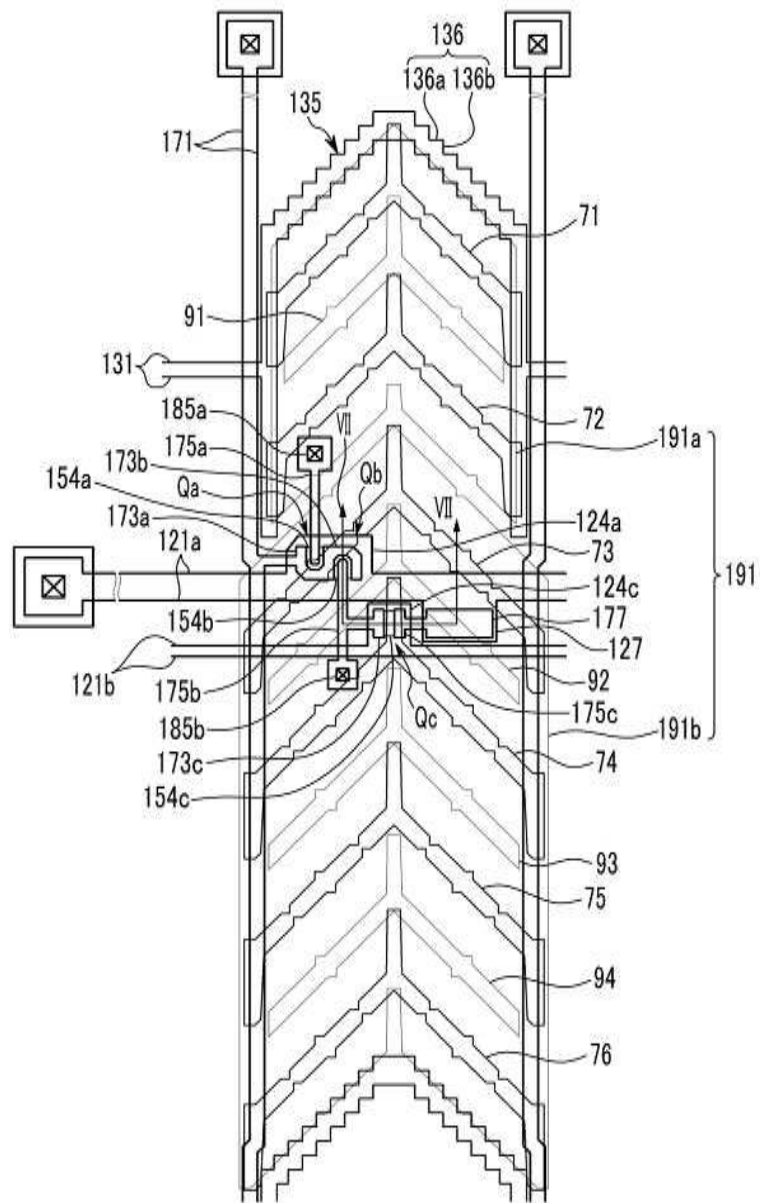
도면4



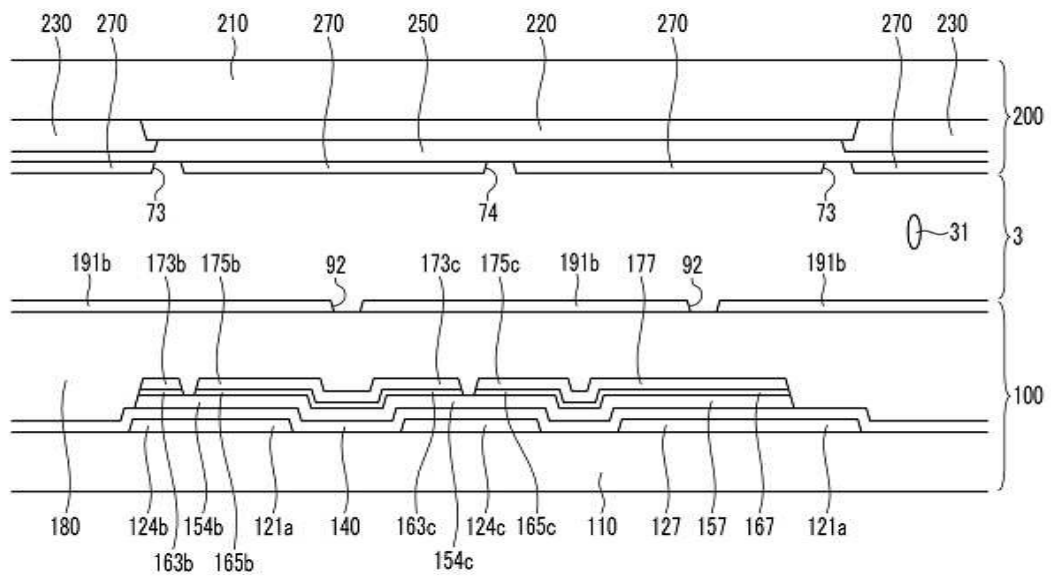
도면5



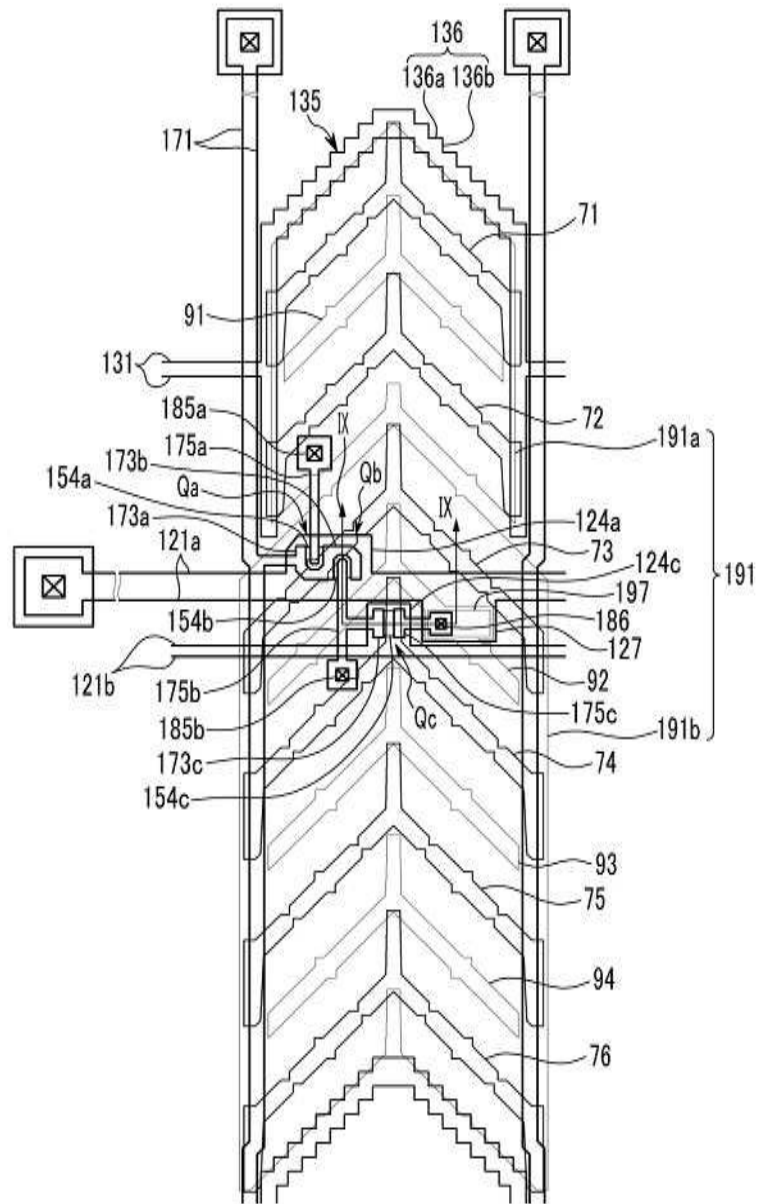
도면6



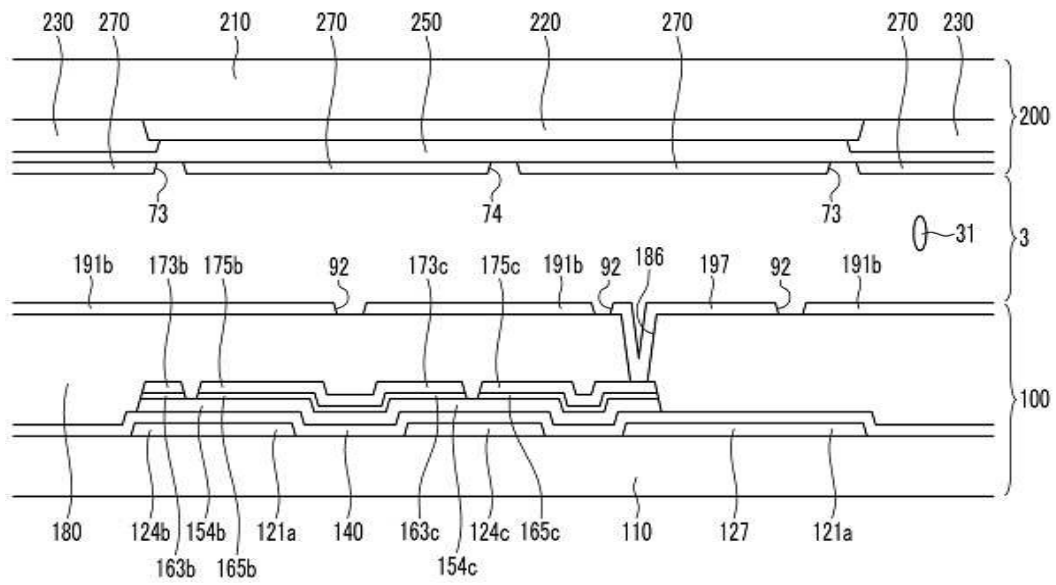
도면7



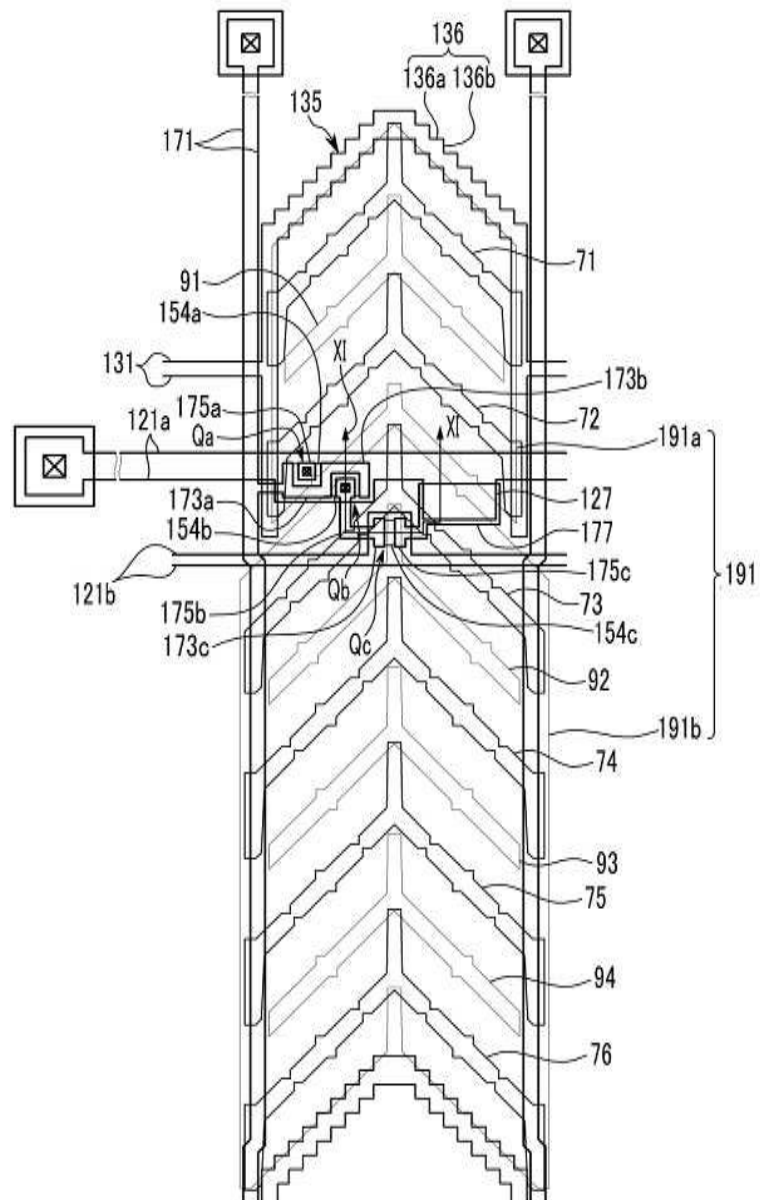
도면8



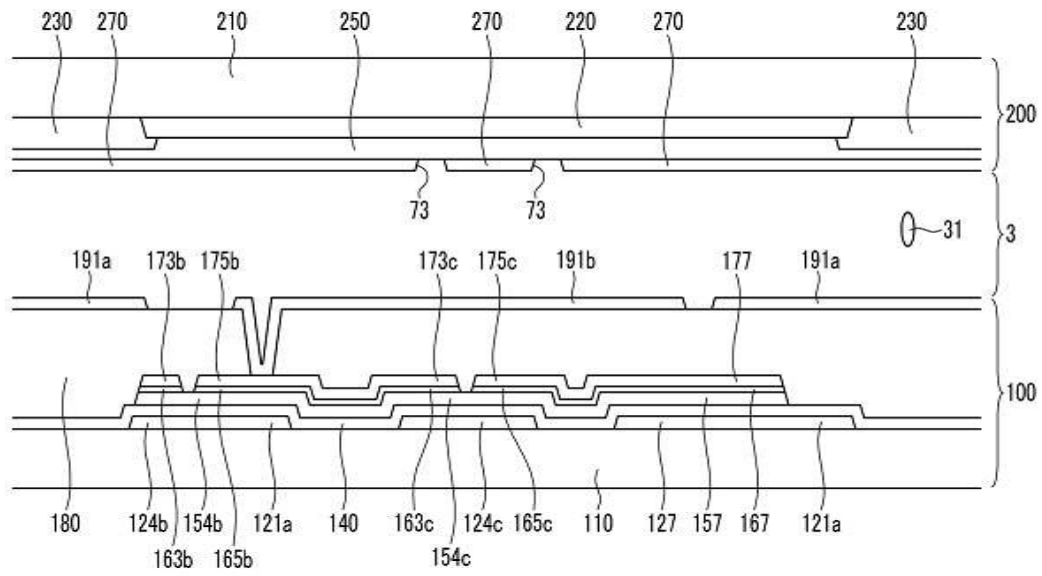
도면9



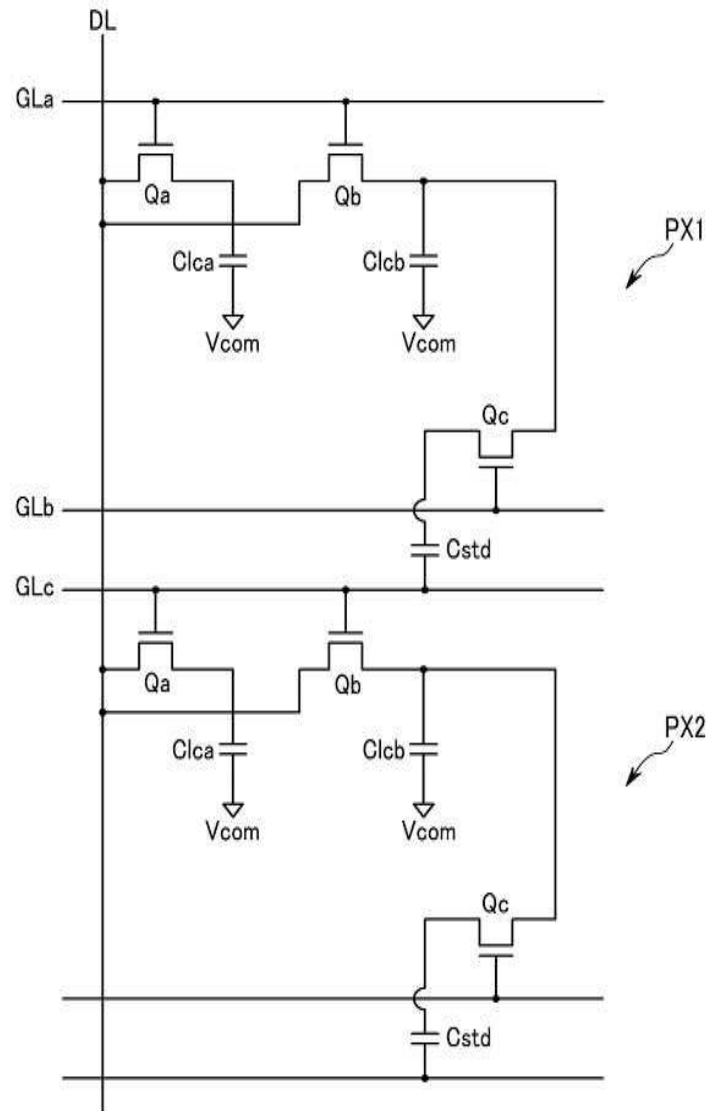
도면10



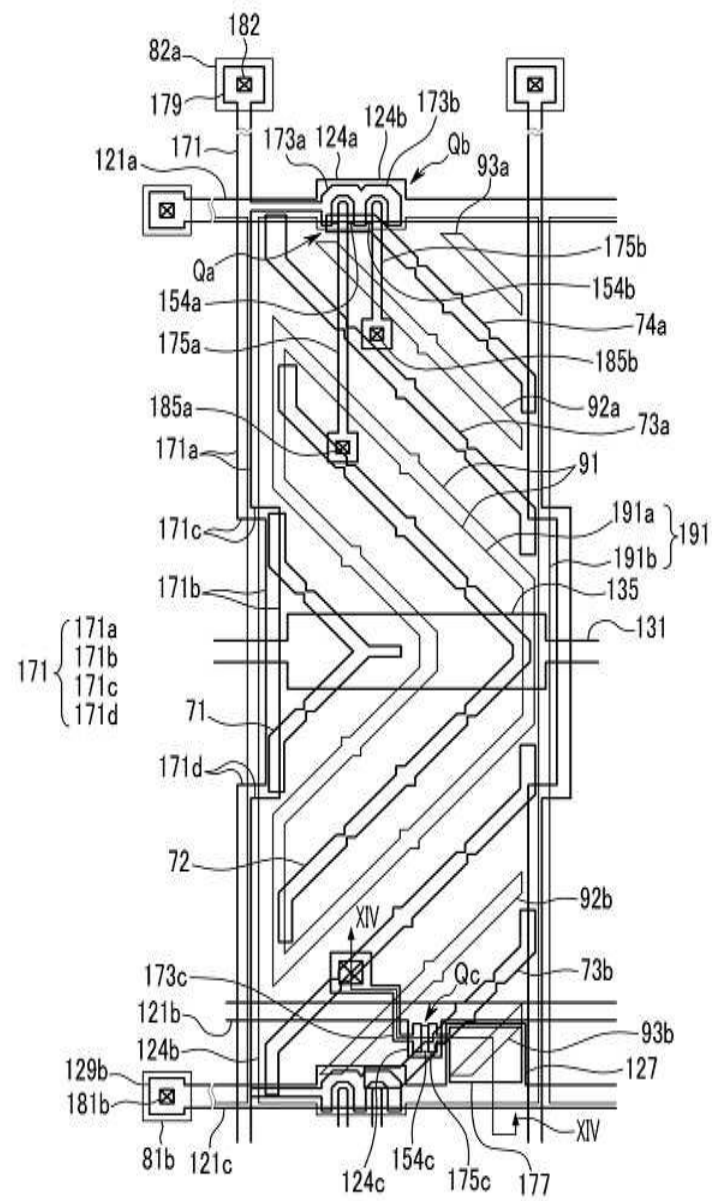
도면11



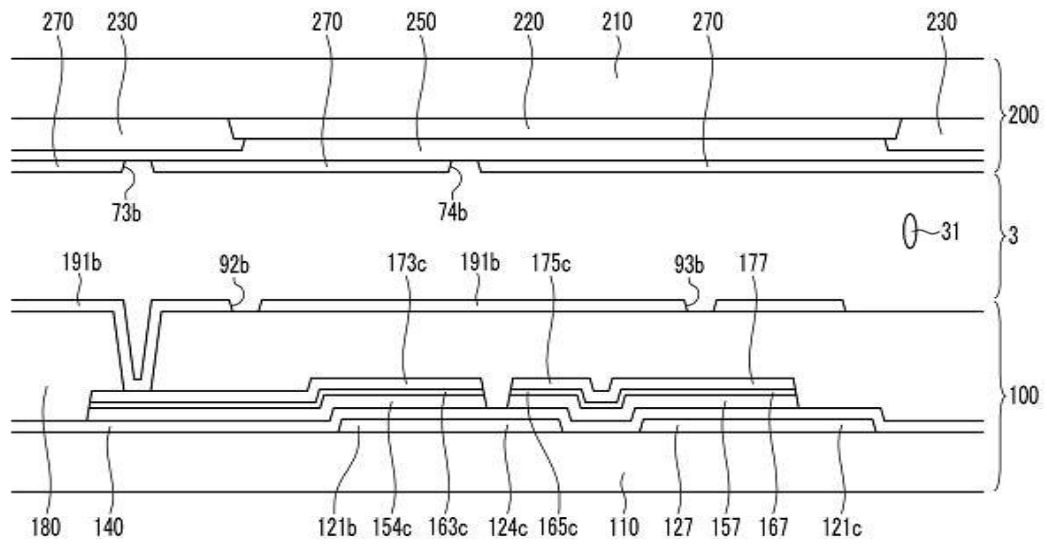
도면12



도면13



도면14



专利名称(译)	液晶显示器		
公开(公告)号	KR1020100101978A	公开(公告)日	2010-09-20
申请号	KR1020090020450	申请日	2009-03-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE YUN SEOK 이윤석 CHO YOUNG JE 조영제		
发明人	이윤석 조영제		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F2001/134345 G02F1/1343 G02F2001/134354 G02F1/13624 G02F2201/40 G02F1/1368		
其他公开文献	KR101592014B1		
外部链接	Espacenet		

摘要(译)

本发明涉及液晶显示器。根据本发明的一个实施例的液晶显示器包括多个像素电极，该多个像素电极是包括布置在矩阵中的多个像素的液晶显示器，并且包括第一子像素电极和第二子像素电极，多个薄膜晶体管到第一个子像素电极，多个第二个薄膜晶体管到第二个子像素电极，多个第三个薄膜晶体管到第二个子像素电极，多个第一栅极线到第一个和第二个薄膜晶体管，多条数据线到第一和第二薄膜晶体管，多条第二栅极线到第三薄膜晶体管和减压轴电连接在漏电极和第三薄膜晶体管的第一栅极线之间。电荷份额，电容电极，开口率，栅极线。

