



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2010-0100243
(43) 공개일자 2010년09월15일

(51) Int. Cl.

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2009-0019016

(22) 출원일자 2009년03월05일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김성운

경기 수원시 영통구 영통동 991-10 202호

김희섭

경기도 화성시 태안읍 반월동 865-1번지 신영통
현대아파트 110동304호

(뒷면에 계속)

(74) 대리인

팬코리아특허법인

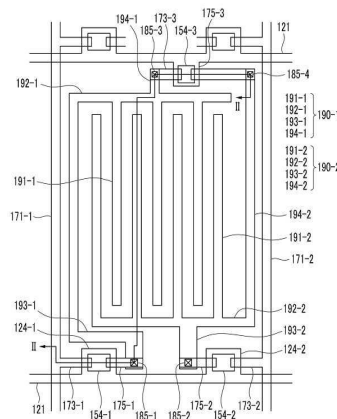
전체 청구항 수 : 총 20 항

(54) 액정 표시 장치 및 액정 표시 장치의 구동 방법

(57) 요약

본 발명은 액정층에 전계를 인가하는 전극이 일정 기간마다 특정 전위를 가지도록 하여 전극에 원치 않는 전하가 축적되지 않도록 하여 원하지 않는 전계에 따라 액정층이 배열되는 것을 막는다. 그 결과 백라이트로부터 입사된 빛이 누설되지 않으며, 잔상 효과가 발생하는 것을 막는다. 또한, 전극이 특정 전위를 가지도록 하는 기간을 매우 짧게 하여 액정층이 특정 전위에 따라 배열할 시간을 제공하지 않음으로 투과광의 손실이 발생하지 않는다. 또한, 반전 구동시 전극에 인가된 전압이 일순간 변하는데, 변하는 전압의 크기를 줄여 반전 구동으로 인한 전압의 스윙 폭을 줄일 수 있다.

대표도 - 도1



(72) 발명자

김향율

경기 화성시 능동 1134 푸른마을 포스코더샵 907동
901호

장주녕

경북 경산시 정평동 138-6 경산우방맨션 102동 10
2호

우화성

경기 수원시 영통구 매탄1동 주공4단지아파트 419
동 107호

신철

경기 화성시 능동 우남퍼스트빌2차아파트 201동
203호

신동철

서울 은평구 불광3동 431-2

특허청구의 범위

청구항 1

제1 기관,

상기 제1 기관에 형성되어 있는 게이트선,

상기 제1 기관에 형성되며, 상기 게이트선과 절연 교차하는 제1 데이터선,

상기 게이트선 및 상기 제1 데이터선에 연결되어 있는 제1 박막 트랜지스터,

상기 제1 박막 트랜지스터에 연결되어 있는 제1 화소 전극,

상기 제1 화소 전극을 일측 단자로 하며, 타측 단자로 제2 화소 전극을 가지며, 액정층을 포함하는 액정 커패시터, 및

전단 게이트선에 제어 단자가 연결되며, 상기 제1 화소 전극을 쇼트시키는 쇼트 트랜지스터를 포함하는 액정 표시 장치.

청구항 2

제1항에서,

상기 쇼트 트랜지스터의 입력 단자 및 출력 단자는 각각 상기 제1 화소 전극 및 상기 제2 화소 전극에 연결되어 있는 액정 표시 장치.

청구항 3

제2항에서,

상기 제1 데이터선과 평행하는 제2 데이터선, 및

상기 게이트선과 제어단자가 연결되고 상기 제2 데이터선과 입력 단자가 연결되며, 상기 제2 화소 전극과 출력 단자가 연결되어 있는 제2 박막 트랜지스터를 더 포함하는 액정 표시 장치.

청구항 4

제3항에서,

상기 제1 화소 전극은 상기 데이터선에 평행하는 복수개의 제1 선형 전극, 상기 복수의 선형 전극을 연결하는 제1 줄기부, 상기 제1 선형 전극 및 제1 줄기부를 상기 제1 박막 트랜지스터와 연결하는 제1 연장부 및 상기 제1 선형 전극 및 제1 줄기부를 상기 쇼트 트랜지스터와 연결하는 제1 쇼트부를 포함하며,

상기 제2 화소 전극은 상기 데이터선에 평행하는 복수개의 제2 선형 전극, 상기 복수의 선형 전극을 연결하는 제2 줄기부, 상기 제2 선형 전극 및 제2 줄기부를 상기 제2 박막 트랜지스터와 연결하는 제2 연장부 및 상기 제2 선형 전극 및 제2 줄기부를 상기 쇼트 트랜지스터와 연결하는 제2 쇼트부를 포함하는 액정 표시 장치.

청구항 5

제4항에서,

상기 데이터선을 기준으로 인접하는 화소를 각각 제1 화소 및 제2 화소라 하면, 제1 화소 및 제2 화소는 그 사이에 위치하는 데이터선을 공유하는 액정 표시 장치.

청구항 6

제5항에서,

상기 제1 화소에 형성된 제1 박막 트랜지스터 및 제2 박막 트랜지스터와 상기 제2 화소에 형성된 제1 박막 트랜지스터 및 제2 박막 트랜지스터가 턴 온 되는 타이밍이 서로 다르며,

두 화소 중 하나에 형성된 쇼트 트랜지스터의 턴 온 타이밍에 다른 하나의 화소의 제1 박막 트랜지스터 및 제2

박막 트랜지스터가 턴 온되는 액정 표시 장치.

청구항 7

제2항에서,

두 전압 레벨을 한프레임을 주기로 스윙하는 스윙 배선을 더 포함하며,
상기 제2 화소 전극은 상기 스윙 배선과 연결되어 있는 액정 표시 장치.

청구항 8

제7항에서,

상기 두 전압 레벨은 0V와 Avdd 전압인 액정 표시 장치.

청구항 9

제2항에서,

공통 전압이 인가되는 공통 전압 배선을 더 포함하며,
상기 제2 화소 전극은 상기 공통 전압 배선과 연결되어 있는 액정 표시 장치.

청구항 10

제1항에서,

상기 쇼트 트랜지스터의 입력 단자 및 출력 단자는 각각 상기 제1 화소 전극 및 공통 전압이 인가되는 공통 전압 배선에 연결되어 있는 액정 표시 장치.

청구항 11

제10항에서,

상기 제1 화소 전극을 일측 단자로 하며, 상기 공통 전압 배선을 타측 단자로 하는 유지 용량 커패시터를 더 포함하는 액정 표시 장치.

청구항 12

제10항에서,

두 전압 레벨을 한 프레임을 주기로 스윙하는 스윙 배선을 더 포함하며,
상기 제2 화소 전극은 상기 스윙 배선과 연결되어 있는 액정 표시 장치.

청구항 13

제12항에서,

상기 게이트선에 제어 단자가 연결되어 있으며, 상기 스윙 배선 및 상기 제2화소 전극에 각각 입력 단자 및 출력 단자가 연결되어 있는 제2 박막 트랜지스터를 더 포함하는 액정 표시 장치.

청구항 14

게이트선, 데이터선, 제1 화소 전극, 제2 화소 전극 및 쇼트 트랜지스터를 포함하는 액정 표시 장치의 구동 방법에서,

상기 게이트선에 게이트 온 전압을 인가하는 단계,

상기 데이터선에 데이터 전압을 인가하는 단계,

상기 제1 화소 전극 및 상기 제2 화소 전극 중 적어도 하나에 전압을 인가하고 이를 유지하는 단계,

상기 쇼트 트랜지스터를 턴 온 시켜 상기 제1 화소 전극을 쇼트 시키는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 15

제14항에서,

상기 쇼트 트랜지스터를 턴 온 시켜 상기 제1 화소 전극을 쇼트 시키는 단계는

상기 쇼트 트랜지스터를 전단 게이트선의 신호에 의하여 턴 온 시키는 단계,

상기 제1 화소 전극 및 상기 제2 화소 전극을 쇼트시키는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 16

제15항에서,

상기 데이터선에 데이터 전압을 인가하는 단계는

제1 데이터선에 제1 데이터 전압을 인가하는 단계 및

제2 데이터선에 상기 제1 데이터 전압과 극성이 다른 제2 데이터 전압을 인가하는 단계를 포함하며,

상기 제1 화소 전극은 상기 제1 데이터 전압을 인가 받도록 하며, 상기 제2 화소 전극은 상기 제2 데이터 전압을 인가 받도록 하는 액정 표시 장치의 구동 방법.

청구항 17

제15항에서,

상기 제2 화소 전극에 두 전압 레벨을 한 프레임 주기로 스윙하는 전압을 인가하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

청구항 18

제14항에서,

상기 제1 화소 전극 및 상기 제2 화소 전극 중 적어도 하나에 전압을 인가하고 이를 유지하는 단계에서 유지 단계는

상기 제1 화소 전극 및 상기 제2 화소 전극 중 적어도 하나와 공통 전압이 인가되는 공통 전압 배선이 중첩하여 생성된 유지 용량 커패시터에 의하여 유지하는 액정 표시 장치의 구동 방법.

청구항 19

제18항에서,

상기 쇼트 트랜지스터를 턴 온 시켜 상기 제1 화소 전극을 쇼트 시키는 단계는

상기 쇼트 트랜지스터를 전단 게이트선의 신호에 의하여 턴 온 시키는 단계,

상기 제1 화소 전극 및 상기 공통 전압 배선을 쇼트시키는 단계를 포함하는 액정 표시 장치의 구동 방법.

청구항 20

제19항에서,

상기 제2 화소 전극에 두 전압 레벨을 한 프레임을 주기로 스윙하는 전압을 인가하는 단계를 더 포함하는 액정 표시 장치의 구동 방법.

명세서

발명의 상세한 설명

기술 분야

본 발명은 액정 표시 장치 및 이를 구동하는 방법에 대한 것이다.

[0001]

배경 기술

- [0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배열을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.
- [0003] 액정 표시 장치에서는 액정층에 인가되는 전압이 프레임 별로 극성이 바뀌도록 하여 액정층이 열화되는 것을 방지하는 극성 반전 구동을 수행한다. 이러한 극성 반전 구동은 화소 단위, 화소 행 단위, 화소 열 단위등 다양한 방식으로 구동될 수 있다.
- [0004] 또한, 액정층은 일정한 레벨의 전압을 인가받는 전극과 매 프레임마다 다른 전압을 인가받는 전극에 의하여 발생하는 전계에 따라서 배열한다. 이와 같은 액정 표시 장치는 일 전극에 인가하는 전압의 크기가 커야 하는데, 이러한 문제점을 제거하기 위하여 양 전극에 각각 프레임 별로 다른 전압을 인가 받도록 하는 구동 방식도 사용되고 있다.
- [0005] 이와 같은 구동 방식은 양 전극에 인가되는 전압이 매번 달라지지만, 장기간 사용시 두 전극에 전하가 불균형하게 축적될 수 있으며, 그 결과 두 전극 사이에 원하지 않는 전계가 발생하여 액정층이 일정 방향으로 배열하고 그 결과 빛이 누설되며 잔상이 발생하는 단점이 있다.

발명의 내용

해결 하고자하는 과제

- [0006] 본 발명이 이루고자 하는 기술적 과제는 두 전극에 축적된 불균형한 전하로 인한 전계가 발생하지 않도록 하는 액정 표시 장치 및 이의 구동 방법을 제공하고자 한다.

과제 해결수단

- [0007] 이러한 과제를 해결하기 위하여 본 발명에서는 액정층에 전계를 인가하는 전극이 일정 기간마다 특정 전위를 가지도록 하는 액정 표시 장치 및 이의 구동 방법을 제공하고자 한다.
- [0008] 본 발명의 한 실시예에 따른 액정 표시 장치는 제1 기관, 상기 제1 기관에 형성되어 있는 게이트선, 상기 제1 기관에 형성되며, 상기 게이트선과 절연 교차하는 제1 데이터선, 상기 게이트선 및 상기 제1 데이터선에 연결되어 있는 제1 박막 트랜지스터, 상기 제1 박막 트랜지스터에 연결되어 있는 제1 화소 전극, 상기 제1 화소 전극을 일측 단자로 하며, 타측 단자로 제2 화소 전극을 가지며, 액정층을 포함하는 액정 커패시터, 및 전단 게이트선에 제어 단자가 연결되며, 상기 제1 화소 전극을 쇼트시키는 쇼트 트랜지스터를 포함한다.
- [0009] 상기 쇼트 트랜지스터의 입력 단자 및 출력 단자는 각각 상기 제1 화소 전극 및 상기 제2 화소 전극에 연결되어 있을 수 있다.
- [0010] 상기 제1 데이터선과 평행하는 제2 데이터선, 및 상기 게이트선과 제어단자가 연결되고 상기 제2 데이터선과 입력 단자가 연결되며, 상기 제2 화소 전극과 출력 단자가 연결되어 있는 제2 박막 트랜지스터를 더 포함할 수 있다.
- [0011] 상기 제1 화소 전극은 상기 데이터선에 평행하는 복수개의 제1 선형 전극, 상기 복수의 선형 전극을 연결하는 제1 줄기부, 상기 제1 선형 전극 및 제1 줄기부를 상기 제1 박막 트랜지스터와 연결하는 제1 연장부 및 상기 제1 선형 전극 및 제1 줄기부를 상기 쇼트 트랜지스터와 연결하는 제1 쇼트부를 포함하며, 상기 제2 화소 전극은 상기 데이터선에 평행하는 복수개의 제2 선형 전극, 상기 복수의 선형 전극을 연결하는 제2 줄기부, 상기 제2 선형 전극 및 제2 줄기부를 상기 제2 박막 트랜지스터와 연결하는 제2 연장부 및 상기 제2 선형 전극 및 제2 줄기부를 상기 쇼트 트랜지스터와 연결하는 제2 쇼트부를 포함할 수 있다.
- [0012] 상기 데이터선을 기준으로 인접하는 화소를 각각 제1 화소 및 제2 화소라 하면, 제1 화소 및 제2 화소는 그 사이에 위치하는 데이터선을 공유할 수 있다.
- [0013] 상기 제1 화소에 형성된 제1 박막 트랜지스터 및 제2 박막 트랜지스터와 상기 제2 화소에 형성된 제1 박막 트랜지스터 및 제2 박막 트랜지스터가 턴 온 되는 타이밍이 서로 다르며, 두 화소 중 하나에 형성된 쇼트 트랜지스터의 턴 온 타이밍에 다른 하나의 화소의 제1 박막 트랜지스터 및 제2 박막 트랜지스터가 턴 온될 수 있다.

- [0014] 두 전압 레벨을 한프레임을 주기로 스윙하는 스윙 배선을 더 포함하며, 상기 제2 화소 전극은 상기 스윙 배선과 연결되어 있을 수 있다.
- [0015] 상기 두 전압 레벨은 0V와 Avdd 전압일 수 있다.
- [0016] 공통 전압이 인가되는 공통 전압 배선을 더 포함하며, 상기 제2 화소 전극은 상기 공통 전압 배선과 연결되어 있을 수 있다.
- [0017] 상기 쇼트 트랜지스터의 입력 단자 및 출력 단자는 각각 상기 제1 화소 전극 및 공통 전압이 인가되는 공통 전압 배선에 연결되어 있을 수 있다.
- [0018] 상기 제1 화소 전극을 일측 단자로 하며, 상기 공통 전압 배선을 타측 단자로 하는 유지 용량 커패시터를 더 포함할 수 있다.
- [0019] 두 전압 레벨을 한 프레임을 주기로 스윙하는 스윙 배선을 더 포함하며, 상기 제2 화소 전극은 상기 스윙 배선과 연결되어 있을 수 있다.
- [0020] 상기 게이트선에 제어 단자가 연결되어 있으며, 상기 스윙 배선 및 상기 제2화소 전극에 각각 입력 단자 및 출력 단자가 연결되어 있는 제2 박막 트랜지스터를 더 포함할 수 있다.
- [0021] 본 발명의 실시예에 따른 액정 표시 장치의 구동 방법은 게이트선, 데이터선, 제1 화소 전극, 제2 화소 전극 및 쇼트 트랜지스터를 포함하는 액정 표시 장치의 구동 방법에서, 상기 게이트선에 게이트 온 전압을 인가하는 단계, 상기 데이터선에 데이터 전압을 인가하는 단계, 상기 제1 화소 전극 및 상기 제2 화소 전극 중 적어도 하나에 전압을 인가하고 이를 유지하는 단계, 상기 쇼트 트랜지스터를 턴 온 시켜 상기 제1 화소 전극을 쇼트 시키는 단계를 포함한다.
- [0022] 상기 쇼트 트랜지스터를 턴 온 시켜 상기 제1 화소 전극을 쇼트 시키는 단계는 상기 쇼트 트랜지스터를 전단 게이트선의 신호에 의하여 턴 온 시키는 단계, 상기 제1 화소 전극 및 상기 제2 화소 전극을 쇼트시키는 단계를 포함할 수 있다.
- [0023] 상기 데이터선에 데이터 전압을 인가하는 단계는 제1 데이터선에 제1 데이터 전압을 인가하는 단계 및 제2 데이터선에 상기 제1 데이터 전압과 극성이 다른 제2 데이터 전압을 인가하는 단계를 포함하며, 상기 제1 화소 전극은 상기 제1 데이터 전압을 인가 받도록 하며, 상기 제2 화소 전극은 상기 제2 데이터 전압을 인가 받도록 할 수 있다.
- [0024] 상기 제2 화소 전극에 두 전압 레벨을 한 프레임 주기로 스윙하는 전압을 인가하는 단계를 더 포함할 수 있다.
- [0025] 상기 제1 화소 전극 및 상기 제2 화소 전극 중 적어도 하나에 전압을 인가하고 이를 유지하는 단계에서 유지 단계는 상기 제1 화소 전극 및 상기 제2 화소 전극 중 적어도 하나와 공통 전압이 인가되는 공통 전압 배선이 중첩하여 생성된 유지 용량 커패시터에 의하여 유지할 수 있다.
- [0026] 상기 쇼트 트랜지스터를 턴 온 시켜 상기 제1 화소 전극을 쇼트 시키는 단계는 상기 쇼트 트랜지스터를 전단 게이트선의 신호에 의하여 턴 온 시키는 단계, 상기 제1 화소 전극 및 상기 공통 전압 배선을 쇼트시키는 단계를 포함할 수 있다.
- [0027] 상기 제2 화소 전극에 두 전압 레벨을 한 프레임을 주기로 스윙하는 전압을 인가하는 단계를 더 포함할 수 있다.

효 과

- [0028] 이상과 같이 액정층에 전계를 인가하는 전극이 일정 기간마다 특정 전위를 가지도록 하여 전극에 원치않는 전하가 축적되지 않도록 하여 원하지 않는 전계에 따라 액정층이 배열되는 것을 막는다. 그 결과 백라이트로부터 입사된 빛이 누설되지 않으며, 잔상 효과가 발생하는 것을 막는다. 또한, 전극이 특정 전위를 가지도록 하는 기간을 매우 짧게 하여 액정층이 특정 전위에 따라 배열할 시간을 제공하지 않음으로 투과광의 손실이 발생하지 않는다. 또한, 반전 구동시 전극에 인가된 전압이 일순간 변하는데, 변하는 전압의 크기를 줄여 반전 구동으로 인한 전압의 스윙 폭을 줄일 수 있다.

발명의 실시를 위한 구체적인 내용

- [0029] 먼저 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도 1 및 도 2를 참고로 상세하게 설명한다.
- [0030] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 배치도이고, 도 2는 도 1의 액정 표시 장치를 II-II선을 따라 자른 단면도이다.
- [0031] 도 1 및 도 2를 참고하면 본 발명의 한 실시예에 따른 액정 표시 장치 중 하나의 화소에는 2개의 데이터선(171-1, 171-2), 3개의 TFT 및 2개의 화소 전극(190-1, 190-2)이 형성되어 있다.
- [0032] 그러면 본 발명의 한 실시예에 따른 액정 표시 장치의 상세 구조에 대하여 도 1 및 도 2를 참고하여 상세하게 설명한다.
- [0033] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 게이트선(gate line)(121)이 형성되어 있다.
- [0034] 게이트선(121)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 각 게이트선(121)은 위로 돌출한 복수의 게이트 전극(gate electrode)(124-1, 124-2) 및 아래로 돌출한 복수의 게이트 전극(124-3)을 포함한다. 하나의 화소당 3개의 게이트 전극(124-1, 124-2, 124-3)이 형성되어 있으며, 이하에서는 도 1을 기준으로 좌측의 게이트 전극을 제1 게이트 전극(124-1)이라 하고, 우측의 게이트 전극을 제2 게이트 전극(124-2)이라 하고, 전단의 게이트선에서 아래로 돌출한 상측의 게이트 전극을 제3 게이트 전극(124-3)으로 구분한다.
- [0035] 게이트선(121) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0036] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 섬형 반도체(154-1, 154-2, 154-3)가 형성되어 있다. 섬형 반도체도 각각의 화소당 3개씩 형성되어 있으며, 이하에서는 도 1을 기준으로 좌측의 섬형 반도체를 제1 반도체(154-1)라 하고, 우측의 섬형 반도체를 제2 반도체(154-2)라 하며, 상측의 섬형 반도체를 제3 반도체(154-3)로 구분한다. 제1 반도체(154-1)는 제1 게이트 전극(124-1) 위에 위치하며, 제2 반도체(154-2)는 제2 게이트 전극(124-2)위에 위치하고, 제3 반도체(154-3)는 제3 게이트 전극(124-3)위에 위치한다.
- [0037] 반도체(154-1, 154-2, 154-3) 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact; 163-1, 163-2, 163-3, 165-1, 165-2, 165-3)가 형성되어 있다. 저항성 접촉 부재는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재는 쌍을 이루어 반도체(154-1, 154-2, 154-3) 위에 배치되어 있다.
- [0038] 저항성 접촉 부재(163-1, 163-2, 163-3, 165-1, 165-2, 165-3) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171-1, 171-2), 복수의 드레인 전극(drain electrode)(175-1, 175-2) 및 연결 전극(173-3, 175-3)이 형성되어 있다. 데이터선(171-1, 171-2), 드레인 전극(175-1, 175-2)도 각 화소당 2개씩 형성되어 있으며, 이하에서는 도 1을 기준으로 좌측에 형성된 데이터선 및 드레인 전극을 각각 제1 데이터선(171-1) 및 제1 드레인 전극(175-1)라 하고, 우측의 데이터선 및 드레인 전극을 각각 제2 데이터선(171-2) 및 제2 드레인 전극(175-2)이라 하며, 상측에 형성된 데이터선 및 드레인 전극을 각각 제1 연결 전극(173-3) 및 제2 연결 전극(175-3)이라 한다.
- [0039] 데이터선(171-1, 171-2)은 서로 다른 극성의 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다. 각 데이터선(171-1, 171-2)은 각각 게이트 전극(124-1, 124-2)을 향하여 뻗은 복수의 소스 전극(source electrode)(173-1, 173-2)을 포함한다. 소스 전극(173-1, 173-2)도 하나의 화소당 2개씩 형성되어 있으며, 이하에서는 도 1을 기준으로 좌측에 형성된 소스 전극을 제1 소스 전극(173-1)이라 하고, 우측의 소스 전극을 제2 소스 전극(173-2)이라 한다.
- [0040] 드레인 전극(175-1, 175-2)은 데이터선(171-1, 171-2)과 각각 분리되어 있고 게이트 전극(124-1, 124-2)을 중심으로 소스 전극(173-1, 173-2)과 마주 본다.
- [0041] 하나의 게이트 전극(124-1, 124-2), 하나의 소스 전극(173-1, 173-2) 및 하나의 드레인 전극(175-1, 175-2)은 반도체(154-1, 154-2)와 함께 각각 하나의 박막 트랜지스터(thin film transistor, TFT1, TFT2)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173-1, 173-2)과 드레인 전극(175-1, 175-2) 사이의 반도체(154-1, 154-2)에 형성된다. 이상과 같이 하나의 화소에 2개의 박막 트랜지스터(TFT1, TFT2)가 형성되며, 이하에서는 도 1을 기준으로 좌측의 박막 트랜지스터는 제1 박막 트랜지스터(TFT1)라 하고, 우측의 박막 트랜지스터는 제2 박막 트랜지스터(TFT2)라 한다. 한편, 제3 게이트 전극(124-3), 제1 연결 전극(173-3), 제2 연결 전극(175-3)

3)은 제3 반도체(154-3)와 함께 하나의 박막 트랜지스터를 이루며, 이를 이하 쇼트 트랜지스터(STFT)라 한다.

- [0042] 데이터선(171-1, 171-2), 드레인 전극(175-1, 175-2), 연결 전극(173-3, 175-3) 및 노출된 반도체(154-1, 154-2) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 또한, 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154-1, 154-2) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.
- [0043] 보호막(180)에는 드레인 전극(175-1, 175-2) 및 연결 전극(173-3, 175-3)을 각각 드러내는 복수의 접촉 구멍(contact hole)이 형성되어 있다. 제1 드레인 전극(175-1)을 드러내는 접촉 구멍은 제1 접촉 구멍(185-1)이라 하며, 제2 드레인 전극(175-2)을 드러내는 접촉 구멍은 제2 접촉 구멍(185-2)이라 하고, 연결 전극(173-3, 175-3)을 각각 드러내는 접촉 구멍은 제3 접촉 구멍(185-3), 제4 접촉 구멍(185-4)이라 한다.
- [0044] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(190-1, 190-2)이 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질로 형성되어 있으며, 화소 전극(190-1, 190-2)도 각 화소당 2개씩 형성된다.
- [0045] 제1 화소 전극(190-1)은 제1 접촉 구멍(185-1)을 통하여 제1 드레인 전극(175-1)과 물리적·전기적으로 연결되어 있으며, 제1 드레인 전극(175)으로부터 제1 데이터 전압을 인가 받는다. 제1 화소 전극(190-1)은 데이터선(171, 171-1)에 평행한 복수의 제1 선형 전극(191-1)을 포함하며, 제1 선형 전극(191-1)을 연결하며, 제1 선형 전극(191-1)에 수직한 제1 줄기부(192-1)를 포함하며, 제1 선형 전극(191-1) 및 제1 줄기부(192-1)를 제1 드레인 전극(175-1)과 연결되도록 연장하는 제1 연장부(193-1)를 포함하고, 제1 연결 전극(173-3)을 통하여 쇼트 트랜지스터(STFT)와 연결되도록 연장하는 제1 쇼트부(194-1)를 포함한다.
- [0046] 한편, 제2 화소 전극(191-2)은 제2 접촉 구멍(185-2)을 통하여 제2 드레인 전극(175-2)과 물리적·전기적으로 연결되어 있으며, 제2 드레인 전극(175-2)으로부터 제2 데이터 전압을 인가 받는다. 제2 화소 전극(190-2)은 데이터선(171, 171-1)에 평행한 복수의 제2 선형 전극(191-2)을 포함하며, 제2 선형 전극(191-2)을 연결하며, 제2 선형 전극(191-2)에 수직한 제2 줄기부(192-2)를 포함하며, 제2 선형 전극(191-2) 및 제2 줄기부(192-2)를 제2 드레인 전극(175-2)과 연결되도록 연장하는 제2 연장부(193-2)를 포함하고, 제2 연결 전극(175-3)을 통하여 쇼트 트랜지스터(STFT)와 연결되도록 연장하는 제2 쇼트부(194-2)를 포함한다.
- [0047] 여기서, 제1 선형 전극(191-1)과 제2 선형 전극(191-2)는 일정 거리를 두고 교대로 형성되며, 서로 평행하다.
- [0048] 한편, 상부 기판에는 컬러 필터, 블랙 매트릭스 따위가 형성될 수 있으며, 실시예에 따라서는 상부 기판을 덮는 대향 전극이 형성될 수 있다.
- [0049] 상부 기판과 하부 절연 기판(110)의 사이에는 액정층이 주입되어 있다. 액정층은 화소 전극(190-1, 190-2)에 전압이 인가되지 않았을 때 기판에 대하여 수직하게 배향될 수 있다. 액정층은 화소 전극(190-1, 190-2) 사이에서 발생한 전계에 의하여 배열된다.
- [0050] 도 3은 도 1 및 도 2의 실시예에 따른 화소의 등가 회로도이며, 도 4는 도 1 및 도 2 실시예에서 신호 인가에 따른 전압을 나타내는 그래프이다.
- [0051] 도 3은 도 1 및 도 2 실시예에 따른 화소를 회로도로 나타낸 것이다.
- [0052] 여기서 Gn, Gn-1은 게이트선을 나타내며, Gn은 n번째 게이트선이며, Gn-1은 n-1번째 게이트선이다. Dm, Dm+1은 데이터선을 나타내며, Dm은 m번째 데이터선이며, Dm+1은 m+1번째 데이터선이다. TFT1은 제1 박막 트랜지스터를 나타내며, TFT2는 제2 박막 트랜지스터를 나타내고, STFT는 쇼트 트랜지스터를 나타낸다.
- [0053] 또한, Clc는 화소 전극(190-1, 190-2)과 여기서 발생하는 전계에 의하여 제어되는 액정층을 포함하는 액정 커패시터를 나타내며, Cst1 및 Cst2는 각각 제1 유지 용량 커패시터 및 제2 유지 용량 커패시터를 나타낸다. 도 1 및 도 2에서는 Vcom선을 도시하지 않았지만, 도 3과 같이 Vcom 배선을 가질 수 있으며, Vcom 배선은 일정한 전압(Vcom 전압)이 인가되며, 게이트선(Gn, Gn-1)에 평행하고, 화소 전극(190-1, 190-2)에 일부 중첩한다. 제1 유지 용량 커패시터(Cst1)는 제1 화소 전극(190-1) 및 Vcom 배선이 중첩하면서 형성되는 커패시터이며, 제2 유지 용량 커패시터(Cst2)는 제2 화소 전극(190-2) 및 Vcom 배선이 중첩하면서 형성되는 커패시터이다.
- [0054] 이상과 같은 구조에서 도 4와 같이 구동한다.
- [0055] 우선 게이트선(Gn, Gn-1)은 순차적으로 게이트 온 신호가 인가되며, 모든 게이트선에 게이트 온 신호가 인가되

면, 1 프레임(frame)이 경과된다. 한편, 데이터선(Dm, Dm+1)에는 서로 다른 극성의 데이터 전압이 인가되며, 실시예에 따라서는 양 전압의 크기는 동일할 수 있다. 데이터 전압의 극성은 일정 주기로 바뀔 수 있다. Dm 데이터선을 통하여 인가된 데이터 전압은 제1 박막 트랜지스터(TFT1)가 턴 온 상태일 때 제1 박막 트랜지스터(TFT1)를 지나 A 지점으로 인가된다. 또한, Dm+1 데이터선을 통하여 인가된 데이터 전압은 제2 박막 트랜지스터(TFT2)가 턴 온 상태일 때 제2 박막 트랜지스터(TFT2)를 지나 B 지점으로 인가된다. A 및 B 지점으로 인가된 데이터 전압은 액정 커패시터(C1c)의 양 단의 전압을 이루어 전계를 형성하며, 이에 따라 액정층이 배향되면서 빛의 투과율이 변경된다. 한편, A 및 B 지점으로 인가된 데이터 전압은 각각 제1 유지 용량 커패시터(Cst1) 및 제2 유지 용량 커패시터(Cst2)에 의하여 한 프레임동안 유지된다.

[0056] 다음 프레임에서 n-1번째 행의 게이트선(Gn-1)에 게이트 온 신호가 인가되면, 쇼트 트랜지스터(STFT)가 턴 온 되어 액정 커패시터(C1c)의 양단 전압을 쇼트시키며, 그 결과 A 지점과 B 지점의 전압 레벨이 동일해 진다. 이는 도 4에서 S로 도시하고 있으며, 이하 이를 쇼팅 구간(S)이라고 한다. 그 결과 액정 커패시터(C1c) 양단(즉, 제1 화소 전극(190-1) 및 제2 화소 전극(190-2))에 원치 않는 전하가 축적되지 않는다.

[0057] 한편, 도 4의 쇼팅 구간(S)은 전단 게이트선(Gn-1)에 게이트 온 전압이 인가되는 구간 동안 지속되며, 게이트 온 전압이 인가되는 시간은 수 μ s 이며, 이 시간 동안에 전하의 이동은 가능한 시간이지만, 액정층이 재배열하기에는 어려운 시간이다. 그 결과 액정층의 배열은 쇼팅 구간(S) 동안 변하지 않아 휘도의 변화가 없고 투과율의 변화가 없다.

[0058] 도 1 및 도 2의 실시예에서는 쇼트 트랜지스터(STFT)를 형성하기 위하여 별도의 연결 전극(173-3, 175-3)을 형성하는 구조를 도시하였다. 하지만, 실시예에 따라서는 연결 전극(173-3, 175-3) 없이도 쇼트 트랜지스터(STFT)를 형성할 수도 있다. 예를 들면, 도 1 및 도 2의 실시예에서는 게이트선이 데이터선보다 하측에 위치하고 있지만, 데이터선이 하측에 위치하고 게이트선이 상측에 위치할 수도 있어 별도의 연결 전극이 필요하지 않을 수도 있다.

[0059] 이하에서는 도 5 내지 도 7을 이용하여 본 발명의 또 다른 실시예에 대하여 살펴본다.

[0060] 도 5는 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 배치도이고, 도 6은 도 5의 액정 표시 장치를 VI-VI선을 따라 자른 단면도이고, 도 7은 도 5 및 도 6의 실시예에 따른 화소의 등가 회로도이다.

[0061] 우선 도 5 및 도 6을 통하여 본 발명의 또 다른 실시예에 따른 화소의 구조를 살펴본다.

[0062] 도 5 및 도 6을 참고하면 본 발명의 한 실시예에 따른 액정 표시 장치 중 하나의 화소에는 2개의 데이터선(171-1, 171-2), 2개의 게이트선(121, 122), 3개의 TFT 및 2개의 화소 전극(190-1, 190-2)이 형성되어 있다. 또한, 인접하는 두개의 화소는 하나의 데이터선(171-2)을 공유하고 있다.

[0063] 먼저 도 5 및 도 6을 참고로 하여 인접하는 두 개의 화소 중 좌측의 화소에 대하여 살펴본다.

[0064] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 제1 게이트선(gate line)(121) 및 복수의 제2 게이트선(122)이 형성되어 있다.

[0065] 게이트선(121, 122)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 제1 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(gate electrode)(124-1, 124-2)을 포함한다. 제2 게이트선(122)은 아래로 돌출한 복수의 게이트 전극(124-3)을 포함한다. 즉, 하나의 화소당 3개의 게이트 전극(124-1, 124-2, 124-3)이 형성되어 있으며, 이하에서는 도 5의 좌측 화소를 기준으로 좌측의 게이트 전극을 제1 게이트 전극(124-1)이라 하고, 우측의 게이트 전극을 제2 게이트 전극(124-2)이라고 하며, 제2 게이트선(122)에서 아래로 돌출한 상측의 게이트 전극을 제3 게이트 전극(124-3)으로 구분한다.

[0066] 게이트선(121, 122) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.

[0067] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 섬형 반도체(154-1, 154-2, 154-3)가 형성되어 있다. 섬형 반도체도 각각의 화소당 3개씩 형성되어 있으며, 이하에서는 도 5의 좌측 화소를 기준으로 좌측의 섬형 반도체를 제1 반도체(154-1)라 하고, 우측의 섬형 반도체를 제2 반도체(154-2)라 하며, 상측의 섬형 반도체를 제3 반도체(154-3)로 구분한다. 제1 반도체(154-1)는 제1 게이트 전극(124-1) 위에 위치하며, 제2 반도체(154-2)는 제2 게이트 전극(124-2)위에 위치하고, 제3 반도체(154-3)는 제3 게이트 전극(124-3)위에 위치한다.

- [0068] 반도체(154-1, 154-2, 154-3) 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact; 163-1, 163-2, 163-3, 165-1, 165-2, 165-3)가 형성되어 있다. 저항성 접촉 부재는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재는 쌍을 이루어 반도체(154-1, 154-2, 154-3) 위에 배치되어 있다.
- [0069] 저항성 접촉 부재(163-1, 163-2, 163-3, 165-1, 165-2, 165-3) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171-1, 171-2), 복수의 드레인 전극(drain electrode)(175-1, 175-2) 및 연결 전극(173-3, 175-3)이 형성되어 있다. 데이터선(171-1, 171-2), 드레인 전극(175-1, 175-2)도 각 화소당 2개씩 형성되어 있으며, 이하에서는 도 5의 좌측 화소를 기준으로 좌측에 형성된 데이터선 및 드레인 전극을 각각 제1 데이터선(171-1) 및 제1 드레인 전극(175-1)이라 하고, 우측의 데이터선 및 드레인 전극을 각각 제2 데이터선(171-2) 및 제2 드레인 전극(175-2)이라 하며, 상측에 형성된 데이터선 및 드레인 전극을 각각 제1 연결 전극(173-3) 및 제2 연결 전극(175-3)이라 한다. 여기서, 제2 데이터선(171-2)은 인접한 화소와 공유되어 있다.
- [0070] 데이터선(171-1, 171-2)은 서로 다른 극성의 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121, 122)과 교차한다. 각 데이터선(171-1, 171-2)은 각각 게이트 전극(124-1, 124-2)을 향하여 뻗은 복수의 소스 전극(source electrode)(173-1, 173-2)을 포함한다. 소스 전극(173-1, 173-2)도 하나의 화소당 2개씩 형성되어 있으며, 이하에서는 도 5의 좌측 화소를 기준으로 좌측에 형성된 소스 전극을 제1 소스 전극(173-1)이라 하고, 우측의 소스 전극을 제2 소스 전극(173-2)이라 한다.
- [0071] 드레인 전극(175-1, 175-2)은 데이터선(171-1, 171-2)과 각각 분리되어 있고 게이트 전극(124-1, 124-2)을 중심으로 소스 전극(173-1, 173-2)과 마주 본다.
- [0072] 하나의 게이트 전극(124-1, 124-2), 하나의 소스 전극(173-1, 173-2) 및 하나의 드레인 전극(175-1, 175-2)은 반도체(154-1, 154-2)와 함께 각각 하나의 박막 트랜지스터(thin film transistor, TFT1, TFT2)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173-1, 173-2)과 드레인 전극(175-1, 175-2) 사이의 반도체(154-1, 154-2)에 형성된다. 이상과 같이 하나의 화소에 2개의 박막 트랜지스터(TFT1, TFT2)가 형성되며, 이하에서는 도 5의 좌측 화소를 기준으로 좌측의 박막 트랜지스터는 제1 박막 트랜지스터(TFT1)라 하고, 우측의 박막 트랜지스터는 제2 박막 트랜지스터(TFT2)라 한다. 한편, 제3 게이트 전극(124-3), 제1 연결 전극(173-3), 제2 연결 전극(175-3)은 제3 반도체(154-3)와 함께 하나의 박막 트랜지스터를 이루며, 이를 이하 쇼트 트랜지스터(STFT)라 한다.
- [0073] 데이터선(171-1, 171-2), 드레인 전극(175-1, 175-2), 연결 전극(173-3, 175-3) 및 노출된 반도체(154-1, 154-2) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 또한, 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154-1, 154-2) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.
- [0074] 보호막(180)에는 드레인 전극(175-1, 175-2) 및 연결 전극(173-3, 175-3)을 각각 드러내는 복수의 접촉 구멍(contact hole)이 형성되어 있다. 제1 드레인 전극(175-1)을 드러내는 접촉 구멍은 제1 접촉 구멍(185-1)이라 하며, 제2 드레인 전극(175-2)을 드러내는 접촉 구멍은 제2 접촉 구멍(185-2)이라 하고, 연결 전극(173-3, 175-3)을 각각 드러내는 접촉 구멍은 제3 접촉 구멍(185-3), 제4 접촉 구멍(185-4)이라 한다.
- [0075] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(190-1, 190-2)이 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질로 형성되어 있으며, 화소 전극(190-1, 190-2)도 각 화소당 2개씩 형성된다.
- [0076] 제1 화소 전극(190-1)은 제1 접촉 구멍(185-1)을 통하여 제1 드레인 전극(175-1)과 물리적·전기적으로 연결되어 있으며, 제1 드레인 전극(175)으로부터 제1 데이터 전압을 인가 받는다. 제1 화소 전극(190-1)은 데이터선(171, 171-1)에 평행한 복수의 제1 선형 전극(191-1)을 포함하며, 제1 선형 전극(191-1)을 연결하며, 제1 선형 전극(191-1)에 수직한 제1 줄기부(192-1)를 포함하며, 제1 선형 전극(191-1) 및 제1 줄기부(192-1)를 제1 드레인 전극(175-1)과 연결되도록 연장하는 제1 연장부(193-1)를 포함하고, 제1 연결 전극(173-3)을 통하여 쇼트 트랜지스터(STFT)와 연결되도록 연장하는 제1 쇼트부(194-1)를 포함한다.
- [0077] 한편, 제2 화소 전극(191-2)은 제2 접촉 구멍(185-2)을 통하여 제2 드레인 전극(175-2)과 물리적·전기적으로 연결되어 있으며, 제2 드레인 전극(175-2)으로부터 제2 데이터 전압을 인가 받는다. 제2 화소 전극(190-2)은 데이터선(171, 171-1)에 평행한 복수의 제2 선형 전극(191-2)을 포함하며, 제2 선형 전극(191-2)을 연결하며,

제2 선형 전극(191-2)에 수직한 제2 줄기부(192-2)를 포함하며, 제2 선형 전극(191-2) 및 제2 줄기부(192-2)를 제2 드레인 전극(175-2)과 연결되도록 연장하는 제2 연장부(193-2)를 포함하고, 제2 연결 전극(175-3)을 통하여 쇼트 트랜지스터(STFT)와 연결되도록 연장하는 제2 쇼트부(194-2)를 포함한다.

- [0078] 여기서, 제1 선형 전극(191-1)과 제2 선형 전극(191-2)는 일정 거리를 두고 교대로 형성되며, 서로 평행한다.
- [0079] 이상에서는 도 5의 좌측 화소에 대하여 살펴보았다. 이하 도 5의 우측 화소에 대하여 살펴본다.
- [0080] 투명한 유리 또는 플라스틱 따위로 만들어진 절연 기판(110) 위에 복수의 제1 게이트선(gate line)(121) 및 복수의 제2 게이트선(122)이 형성되어 있다.
- [0081] 게이트선(121, 122)은 게이트 신호를 전달하며 주로 가로 방향으로 뻗어 있다. 제2 게이트선(122)은 위로 돌출한 복수의 게이트 전극(gate electrode)(124-1, 124-2)을 포함한다. 제1 게이트선(121)은 아래로 돌출한 복수의 게이트 전극(124-3)을 포함한다. 즉, 하나의 화소당 3개의 게이트 전극(124-1, 124-2, 124-3)이 형성되어 있으며, 이하에서는 도 5의 우측 화소를 기준으로 좌측의 게이트 전극을 제1 게이트 전극(124-1)이라 하고, 우측의 게이트 전극을 제2 게이트 전극(124-2)이라고 하며, 제1 게이트선(121)에서 아래로 돌출한 상측의 게이트 전극을 제3 게이트 전극(124-3)으로 구분한다.
- [0082] 게이트선(121, 122) 위에는 질화규소(SiNx) 또는 산화규소(SiOx) 따위로 만들어진 게이트 절연막(gate insulating layer)(140)이 형성되어 있다.
- [0083] 게이트 절연막(140) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon)(비정질 규소는 약칭 a-Si로 씀) 또는 다결정 규소(polysilicon) 등으로 만들어진 복수의 섬형 반도체(154-1, 154-2, 154-3)가 형성되어 있다. 섬형 반도체도 각각의 화소당 3개씩 형성되어 있으며, 이하에서는 도 5의 우측 화소를 기준으로 좌측의 섬형 반도체를 제1 반도체(154-1)라 하고, 우측의 섬형 반도체를 제2 반도체(154-2)라 하며, 상측의 섬형 반도체를 제3 반도체(154-3)로 구분한다. 제1 반도체(154-1)는 제1 게이트 전극(124-1) 위에 위치하며, 제2 반도체(154-2)는 제2 게이트 전극(124-2)위에 위치하고, 제3 반도체(154-3)는 제3 게이트 전극(124-3)위에 위치한다.
- [0084] 반도체(154-1, 154-2, 154-3) 위에는 복수의 섬형 저항성 접촉 부재(ohmic contact; 163-1, 163-2, 163-3, 165-1, 165-2, 165-3)가 형성되어 있다. 저항성 접촉 부재는 인 따위의 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 따위의 물질로 만들어지거나 실리사이드(silicide)로 만들어질 수 있다. 저항성 접촉 부재는 쌍을 이루어 반도체(154-1, 154-2, 154-3) 위에 배치되어 있다.
- [0085] 저항성 접촉 부재(163-1, 163-2, 163-3, 165-1, 165-2, 165-3) 및 게이트 절연막(140) 위에는 복수의 데이터선(data line)(171-1, 171-2), 복수의 드레인 전극(drain electrode)(175-1, 175-2) 및 연결 전극(173-3, 175-3)이 형성되어 있다. 데이터선(171-1, 171-2), 드레인 전극(175-1, 175-2)도 각 화소당 2개씩 형성되어 있으며, 이하에서는 도 5의 우측 화소를 기준으로 좌측에 형성된 데이터선 및 드레인 전극을 각각 제2 데이터선(171-2) 및 제1 드레인 전극(175-1)라 하고, 우측의 데이터선 및 드레인 전극을 각각 제1 데이터선(171-1) 및 제2 드레인 전극(175-2)이라 하며, 상측에 형성된 데이터선 및 드레인 전극을 각각 제1 연결 전극(173-3) 및 제2 연결 전극(175-3)이라 한다. 여기서, 제2 데이터선(171-2)은 인접한 화소와 공유되어 있다.
- [0086] 데이터선(171-1, 171-2)은 서로 다른 극성의 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121, 122)과 교차한다. 각 데이터선(171-1, 171-2)은 게이트 전극(124-1, 124-2)을 향하여 뻗은 복수의 소스 전극(source electrode)(173-1, 173-2)을 포함한다. 소스 전극(173-1, 173-2)도 하나의 화소당 2개씩 형성되어 있으며, 이하에서는 도 5의 우측 화소를 기준으로 좌측에 형성된 소스 전극을 제1 소스 전극(173-1)이라 하고, 우측의 소스 전극을 제2 소스 전극(173-2)이라 한다.
- [0087] 드레인 전극(175-1, 175-2)은 데이터선(171-1, 171-2)과 분리되어 있고 게이트 전극(124-1, 124-2)을 중심으로 소스 전극(173-1, 173-2)과 마주 본다.
- [0088] 하나의 게이트 전극(124-1, 124-2), 하나의 소스 전극(173-1, 173-2) 및 하나의 드레인 전극(175-1, 175-2)은 반도체(154-1, 154-2)와 함께 각각 하나의 박막 트랜지스터(thin film transistor, TFT1, TFT2)를 이루며, 박막 트랜지스터의 채널(channel)은 소스 전극(173-1, 173-2)과 드레인 전극(175-1, 175-2) 사이의 반도체(154-1, 154-2)에 형성된다. 이상과 같이 하나의 화소에 2개의 박막 트랜지스터(TFT1, TFT2)가 형성되며, 이하에서는 도 5의 우측 화소를 기준으로 좌측의 박막 트랜지스터는 제1 박막 트랜지스터(TFT1)라 하고, 우측의 박막 트랜지스터는 제2 박막 트랜지스터(TFT2)라 한다. 한편, 제3 게이트 전극(124-3), 제1 연결 전극(173-3), 제2 연결 전극(175-3)은 제3 반도체(154-3)와 함께 하나의 박막 트랜지스터를 이루며, 이를 이하 쇼트 트랜지스터(STFT)

라 한다.

- [0089] 데이터선(171-1, 171-2), 드레인 전극(175-1, 175-2), 연결 전극(173-3, 175-3) 및 노출된 반도체(154-1, 154-2) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어지며 표면이 평탄할 수 있다. 무기 절연물의 예로는 질화규소와 산화규소를 들 수 있다. 유기 절연물은 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하인 것이 바람직하다. 또한, 보호막(180)은 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154-1, 154-2) 부분에 해가 가지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.
- [0090] 보호막(180)에는 드레인 전극(175-1, 175-2) 및 연결 전극(173-3, 175-3)을 각각 드러내는 복수의 접촉 구멍(contact hole)이 형성되어 있다. 제1 드레인 전극(175-1)을 드러내는 접촉 구멍은 제1 접촉 구멍(185-1)이라 하며, 제2 드레인 전극(175-2)을 드러내는 접촉 구멍은 제2 접촉 구멍(185-2)이라 하고, 연결 전극(173-3, 175-3)을 각각 드러내는 접촉 구멍은 제3 접촉 구멍(185-3), 제4 접촉 구멍(185-4)이라 한다.
- [0091] 보호막(180) 위에는 복수의 화소 전극(pixel electrode)(190-1, 190-2)이 형성되어 있다. 이들은 ITO 또는 IZO 등의 투명한 도전 물질로 형성되어 있으며, 화소 전극(190-1, 190-2)도 각 화소당 2개씩 형성된다.
- [0092] 제1 화소 전극(190-1)은 제1 접촉 구멍(185-1)을 통하여 제1 드레인 전극(175-1)과 물리적·전기적으로 연결되어 있으며, 제1 드레인 전극(175)으로부터 제1 데이터 전압을 인가 받는다. 제1 화소 전극(190-1)은 데이터선(171, 171-1)에 평행한 복수의 제1 선형 전극(191-1)을 포함하며, 제1 선형 전극(191-1)을 연결하며, 제1 선형 전극(191-1)에 수직한 제1 줄기부(192-1)를 포함하며, 제1 선형 전극(191-1) 및 제1 줄기부(192-1)를 제1 드레인 전극(175-1)과 연결되도록 연장하는 제1 연장부(193-1)를 포함하고, 제1 연결 전극(173-3)을 통하여 쇼트 트랜지스터(STFT)와 연결되도록 연장하는 제1 쇼트부(194-1)를 포함한다.
- [0093] 한편, 제2 화소 전극(191-2)은 제2 접촉 구멍(185-2)을 통하여 제2 드레인 전극(175-2)과 물리적·전기적으로 연결되어 있으며, 제2 드레인 전극(175-2)으로부터 제2 데이터 전압을 인가 받는다. 제2 화소 전극(190-2)은 데이터선(171, 171-1)에 평행한 복수의 제2 선형 전극(191-2)을 포함하며, 제2 선형 전극(191-2)을 연결하며, 제2 선형 전극(191-2)에 수직한 제2 줄기부(192-2)를 포함하며, 제2 선형 전극(191-2) 및 제2 줄기부(192-2)를 제2 드레인 전극(175-2)과 연결되도록 연장하는 제2 연장부(193-2)를 포함하고, 제2 연결 전극(175-3)을 통하여 쇼트 트랜지스터(STFT)와 연결되도록 연장하는 제2 쇼트부(194-2)를 포함한다.
- [0094] 여기서, 제1 선형 전극(191-1)과 제2 선형 전극(191-2)는 일정 거리를 두고 교대로 형성되며, 서로 평행하다.
- [0095] 이상과 같이 도 5의 실시예에 따른 화소는 제2 데이터선(171-2)을 기준으로 좌측 및 우측에 서로 다른 배치를 가지는 화소를 가지며, 제2 데이터선(171-2)을 공유한다.
- [0096] 한편, 상부 기판에는 컬러 필터, 블랙 매트릭스 따위가 형성될 수 있으며, 실시예에 따라서는 상부 기판을 덮는 대향 전극이 형성될 수 있다.
- [0097] 상부 기판과 하부 절연 기판(110)의 사이에는 액정층이 주입되어 있다. 액정층은 화소 전극(190-1, 190-2)에 전압이 인가되지 않았을 때 기판에 대하여 수직하게 배향될 수 있다. 액정층은 화소 전극(190-1, 190-2) 사이에서 발생한 전계에 의하여 배열된다.
- [0098] 도 7은 도 5 및 도 6의 실시예에 따른 화소를 회로도로 나타낸 것이다.
- [0099] 여기서 $G_n(a)$, $G_{n-1}(b)$, $G_{n+1}(a)$, $G_n(b)$ 는 게이트선을 나타내며, $G_n(a)$ 및 $G_{n+1}(a)$ 는 제1 게이트선을 나타내며, $G_n(a)$ 는 제1 게이트선 중 n 번째 게이트선이며, $G_{n+1}(a)$ 는 $n+1$ 번째 제1 게이트선이다. 또한, $G_{n-1}(b)$, $G_n(b)$ 는 제2 게이트선을 나타내며, $G_{n-1}(b)$ 는 $n-1$ 번째 제2 게이트선이며, $G_n(b)$ 는 n 번째 제2 게이트선이다. D_m , D_{m+1} , D_{m+2} 는 데이터선을 나타내며, D_m 은 m 번째 데이터선이며, D_{m+1} 은 $m+1$ 번째 데이터선이고, D_{m+2} 는 $m+2$ 번째 데이터선이다. TFT1은 제1 박막 트랜지스터를 나타내며, TFT2는 제2 박막 트랜지스터를 나타내고, STFT는 쇼트 트랜지스터를 나타낸다.
- [0100] 또한, C_{lc} 는 화소 전극(190-1, 190-2)과 여기서 발생하는 전계에 의하여 제어되는 액정층을 포함하는 액정 커패시터를 나타내며, C_{st1} 및 C_{st2} 는 각각 제1 유지 용량 커패시터 및 제2 유지 용량 커패시터를 나타낸다. 도 5 및 도 6에서는 V_{com} 선을 도시하지 않았지만, 도 7과 같이 V_{com} 배선을 가질 수 있으며, V_{com} 배선은 일정한 전압(V_{com} 전압)이 인가되며, 게이트선($G_n(a)$, $G_{n-1}(b)$, $G_{n+1}(a)$, $G_n(b)$)에 평행하고, 화소 전극(190-1, 190-2)에 일부 중첩한다. 제1 유지 용량 커패시터(C_{st1})는 제1 화소 전극(190-1) 및 V_{com} 배선이 중첩하면서 형성되는 커패시터이며, 제2 유지 용량 커패시터(C_{st2})는 제2 화소 전극(190-2) 및 V_{com} 배선이 중첩하면서 형성되

는 커패시터이다.

- [0101] 이상과 같은 도 5 내지 도 7의 화소는 아래와 같이 구동한다.
- [0102] 우선 게이트선($G_n(a)$, $G_{n-1}(b)$, $G_{n+1}(a)$, $G_n(b)$)은 제1 게이트선과 제2 게이트선의 구분없이 순차적으로 게이트 온 신호가 인가된다. 즉, 도 7에서 $G_{n-1}(b)$, $G_n(a)$, $G_n(b)$, $G_{n+1}(a)$ 의 순서로 게이트 온 신호가 인가된다. 또한, 모든 게이트선에 게이트 온 신호가 인가되면, 1 프레임(frame)이 경과된다. 한편, 데이터선(D_m 및 D_{m+1} , 또는 D_{m+1} 및 D_{m+2}) 사이에는 서로 다른 극성의 데이터 전압이 인가되며, 실시예에 따라서는 양 전압의 크기는 동일할 수 있다. 데이터 전압의 극성은 일정 주기로 바뀔 수 있다.
- [0103] 도 7의 좌측 화소를 중심으로 동작을 살펴본다.
- [0104] D_m 데이터선을 통하여 인가된 데이터 전압은 제1 박막 트랜지스터(TFT1)가 턴 온 상태일 때 제1 박막 트랜지스터(TFT1)를 지나 A 지점으로 인가된다. 또한, D_{m+1} 데이터선을 통하여 인가된 데이터 전압은 제2 박막 트랜지스터(TFT2)가 턴 온 상태일 때 제2 박막 트랜지스터(TFT2)를 지나 B 지점으로 인가된다. A 및 B 지점으로 인가된 데이터 전압은 액정 커패시터(C_{lc})의 양 단의 전압을 이루어 전계를 형성하며, 이에 따라 액정층이 배향되면서 빛의 투과율이 변경된다. 한편, A 및 B 지점으로 인가된 데이터 전압은 각각 제1 유지 용량 커패시터(C_{st1}) 및 제2 유지 용량 커패시터(C_{st2})에 의하여 한 프레임동안 유지된다.
- [0105] 다음 프레임에서 $G_{n-1}(b)$ 게이트선에 게이트 온 신호가 인가되면, 쇼트 트랜지스터(STFT)가 턴 온 되어 액정 커패시터(C_{lc})의 양단 전압을 쇼트시키며, 그 결과 A 지점과 B 지점의 전압 레벨이 동일해 진다(쇼팅 구간). 그 결과 액정 커패시터(C_{lc}) 양 단(즉, 제1 화소 전극(190-1) 및 제2 화소 전극(190-2))에 원치 않는 전하가 축적되지 않는다.
- [0106] 한편, 쇼팅 구간은 $G_{n-1}(b)$ 게이트선에 게이트 온 전압이 인가되는 구간 동안 지속되며, 게이트 온 전압이 인가되는 시간은 수 μs 이며, 이 시간 동안에 전하의 이동은 가능한 시간이지만, 액정층이 재배열하기에는 어려운 시간이다. 그 결과 액정층의 배열은 쇼팅 구간 동안 변하지 않아 휘도의 변화가 없고 투과율의 변화가 없다.
- [0107] 도 5 및 도 6의 실시예에서는 쇼트 트랜지스터(STFT)를 형성하기 위하여 별도의 연결 전극(173-3, 175-3)을 형성하는 구조를 도시하였다. 하지만, 실시예에 따라서는 연결 전극(173-3, 175-3) 없이도 쇼트 트랜지스터(STFT)를 형성할 수도 있다. 예를 들면, 도 5 및 도 6의 실시예에서는 게이트선이 데이터선보다 하측에 위치하고 있지만, 데이터선이 하측에 위치하고 게이트선이 상측에 위치할 수도 있어 별도의 연결 전극이 필요하지 않을 수도 있다.
- [0108] 도 8에서는 본 발명의 또 다른 실시예에 따른 화소를 도시하고 있다.
- [0109] 도 8은 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.
- [0110] 도 1 내지 도 4의 실시예 및 도 5 내지 도 7의 실시예에서는 제1 화소 전극 및 제2 화소 전극은 각각 서로 다른 데이터선을 통하여 데이터 전압을 인가받는 실시예이다. 하지만, 도 8은 액정 커패시터(C_{lc})의 일측 전극(제1 화소 전극)은 데이터선을 통하여 데이터 전압을 인가받지만, 다른 측 전극은 한 프레임을 주기로 두 개의 전압 레벨을 스윙하는 V_{sw} 배선에 연결되어 있다.
- [0111] 도 8을 통하여 본 발명의 다른 실시예에 따른 화소를 살펴보면 아래와 같다.
- [0112] 하나의 화소에는 하나의 게이트선, 하나의 데이터선, 하나의 V_{sw} 배선, 2개의 트랜지스터를 포함한다. 또한, 액정 커패시터(C_{lc}) 및 유지 용량 커패시터(C_{st})를 포함하며, 액정 커패시터(C_{lc})의 양측 전극은 제1 화소 전극 및 제2 화소 전극으로 이루어져 있다.
- [0113] 여기서 G_n , G_{n-1} 은 게이트선을 나타내며, G_n 은 n 번째 게이트선이며, G_{n-1} 은 $n-1$ 번째 게이트선이다. D_m , D_{m+1} 은 데이터선을 나타내며, D_m 은 m 번째 데이터선이며, D_{m+1} 은 $m+1$ 번째 데이터선이다.
- [0114] V_{sw} 배선은 두개의 전압 레벨(예를 들면 0V와 A_{vdd} 전압)을 한 프레임을 주기로 스윙하는 전압(V_{sw})이 인가되며, 게이트선(G_n , G_{n-1})에 평행하고, 제1 화소 전극에 일부 중첩할 수 있다.
- [0115] TFT는 게이트선 및 데이터선과 연결된 박막 트랜지스터로 출력 단자는 제1 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)과 연결되어 있다. 제1 화소 전극은 액정 커패시터(C_{lc})의 일측 전극을 형성하며, 타측 전극은 제2 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)으로 이루어진다. 제2 화소 전극은 V_{sw} 배선과 전기적으로 연결되어 있다.

- [0116] STFT는 쇼트 트랜지스터로 제어 전극, 입력 전극 및 출력 전극을 가지며, 전단 게이트선(Gn-1)에 제어 전극이 연결되어 있으며, 입력 전극 및 출력 전극은 제1 화소 전극 및 제2 화소 전극에 연결되어 있다.
- [0117] 또한, 제1 화소 전극은 Vsw 배선과 중첩하여 유지 용량 커패시터(Cst)를 형성한다.
- [0118] 이상과 같은 도 8의 화소는 아래와 같이 구동한다.
- [0119] 우선 게이트선(Gn, Gn-1)은 순차적으로 게이트 온 신호가 인가된다. 또한, 모든 게이트선에 게이트 온 신호가 인가되면, 1 프레임(frame)이 경과된다. 한편, 데이터선(Dm, Dm+1)에는 데이터 전압이 인가되며, 일정 주기로 인가되는 데이터 전압의 극성이 바뀔 수 있다.
- [0120] Dm 데이터선을 통하여 인가된 데이터 전압은 박막 트랜지스터(TFT)가 턴 온 상태일 때 박막 트랜지스터(TFT)를 지나 제1 화소 전극으로 인가된다. 한편, 제1 화소 전극에 대응하는 제2 화소 전극은 Vsw 배선에 연결되어 Vsw 배선으로부터 전압을 인가받는다. 이렇게 인가된 제1 화소 전극 및 제2 화소 전극의 전압은 액정 커패시터(Clc)의 양 단의 전압으로 전계를 형성하며, 이에 따라 액정층이 배향되면서 빛의 투과율이 변경된다. 한편, 제1 화소 전극에 인가된 데이터 전압은 각각 유지 용량 커패시터(Cst)에 의하여 한 프레임동안 유지된다.
- [0121] 다음 프레임에서 Gn-1 게이트선에 게이트 온 신호가 인가되면, 쇼트 트랜지스터(STFT)가 턴 온 되어 액정 커패시터(Clc)의 양단 전압을 쇼트시키며, 그 결과 제1 화소 전극과 제2 화소 전극의 전압 레벨이 동일해 진다(쇼팅 구간). 그 결과 액정 커패시터(Clc) 양단에 원치 않는 전하가 축적되지 않는다.
- [0122] 한편, 쇼팅 구간은 Gn-1 게이트선에 게이트 온 전압이 인가되는 구간 동안 지속되며, 게이트 온 전압이 인가되는 시간은 수 μ s이며, 이 시간 동안에 전하의 이동은 가능한 시간이지만, 액정층이 재배열하기에는 어려운 시간이다. 그 결과 액정층의 배열은 쇼팅 구간 동안 변하지 않아 휘도의 변화가 없고 투과율의 변화가 없다.
- [0123] 도 9에서는 도 8의 실시예를 변형한 또 다른 실시예를 도시하고 있다.
- [0124] 도 9는 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.
- [0125] 도 9의 실시예는 도 8과 같이 액정 커패시터(Clc)의 일측 전극(제1 화소 전극)에는 데이터선을 통하여 데이터 전압을 인가 받지만, 다른 측 전극(제2 화소 전극)에는 데이터선을 통하여 데이터 전압을 인가 받지 않는다. 도 9의 실시예에서는 도 8의 실시예와 달리 제2 화소 전극측에 공통 전압(Vcom)이 인가되는 Vcom 배선이 연결되어 있다.
- [0126] 도 9를 통하여 본 발명의 다른 실시예에 따른 화소를 살펴보면 아래와 같다.
- [0127] 하나의 화소에는 하나의 게이트선, 하나의 데이터선, 하나의 Vcom 배선, 2개의 트랜지스터를 포함한다. 또한, 액정 커패시터(Clc) 및 유지 용량 커패시터(Cst)를 포함하며, 액정 커패시터(Clc)의 양측 전극은 제1 화소 전극 및 제2 화소 전극으로 이루어져 있다.
- [0128] 여기서 Gn, Gn-1은 게이트선을 나타내며, Gn은 n번째 게이트선이며, Gn-1은 n-1번째 게이트선이다. Dm, Dm+1은 데이터선을 나타내며, Dm은 m번째 데이터선이며, Dm+1은 m+1번째 데이터선이다.
- [0129] Vcom 배선은 공통 전압(Vcom)이 일정하게 인가되는 배선으로 게이트선(Gn, Gn-1)에 평행하고, 제1 화소 전극에 일부 중첩할 수 있다.
- [0130] TFT는 게이트선 및 데이터선과 연결된 박막 트랜지스터로 출력 단자는 제1 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)과 연결되어 있다. 제1 화소 전극은 액정 커패시터(Clc)의 일측 전극을 형성하며, 타측 전극은 제2 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)으로 이루어진다. 제2 화소 전극은 Vcom 배선과 전기적으로 연결되어 있다.
- [0131] STFT는 쇼트 트랜지스터로 제어 전극, 입력 전극 및 출력 전극을 가지며, 전단 게이트선(Gn-1)에 제어 전극이 연결되어 있으며, 입력 전극 및 출력 전극은 제1 화소 전극 및 제2 화소 전극에 연결되어 있다.
- [0132] 또한, 제1 화소 전극은 Vcom 배선과 중첩하여 유지 용량 커패시터(Cst)를 형성한다.
- [0133] 이상과 같은 도 9의 화소는 아래와 같이 구동한다.
- [0134] 우선 게이트선(Gn, Gn-1)은 순차적으로 게이트 온 신호가 인가된다. 또한, 모든 게이트선에 게이트 온 신호가 인가되면, 1 프레임(frame)이 경과된다. 한편, 데이터선(Dm, Dm+1)에는 데이터 전압이 인가되며, 일정 주기로 인가되는 데이터 전압의 극성이 바뀔 수 있다.

- [0135] Dm 데이터선을 통하여 인가된 데이터 전압은 박막 트랜지스터(TFT)가 턴 온 상태일 때 박막 트랜지스터(TFT)를 지나 제1 화소 전극으로 인가된다. 한편, 제1 화소 전극에 대응하는 제2 화소 전극은 Vcom 배선에 연결되어 Vcom 배선으로부터 전압을 인가받는다. 이렇게 인가된 제1 화소 전극 및 제2 화소 전극의 전압은 액정 커패시터(C1c)의 양 단의 전압으로 전계를 형성하며, 이에 따라 액정층이 배향되면서 빛의 투과율이 변경된다. 한편, 제1 화소 전극에 인가된 데이터 전압은 각각 유지 용량 커패시터(Cst)에 의하여 한 프레임동안 유지된다.
- [0136] 다음 프레임에서 Gn-1 게이트선에 게이트 온 신호가 인가되면, 쇼트 트랜지스터(STFT)가 턴 온 되어 액정 커패시터(C1c)의 양단 전압을 쇼트시키며, 그 결과 제1 화소 전극과 제2 화소 전극의 전압 레벨이 동일해 진다(쇼팅 구간). 그 결과 액정 커패시터(C1c) 양단에 원치 않는 전하가 축적되지 않는다.
- [0137] 한편, 쇼팅 구간은 Gn-1 게이트선에 게이트 온 전압이 인가되는 구간 동안 지속되며, 게이트 온 전압이 인가되는 시간은 수 μ s 이며, 이 시간 동안에 전하의 이동은 가능한 시간이지만, 액정층이 재배열하기에는 어려운 시간이다. 그 결과 액정층의 배열은 쇼팅 구간 동안 변하지 않아 휘도의 변화가 없고 투과율의 변화가 없다.
- [0138] 이상의 실시예는 도 1 내지 도 4의 실시예, 도 5 내지 도 7의 실시예, 도 8의 실시예 및 도 9의 실시예로 구분할 수 있지만, 모두 액정 커패시터(C1c)의 양단의 전극(제1 화소 전극, 제2 화소 전극)을 전단 게이트선의 신호에 따라서 쇼트시키는 것을 특징으로 한다.
- [0139] 이하에서는 액정 커패시터(C1c)의 일측 전극(제1 화소 전극)을 일정 주기로 공통 전압(Vcom)이 인가되는 Vcom 배선과 쇼트시키는 실시예에 대하여 살펴본다.
- [0140] 먼저 도 10 및 도 11을 통하여 본 발명의 하나의 실시예에 대하여 살펴본다.
- [0141] 도 10은 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이고, 도 11은 도 10의 실시예에서 신호 인가에 따른 전압을 나타내는 그래프이다.
- [0142] 도 10을 통하여 본 발명의 다른 실시예에 따른 화소를 살펴보면 아래와 같다.
- [0143] 하나의 화소에는 하나의 게이트선, 하나의 데이터선, 하나의 Vcom 배선, 하나의 Vsw 배선 및 2개의 트랜지스터(TFT, STFT)를 포함한다. 또한, 액정 커패시터(C1c) 및 유지 용량 커패시터(Cst)를 포함하며, 액정 커패시터(C1c)의 양측 전극은 제1 화소 전극 및 제2 화소 전극으로 이루어져 있다.
- [0144] 도 10에서 Gn, Gn-1은 게이트선을 나타내며, Gn은 n번째 게이트선이며, Gn-1은 n-1번째 게이트선이다. Dm, Dm+1은 데이터선을 나타내며, Dm은 m번째 데이터선이며, Dm+1은 m+1번째 데이터선이다.
- [0145] Vcom 배선은 공통 전압(Vcom)이 일정하게 인가되는 배선으로 게이트선(Gn, Gn-1)에 평행하고, 제1 화소 전극에 일부 중첩할 수 있다.
- [0146] Vsw 배선은 두개의 전압 레벨(예를 들면 0V와 Avdd 전압)을 한 프레임을 주기로 스위칭하는 전압(Vsw)이 인가되며, 게이트선(Gn, Gn-1)에 평행하고, 제2 화소 전극과 전기적으로 연결되어 있다.
- [0147] TFT는 게이트선 및 데이터선과 연결된 박막 트랜지스터로 출력 단자는 제1 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)과 연결되어 있다. 제1 화소 전극은 액정 커패시터(C1c)의 일측 전극을 형성하며, 타측 전극은 제2 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)으로 이루어진다. 제2 화소 전극은 Vsw 배선과 전기적으로 연결되어 있다.
- [0148] STFT는 쇼트 트랜지스터로 제어 전극, 입력 전극 및 출력 전극을 가지며, 전단 게이트선(Gn-1)에 제어 전극이 연결되어 있으며, 입력 전극 및 출력 전극은 제1 화소 전극 및 Vcom 배선에 연결되어 있다.
- [0149] 또한, 제1 화소 전극은 Vcom 배선과 중첩하여 유지 용량 커패시터(Cst)를 형성한다. 도 11에서는 도시하지 않았지만, Vcom 배선과 제2 화소 전극이 중첩하여 또 다른 유지 용량 커패시터를 형성할 수도 있다.
- [0150] 이상과 같은 화소는 도 11과 같이 구동한다.
- [0151] 우선 게이트선(Gn, Gn-1)은 순차적으로 게이트 온 신호가 인가된다. 또한, 모든 게이트선에 게이트 온 신호가 인가되면, 1 프레임(frame)이 경과된다. 한편, 데이터선(Dm, Dm+1)에는 데이터 전압이 인가되며, 일정 주기로 인가되는 데이터 전압의 극성이 바뀔 수 있다.
- [0152] Dm 데이터선을 통하여 인가된 데이터 전압은 박막 트랜지스터(TFT)가 턴 온 상태일 때 박막 트랜지스터(TFT)를 지나 제1 화소 전극으로 인가된다. 한편, 제1 화소 전극에 대응하는 제2 화소 전극은 Vsw 배선에 연결되어 Vsw

배선으로부터 전압을 인가받는다. 이렇게 인가된 제1 화소 전극 및 제2 화소 전극의 전압은 액정 커패시터(Clc)의 양 단의 전압으로 전계를 형성하며, 이에 따라 액정층이 배향되면서 빛의 투과율이 변경된다. 한편, 제1 화소 전극에 인가된 데이터 전압은 각각 유지 용량 커패시터(Cst)에 의하여 한 프레임동안 유지된다.

- [0153] 다음 프레임에서 G_{n-1} 게이트선에 게이트 온 신호가 인가되면, 쇼트 트랜지스터(STFT)가 턴 온 되어 액정 커패시터(Clc)의 양단 전압을 쇼트시키며, 그 결과 제1 화소 전극과 Vcom배선이 쇼트되어 제1 화소 전극이 공통 전압(Vcom)의 레벨과 동일해 진다(쇼팅 구간(S)). 그 결과 제1 화소 전극에는 원치 않는 전하가 축적되지 않는다. 또한, 쇼팅 구간(S)으로 인하여 반전 구동시 제1 화소 전극에 인가된 전압이 일순간 변화더라도 변하는 전압의 크기를 줄여준다. 즉, 제1 화소 전극에 인가되는 전압은 반전 구동시 음의 데이터 전압(V-)에서 양의 데이터 전압(V+)으로 일순간 변화하여야 하지만, 변하는 전압의 크기가 커서 양의 데이터 전압(V+)에 이르는 데 시간이 필요한 것이 일반적이다. (그 반대의 경우도 동일하다.) 그러나 본 발명의 도 11에서 도시하고 있는 바와 같이 A 지점에서의 전압은 쇼트 트랜지스터(STFT)가 턴 온 된 쇼팅 구간(S)에 공통 전압(Vcom)에 이른 후, 원하는 데이터 전압까지 이동하면 되므로 원하는 전압에 이르는 시간이 단축되는 장점이 있다.
- [0154] 한편, 쇼팅 구간(S)은 G_{n-1} 게이트선에 게이트 온 전압이 인가되는 구간 동안 지속되며, 게이트 온 전압이 인가되는 시간은 수 μs 이며, 이 시간 동안에 전하의 이동은 가능한 시간이지만, 액정층이 재배열하기에는 어려운 시간이다. 그 결과 액정층의 배열은 쇼팅 구간 동안 변하지 않아 휘도의 변화가 없고 투과율의 변화가 없다.
- [0155] 도 10에서는 제1 화소 전극과 Vcom 배선을 쇼트시키는 구조로 하나의 화소에 2개의 박막 트랜지스터(TFT, STFT)를 형성한 구조를 살펴보았다. 이하의 도 12에서는 하나의 화소에 3개의 박막 트랜지스터(TFT1, TFT2, STFT)를 형성한 구조를 살펴본다. 또한, 도 12는 도 11과 달리 제2 화소 전극에 연결된 제2 박막 트랜지스터(TFT2)를 가지며, 제2 화소 전극과 Vcom 배선 사이에 제2 유지 용량 커패시터를 도시하고 있다.
- [0156] 도 12의 실시예는 하나의 화소에는 하나의 게이트선, 하나의 데이터선, 하나의 Vcom 배선, 하나의 Vsw 배선 및 3개의 트랜지스터(TFT1, TFT2, STFT)를 포함한다. 또한, 액정 커패시터(Clc) 및 유지 용량 커패시터(Cst1, Cst2)를 포함하며, 액정 커패시터(Clc)의 양측 전극은 제1 화소 전극 및 제2 화소 전극으로 이루어져 있다.
- [0157] 도 12에서 G_n , G_{n-1} 은 게이트선을 나타내며, G_n 은 n번째 게이트선이며, G_{n-1} 은 n-1번째 게이트선이다. D_m , D_{m+1} 은 데이터선을 나타내며, D_m 은 m번째 데이터선이며, D_{m+1} 은 m+1번째 데이터선이다.
- [0158] Vcom 배선은 공통 전압(Vcom)이 일정하게 인가되는 배선으로 게이트선(G_n , G_{n-1})에 평행하고, 제1 화소 전극 및 제2 화소 전극에 중첩할 수 있다.
- [0159] Vsw 배선은 두개의 전압 레벨(예를 들면 0V와 Avdd 전압)을 한 프레임을 주기로 스위칭하는 전압(Vsw)이 인가되며, 게이트선(G_n , G_{n-1})에 평행한다.
- [0160] 제1 박막 트랜지스터(TFT1)는 게이트선 및 데이터선과 연결된 박막 트랜지스터로 출력 단자는 제1 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)과 연결되어 있다.
- [0161] 한편, 제2 박막 트랜지스터(TFT2)는 제1 박막 트랜지스터(TFT1)와 동일한 게이트선에 연결되어 있으며, 입력 단자는 Vsw 배선에 연결되어 있으며, 출력 단자는 제2 화소 전극(도시하지 않음. 도 1 또는 도 5 참고)에 연결되어 있다.
- [0162] 제1 화소 전극 및 제2 화소 전극은 액정 캐패시터(Clc)의 양측 전극을 형성한다.
- [0163] STFT는 쇼트 트랜지스터로 제어 전극, 입력 전극 및 출력 전극을 가지며, 전단 게이트선(G_{n-1})에 제어 전극이 연결되어 있으며, 입력 전극 및 출력 전극은 제1 화소 전극 및 Vcom 배선에 연결되어 있다.
- [0164] 또한, 제1 화소 전극은 Vcom 배선과 중첩하여 제1 유지 용량 커패시터(Cst1)를 형성하며, 제2 화소 전극도 Vcom 배선과 중첩하여 제2 유지 용량 커패시터(Cst2)를 형성한다.
- [0165] 이상과 같은 화소는 아래와 같이 구동한다.
- [0166] 우선 게이트선(G_n , G_{n-1})은 순차적으로 게이트 온 신호가 인가된다. 또한, 모든 게이트선에 게이트 온 신호가 인가되면, 1 프레임(frame)이 경과된다. 한편, 데이터선(D_m , D_{m+1})에는 데이터 전압이 인가되며, 일정 주기로 인가되는 데이터 전압의 극성이 바뀔 수 있다.
- [0167] D_m 데이터선을 통하여 인가된 데이터 전압은 제1 박막 트랜지스터(TFT1)가 턴 온 상태일 때 제1 박막 트랜지스터(TFT1)를 지나 제1 화소 전극으로 인가된다. 한편, 제2 화소 전극은 제1 박막 트랜지스터(TFT1)와 함께 턴온

되는 제2 박막 트랜지스터(TFT2)를 통하여 V_{sw} 배선으로부터 V_{sw} 전압을 인가받는다. 이렇게 인가된 제1 화소 전극 및 제2 화소 전극의 전압은 액정 커패시터(C1c)의 양 단의 전압으로 전계를 형성하며, 이에 따라 액정층이 배향되면서 빛의 투과율이 변경된다. 한편, 제1 화소 전극 및 제2 화소 전극에 인가된 전압은 각각 유지 용량 커패시터(Cst1, Cst2)에 의하여 한 프레임동안 유지된다.

[0168] 다음 프레임에서 G_{n-1} 게이트선에 게이트 온 신호가 인가되면, 쇼트 트랜지스터(STFT)가 턴 온 되어 액정 커패시터(C1c)의 양단 전압을 쇼트시키며, 그 결과 제1 화소 전극과 V_{com} 배선이 쇼트되어 제1 화소 전극이 공통 전압(V_{com})의 레벨과 동일해 진다(쇼팅 구간(S)). 그 결과 제1 화소 전극에는 원치 않는 전하가 축적되지 않는다. 또한, 쇼팅 구간(S)으로 인하여 반전 구동시 제1 화소 전극에 인가된 전압이 일순간 변화하더라도 변하는 전압의 크기를 줄여준다. 즉, 제1 화소 전극에 인가되는 전압은 반전 구동시 음의 데이터 전압(V_-)에서 양의 데이터 전압(V_+)으로 일순간 변화하여야 하지만, 변하는 전압의 크기가 커서 양의 데이터 전압(V_+)에 이르는 데 시간이 필요한 것이 일반적이다. (그 반대의 경우도 동일하다.) 그러나 본 발명에서는 제1 화소 전극의 전압이 쇼트 트랜지스터(STFT)가 턴 온 된 쇼팅 구간(S)에 공통 전압(V_{com})에 이른 후, 원하는 데이터 전압까지 이동하게 되므로 원하는 전압에 이르는 시간이 단축되는 장점이 있다.

[0169] 한편, 쇼팅 구간(S)은 G_{n-1} 게이트선에 게이트 온 전압이 인가되는 구간 동안 지속되며, 게이트 온 전압이 인가되는 시간은 수 μs 이며, 이 시간 동안에 전하의 이동은 가능한 시간이지만, 액정층이 재배열하기에는 어려운 시간이다. 그 결과 액정층의 배열은 쇼팅 구간 동안 변하지 않아 휘도의 변화가 없고 투과율의 변화가 없다.

[0170] 도 10 및 도 12의 실시예에서 V_{com} 배선 및 V_{sw} 배선은 하나의 배선일 수 있다. 이 때, 하나의 배선에는 공통 전압(V_{com})과 같은 일정한 레벨의 전압이 인가되거나, V_{sw} 배선과 같이 두개의 레벨을 스위칭하는 전압이 인가될 수도 있다.

[0171] 도 1 내지 도 12의 실시예에서 상부 기관의 표면에 형성된 대향 전극을 가질 수 있으며, 대향 전극은 플로팅되어 있거나, 공통 전압(V_{com})이 인가되거나, 두개의 화소 전극 중 고정 전압과 동일한 전압이 인가될 수 있다.

[0172] 이상에서 본 발명의 바람직한 실시예들에 대하여 상세하게 설명하였지만 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구 범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리 범위에 속하는 것이다.

도면의 간단한 설명

[0173] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치에서 한 화소의 배치도이고,

[0174] 도 2는 도 1의 액정 표시 장치를 II-II선을 따라 자른 단면도이고,

[0175] 도 3은 도 1 및 도 2의 실시예에 따른 화소의 등가 회로도이고,

[0176] 도 4는 도 1 및 도 2의 실시예에서 신호 인가에 따른 전압을 나타내는 그래프이고,

[0177] 도 5는 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 배치도이고,

[0178] 도 6은 도 5의 액정 표시 장치를 VI-VI선을 따라 자른 단면도이고,

[0179] 도 7은 도 5 및 도 6의 실시예에 따른 화소의 등가 회로도이고,

[0180] 도 8은 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이고,

[0181] 도 9는 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이고,

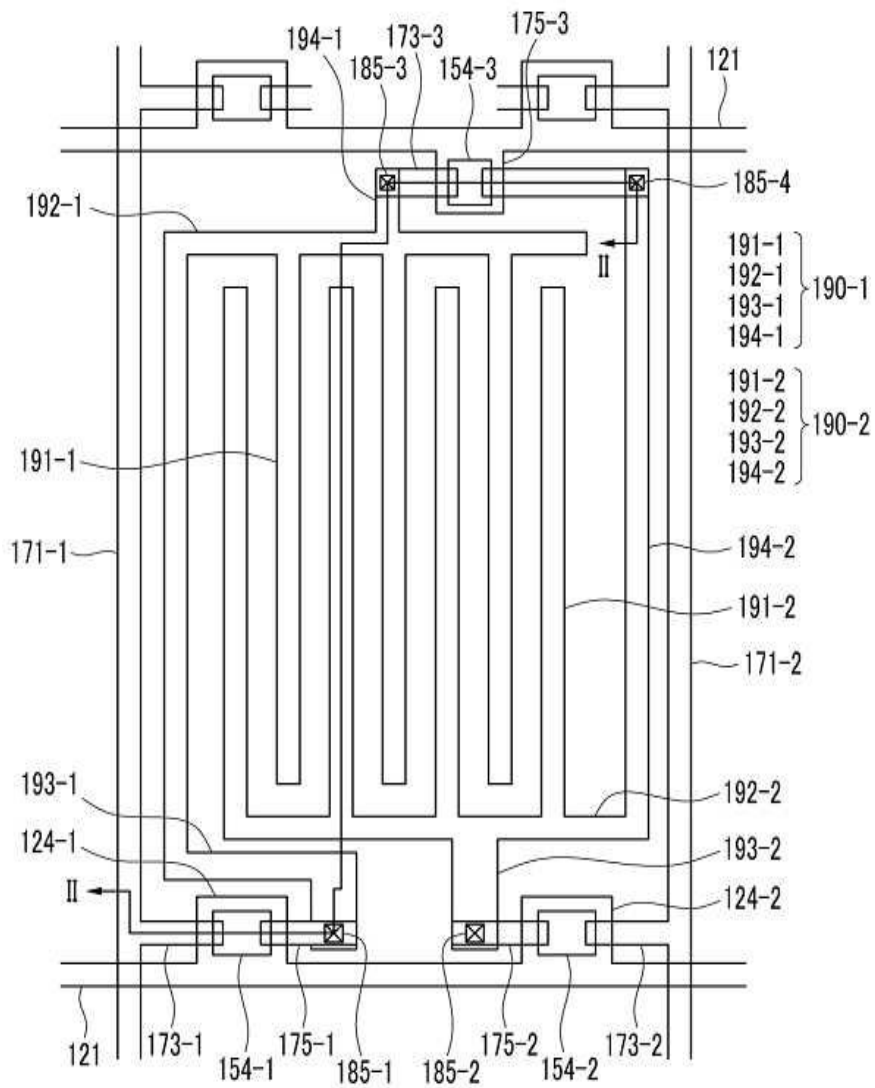
[0182] 도 10은 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이고,

[0183] 도 11는 도 10의 실시예에서 신호 인가에 따른 전압을 나타내는 그래프이고,

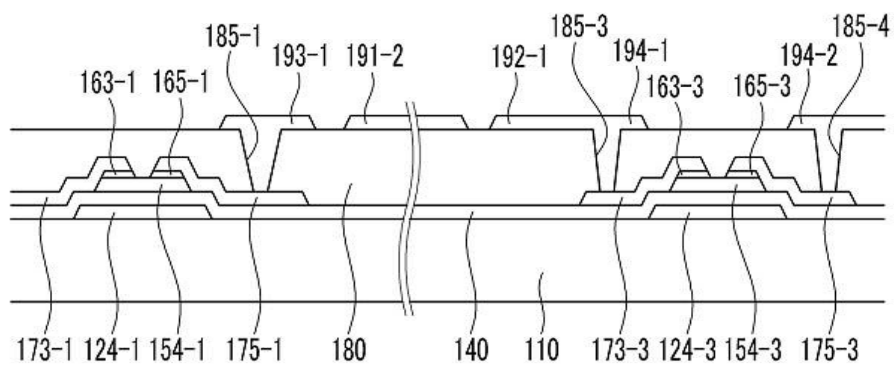
[0184] 도 12는 본 발명의 또 다른 실시예에 따른 액정 표시 장치에서 한 화소의 등가 회로도이다.

도면

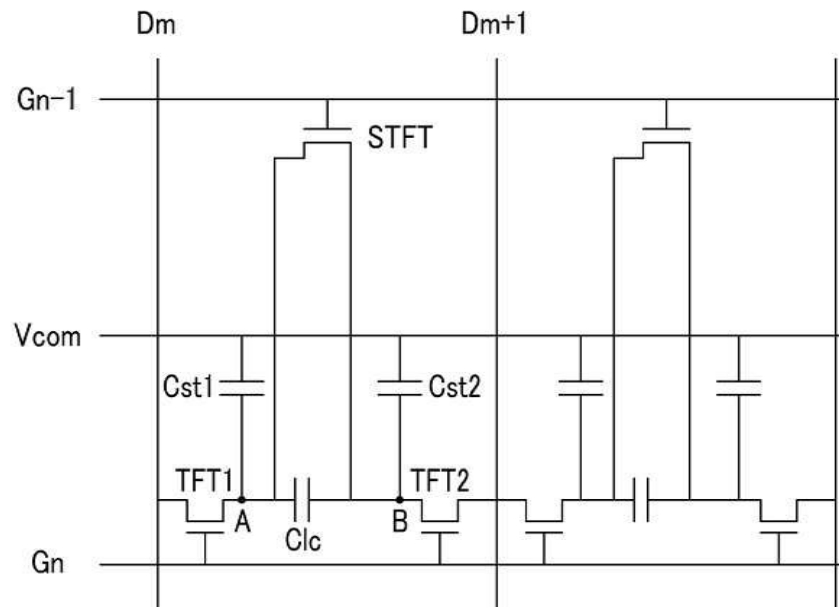
도면1



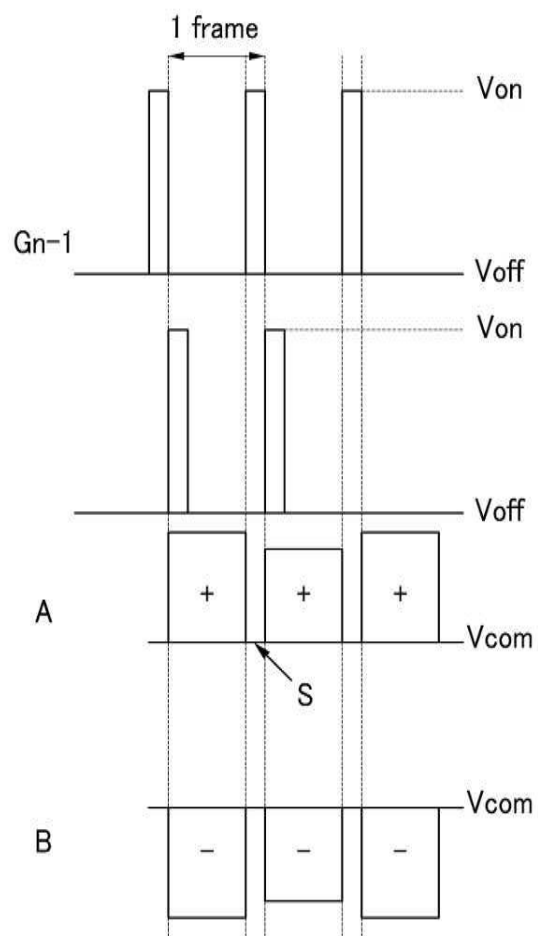
도면2



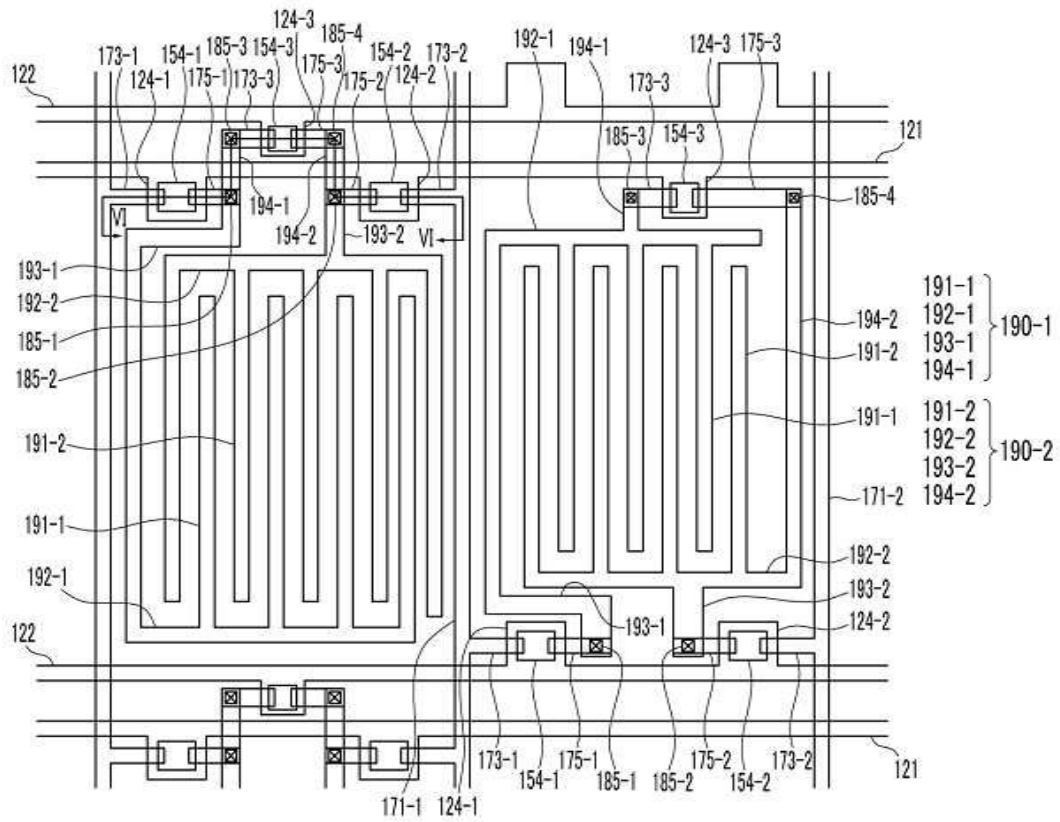
도면3



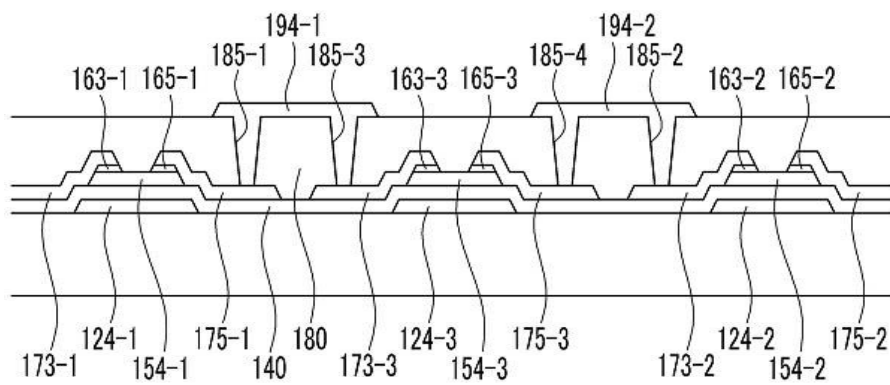
도면4



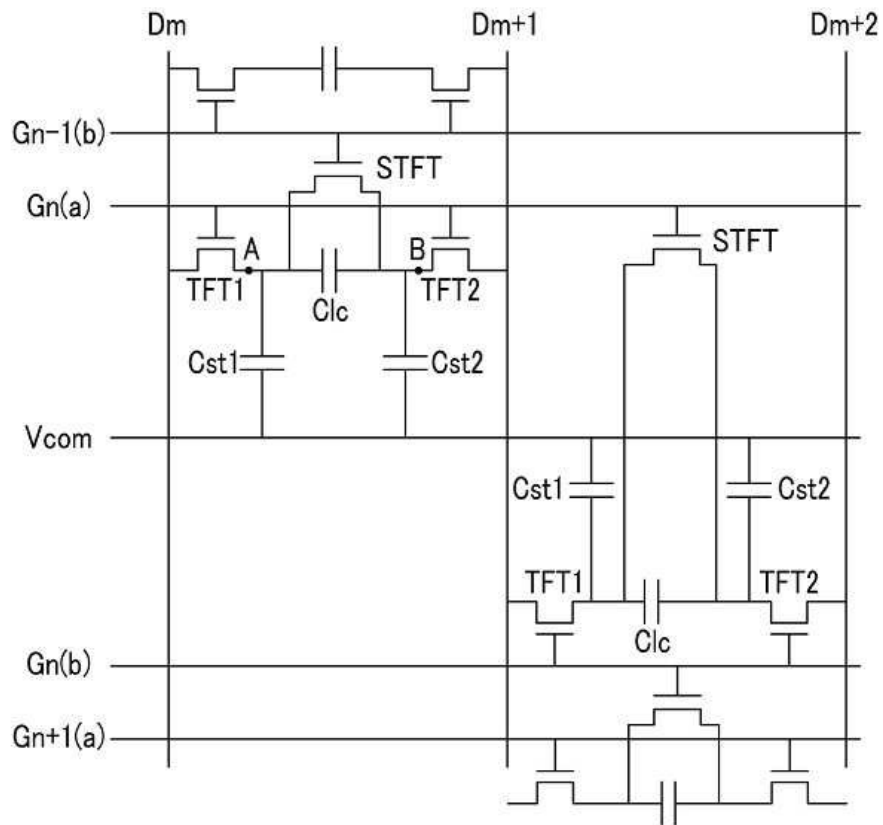
도면5



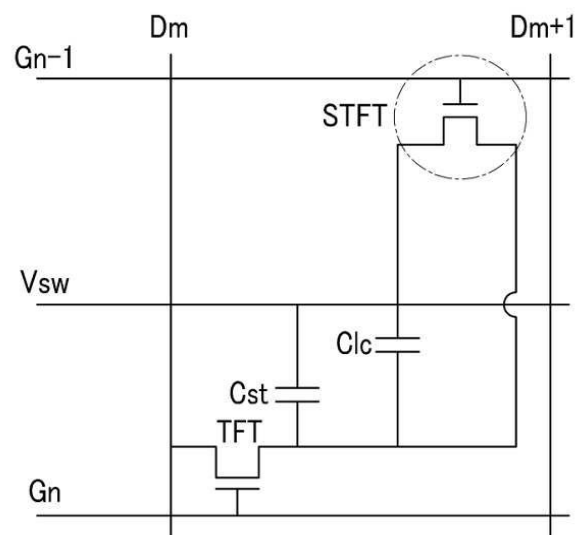
도면6



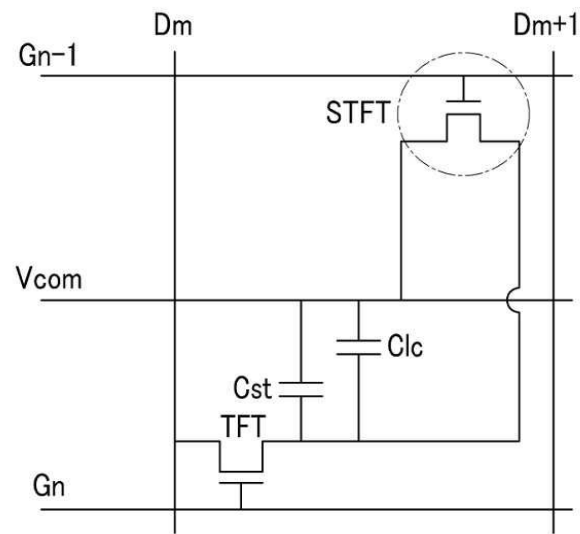
도면7



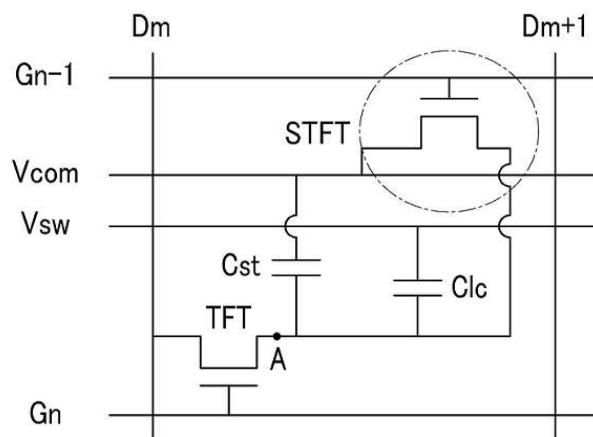
도면8



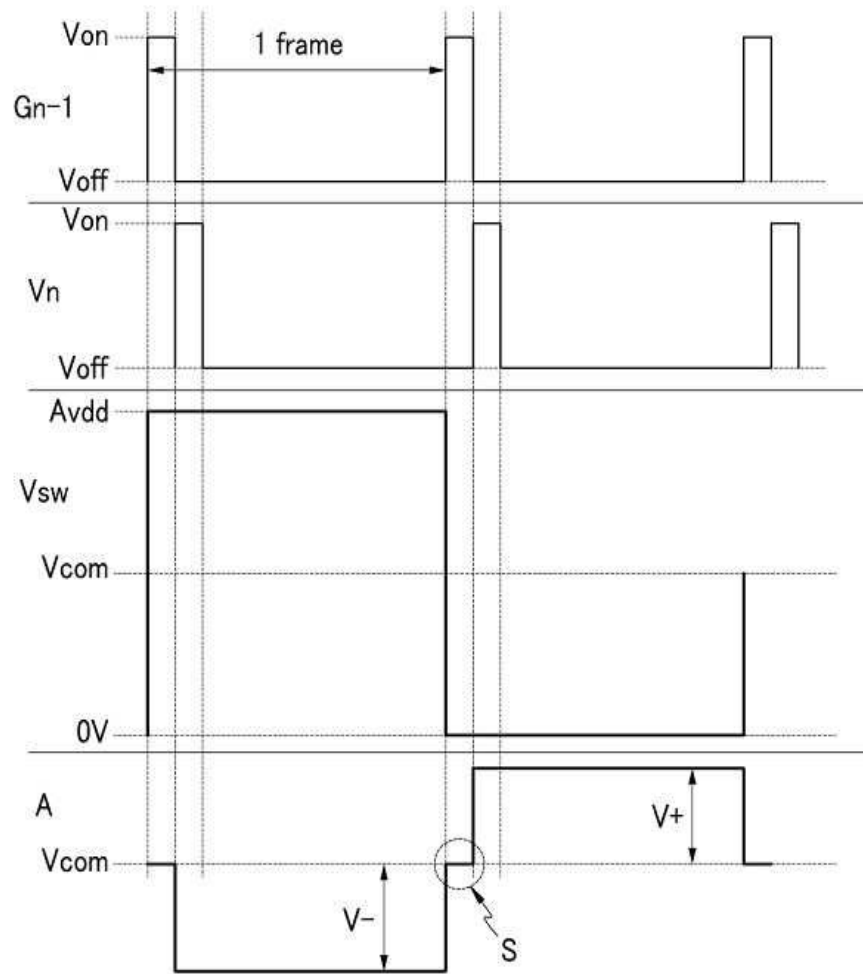
도면9



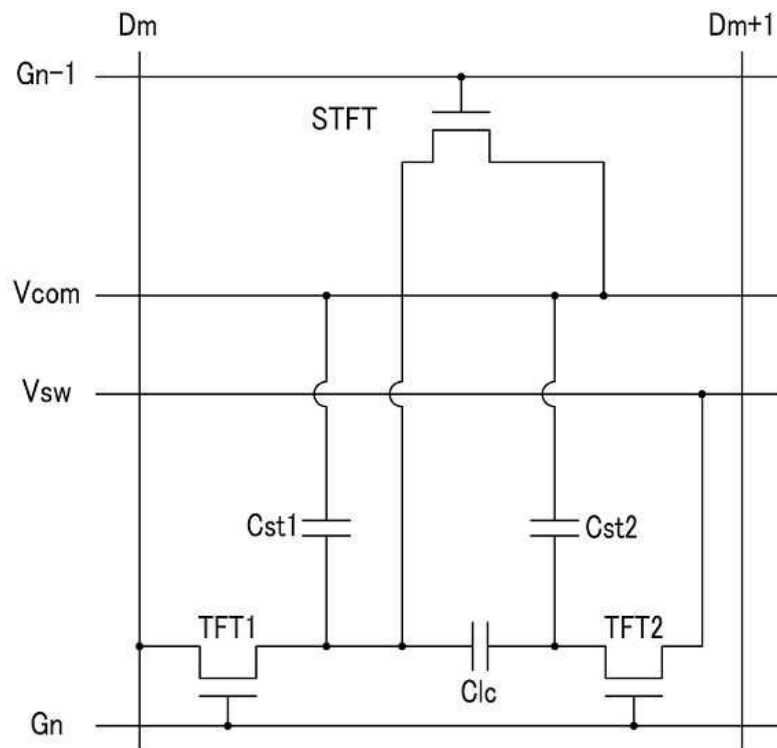
도면10



도면11



도면12



专利名称(译)	液晶显示装置和液晶显示装置的驱动方法		
公开(公告)号	KR1020100100243A	公开(公告)日	2010-09-15
申请号	KR1020090019016	申请日	2009-03-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SUNG WOON 김성운 KIM HEE SEOP 김희섭 KIM HYANG YUL 김향울 JANG JOO NYUNG 장주녕 WOO HWA SUNG 우화성 SHIN CHEOL 신철 SHIN DONG CHUL 신동철		
发明人	김성운 김희섭 김향울 장주녕 우화성 신철 신동철		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G02F1/13624 G02F1/134363 G09G3/3614 G09G3/3648 G09G2300/0426 G09G2300/0443 G09G2300/0819 G09G2310/0251 G09G2310/0262 G09G2320/0257		
其他公开文献	KR101542401B1		
外部链接	Espacenet		

摘要(译)

在本发明中，用于向液体沉积层施加电场的电极以预定的时间间隔具有特定的电位，使得不需要的电荷不会累积在电极中，从而防止液晶层根据不希望的电场排列。结果，从背光源入射的光不会泄漏，并且防止了余像效应。另外，由于使电极具有特定电位的时间非常短，因此不提供根据特定电位布置液晶层的时间，从而不会发生透射光的损失。另外，施加到电极的电压在反转驱动期间瞬时改变，并且可以通过减小改变电压的大小来减小由于反转驱动引起的电压的摆动宽度。

