



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0121734  
(43) 공개일자 2009년11월26일

(51) Int. Cl.

G02F 1/1343 (2006.01)

(21) 출원번호 10-2008-0047774

(22) 출원일자 2008년05월22일

심사청구일자 없음

(71) 출원인

엘지디스플레이 주식회사

서울 영등포구 여의도동 20번지

(72) 발명자

이성근

전북 장수군 장수읍 장수리 남동 594

박철우

대구 북구 동천동 화성 센트럴파크 208-1307

이경미

서울 구로구 오류1동 6-238번지 20/7

(74) 대리인

특허법인로얄

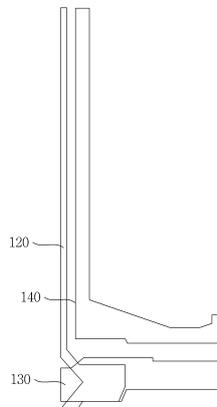
전체 청구항 수 : 총 10 항

**(54) 액정표시장치**

**(57) 요약**

본 발명은, 제1기관; 및 제1기관의 일면에 위치하는 복수의 서브 픽셀을 포함하되, 복수의 서브 픽셀 중 적어도 하나인 제N번째 서브 픽셀은, 제1기관의 일면에 위치하며 한쪽 평면에서 엘(L)자 형상을 갖는 제1공통 전극과, 제1공통 전극 상에 위치하는 절연막과, 절연막 상에 위치하며 제1공통 전극에 일부가 중첩되는 화소 전극을 포함하는 액정표시장치를 제공한다.

**대표도** - 도5



## 특허청구의 범위

### 청구항 1

제1기관; 및

상기 제1기관의 일면에 위치하는 복수의 서브 픽셀을 포함하되,

상기 복수의 서브 픽셀 중 적어도 하나인 제N번째 서브 픽셀은,

상기 제1기관의 일면에 위치하며 한쪽 평면에서 엘(L)자 형상을 갖는 제1공통 전극과, 상기 제1공통 전극 상에 위치하는 절연막과, 상기 절연막 상에 위치하는 보호막과, 상기 보호막 상에 위치하며 상기 제1공통 전극에 일부가 중첩되는 화소 전극을 포함하는 액정표시장치.

### 청구항 2

제1항에 있어서,

상기 복수의 서브 픽셀은,

적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하며

상기 제N번째 서브 픽셀은,

상기 청색 서브 픽셀인 것을 특징으로 하는 액정표시장치.

### 청구항 3

제1항에 있어서,

상기 제N번째 서브 픽셀을 제외한 나머지 서브 픽셀은,

상기 제1기관 상에 위치하며 폐곡선 형상을 갖는 제1공통 전극과, 상기 제1공통 전극 상에 위치하는 상기 절연막과, 상기 절연막 상에 위치하는 보호막과, 상기 보호막 상에 위치하며 상기 제1공통 전극에 일부가 중첩되는 상기 화소 전극을 포함하는 액정표시장치.

### 청구항 4

제1항에 있어서,

상기 제N번째 서브 픽셀을 제외한 나머지 서브 픽셀은,

상기 제1기관 상에 위치하며 한쪽 평면에서 유(U)자 형상을 갖는 제1공통 전극과, 상기 제1공통 전극 상에 위치하는 상기 절연막과, 상기 절연막 상에 위치하는 보호막과, 상기 보호막 상에 위치하며 상기 제1공통 전극에 일부가 중첩되는 상기 화소 전극을 포함하는 액정표시장치.

### 청구항 5

제1항에 있어서,

상기 화소 전극은,

장축 방향의 중앙 영역에서 와이(W)자 형상으로 돌출된 중심전극을 기준으로 기울기를 가지고 이격된 복수의 주변전극을 포함하는 액정표시장치.

### 청구항 6

제1항에 있어서,

상기 제1기관 상에는,

복수의 공통전압 배선, 스캔 배선 및 데이터 배선이 위치하며

상기 복수의 서브 픽셀은 상기 복수의 공통전압 배선, 스캔 배선 및 데이터 배선에 각각 연결되는 것을 특징으로 하는 액정표시장치.

**청구항 7**

제6항에 있어서,  
 상기 복수의 서브 픽셀은,  
 상기 스캔 배선 및 상기 데이터 배선의 교차 영역에 위치하는 박막 트랜지스터를 포함하며,  
 상기 박막 트랜지스터는 게이트, 소오스 및 드레인을 포함하는 액정표시장치.

**청구항 8**

제7항에 있어서,  
 상기 박막 트랜지스터는,  
 상기 제1기판의 일면에 위치하는 상기 게이트와, 상기 게이트 상에 위치하는 절연막과, 상기 절연막 상에 위치하는 액티브층과, 상기 액티브층에 접촉하는 상기 소오스 및 상기 드레인과, 상기 소오스 및 상기 드레인 상에 위치하는 보호막을 포함하는 액정표시장치.

**청구항 9**

제8항에 있어서,  
 상기 화소 전극은,  
 상기 보호막을 통해 노출된 상기 소오스 또는 상기 드레인에 연결되는 것을 특징으로 하는 액정표시장치.

**청구항 10**

제1항에 있어서,  
 상기 제1기판과 대향하는 제2기판을 포함하며,  
 상기 제2기판은 상기 제1기판 상에 위치하는 화소 전극과 대향하는 상판 공통 전극이 위치하는 것을 특징으로 하는 액정표시장치.

**명세서**

**발명의 상세한 설명**

**기술분야**

<1> 본 발명은 액정표시장치에 관한 것이다.

**배경기술**

- <2> 정보화 기술이 발달함에 따라 사용자와 정보간의 연결 매체인 표시장치의 시장이 커지고 있다. 이에 따라, 액정표시장치(Liquid Crystal Display: LCD), 유기전계 발광소자(Organic Light Emitting Diodes: OLED) 및 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 등과 같은 평판 표시장치(Flat Panel Display: FPD)의 사용이 증가하고 있다. 그 중 고해상도를 구현할 수 있고 소형화뿐만 아니라 대형화가 가능한 액정표시장치가 널리 사용되고 있다.
- <3> 여기서, 액정표시장치는 수광형 표시장치로 분류된다. 이러한 액정표시장치는 액정 패널의 하부에 위치하는 백라이트 유닛으로부터 광원을 제공받아 영상을 표현할 수 있다.
- <4> 이러한 액정표시장치는 컬러필터 제1기판과 박막 트랜지스터 어레이 제1기판으로 구성된다. 여기서, 컬러필터 제1기판은 투명한 제1기판의 일면에 화소 영역마다 이에 대응하여 형성되고, 박막 트랜지스터 어레이 제1기판은 게이트, 반도체층, 소오스 및 드레인을 포함하는 박막 트랜지스터가 각 서브 픽셀에 위치하게 된다.
- <5> 각 서브 픽셀에 위치하는 박막 트랜지스터의 소오스 또는 드레인은 화소 전극에 연결된다. 그리고 각 서브 픽셀에는 화소 전극과 아울러 액정 배열을 제어할 수 있도록 공통 전극이 위치하게 된다.

<6> 한편, 종래 서브 픽셀은 화소 전극 및 공통 전극의 구조에 의해 개구율이 저하하는 문제와 아울러 빛샘 현상이 나타나 문제와 각 서브 픽셀마다 커패시터의 용량이 다른 문제가 있어 이를 해결해야 한다.

**발명의 내용**

**해결 하고자하는 과제**

<7> 상술한 배경기술의 문제점을 해결하기 위한 본 발명의 목적은, 서브 픽셀의 개구율을 증가시킴과 아울러 빛샘을 차단함과 아울러, 개구율 로스(loss)가 가장 작은 청색 서브 픽셀만 엘(L)자 형상으로 형성하여 커패시터의 용량을 나머지 적색 서브 픽셀 및 녹색 서브 픽셀과 동일한 수준을 유지할 수 있는 액정표시장치를 제공하는 것이다.

**과제 해결수단**

<8> 상술한 과제 해결 수단으로 본 발명은, 제1기판; 및 제1기판의 일면에 위치하는 복수의 서브 픽셀을 포함하되, 복수의 서브 픽셀 중 적어도 하나인 제N번째 서브 픽셀은, 제1기판의 일면에 위치하며 한쪽 평면에서 엘(L)자 형상을 갖는 제1공통 전극과, 제1공통 전극 상에 위치하는 절연막과, 절연막 상에 위치하며 제1공통 전극에 일부가 중첩되는 화소 전극을 포함하는 액정표시장치를 제공한다.

<9> 복수의 서브 픽셀은, 적색 서브 픽셀, 녹색 서브 픽셀 및 청색 서브 픽셀을 포함하며 제N번째 서브 픽셀은, 청색 서브 픽셀일 수 있다.

<10> 제N번째 서브 픽셀을 제외한 나머지 서브 픽셀은, 제1기판 상에 위치하며 폐곡선 형상을 갖는 제1공통 전극과, 제1공통 전극 상에 위치하는 절연막과, 절연막 상에 위치하며 제1공통 전극에 일부가 중첩되는 화소 전극을 포함할 수 있다.

<11> 제N번째 서브 픽셀을 제외한 나머지 서브 픽셀은, 제1기판 상에 위치하며 한쪽 평면에서 유(U)자 형상을 갖는 제1공통 전극과, 제1공통 전극 상에 위치하는 절연막과, 절연막 상에 위치하며 제1공통 전극에 일부가 중첩되는 화소 전극을 포함할 수 있다.

<12> 화소 전극은, 장축 방향의 중앙 영역에서 와이(W)자 형상으로 돌출된 중심전극을 기준으로 기울기를 가지고 이격된 복수의 주변전극을 포함할 수 있다.

<13> 제1기판 상에는, 복수의 공통전압 배선, 스캔 배선 및 데이터 배선이 위치하며 복수의 서브 픽셀은 복수의 공통전압 배선, 스캔 배선 및 데이터 배선에 각각 연결될 수 있다.

<14> 복수의 서브 픽셀은, 스캔 배선 및 데이터 배선의 교차 영역에 위치하는 박막 트랜지스터를 포함하며, 박막 트랜지스터는 게이트, 소오스 및 드레인을 포함할 수 있다.

<15> 박막 트랜지스터는, 제1기판의 일면에 위치하는 게이트와, 게이트 상에 위치하는 절연막과, 절연막 상에 위치하는 액티브층과, 액티브층에 접촉하는 소오스 및 드레인과, 소오스 및 드레인 상에 위치하는 보호막을 포함할 수 있다.

<16> 화소 전극은, 보호막을 통해 노출된 소오스 또는 드레인에 연결될 수 있다.

<17> 제1기판과 대향하는 제2기판을 포함하며, 제2기판은 제1기판 상에 위치하는 화소 전극과 대향하는 상판 공통 전극이 위치할 수 있다.

**효 과**

<18> 본 발명은, 서브 픽셀의 개구율을 증가시킴과 아울러 빛샘을 차단함과 아울러, 개구율 로스(loss)가 가장 작은 청색 서브 픽셀만 엘(L)자 형상으로 형성하여 커패시터의 용량을 나머지 적색 서브 픽셀 및 녹색 서브 픽셀과 동일한 수준을 유지할 수 있는 액정표시장치를 제공하는 효과가 있다.

**발명의 실시를 위한 구체적인 내용**

<19> 이하, 본 발명의 실시를 위한 구체적인 내용을 첨부된 도면을 참조하여 설명한다.

<20> 도 1은 본 발명의 일 실시예에 따른 액정표시장치의 분해 사시도 이고, 도 2는 에지형 광원의 일 예시도 이다.

- <21> 도 1에 도시된 바와 같이, 액정표시장치는 광을 출사하는 광원(171)을 포함할 수 있다. 또한, 광원(171)으로부터 출사되는 광을 인도하는 광학필름층(176)을 포함할 수 있다. 광학필름층(176)은 광원(171) 상에 위치하는 확산판(172), 확산시트(173), 광학시트(174) 및 보호시트(175)를 포함할 수 있다.
- <22> 광원(171)의 경우 예를 들면, 냉음극관 형광램프(Cold Cathode Fluorescent Lamp: CCFL), 열음극관 형광램프(Hot Cathode Fluorescent Lamp: HCFL), 외부전극 형광램프(External Electrode Fluorescent Lamp: EEFL) 및 발광 다이오드(Light Emitting Diode: LED) 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다.
- <23> 또한, 광원(171)은 램프가 일 측면 외측에 위치하는 에지형, 램프가 양쪽 측면에 위치하는 듀얼형, 램프가 직선으로 다수 배열된 직하형 중 어느 하나를 선택할 수 있으나 이에 한정되지 않는다. 이와 같은 광원(171)은 인버터에 연결되어 전원을 공급받아 광을 출사할 수 있다.
- <24> 도 1에 도시된 광원(171)은 직하형을 일례로 나타낸 것이다. 이와는 달리 도 2를 참조하면, 에지형 광원(171)이 도시되어 있다. 도시된 바와 같은 에지형 광원(171)은 일 측면 외측에 램프(171a)와 램프(171a)로부터 출사된 광을 안내하는 도광판(171b)을 포함할 수 있으나 이에 한정되지 않는다.
- <25> 앞서 설명한 광학시트(174)의 경우, 예를 들면 도시된 바와 같이 프리즘 형상일 수 있으나, 렌티큘러 렌즈 또는 마이크로 렌즈 등과 같은 형상으로 위치할 수 있다. 그리고 이러한 광학시트(174)는 비드를 포함할 수도 있다.
- <26> 한편, 액정표시장치는 화상을 표시하는 액정패널(183) 및 광원(171)이 수납되는 상부 케이스(190) 및 하부 케이스(170)를 포함할 수 있다.
- <27> 여기서, 하부 케이스(170)는 광원(171)을 수납할 수 있다. 광원(171) 상에는 액정패널(183)이 일정 간격을 두고 위치할 수 있다. 액정패널(183) 및 광원(171)은 하부 케이스(170)와 체결되는 상부 케이스(190)에 의해 고정 및 보호될 수 있다.
- <28> 상부 케이스(190)의 상부 면에는 액정패널(183)의 화상 표시 영역을 노출시키는 개구부가 마련될 수 있다. 그리고 액정패널(183)과 광원(171) 사이에 위치하는 광학필름층(176)의 주변부가 안착 되는 몰드프레임(미도시)이 더 포함될 수도 있다.
- <29> 액정패널(183)은 박막 트랜지스터 어레이가 형성된 제1기판(110)과 컬러필터가 형성된 제2기판(180)이 액정층을 사이에 두고 합착된 구조를 가질 수 있다.
- <30> 이러한 액정패널(183)은 박막 트랜지스터에 의해 독립적으로 구동되는 서브 픽셀이 매트릭스 형태로 배열되고, 서브 픽셀 각각이 공통 전극에 공급된 공통 전압과 박막 트랜지스터에 연결된 화소 전극에 공급된 데이터 신호와의 차전압에 따라 액정 배열을 제어하여 광 투과율을 조절함으로써 화상을 표시할 수 있다.
- <31> 또한, 액정패널(183)의 제1기판(110)에는 구동부(189)가 접속될 수 있다. 구동부(189)는 액정패널(183)의 데이터 배선과 스캔 배선을 각각 구동하기 위해 데이터 구동부와 스캔 구동부와 같은 구동칩(130)이 실장되며 제1기판(110)과 일측부가 접속된 다수의 연성필름(120)과, 다수의 연성필름(120)의 타측부와 접속된 외부 회로기판(188)을 포함할 수 있다.
- <32> 구동칩(130)이 실장된 연성필름(120)은 COF(Chip On Film)나 TCP(Tape Carrier Package) 방식으로 위치할 수 있다. 그러나 데이터 구동부 및 스캔 구동부와 같은 구동칩(130) 중 하나 이상은 COG(Chip On Glass) 방식으로 제1기판(110) 상에 직접 실장되거나, 박막 트랜지스터 형성 공정에서 제1기판(110) 상에 형성되어 내장될 수 있다.
- <33> 이하, 개략적인 도 1의 Z영역을 참조하여 서브 픽셀의 구조에 대해 설명한다.
- <34> 도 3은 Z영역의 확대도 이고, 도 4는 도 3의 T영역에 도시된 박막 트랜지스터의 예시도이며, 도 5는 도 3에 도시된 공통 전극의 일부를 나타낸 도면이다.
- <35> 도 3에 도시된 바와 같이, 제1기판(110)의 일면에는 복수의 서브 픽셀(R,G,B)이 위치한다. 복수의 서브 픽셀(R,G,B)은 각각 적색 서브 픽셀(R), 녹색 서브 픽셀(G) 및 청색 서브 픽셀(B)을 포함할 수 있으나 이에 한정되지 않는다.
- <36> 복수의 서브 픽셀(R,G,B)은 데이터 배선(120) 및 스캔 배선(130)에 연결된다. 데이터 배선(120) 및 스캔 배선(130)이 교차하는 영역에는 박막 트랜지스터(T)가 형성된다.
- <37> 복수의 서브 픽셀(R,G,B)에 포함된 박막 트랜지스터(T)는 다음과 같을 수 있다.

- <38> 도 4에 도시된 바와 같이, 박막 트랜지스터(T)는 제1기판(110) 상에 위치하는 게이트(102)를 포함할 수 있다. 게이트(102)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <39> 또한, 게이트(102)는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트(102)는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <40> 또한, 박막 트랜지스터(T)는 게이트(102) 상에 위치하는 절연막(103)을 포함할 수 있다. 절연막(103)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <41> 또한, 박막 트랜지스터(T)는 절연막(103) 상에 위치하는 액티브층(104a)을 포함할 수 있다. 또한, 액티브층(104a) 상에 정의된 소오스 영역 및 드레인 영역에 각각 위치하는 오믹콘택층(104b)을 포함할 수 있다. 액티브층(104a)은 a-Si 또는 p-Si 등으로 형성될 수 있으며, 오믹콘택층(104b)은 전기 접촉저항을 줄이기 위해 위치할 수 있다.
- <42> 또한, 박막 트랜지스터(T)는 액티브층(104a) 및 오믹콘택층(104b)에 접촉하는 소오스(105) 및 드레인(106)을 포함할 수 있다. 소오스(105) 및 드레인(106)은 단일층 또는 다중층으로 이루어질 수 있으며, 소오스(105) 및 드레인(106)이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <43> 또한, 소오스(105) 및 드레인(106)이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <44> 또한, 박막 트랜지스터(T)는 소오스(105) 및 드레인(106) 상에 위치하는 보호막(107)을 포함할 수 있다. 보호막(107)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <45> 이와 같이 형성된 트랜지스터(T)의 소오스(105) 및 드레인(106)은 보호막(107) 상에 위치하는 화소 전극(150)에 연결될 수 있다. 화소 전극(150)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나일 수 있다.
- <46> 위의 설명에서 게이트(102)는 스캔 배선(130)에 연결될 수 있고, 소오스(105) 및 드레인(106)은 데이터 배선(120)에 연결될 수 있다.
- <47> 한편, 다시 도 3 및 도 4를 참조하면, 복수의 서브 픽셀(R,G,B) 각각은 제1기판(110)의 일면에 위치하는 제1공통 전극(140)과 제1공통 전극(140) 상에 위치하는 절연막(103)과 절연막(103) 상에 위치하는 보호막(107)과 보호막(107) 상에 위치하며 제1공통 전극(140)에 일부가 중첩되는 화소 전극(150)을 포함할 수 있다. 또한, 복수의 서브 픽셀(R,G,B) 각각은 보호막(107) 상에서 화소 전극(150)과 대향하는 제2공통 전극(160)을 포함할 수 있다.
- <48> 이와 같은 서브 픽셀 구조는 제1기판(110)의 일면에 위치하는 제1공통 전극(140) 및 보호막(107) 상에 위치하는 제2공통 전극(160)과 화소 전극(150) 간의 전압차에 의해 액정 배열이 제어된다.
- <49> 여기서, 화소 전극(150)은 장축 방향의 중앙 영역에서 와이(Y)자 형상으로 돌출된 중심전극(151)을 기준으로 기울기를 가지고 이격된 복수의 주변전극(152)을 포함하는 형태로 위치할 수 있다.
- <50> 이에 따라, 제2공통 전극(160)은 와이(Y)자 형상의 중심전극(151)으로 돌출된 제1돌출전극(161)을 기준으로 화소 전극(150)의 주변전극(152) 사이로 이격된 복수의 제2돌출전극(162)을 포함하는 형태로 위치할 수 있다. 여기서, 화소 전극(150)의 장축 방향은 보호막(107) 및 절연막(103) 하부에 위치하는 제1공통 전극(140)과 일부가 중첩되어 커패시터를 형성할 수 있다.
- <51> 그러나, 화소 전극(150)의 중심전극(151) 및 주변전극(152)의 형상과 제2공통 전극(160)의 제1돌출전극(161) 및 제2돌출전극(162)의 형상은 이에 한정되지 않는다.
- <52> 한편, 도 5를 참조하면, 복수의 서브 픽셀(R,G,B) 중 적어도 하나인 제N번째 서브 픽셀에 포함된 제1공통 전극(140)은 제1기판(110)의 일면에 위치하며 한쪽 평면에서 엘(L)자 형상을 가질 수 있다.
- <53> 이와 같이 제1공통 전극(140)이 엘(L)자 형상을 갖게 되면 제1공통 전극(140)이 폐곡선 형상을 가졌을 때보다 개구율이 커지기 때문에 투과율이 향상된다.

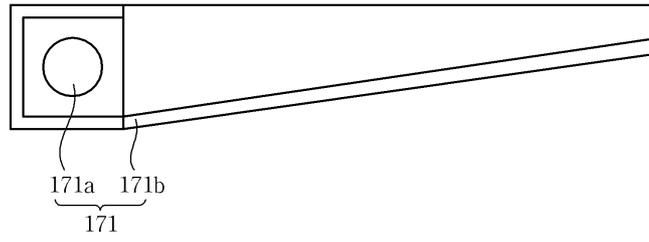
- <54> 단편적으로 제1공통 전극(140)과 제2공통 전극(160)이 폐곡선 형상을 가진 경우의 투과율이 9.8% 정도를 갖는다면, 제1공통 전극(140)이 엘(L)자 형상을 가진 경우의 투과율은 11.4% 정도로 향상되며, 이때 개구율은 31.7%에서 36.8% 이상 향상되는 효과가 있을 수 있다.
- <55> 또한, 제1공통 전극(140)과 제2공통 전극(160)이 폐곡선 형상을 가진 경우 제1공통 전극(140)과 제2공통 전극(160)이 서로 다른 층에 위치함에 따른 단차에 의해 단차부 빛샘이 발생하는 문제를 50% 이상 개선할 수 있는 효과가 있다.
- <56> 이와 같이 제1공통 전극(140)이 엘(L)자 형상을 갖도록 하는 것은 복수의 서브 픽셀(R,G,B) 중 적어도 하나인 제N번째 서브 픽셀뿐만 아니라 모든 서브 픽셀에 적용 가능하다.
- <57> 이하, 본 발명의 다른 실시예를 설명한다.
- <58> 도 6은 Z영역의 확대도 이고, 도 7은 도 6의 A1-A1 및 A2-A2의 단면도이다.
- <59> 다만, 도 6의 Z영역의 확대도에서는 제1기관(110) 상에 위치하는 제1공통 전극(140)과 관련된 부분을 증점적으로 설명하되, 설명의 이해를 돕기 위해 동일한 부호를 사용한다. 그리고 도 6에는 제1공통 전극(140)을 구분할 수 있도록 화소 전극(150)은 도 7에만 도시한다.
- <60> 도 6 및 도 7을 참조하면, 제1기관(110) 상에는 복수의 서브 픽셀(R,G,B)가 위치한다. 복수의 서브 픽셀(R,G,B)은 각각 적색 서브 픽셀(R), 녹색 서브 픽셀(G) 및 청색 서브 픽셀(B)을 포함할 수 있으나 이에 한정되지 않는다.
- <61> 복수의 서브 픽셀(R,G,B)은 데이터 배선(120) 및 스캔 배선(130)에 연결된다. 데이터 배선(120) 및 스캔 배선(130)이 교차하는 영역에는 박막 트랜지스터(T)가 형성된다.
- <62> 복수의 서브 픽셀(R,G,B)에 포함된 박막 트랜지스터(T)는 다음과 같을 수 있다.
- <63> 박막 트랜지스터(T)는 미 도시되어 있지만, 제1기관(110) 상에 위치하는 게이트를 포함할 수 있다. 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <64> 또한, 게이트는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어진 다중층일 수 있다. 또한, 게이트는 몰리브덴/알루미늄-네오디뮴 또는 몰리브덴/알루미늄의 2중층일 수 있다.
- <65> 또한, 박막 트랜지스터(T)는 게이트 상에 위치하는 절연막(103)을 포함할 수 있다. 절연막(103)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <66> 또한, 박막 트랜지스터(T)는 절연막(103) 상에 위치하는 액티브층을 포함할 수 있다. 또한, 액티브층 상에 정의된 소오스 영역 및 드레인 영역에 각각 위치하는 오믹콘택층을 포함할 수 있다. 액티브층은 a-Si 또는 p-Si 등으로 형성될 수 있으며, 오믹콘택층은 전기 접촉저항을 줄이기 위해 위치할 수 있다.
- <67> 또한, 박막 트랜지스터(T)는 액티브층 및 오믹콘택층에 접촉하는 소오스 및 드레인을 포함할 수 있다. 소오스 및 드레인은 단일층 또는 다중층으로 이루어질 수 있으며, 소오스 및 드레인이 단일층일 경우에는 몰리브덴(Mo), 알루미늄(Al), 크롬(Cr), 금(Au), 티타늄(Ti), 니켈(Ni), 네오디뮴(Nd) 및 구리(Cu)로 이루어진 군에서 선택된 어느 하나 또는 이들의 합금으로 이루어질 수 있다.
- <68> 또한, 소오스 및 드레인이 다중층일 경우에는 몰리브덴/알루미늄-네오디뮴의 2중층, 몰리브덴/알루미늄/몰리브덴 또는 몰리브덴/알루미늄-네오디뮴/몰리브덴의 3중층으로 이루어질 수 있다.
- <69> 또한, 박막 트랜지스터(T)는 소오스 및 드레인 상에 위치하는 보호막(107)을 포함할 수 있다. 보호막(107)은 실리콘 산화막(SiO<sub>x</sub>), 실리콘 질화막(SiN<sub>x</sub>) 또는 이들의 다중층일 수 있으나 이에 한정되지 않는다.
- <70> 이와 같이 형성된 트랜지스터(T)의 소오스 및 드레인은 보호막(107) 상에 위치는 화소 전극(150)에 연결될 수 있다. 화소 전극(150)은 ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZnO(Zinc Oxide) 중 어느 하나 일 수 있다.
- <71> 위의 설명에서 게이트는 스캔 배선(130)에 연결될 수 있고, 소오스 및 드레인은 데이터 배선(120)에 연결될 수 있다.

- <72> 복수의 서브 픽셀(R,G,B) 각각은 제1기판(110)의 일면에 위치하는 제1공통 전극(140)과 제1공통 전극(140) 상에 위치하는 절연막(103)과 절연막(103) 상에 위치하는 보호막(107)과 보호막(107) 상에 위치하며 제1공통 전극(140)에 일부가 중첩되는 화소 전극(150)을 포함할 수 있다.
- <73> 여기서, "120"은 데이터 신호가 공급되는 데이터 배선이고, "130"은 스캔 신호가 공급되는 스캔 배선이다.
- <74> 여기서, 도 7의 단면도를 참조하면, 제1기판(110)과 대향하는 측면에는 제2기판(180)이 위치한다. 제2기판(180)에는 상판 공통 전극(185)이 위치할 수 있으나 이에 한정되지 않는다.
- <75> 이와 같은 서브 픽셀 구조는 제1기판(110)의 일면에 위치하는 제1공통 전극(140) 및 상판 공통 전극(185)과 보호막(107) 상에 위치하는 화소 전극(150) 간의 전압차에 의해 액정 배열이 제어된다.
- <76> 한편, 도시되어 있지는 않지만, 제2기판(180)에는 각 서브 픽셀마다 발광 영역을 구분하도록 복수의 블랙매트릭스가 위치할 수 있으며, 복수의 블랙매트릭스 사이에는 각 서브 픽셀이 적색, 녹색 및 청색의 빛을 출사할 수 있도록 컬러필터가 위치할 수 있다.
- <77> 본 발명의 다른 실시예는 앞서, 도 5를 참조하여 설명한 것과 같이 복수의 서브 픽셀(R,G,B) 중 적어도 하나인 청색 서브 픽셀에 포함된 제1공통 전극(140)은 제1기판(110)의 일면에 위치하며 한쪽 평면에서 엘(L)자 형상을 가질 수 있다.
- <78> 여기서, A1-A1영역의 단면도에 도시된 적색 서브 픽셀(R)과 녹색 서브 픽셀(G) 사이를 참조하면, 데이터 배선(120)을 기준으로 적색 서브 픽셀(R)의 제1공통 전극(140)과 녹색 서브 픽셀(G)의 제1공통 전극(140)이 각각 제1기판(110) 상에 위치한다.
- <79> 반면, A2-A2영역의 단면도에 도시된 청색 서브 픽셀(B)과 적색 서브 픽셀(R) 사이를 참조하면, 데이터 배선(120)을 기준으로 청색 서브 픽셀(B)의 제1공통 전극은 제1기판(110)에서 제거되어 있으며, 적색 서브 픽셀(R)의 제1공통 전극(140)은 제1기판(110)에 위치한다.
- <80> 즉, 본 발명의 다른 실시예는 제N번째 서브 픽셀인 청색 서브 픽셀(B)을 제외한 나머지 서브 픽셀(R,G)은 제1공통 전극(140)은 제1기판(110)의 일면에 위치하며 한쪽 평면에서 유(U)자 형상을 갖고, 청색 서브 픽셀(B)의 제1공통 전극(140)은 엘(L)자 형상을 갖는다.
- <81> 이와 같이 청색 서브 픽셀(B)의 제1공통 전극(140)만 엘(L)자 형상을 갖도록 하면, 도전성 이물에 의해 제1기판(110)과 제2기판(180) 사이에 위치하는 화소 전극(150)에 쇼트(short)가 발생해도 고 전압이 인가되어 시야각을 틀더라도 휘점 불량이 발생하는 문제를 해결할 수 있으며, 암점화 구동시 신뢰성이 저하하는 문제를 방지할 수 있다.
- <82> 이상, 본 발명의 각 실시예는 데이터 배선(120)을 통해 데이터 신호가 교번할 때 지속적인 포지티브(positive) 전압만 걸리게 됨으로써 비대칭성에 의하여 이온의 이동이 발생해도 이온 전달의 원인 제공 요인인 데이터 배선(120)과 인접한 하나의 제1공통 전극(140)을 제거함으로써 신뢰성 불량을 차단할 수 있다.
- <83> 또한, 본 발명의 각 실시예는 개구율을 증가시키고 아울러 빛샘을 차단할 수 있다. 아울러, 개구율 로스(loss)가 가장 작은 청색 서브 픽셀(B)만 제1공통 전극(140)을 엘(L)자 형상으로 형성하여 커패시터의 용량을 나머지 적색 서브 픽셀(R) 및 녹색 서브 픽셀(G)과 동일한 수준을 유지할 수 있다. 여기서, 적색 서브 픽셀(R) 및 녹색 서브 픽셀(G)과 동일한 커패시터 용량을 형성하기 위해 제1공통 전극(140)을 엘(L)자가 아닌, 바(-) 형태로 형성하여 화소 전극(150)과 중첩되는 영역을 최소로 형성할 수도 있다.
- <84> 또한, 본 발명의 각 실시예는 TN 모드 액정표시장치에서 개구율이 저하하는 문제를 해결하기 위하여 비용이 증가하는 문제를 해결하고 제품의 경쟁력을 높일 수 있는 효과가 있다.
- <85> 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

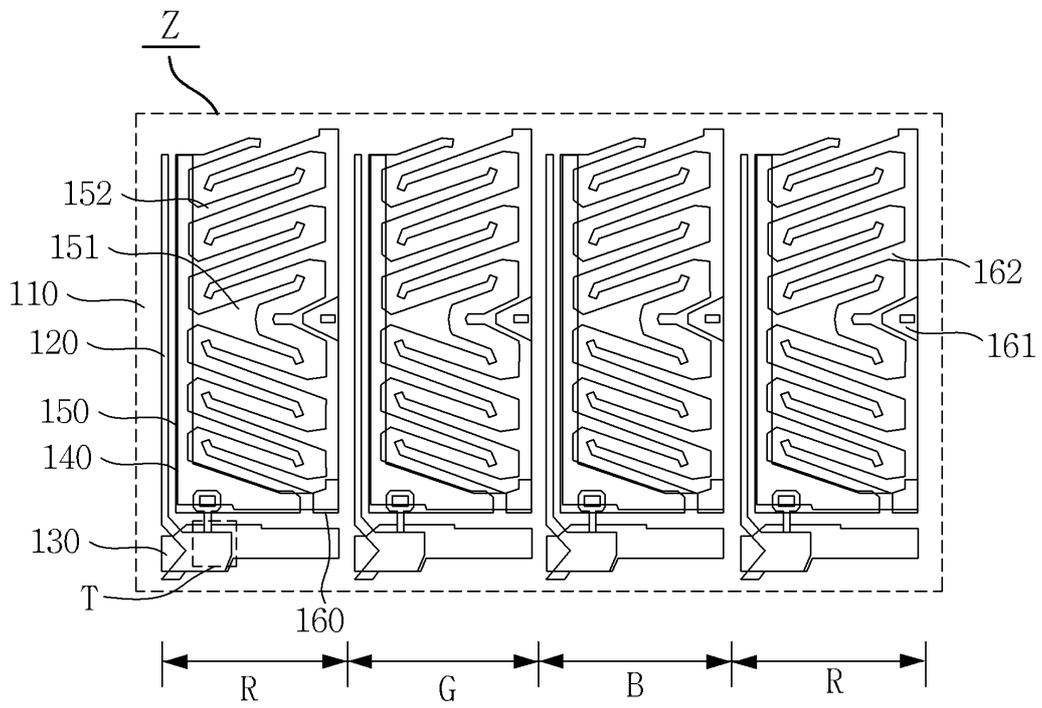
**도면의 간단한 설명**



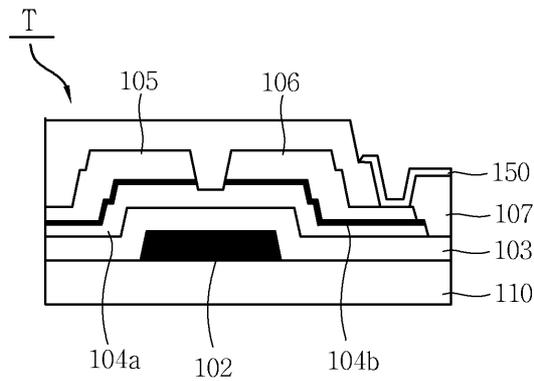
도면2



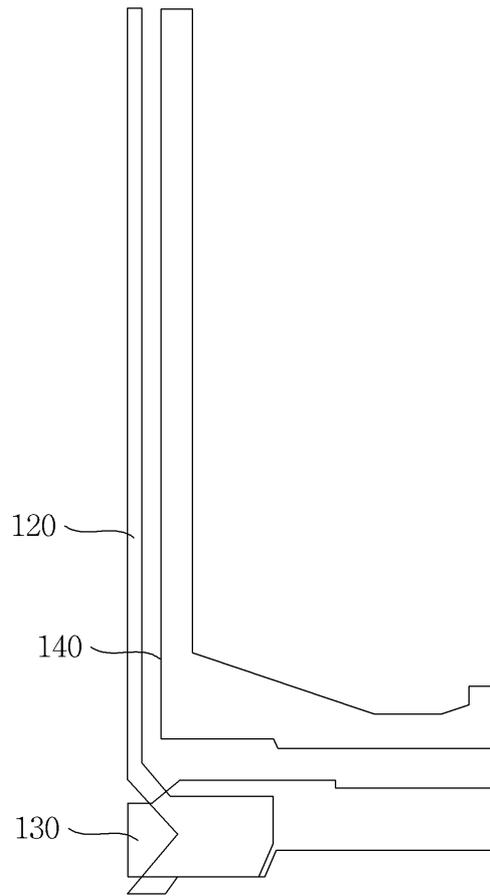
도면3



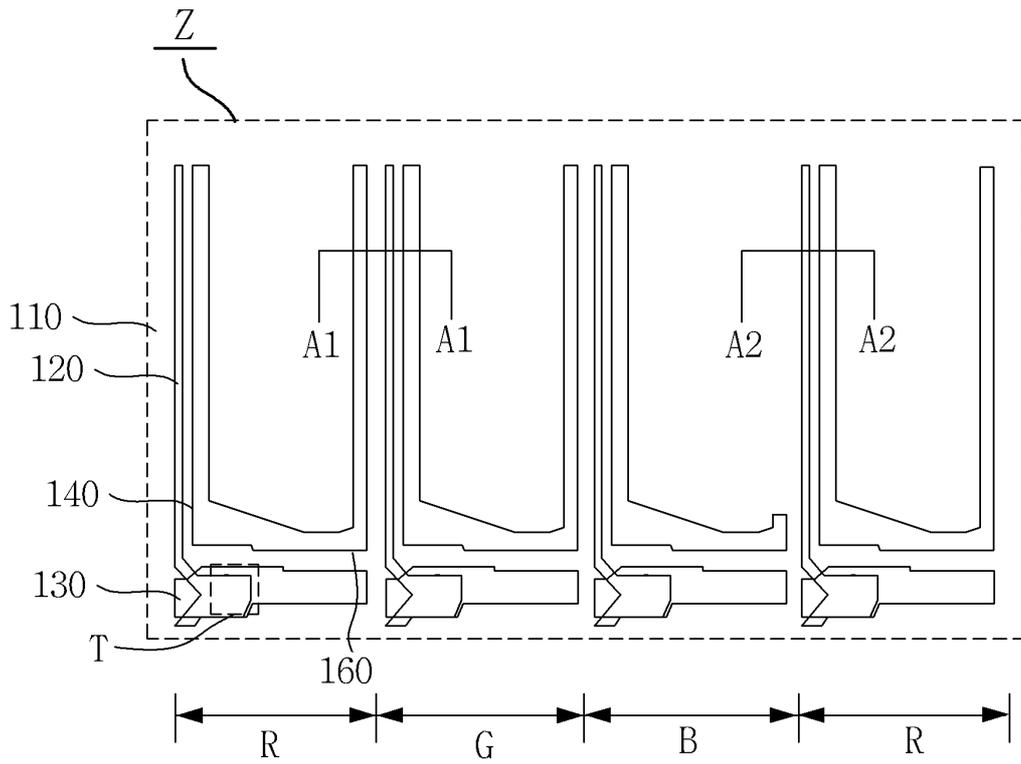
도면4



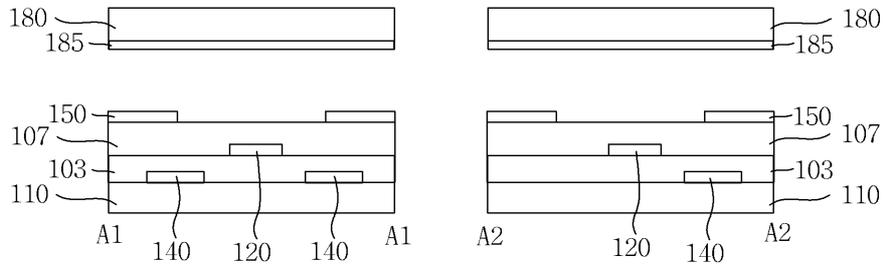
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	<a href="#">KR1020090121734A</a>	公开(公告)日	2009-11-26
申请号	KR1020080047774	申请日	2008-05-22
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SUNG KEUN 이성근 PARK CHEOL WOO 박철우 LEE KYOUNG MEE 이경미		
发明人	이성근 박철우 이경미		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/136286 G02F1/1343 G02F2001/134354 H01L29/786		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明提供一种液晶显示器，包括：第一基板；并且，作为多个子像素中的至少一个的第N个子像素位于第一基板的一侧，并且在一个平面中具有L形状绝缘膜设置在第一公共电极上，像素电极设置在绝缘膜上并与第一公共电极部分重叠。

