



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0097565
(43) 공개일자 2009년09월16일

(51) Int. Cl.

G02F 1/1339 (2006.01)

(21) 출원번호 10-2008-0022790

(22) 출원일자 2008년03월12일

심사청구일자 없음

(71) 출원인

삼성전자주식회사

경기도 수원시 영통구 매탄동 416

(72) 발명자

김희준

충남 천안시 용곡동 동일하이빌 103동 201호

송준호

경기도 성남시 분당구 야탑동 탑마을경남아파트
탑마을경남아파트 714동 1603호

김주한

경기도 용인시 구성읍 보정리 삼성 7차 아파트
704-402

(74) 대리인

박영우

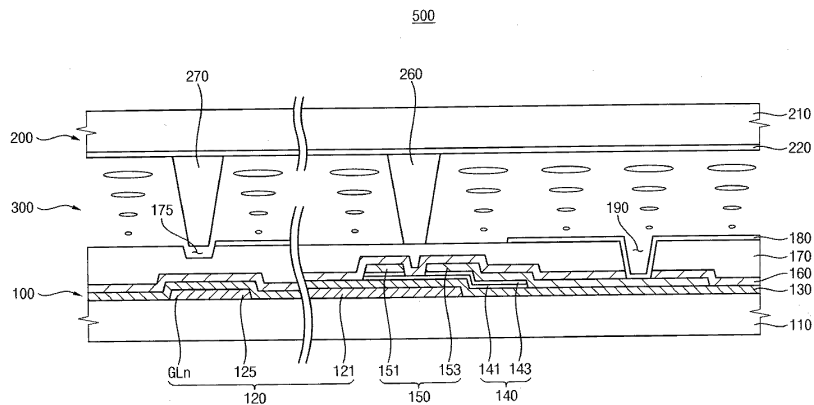
전체 청구항 수 : 총 19 항

(54) 액정 표시패널 및 액정 표시패널의 제조방법

(57) 요약

액정 표시패널은 제1 기판, 제2 기판 및 상기 제1 및 제2 기판 사이에 개재된 액정층을 포함한다. 제1 기판은 박막 트랜지스터를 덮도록 형성되며 소정의 깊이만큼 함몰된 함몰부를 갖는 컬러 필터층을 포함한다. 제2 기판은 제1 기판과 접촉되는 제1 스페이서 및 제1 기판에 형성된 컬러 필터층의 함몰부에 대응하는 위치에 배치되어 제1 기판으로부터 이격되는 제2 스페이서를 포함한다. 제1 기판은 상기 컬러 필터층의 함몰부의 하부에 형성되는 돌출 패딩을 포함하고, 제2 스페이서는 돌출 패딩이 형성된 부분에 대응하여 배치된다.

대표도



특허청구의 범위

청구항 1

제1 베이스 기관, 상기 제1 베이스 기관 상에 형성된 박막 트랜지스터, 및 상기 박막 트랜지스터를 덮도록 상기 제1 베이스 기관 상에 형성되고 함몰부를 갖는 컬러 필터층을 포함하는 제1 기관;

제2 베이스 기관, 상기 제2 베이스 기관 상에 형성되어 상기 제1 기관과 접촉되는 제1 스페이서, 및 상기 제2 베이스 기관 상에 형성되고 상기 컬러 필터층의 함몰부에 대응하는 위치에 배치되어 상기 제1 기관과 이격되는 제2 스페이서를 포함하는 제2 기관; 및

상기 제1 기관 및 상기 제2 기관 사이에 개재된 액정층을 포함하는 액정 표시패널.

청구항 2

제1항에 있어서, 상기 제1 스페이서는 상기 박막 트랜지스터가 형성된 영역에 대응하는 위치에 배치되는 것을 특징으로 하는 액정 표시패널.

청구항 3

제1항에 있어서, 상기 제1 스페이서 및 상기 제2 스페이서는 동일한 길이를 갖는 원통형인 것을 특징으로 하는 액정 표시패널.

청구항 4

제1항에 있어서, 상기 제1 기관은 상기 컬러 필터층의 함몰부 하부에 형성되는 돌출 패턴을 더 포함하고, 상기 제2 스페이서는 돌출 패턴 및 함몰부가 형성된 부분에 대응하여 배치되는 것을 특징으로 하는 액정 표시패널.

청구항 5

제4항에 있어서, 상기 제1 기관은 제1 방향으로 연장되는 게이트 라인을 더 포함하고, 상기 돌출 패턴은 상기 게이트 라인으로부터 돌출된 것을 특징으로 하는 액정 표시패널.

청구항 6

제5항에 있어서, 상기 돌출 패턴의 외곽 크기는 상기 함몰부의 외곽 크기와 같거나 큰 것을 특징으로 하는 액정 표시패널.

청구항 7

제5항에 있어서, 상기 제1 기관은 적색 컬러 필터층이 형성된 적색 화소 영역, 녹색 컬러 필터층이 형성된 녹색 화소 영역 및 청색 컬러 필터층이 형성된 청색 화소 영역을 포함하는 것을 특징으로 하는 액정 표시패널.

청구항 8

제7항에 있어서, 상기 돌출 패턴은 상기 청색 화소 영역에만 형성되고, 상기 제2 스페이서는 상기 청색 화소 영역에만 배치되는 것을 특징으로 하는 액정 표시패널.

청구항 9

제7항에 있어서, 상기 돌출 패턴은 모든 화소 영역에 형성되고, 상기 제2 스페이서는 상기 청색 화소 영역에만 배치되는 것을 특징으로 하는 액정 표시패널.

청구항 10

제1항에 있어서, 상기 제1 기관은 상기 컬러 필터층 상에 형성되어 상기 컬러 필터층을 관통하는 콘택홀을 통해 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되는 화소 전극을 더 포함하고, 상기 콘택홀은 상기 함

물부에 해당하며,

상기 제2 스페이서는 상기 콘택홀의 상부에 배치되는 것을 특징으로 하는 액정 표시패널.

청구항 11

제1 베이스 기판, 상기 제1 베이스 기판 상에 형성된 박막 트랜지스터 및 상기 박막 트랜지스터를 덮도록 상기 제1 베이스 기판 상에 형성된 컬러 필터층을 포함하는 제1 표시 기판;

제2 베이스 기판, 상기 제2 베이스 기판의 일부 영역에 형성되는 차광막, 상기 차광막이 형성된 영역 상에 형성되고 상기 제1 기판과 접촉되는 제1 스페이서 및 상기 제2 베이스 기판의 상기 차광막이 형성되지 않은 영역에 형성되고 상기 제1 기판과 이격되는 제2 스페이서를 포함하는 제2 기판; 및

상기 제1 기판 및 상기 제2 기판 사이에 개재된 액정층을 포함하는 액정 표시패널.

청구항 12

제11항에 있어서, 상기 차광막은 상기 박막 트랜지스터가 형성된 영역에 대응하여 형성된 것을 특징으로 하는 액정 표시패널.

청구항 13

제11항에 있어서, 상기 차광막은 상기 제2 베이스 기판을 노출시키는 관통홀을 포함하고, 상기 제2 스페이서는 상기 관통홀이 형성된 위치에 배치되는 것을 특징으로 하는 액정 표시패널.

청구항 14

제1 베이스 기판 상에 형성된 박막 트랜지스터를 덮고 함몰부를 갖는 컬러 필터층을 포함하는 제1 기판을 형성하는 단계;

제2 베이스 기판 상에 상기 제1 기판과 접촉되도록 형성되는 제1 스페이서 및 상기 함몰부에 대응하는 위치에 배치되는 제2 스페이서를 포함하는 제2 기판을 형성하는 단계;

상기 제1 기판 상에 액정을 적하하는 단계; 및

상기 제1 스페이서는 상기 제1 기판과 접촉하고 상기 제2 스페이서는 상기 함몰부의 상부에 위치하도록 상기 제1 기판 및 상기 제2 기판을 결합하는 단계를 포함하는 액정 표시패널의 제조방법.

청구항 15

제14항에 있어서, 상기 제1 기판을 형성하는 단계는,

상기 제1 베이스 기판 상에 게이트 라인 및 상기 게이트 라인으로부터 연장된 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계;

상기 제1 베이스 기판 상에 상기 게이트 라인과 교차하는 데이터 라인, 상기 데이터 라인으로부터 연장된 소스 전극 및 상기 소스 전극에서 이격되어 형성되는 드레인 전극을 형성하는 단계;

상기 게이트 전극, 소스 전극 및 드레인 전극을 덮도록 포토 레지스트를 형성하는 단계; 및

상기 포토 레지스트를 패터닝하여 함몰부를 갖는 컬러 필터층을 형성하는 단계를 포함하는 액정 표시패널의 제조방법.

청구항 16

제15항에 있어서, 상기 게이트 패턴은 상기 함몰부가 형성된 영역에 대응하여 상기 게이트 라인으로부터 돌출된 돌출 패턴을 더 포함하는 액정 표시패널의 제조방법.

청구항 17

제15항에 있어서, 상기 컬러 필터층을 형성하는 단계는 상기 함몰부가 형성될 위치에 대응하는 슬릿 패턴을 포함하는 마스크를 상기 포토 레지스트 상부에 배치하여 노광하고 현상하는 단계를 포함하는 것을 특징으로 하는

액정 표시패널의 제조방법.

청구항 18

제1 베이스 기판 상에 형성된 박막 트랜지스터를 덮는 컬러 필터층을 포함하는 제1 기판을 형성하는 단계;

제2 베이스 기판의 일부에 형성된 차광막, 상기 제2 베이스 기판의 차광막이 형성된 영역 상에 상기 제1 기판과 접촉되도록 형성되는 제1 스페이서 및 상기 제2 베이스 기판의 상기 차광막이 형성되지 않은 영역 상에 형성되는 제2 스페이서를 포함하는 제2 기판을 형성하는 단계;

상기 제1 기판 상에 액정을 적하하는 단계; 및

상기 제1 스페이서는 상기 제1 기판과 접촉하고 상기 제2 스페이서는 상기 제1 기판으로부터 이격되도록 상기 제1 기판 및 상기 제2 기판을 결합하는 단계를 포함하는 액정 표시패널의 제조방법.

청구항 19

제18항에 있어서, 상기 제2 기판을 형성하는 단계는 상기 차광막이 상기 제2 베이스 기판을 노출시키는 관통홀을 갖도록 상기 차광막을 패터닝하고 상기 제2 스페이서를 상기 관통홀에 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시패널의 제조방법.

명세서

발명의 상세한 설명

기술분야

<1> 본 발명은 액정 표시패널 및 이의 제조방법에 관한 것으로, 보다 상세하게는 이중 스페이서(dual spacer)를 갖는 액정 표시패널 및 이의 제조방법에 관한 것이다.

배경기술

<2> 일반적으로, 액정 표시장치는 두께가 얇고 무게가 가벼우며 전력소모가 낮은 장점이 있어, 모니터, 노트북, 휴대폰뿐만 아니라 대형TV에도 사용된다. 상기 액정 표시장치는 액정의 광투과율을 이용하여 영상을 표시하는 액정 표시패널 및 상기 액정 표시패널의 하부에 배치되어 상기 액정 표시패널로 광을 제공하는 백라이트 어셈블리를 포함한다.

<3> 상기 액정 표시패널은 스위칭 소자 및 화소 전극이 형성된 이른바 하부 기판 및 공통 전극이 형성된 이른바 상부 기판을 포함한다. 일반적으로, 상기 액정 표시패널에는 색을 표현하기 위한 컬러 필터층이 형성된다. 상기 컬러 필터층은 상기 스위칭 소자가 형성된 하부 기판에 형성될 수도 있고, 상기 공통 전극이 형성된 하부 기판에 형성될 수도 있다. 후자와 같은 구조는 COA(Color filter On Array) 구조라고 불리기도 하는데, 상기 COA 구조는 전자의 구조에 비해 접합 정렬 오차, 즉, 상기 두 기판이 결합될 때 컬러 필터들이 이에 대응하는 화소 영역과 미세하게 불일치되는 불량을 감소시키는 장점이 있다.

<4> 한편, 액정을 적하하는 방식으로 제조되는 액정 표시패널은 상기 두 기판 사이의 셀 갭을 일정하게 유지하기 위해 두 기판 사이에 규칙적으로 배열되는 스페이서(spacer)를 포함한다. 이 경우, 상기 스페이서가 너무 적으면 각 스페이서에 가해지는 응력이 커지기 때문에 스페이서가 변형되거나 붕괴되는 문제가 있고, 반대로 상기 스페이서가 너무 많으면 액정이 균일하게 분포되지 못하는 문제가 있다. 이러한 문제를 해결하기 위해, 박막 트랜지스터가 형성된 영역에서 발생하는 단차를 이용하여 서로 다른 접합 높이를 갖는 이중 스페이서를 포함하는 액정 표시패널이 개발되었다.

<5> 그러나, 상기 COA 구조를 갖는 액정 표시패널에서는, 컬러 필터층이 박막 트랜지스터를 덮어서 상기 박막 트랜지스터가 형성된 영역이 실질적으로 평탄하므로, 위에서 언급한 박막 트랜지스터가 형성된 영역에서 발생하는 단차를 이용하는 이중 스페이서를 채용하기 어렵다.

발명의 내용

해결 하고자하는 과제

- <6> 본 발명에서 해결하고자 하는 기술적 과제는 이러한 종래의 문제점을 해결하기 위한 것으로, 본 발명의 목적은 COA 구조를 가지면서도 이중 스페이서를 채용할 수 있는 액정 표시패널을 제공하는 것이다.
- <7> 본 발명의 다른 목적은 상기 액정 표시 패널을 제조하는 데 특히 적합한 액정 표시패널의 제조방법을 제공하는 것이다.

과제 해결수단

- <8> 본 발명의 목적을 달성하기 위한 일 실시예에 의한 액정 표시패널은 제1 기판, 제2 기판 및 상기 제1 기판 및 상기 제2 기판 사이에 개재된 액정층을 포함한다. 상기 제1 기판은 제1 베이스 기판, 상기 제1 베이스 기판 상에 형성된 박막 트랜지스터, 및 상기 박막 트랜지스터를 덮도록 상기 제1 베이스 기판 상에 형성되고 함몰부를 갖는 컬러 필터층을 포함한다. 상기 제2 기판은 제2 베이스 기판, 상기 제2 베이스 기판 상에 형성되어 상기 제1 기판과 접촉되는 제1 스페이서, 및 상기 제2 베이스 기판 상에 형성되고 상기 컬러 필터층의 함몰부에 대응하는 위치에 배치되어 상기 제1 기판과 이격되는 제2 스페이서를 포함한다.
- <9> 일 실시예에서, 상기 제1 스페이서는 상기 박막 트랜지스터가 형성된 영역에 대응하는 위치에 배치될 수 있다. 일 실시예에서, 상기 제1 스페이서 및 상기 제2 스페이서는 동일한 길이를 갖는 원통형일 수 있다.
- <10> 일 실시예에서, 상기 제1 기판은 상기 컬러 필터층의 함몰부 하부에 형성되는 돌출 패턴을 더 포함하고, 상기 제2 스페이서는 돌출 패턴 및 함몰부가 형성된 부분에 대응하여 배치될 수 있다. 상기 제1 기판은 제1 방향으로 연장되는 게이트 라인을 더 포함하고, 상기 돌출 패턴은 상기 게이트 라인으로부터 돌출될 수 있다. 상기 돌출 패턴의 외곽 크기는 상기 함몰부의 외곽 크기와 같거나 클 수 있다.
- <11> 일 실시예에서, 상기 제1 기판은 적색 컬러 필터층이 형성된 적색 화소 영역, 녹색 컬러 필터층이 형성된 녹색 화소 영역 및 청색 컬러 필터층이 형성된 청색 화소 영역을 포함한다. 상기 돌출 패턴은 상기 청색 화소 영역에만 형성되고, 상기 제2 스페이서는 상기 청색 화소 영역에만 배치될 수 있다. 다른 실시예에서, 상기 돌출 패턴은 모든 화소 영역에 형성되고, 상기 제2 스페이서는 상기 청색 화소 영역에만 배치될 수 있다.
- <12> 일 실시예에서, 상기 제1 기판은 상기 컬러 필터층 상에 형성되어 상기 컬러 필터층을 관통하는 콘택홀을 통해 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결되는 화소 전극을 더 포함하고, 상기 콘택홀은 상기 함몰부에 해당하며, 상기 제2 스페이서는 상기 콘택홀의 상부에 배치될 수 있다.
- <13> 본 발명의 목적을 달성하기 위한 다른 일 실시예에 의한 액정 표시패널은 제1 기판, 제2 기판 및 상기 제1 기판 및 상기 제2 기판 사이에 개재된 액정층을 포함한다. 상기 제1 기판은 제1 베이스 기판, 상기 제1 베이스 기판 상에 형성된 박막 트랜지스터 및 상기 박막 트랜지스터를 덮도록 상기 제1 베이스 기판 상에 형성된 컬러 필터층을 포함한다. 상기 제2 기판은 제2 베이스 기판, 상기 제2 베이스 기판의 일부 영역에 형성되는 차광막, 상기 차광막이 형성된 영역 상에 형성되고 상기 제1 기판과 접촉되는 제1 스페이서 및 상기 제2 베이스 기판의 상기 차광막이 형성되지 않은 영역에 형성되고 상기 제1 기판과 이격되는 제2 스페이서를 포함한다.
- <14> 일 실시예에서, 상기 차광막은 상기 박막 트랜지스터가 형성된 영역에 대응하여 형성될 수 있다. 일 실시예에서, 상기 차광막은 상기 제2 베이스 기판을 노출시키는 관통홀을 포함하고, 상기 제2 스페이서는 상기 관통홀이 형성된 위치에 배치될 수 있다.
- <15> 본 발명의 목적을 달성하기 위한 일 실시예에 의한 액정 표시패널의 제조방법은 제1 베이스 기판 상에 형성된 박막 트랜지스터를 덮고 함몰부를 갖는 컬러 필터층을 포함하는 제1 기판을 형성하는 단계, 제2 베이스 기판 상에 상기 제1 기판과 접촉되도록 형성되는 제1 스페이서 및 상기 함몰부에 대응하는 위치에 배치되는 제2 스페이서를 포함하는 제2 기판을 형성하는 단계, 상기 제1 기판 상에 액정을 적하하는 단계, 및 상기 제1 스페이서는 상기 제1 기판과 접촉하고 상기 제2 스페이서는 상기 함몰부의 상부에 위치하도록 상기 제1 기판 및 상기 제2 기판을 결합하는 단계를 포함한다.
- <16> 일 실시예에서, 상기 제1 기판을 형성하는 단계는 상기 제1 베이스 기판 상에 게이트 라인 및 게이트 전극을 포함하는 게이트 패턴을 형성하는 단계, 상기 제1 베이스 기판 상에 상기 게이트 라인과 교차하는 데이터 라인, 상기 데이터 라인으로부터 연장된 소스 전극 및 상기 소스 전극에서 이격되어 형성되는 드레인 전극을 형성하는 단계, 상기 게이트 전극, 소스 전극 및 드레인 전극을 덮도록 포토 레지스트를 형성하는 단계, 및 상기 포토 레지스트를 패터닝하여 함몰부를 갖는 컬러 필터층을 형성하는 단계를 포함한다.
- <17> 일 실시예에서, 상기 게이트 패턴은 상기 함몰부가 형성된 영역에 대응하여 상기 게이트 라인으로부터 돌출된

돌출 패턴을 더 포함할 수 있다.

- <18> 일 실시예에서, 상기 컬러 필터층을 형성하는 단계는 상기 합몰부가 형성될 위치에 대응하는 슬릿 패턴을 포함하는 마스크를 상기 포토 레지스트 상부에 배치하여 노광하고 현상하는 단계를 포함한다.
- <19> 본 발명의 목적을 달성하기 위한 다른 일 실시예에 의한 액정 표시패널의 제조방법은 제1 베이스 기판 상에 형성된 박막 트랜지스터를 덮는 컬러 필터층을 포함하는 제1 기판을 형성하는 단계, 제2 베이스 기판의 일부에 형성된 차광막, 상기 제2 베이스 기판의 차광막이 형성된 영역 상에 상기 제1 기판과 접촉되도록 형성되는 제1 스페이서 및 상기 제2 베이스 기판의 상기 차광막이 형성되지 않은 영역 상에 형성되는 제2 스페이서를 포함하는 제2 기판을 형성하는 단계, 상기 제1 기판 상에 액정을 적하하는 단계, 및 상기 제1 스페이서는 상기 제1 기판과 접촉하고 상기 제2 스페이서는 상기 제1 기판으로부터 이격되도록 상기 제1 기판 및 상기 제2 기판을 결합하는 단계를 포함한다.
- <20> 일 실시예에서, 상기 제2 기판을 형성하는 단계는 상기 차광막에 상기 제2 베이스 기판을 노출시키는 관통홀을 형성하는 단계를 더 포함할 수 있고, 상기 제2 스페이서는 상기 관통홀이 형성된 위치에 형성될 수 있다.

효 과

- <21> 본 발명에 따르면, 제2 스페이서를 기판으로부터 일정 간격 이격시킬 수 있으므로, 액정 표시패널이 COA 구조를 가지면서도 이중 스페이서를 채용할 수 있다.
- <22> 따라서, 외부에서 가해지는 응력이 효과적으로 분산되고, 액정이 균일하게 분포될 수 있다.

발명의 실시를 위한 구체적인 내용

- <23> 이하, 도면들을 참조하여 본 발명의 표시장치의 바람직한 실시예들을 보다 상세하게 설명하기로 한다. 본 발명은 다양한 변경을 가할 수 있고 여러 가지 형태를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 본문에 상세하게 설명하고자 한다. 그러나, 이는 본 발명을 특정한 개시 형태에 대해 한정하려는 것이 아니며, 본 발명의 사상 및 기술 범위에 포함되는 모든 변경, 균등물 내지 대체물을 포함하는 것으로 이해되어야 한다. 각 도면을 설명하면서 유사한 참조부호를 유사한 구성요소에 대해 사용하였다. 첨부된 도면에 있어서, 구조물들의 치수는 본 고안의 명확성을 기하기 위하여 실제보다 확대하여 도시한 것이다. 제1, 제2 등의 용어는 다양한 구성요소들을 설명하는데 사용될 수 있지만, 상기 구성요소들은 상기 용어들에 의해 한정되어서는 안 된다. 상기 용어들은 하나의 구성요소를 다른 구성요소로부터 구별하는 목적으로만 사용된다. 예를 들어, 본 발명의 권리 범위를 벗어나지 않으면서 제1 구성요소는 제2 구성요소로 명명될 수 있고, 유사하게 제2 구성요소도 제1 구성요소로 명명될 수 있다. 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- <24> 본 출원에서, "포함하다" 또는 "가지다" 등의 용어는 명세서 상에 기재된 특징, 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것이 존재함을 지정하려는 것이지, 하나 또는 그 이상의 다른 특징들이나 숫자, 단계, 동작, 구성요소, 부분품 또는 이들을 조합한 것들의 존재 또는 부가 가능성을 미리 배제하지 않는 것으로 이해되어야 한다. 또한, 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 경우, 이는 다른 부분 "바로 위에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 층, 막, 영역, 판 등의 부분이 다른 부분 "아래에" 있다고 할 경우, 이는 다른 부분 "바로 아래에" 있는 경우뿐만 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다.
- <25> 이하, 첨부한 도면들을 참조하여, 본 발명을 보다 상세하게 설명하고자 한다.
- <26> 도 1은 본 발명의 실시예에 따른 액정 표시패널을 나타내는 평면도이다. 도 2는 도 1에 도시된 'A'부분에 대응되는 제1 기판의 일부분을 나타낸 확대 평면도이고, 도 3은 도 1의 I-I'선을 따라 절단한 단면도이다.
- <27> 도 1 내지 도 3을 참조하면, 액정 표시패널(500)은 제1 기판(100), 제2 기판(200) 및 상기 제1 및 제2 기판들(100, 200) 사이에 개재된 액정층(300)을 포함한다.
- <28> 상기 제1 기판(100)의 베이스 기판(110) 상에는 제1 방향으로 연장되는 게이트 라인들(GLn-1, GLn) 및 상기 각 게이트 라인들(GLn-1, GLn)로부터 연장된 게이트 전극(121)을 포함하는 게이트 패턴(120)이 형성된다. 여기서, n은 1보다 큰 자연수이다. 상기 게이트 전극(121)은 스위칭 소자의 구동을 제어하는 제어 신호가 인가되는 제어 전극이다.
- <29> 또한, 상기 베이스 기판(110) 상에는 상기 제1 방향에 실질적으로 수직인 제2 방향으로 연장되는 데이터 라인들

(DLm-3, DLm-2, DLm-1, DLm), 상기 데이터 라인들(DLm-3, DLm-2, DLm-1, DLm)로부터 연장된 소스 전극(151) 및 상기 소스 전극(151)에서 이격되어 형성된 드레인 전극(153)을 포함하는 데이터 패턴(150)이 형성된다. 여기서, m은 3보다 큰 자연수이다. 상기 소스 전극(151)은 스위칭 소자에 데이터 신호가 입력되는 입력 전극이며, 상기 드레인 전극(153)은 스위칭 소자에 입력된 상기 데이터 신호에 대응하는 신호가 출력되는 출력 전극이다. 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)은 스위칭 소자의 일종인 박막 트랜지스터(TFT)를 구성한다.

- <30> 상기 제1 기관(100)은 다수의 화소 영역들로 구획된다. 도 1에 도시된 실시예에서는, 상기 게이트 라인들(GLn-1, GLn) 및 상기 데이터 라인들(DLm-3, DLm-2, DLm-1, DLm)이 교차하여 형성하는 각각의 영역들을 화소 영역으로 정의한다. 상기 박막 트랜지스터(TFT)는 상기 제1 기관(100)의 각 화소 영역마다 형성될 수 있다. 상기 각 화소 영역에는 스토리지 라인(미도시) 및 스토리지 캐패시터(미도시)가 형성될 수도 있다.
- <31> 상기 제1 기관(100)은 상기 게이트 패턴(120)을 덮도록 상기 제1 베이스 기관(110) 상에 형성되는 게이트 절연층(130)을 더 포함한다. 상기 게이트 절연층(130)은, 예컨대, 질화 실리콘(SiNx) 또는 산화 실리콘(SiOx)으로 이루어질 수 있다.
- <32> 상기 게이트 전극(121) 및 소스/드레인 전극(151, 153) 사이에는 채널층(140)이 형성될 수 있다. 상기 채널층(140)은, 예를 들어, 아몰퍼스(amorphous) 실리콘으로 형성된 활성층(141) 및 n+ 이온이 고농도로 도핑된 아몰퍼스(amorphous) 실리콘으로 형성된 저항성 접촉층(143)을 포함한다.
- <33> 상기 박막 트랜지스터(TFT)의 소스 전극(151) 및 드레인 전극(153) 위에는 패시베이션층(160)이 형성될 수도 있다.
- <34> 일 실시예에 따르면, 상기 화소 영역들은 제1, 제2 및 제3 적색 화소 영역들(R1, R2, R3), 제1, 제2 및 제3 녹색 화소 영역들(G1, G2, G3) 및 제1, 제2 및 제3 청색 화소 영역들(B1, B2, B3)을 포함할 수 있다.
- <35> 도 1에 도시된 실시예에서는, 상기 제1, 제2 및 제3 적색 화소 영역들(R1, R2, R3), 제1, 제2 및 제3 녹색 화소 영역들(G1, G2, G3) 및 제1, 제2 및 제3 청색 화소 영역들(B1, B2, B3)이 각각 제1 방향을 따라 순차적으로 배열된다. 예를 들어, 제1 방향을 따라 제1 적색 화소 영역(R1) 다음에 제1 녹색 화소 영역(G1)이 배열되고, 제1 녹색 화소 영역(G1) 다음에 제1 청색 화소 영역(B1)이 각각 배열된다. 그러나, 상기 색 화소 영역들이 배열되는 순서는 여기에 한정되지 않는다. 즉, 다른 실시예에서는, 상기 색 화소 영역들이 제1 방향 및 제2 방향 모두에서 번갈아 가며 배열될 수 있다. 예를 들어, 제1 방향을 따라 제1 적색 화소 영역(R1), 제1 녹색 화소 영역(G1) 및 제1 청색 화소 영역(B1)이 순차적으로 배열되고, 제2 방향을 따라서도 역시 제1 적색 화소 영역(R1), 제2 녹색 화소 영역(G2) 및 제3 청색 화소 영역(B3)이 순차적으로 배열될 수 있다.
- <36> 상기 제1 기관(100)은 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)을 포함하는 박막 트랜지스터(TFT)를 덮는 컬러 필터층(170)을 더 포함한다. 도 3은 제2 청색 화소 영역(B2)의 단면을 나타내기 때문에, 도 3에는 제2 청색 화소 영역(B2)에 형성된 청색 컬러 필터층(170)만 도시되어 있다.
- <37> 비록 도 1 내지 도 3에 도시되지는 않았지만, 상기 청색 컬러 필터층(170) 뿐만 아니라 적색 컬러 필터층(미도시) 및 녹색 컬러 필터층(미도시)이 각각 대응되는 적색 화소 영역들(R1, R2, R3) 및 녹색 화소 영역들(G1, G2, G3)에도 형성된다는 것을 이해할 수 있을 것이다. 상기 청색 컬러 필터층(170)과 유사하게, 상기 적색 컬러 필터층 및 상기 녹색 컬러 필터층도 적색 화소 영역들(R1, R2, R3) 및 녹색 화소 영역들(G1, G2, G3)에 각각 형성된 박막 트랜지스터(TFT)를 덮도록 형성된다.
- <38> 일 실시예에서, 상기 컬러 필터층(170)의 상부에는 컬러 필터층(170)으로부터 발생하는 이온 불순물들이 액정층(300)으로 진입되는 것을 막는 캡핑층(미도시)이 형성될 수 있다.
- <39> 컬러 필터층(170) 상에는 화소 전극(180)이 형성된다. 화소 전극(180)은, 예컨대, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZO(Zinc Oxide)와 같은 투명한 도전성 물질로 이루어진다. 상기 화소 전극(180)은 컬러 필터층(170)을 관통하는 콘택홀(190)을 통해 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결된다.
- <40> 상기 제2 기관(200)은 제2 베이스 기관(210) 상에 형성되는 공통 전극(220)을 포함한다. 공통 전극(220)은, 예컨대, ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide) 또는 ZO(Zinc Oxide)와 같은 투명한 도전성 물질로 이루어진다.
- <41> 상기 액정층(300)은 제1 기관(100) 및 제2 기관(200) 사이에 개재되고, 복수의 액정 분자들을 포함한다. 액정층

(300)의 액정 분자들은 상기 화소 전극(180)과 공통 전극층(220) 사이의 전계에 의해 영상을 표시한다.

- <42> 상기 제2 기관(200)은 제2 베이스 기관(210) 상에 형성되는 제1 스페이서(260) 및 제2 스페이서(270)를 더 포함한다. 상기 제1 스페이서(260) 및 제2 스페이서(270)는 제1 및 제2 기관(100, 200)이 결합되었을 때, 제1 기관(100) 및 제2 기관(200) 사이의 간격을 일정하게 유지시킨다.
- <43> 상기 스페이서들(260, 270)이 반드시 제2 기관에 고정될 필요는 없지만, 도 1 내지 도 3에 도시된 본 발명의 일 실시예에서는, 상기 스페이서들(260, 270)이 원하는 위치에 배치되도록 하기 위해서 상기 스페이서들(260, 270)이 상기 제2 기관(270)에 고정되도록 형성된다.
- <44> 상기 제1 스페이서(260) 및 제2 스페이서(270)의 길이나 모양이 제한되지는 않는다. 다만, 공정의 단순화를 위해, 제1 스페이서(260) 및 제2 스페이서(270)의 길이는 실질적으로 동일할 수 있다. 또한, 제1 스페이서(260) 및 제2 스페이서(270)의 모양이 실질적으로 동일할 수도 있다. 예를 들어, 제1 스페이서(260) 및 제2 스페이서(270)는 동일한 길이의 기둥 또는 원통 모양을 가질 수 있다.
- <45> 제1 및 제2 기관(100, 200)이 결합되었을 때, 제1 스페이서(260)는 제1 기관(100)과 접촉한다. 일 실시예에서, 상기 제1 스페이서(260)는 상기 박막 트랜지스터(TFT)가 형성된 영역에 대응하는 위치에 배치되어 제1 기관(100)과 접촉한다. 다만, 제1 스페이서(260)의 위치가 반드시 상기 박막 트랜지스터(TFT)가 형성된 영역에 제한되는 것은 아니며, 광 효율을 감소시키는 위치가 아니라면 어디든지 배치될 수 있다. 예를 들어, 상기 제1 스페이서(260)는 데이터 라인(GLm) 상에 배치될 수 있으며, 스토리지 라인(미도시) 상에 배치될 수도 있다.
- <46> 위에서 언급한 바와 같이, 스페이서의 수가 너무 적으면 각 스페이서에 가해지는 응력이 커지기 때문에 스페이서가 변형되거나 붕괴되는 문제가 발생하는 반면, 상기 스페이서가 너무 많으면 액정이 균일하게 분포되지 못하는 문제가 발생된다. 이러한 문제를 해결하기 위해, 본 발명은 응력을 분산시키는 제2 스페이서(270)를 채용한다. 액정을 균일하게 분포시키기 위해, 제1 및 제2 기관(100, 200)이 결합되었을 때 상기 제2 스페이서(270)는 제1 기관(100)과 일정 간격 이격될 필요가 있다.
- <47> 본 발명의 일 실시예에 따르면, 컬러 필터층(170)이 소정의 깊이만큼 함몰된 함몰부(175)를 가지며, 제2 스페이서(270)는 상기 컬러 필터층(170)의 함몰부(175)에 대응하는 위치에 배치된다. 즉, 제1 및 제2 기관(100, 200)이 결합되었을 때 제2 스페이서(270)가 함몰부(175)의 상부에 배치되어 제1 기관(100)으로부터 상기 함몰부(175)의 함몰 깊이만큼 이격된다.
- <48> 제2 스페이서(270)와 제1 기관(100) 사이의 이격 거리, 즉, 상기 함몰부(175)의 함몰 깊이는 함몰부(175)의 형성 공정에서 필요에 따라 조정될 수 있다. 예를 들어, 함몰부(175)의 함몰 깊이가 얕을 수도 있고, 함몰부(175)가 상기 컬러 필터층(170)을 관통하도록 형성될 수도 있다. 도 2에는 제1 베이스 기관(110)의 상면에 평행하게 자른 함몰부(175)의 단면 모양이 사각형으로 도시되어 있지만, 상기 함몰부(175)의 단면 모양이 여기에 제한되는 것은 아니다. 예를 들어, 상기 함몰부(175)의 단면은 오각형, 육각형, 원형, 타원형 등 다양한 모양을 가질 수 있다. 또한, 상기 함몰부(175)의 단면은 제2 스페이서(270)의 단면에 대응되는 모양을 가질 수도 있다. 함몰부(175)의 형성 방법 및 상기 함몰 깊이의 조정 방법은 아래의 도 4를 참조하여 더 자세히 설명될 것이다.
- <49> 도 1 내지 도 3에 도시된 실시예에서는, 상기 함몰부(175)가 게이트 라인(GLn) 상부에 대응하여 형성되고, 이에 따라, 제2 스페이서(270)도 상기 게이트 라인(GLn) 상에 배치된다. 그러나, 제2 스페이서(270)의 위치가 여기에 한정되는 것은 아니다. 예를 들어, 제2 스페이서(270)는 데이터 라인(DLm) 상에 배치될 수도 있으며, 스토리지 라인(미도시) 상에 배치될 수도 있다. 이 경우, 제2 스페이서(270)가 배치되는 위치에 대응하여 데이터 라인(DLm) 또는 스토리지 라인의 상부에 상기 함몰부(175)와 유사한 함몰부가 형성될 수 있다.
- <50> 도 1 내지 도 3에서 도시한 실시예에 따른 어레이 기관에서는, 제1 스페이서(260) 및 제2 스페이서(270)가 동일한 화소 영역, 즉, 제1 및 제2 청색 화소 영역(B1, B2)에 서로 인접하게 배치되어 있지만, 다른 실시예에서는 제1 스페이서(260) 및 제2 스페이서(270)가 서로 다른 화소 영역에 배치될 수도 있다. 예를 들어, 제1 스페이서(260)가 제2 청색 화소 영역(B2)에 배치되는 경우, 제2 스페이서(270)는 제2 녹색 화소 영역(G2)에 배치될 수도 있다. 또 다른 실시예에서는, 제1 스페이서(260) 및 제2 스페이서(270)가 모든 화소 영역들에 각각 배치될 수도 있다. 다만, 위에서 언급한 바와 같이, 스페이서의 수가 너무 많으면 액정이 균일하게 분포되지 못하는 문제가 발생할 수 있으므로, 상기 스페이서들(260, 270)의 수와 위치는 응용 분야에 따라서 적절하게 조정하는 것이 바람직하다.
- <51> 제2 스페이서(270)를 제1 기관(100)으로부터 일정 깊이만큼 이격시키기 위해 컬러 필터층(170)에 함몰부(175)가 형성되면, 비록 필연적이지는 않지만, 함몰부(175)가 형성된 부위를 통해 광이 누설될 수 있다. 이러한 광의 누

설은 액정 표시패널의 품질을 저하시킨다. 본 발명의 일 실시예에 따르면, 상기 광 누설을 방지하기 위해, 돌출 패턴(125)이 컬러 필터층(170)의 함몰부(175) 하부에 형성된다.

- <52> 도 1 내지 도 3에 도시된 바와 같이 함몰부(175) 및 제2 스페이서(270)가 게이트 라인(GLn) 상에 배치되는 경우에는, 상기 함몰부(175)의 위치에 대응하는 게이트 라인(GLn)의 일부분이 제2 방향으로 돌출되어 돌출 패턴(125)을 형성한다. 이 경우, 게이트 라인들(GLn-1, GLn) 및 게이트 전극(121)을 포함하는 게이트 패턴(120)을 형성하는 공정에서, 상기 돌출 패턴(125)을 함께 형성할 수 있다. 즉, 돌출 패턴(125)이 게이트 패턴(120)의 일부분에 해당되어 상기 게이트 라인들(GLn-1, GLn) 및 게이트 전극(121)과 동일한 물질로 형성될 수 있다.
- <53> 도시되지 않은 다른 실시예의 경우, 예를 들어, 함몰부 및 제2 스페이서가 데이터 라인(DLm) 상에 배치되는 경우에는, 상기 함몰부의 위치에 대응하는 데이터 라인(DLm)의 일부분이 제1 방향으로 돌출되어 돌출 패턴을 형성할 수도 있다.
- <54> 상기 돌출 패턴(125)의 크기 또는 둘레는 함몰부(175)의 크기 또는 광의 누설 정도 등에 따라서 적절하게 조정될 수 있다. 다만, 누설 광을 효과적으로 차단하기 위해서, 상기 돌출 패턴(125)의 외곽 크기가 상기 함몰부(175)의 외곽 크기와 같거나 그보다 큰 것이 바람직하다.
- <55> 도 1 및 도 2에는 제1 베이스 기관(110)의 상면에 평행하게 자른 돌출 패턴(125)의 단면 모양이 사각형으로 도시되어 있지만, 상기 돌출 패턴(125)의 단면 모양이 여기에 제한되는 것은 아니다. 예를 들어, 상기 돌출 패턴(125)의 단면은 오각형, 육각형, 원형, 반원형, 타원형 등 다양한 모양을 가질 수 있다. 또한, 상기 돌출 패턴(125)의 단면은 함몰부(175) 및/또는 제2 스페이서(270)의 단면에 대응되는 모양을 가질 수도 있다. 돌출 패턴(125)은 액정 표시패널을 투과하는 광을 차단하기 때문에, 돌출 패턴(125)의 크기가 필요 이상으로 클 필요가 없다. 돌출 패턴(125)의 크기나 모양은 광 누설을 방지함과 동시에 광 손실을 최소화할 수 있도록 최적화될 수 있다.
- <56> 한편, 위에서 언급한 바와 같이, 액정 표시패널(500) 내에 배치되는 스페이서들(260, 270)의 수는 필요에 따라 조정될 수 있다. 모든 화소 영역들마다 제2 스페이서(270)가 형성될 필요가 있는 경우에는, 함몰부(175)도 모든 화소 영역들마다 대응하게 형성되고, 이에 따라, 돌출 패턴(125)이 모든 화소 영역들에 형성될 수 있다.
- <57> 만약, 요구되는 제2 스페이서(270)의 수가 전체 화소 영역들의 수보다 적은 경우에는, 제2 스페이서(270) 및 이에 대응하는 돌출 패턴(125)은 광 손실을 최소화할 수 있는 위치에 배치되는 것이 바람직하다. 예를 들어, 요구되는 제2 스페이서(270)의 수가 전체 화소 영역들의 수의 3분의 1인 경우에는, 돌출 패턴(125)에 의해 발생하는 광 손실 비율이 청색 화소 영역에서 가장 낮기 때문에 제2 스페이서(270) 및 돌출 패턴(125)이 청색 화소 영역들(B1, B2, B3)에만 형성되는 것이 바람직하다. 청색 화소 영역이 적색 및 녹색 화소 영역들에 비해 광 투과율이 낮기 때문에 돌출 패턴(125)에 의해 발생하는 광 손실 비율도 청색 화소 영역에서 가장 낮을 수 있다. 하지만, 본 발명이 여기에 한정되는 것은 아니다. 즉, 제2 스페이서(270)나 돌출 패턴(125)이 반드시 청색 화소 영역들(B1, B2, B3)에만 형성될 필요는 없다. 필요에 따라, 제2 스페이서(270) 및 돌출 패턴(125)이 적색 및 녹색 화소 영역들(R1, R2, R3, G1, G2, G3)에 형성될 수도 있다.
- <58> 도 4는 도 1 내지 도 3에 도시된 액정 표시패널의 제조 방법을 나타내는 단면도이다.
- <59> 도 1 내지 도 4를 참조하면, 먼저, 베이스 기관(110) 상에 게이트 라인들(GLn-1, GLn) 및 상기 게이트 라인들(GLn-1, GLn)로부터 연장된 게이트 전극(121)을 포함하는 게이트 패턴(120)을 형성한다. 일 실시예에서, 상기 게이트 패턴(120)은 상기 함몰부(175)가 형성될 영역에 대응하여 상기 게이트 라인들(GLn-1, GLn)로부터 돌출된 돌출 패턴(125)을 더 포함할 수 있다. 또한, 상기 게이트 패턴(120)이 형성된 베이스 기관(110) 상에 상기 게이트 라인들(GLn-1, GLn)과 교차하는 데이터 라인들(DLm-3, DLm-2, DLm-1, DLm), 상기 데이터 라인들(DLm-3, DLm-2, DLm-1, DLm)로부터 연장된 소스 전극(151) 및 상기 소스 전극(151)에서 이격되어 형성된 드레인 전극(153)을 포함하는 데이터 패턴(150)을 형성한다. 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)은 스위칭 소자의 일종인 박막 트랜지스터를 구성한다.
- <60> 상기 제1 기관(100)에는 상기 게이트 패턴(120)을 덮는 게이트 절연층(130)이 더 형성될 수 있다. 상기 게이트 전극(121) 및 소스/드레인 전극(151, 153) 사이에는 채널층(140)이 형성될 수 있다. 상기 박막 트랜지스터의 소스 전극(151) 및 드레인 전극(153) 위에는 패시베이션층(160)이 형성될 수도 있다.
- <61> 상기 박막 트랜지스터가 형성된 제1 기관(100) 상에 상기 박막 트랜지스터를 덮도록 포토레지스트(172)를 형성한다. 상기 포토레지스트(172)는, 예컨대, 염료 또는 안료를 포함할 수 있다. 예를 들어, 적색 컬러 필터층을 형성하기 위해서는 적색 염료 및 적색 안료가 사용될 수 있고, 녹색 컬러 필터층을 형성하기 위해서는 녹색 염

료 및 녹색 안료가 사용될 수 있다. 마찬가지로, 청색 컬러 필터층을 형성하기 위해, 상기 포토레지스트(172)는 청색 염료 및 청색 안료를 포함할 수 있다.

- <62> 일 실시예에 따르면, 상기 포토레지스트(172)는 감광성 물질로 이루어지고, 상기 감광성 물질은, 예를 들어, 광이 조사되는 영역은 잔류하고 광이 차단되는 영역은 현상액에 의해 제거되는 네거티브형 포토레지스트이다.
- <63> 이어서, 상기 포토레지스트(172)가 형성된 제1 기판(100) 상부에 마스크(400)를 배치시킨다. 상기 마스크(400)는 컬러 필터층을 형성하기 위한 투과부(410), 함몰부(점선으로 표시된 175)가 형성될 위치에 대응하는 슬릿 패턴(430) 및 콘택홀(점선으로 표시된 190)이 형성될 위치에 대응하는 차광부(450)를 포함한다.
- <64> 이어서, 마스크(400)의 상부로부터 포토레지스트(172)를 향해 외부광을 조사한다. 상기 투과부(410)는 외부광을 통과시키고, 상기 차광부(450)는 외부광을 차단한다. 상기 슬릿 패턴(430)은 외부광을 부분적으로 통과시킨다. 슬릿 패턴(430)의 면적 또는 간격을 조절하여 통과되는 외부광의 양을 조절할 수 있다.
- <65> 상기 포토레지스트(172)는 네거티브형이므로, 광에 노출된 부분에는 컬러 필터층이 형성되고, 광에 노출되지 않은 부분은 현상액에 의해 제거된다. 따라서, 상기 차광부(450)에 대응되는 부분에는 콘택홀(190)이 형성되고, 상기 슬릿 패턴(430)에 대응되는 부분에는 함몰부(175)가 형성된다. 이 경우, 슬릿 패턴(430)을 통과하는 외부광의 양을 조절하면, 함몰부(175)의 함몰 깊이를 조절할 수 있다. 상기 함몰부(175)의 함몰 깊이는 함몰부(175)의 형성 공정에서 필요에 따라 결정될 수 있다.
- <66> 일 실시예에 따르면, 상기 슬릿 패턴(430)은 중앙에서의 패턴간 간격이 상대적으로 좁고, 가장자리에서의 패턴간 간격이 상대적으로 넓게 형성될 수 있다. 이 경우에, 슬릿 패턴(430)의 중앙을 통해서는 상대적으로 적은 광이 통과하고, 슬릿 패턴(430)의 가장자리를 통해서는 상대적으로 많은 광이 통과될 수 있다. 이에 따라, 슬릿 패턴(430)의 중앙에 대응하는 포토레지스트(172)는 상대적으로 많이 제거되고 슬릿 패턴(430)의 가장자리에 대응하는 포토레지스트(172)는 상대적으로 적게 제거된다. 즉, 소정 기울기를 갖는 함몰부(175)가 형성될 수 있다.
- <67> 일 실시예에서는, 슬릿 패턴(430) 대신 차단부를 형성하여, 컬러 필터층을 관통하는 함몰부를 형성할 수도 있다. 또한, 상기 마스크(400)는 슬릿(Slit)들이 형성된 슬릿 패턴(430)을 포함하는 것을 일례로 설명하였지만, 슬릿 패턴(430) 대신 하프 톤(Half Tone)으로 처리된 부분을 포함하는 하프 톤 마스크를 이용할 수도 있다.
- <68> 상기 액정 표시패널의 제조 방법은 제2 베이스 기판(210) 상에 상기 제1 기판(100)과 접촉되도록 형성되는 제1 스페이서(260) 및 상기 함몰부(270)에 대응하는 위치에 배치되는 제2 스페이서(270)를 포함하는 제2 기판을 형성하는 단계를 더 포함한다.
- <69> 예를 들어, 제2 베이스 기판(210) 상에 감광성 유기 물질(미도시)을 형성하고, 상기 감광성 유기 물질을 패터닝하여 상기 제1 스페이서(260) 및 제2 스페이서(270)를 형성할 수 있다.
- <70> 상기 액정 표시패널의 제조 방법은 상기 제1 기판(100) 상에 액정을 적하하는 단계를 더 포함한다. 상기 액정의 적하는, 예컨대, 액정 적하 장치에 의해 수행될 수 있다.
- <71> 상기 액정 표시패널의 제조 방법은 상기 제1 스페이서(260)가 상기 제1 기판(100)과 접촉하고 상기 제2 스페이서(270)가 상기 함몰부(175)의 상부에 위치하도록 상기 제1 기판(100) 및 상기 제2 기판(200)을 결합하는 단계를 더 포함한다.
- <72> 상기 제1 기판(100) 및 상기 제2 기판(200)이 결합되었을 때, 상기 제2 스페이서(270)는 상기 함몰부(175)의 상부에 위치하므로 함몰부(175)의 함몰 깊이만큼 상기 제1 기판(100)으로부터 이격된다. 본 발명의 일 실시예에 따르면, 슬릿 마스크(400)를 이용하여 포토레지스트(172)에 입사되는 외부광의 양을 조절하여, 상기 함몰부(175)의 함몰 깊이를 조절할 수 있다.
- <73> 도 5는 본 발명의 다른 실시예에 따른 액정 표시패널을 나타내는 평면도이다.
- <74> 도 5를 참조하여 설명하는 액정 표시패널(600)은 도 1 내지 도 3을 참조하여 설명한 액정 표시패널(100)과 비교할 때, 적색, 녹색 및 청색 화소 영역들의 배열 순서, 스페이서들의 위치, 돌출 패턴의 배열 등이 다르다는 점을 제외하고는 도 1의 액정 표시패널(100)과 실질적으로 동일하거나 유사하다. 따라서, 도 1 내지 도 3을 참조하여 설명된 액정 표시패널(100)의 구성 요소와 유사하거나 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 반복되는 상세한 설명은 생략한다.
- <75> 도 5를 참조하면, 본 발명의 일 실시예에 따른 액정 표시패널(600)은 하부 기판(미도시), 상부 기판(미도시) 및

상기 하부 기판 및 상부 기판 사이에 개재된 액정층(미도시)을 포함한다. 여기서, 상기 하부 기판은 도 3에 도시된 제1 기판(100)에 대응되고, 상기 상부 기판은 도 3에 도시된 제2 기판(200)에 대응된다.

- <76> 상기 하부 기판 상에는 제1 방향으로 연장되는 게이트 라인들(GLn-1, GLn) 및 상기 각 게이트 라인들(GLn-1, GLn)로부터 연장된 게이트 전극(121)을 포함하는 게이트 패턴이 형성된다. 또한, 상기 하부 기판 상에는 상기 제1 방향에 실질적으로 수직인 제2 방향으로 연장되는 데이터 라인들(DLn-3, DLn-2, DLn-1, DLn), 상기 데이터 라인들(DLn-3, DLn-2, DLn-1, DLn)로부터 연장된 소스 전극(151) 및 상기 소스 전극(151)에서 이격되어 형성된 드레인 전극(153)을 포함하는 데이터 패턴이 형성된다. 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)은 스위칭 소자의 일종인 박막 트랜지스터(TFT)를 구성한다.
- <77> 상기 액정 표시패널(600)은 다수의 화소 영역들로 구획된다. 도 5에 도시된 실시예에서는, 상기 게이트 라인들(GLn-1, GLn) 및 상기 데이터 라인들(DLn-3, DLn-2, DLn-1, DLn)이 교차하여 형성하는 각각의 영역들을 화소 영역으로 정의한다. 상기 박막 트랜지스터(TFT)는 상기 각 화소 영역마다 형성될 수 있다. 상기 화소 영역들은 적색 화소 영역들(R1, R2, R3), 녹색 화소 영역들(G1, G2, G3) 및 청색 화소 영역들(B1, B2, B3)을 포함할 수 있다.
- <78> 도 5에 도시된 실시예에서는, 제1, 제2 및 제3 적색 화소 영역들(R1, R2, R3), 제1, 제2 및 제3 녹색 화소 영역들(G1, G2, G3) 및 제1, 제2 및 제3 청색 화소 영역들(B1, B2, B3)이 제1 방향 및 제2 방향 모두에서 번갈아가며 배열된다. 즉, 동일한 색 화소 영역들은 서로 인접하지 않는다. 예를 들어, 제1 방향을 따라 제2 적색 화소 영역(R2), 제2 녹색 화소 영역(G2) 및 제2 청색 화소 영역(B2)이 순차적으로 배열되는 경우, 상기 제2 청색 화소 영역(B2)의 상부에는 제1 적색 화소 영역(R1)이 배치되고 상기 제2 청색 화소 영역(B2)의 하부에는 제3 녹색 화소 영역(G3)이 배치된다. 즉, 도 1에 도시된 액정 표시패널(100)과는 달리, 도 5에 도시된 액정 표시패널(600)에는 제2 방향을 따라 제1 적색 화소 영역(R1), 제2 청색 화소 영역(B2) 및 제3 녹색 화소 영역(G3)이 순차적으로 배열된다.
- <79> 상기 하부 기판에는 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)을 포함하는 박막 트랜지스터(TFT)를 덮는 컬러 필터층(미도시)이 형성된다. 상기 컬러 필터층에 대해서는 도 1 내지 도 3을 참조하여 위에서 설명되었으므로, 반복되는 설명은 생략한다.
- <80> 상기 액정 표시패널(600)은 제1 스페이서(260) 및 제2 스페이서(270)를 포함한다. 상기 제1 스페이서(260) 및 제2 스페이서(270)는 상기 액정 표시패널(600)의 두 기판 사이의 간격을 일정하게 유지시킨다. 상기 두 기판이 결합되었을 때, 제1 스페이서(260)는 하부 기판과 접촉한다.
- <81> 도 5에 도시된 실시예에서, 상기 제1 스페이서(260)는 제1, 제2, 제3 적색 화소 영역들(R1, R2, R3)의 박막 트랜지스터(TFT)가 형성된 영역에 대응하는 위치에 배치되어 하부 기판과 접촉한다.
- <82> 한편, 상기 제2 스페이서(270)는 제1, 제2 및 제3 청색 화소 영역들(B1, B2, B3)에 형성된 게이트 라인들(GLn-1, GLn) 상에 배치된다. 제1 스페이서(260) 및 제2 스페이서(270)가 각각 서로 다른 색 화소 영역에 배치되므로 상기 스페이서들(260, 270) 사이의 거리가 비교적 균일해 질 수 있다. 상기 스페이서들(260, 270) 사이의 거리가 균일하면, 외부에서 가해지는 응력을 더 균일하게 분산시킬 수 있다.
- <83> 도 1 내지 도 3에 도시된 실시예와 유사하게, 상기 액정 표시패널(600)의 컬러 필터층은 소정의 깊이만큼 함몰된 함몰부(미도시)를 가지며, 제2 스페이서(270)는 상기 컬러 필터층의 함몰부에 대응하는 위치에 배치된다. 즉, 상기 두 기판이 결합되었을 때 제2 스페이서(270)가 상기 함몰부의 상부에 배치되어 하부 기판으로부터 상기 함몰부의 함몰 깊이만큼 이격된다.
- <84> 제2 스페이서(270)를 하부 기판으로부터 일정 깊이만큼 이격시키기 위해 컬러 필터층에 함몰부가 형성되면, 비록 필연적이지는 않지만, 함몰부가 형성된 부위를 통해 광이 누설될 수 있다. 이러한 광의 누설은 액정 표시패널의 품질을 저하시킨다. 따라서, 상기 광 누설을 방지하기 위해 돌출 패턴(125)이 형성된다.
- <85> 제2 스페이서(270)가 게이트 라인들(GLn-1, GLn) 상에 배치되는 경우에는, 상기 게이트 라인(GLn)의 일부분이 제2 방향으로 돌출되어 돌출 패턴(125)을 형성한다. 이 경우, 게이트 라인들(GLn-1, GLn) 및 게이트 전극(121)을 포함하는 게이트 패턴을 형성하는 공정에서, 상기 돌출 패턴(125)을 함께 형성할 수 있다.
- <86> 도 5에 도시된 실시예에는, 제2 스페이서(270)가 제1, 제2, 제3 청색 화소 영역들(B1, B2, B3)에만 형성되어 있는 반면, 함몰부(175) 및 돌출 패턴(125)은 모든 화소 영역들에 형성되어 있다. 하나의 공통 마스크를 이용하여 컬러 필터층을 패터닝하는 경우에는, 도 5에 도시된 바와 같이 모든 화소 영역들에 형성되는 컬러 필터층의 패

턴이 모두 동일하게 된다. 따라서, 모든 화소 영역에 함몰부(175) 및 돌출 패턴(125)이 형성되어 있다. 상기 공통 마스크 대신 서로 다른 두 개의 마스크를 이용하면, 도 1에 도시된 바와 같이 함몰부(175) 및 돌출 패턴(125)이 청색 제1, 제2, 제3 화소 영역들(B1, B2, B3)에만 형성될 수도 있다.

- <87> 도 5에 도시된 액정 표시패널(600)의 제조 방법은 도 1 내지 도 4를 참조하여 설명한 액정 표시패널(100)의 제조방법과 비교할 때, 적색, 녹색 및 청색 화소 영역들의 배열 순서, 스페이서들의 위치, 돌출 패턴의 배열 등이 다르다는 점을 제외하고는 실질적으로 동일하다. 따라서, 반복되는 상세한 설명은 생략한다.
- <88> 도 6은 본 발명의 다른 일 실시예에 따른 액정 표시패널을 나타내는 평면도이고, 도 7은 도 6의 II-II'선을 따라 절단한 단면도이다.
- <89> 도 6 및 도 7을 참조하여 설명하는 액정 표시패널(700)은 도 1 및 도 3을 참조하여 설명한 액정 표시패널(100)과 비교할 때, 스페이서들의 위치, 돌출 패턴 및 함몰부의 유무 등이 다르다는 점을 제외하고는 도 1의 액정 표시패널(100)과 실질적으로 동일하거나 유사하다. 따라서, 도 1 내지 도 3을 참조하여 설명된 액정 표시패널(100)의 구성 요소와 유사하거나 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 반복되는 자세한 설명은 생략한다.
- <90> 도 6 및 도 7을 참조하면, 본 발명의 일 실시예에 따른 액정 표시패널(700)은 제1 기관(100), 제2 기관(200) 및 상기 제1 및 제2 기관들(100, 200) 사이에 개재된 액정층(300)을 포함한다.
- <91> 상기 제1 기관(100) 상에는 제1 방향으로 연장되는 게이트 라인들(GLn-1, GLn) 및 상기 각 게이트 라인들(GLn-1, GLn)로부터 연장된 게이트 전극(121)을 포함하는 게이트 패턴(120)이 형성된다. 또한, 상기 제1 기관(100) 상에는 상기 제1 방향에 실질적으로 수직인 제2 방향으로 연장되는 데이터 라인들(DLm-3, DLm-2, DLm-1, DLm), 상기 데이터 라인들(DLm-3, DLm-2, DLm-1, DLm)로부터 연장된 소스 전극(151) 및 상기 소스 전극(151)에서 이격되어 형성된 드레인 전극(153)을 포함하는 데이터 패턴(150)이 형성된다. 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)은 스위칭 소자의 일종인 박막 트랜지스터(TFT)를 구성한다.
- <92> 상기 제1 기관(100)은 다수의 화소 영역들로 구획된다. 상기 박막 트랜지스터(TFT)는 상기 제1 기관(100)의 각 화소 영역마다 형성될 수 있다. 상기 제1 기관(100)은 상기 게이트 패턴(120)을 덮도록 상기 제1 베이스 기관(110) 상에 형성되는 게이트 절연층(130)을 더 포함한다. 상기 게이트 전극(121) 및 소스/드레인 전극(151, 153) 사이에는 채널층(140)이 형성될 수 있다. 상기 박막 트랜지스터(TFT)의 소스 전극(151) 및 드레인 전극(153) 위에는 패시베이션층(160)이 형성될 수도 있다.
- <93> 도 6에 도시된 실시예에서는, 제1 방향을 따라 제1, 제2 및 제3 적색 화소 영역들(R1, R2, R3) 다음에 제1, 제2 및 제3 녹색 화소 영역들(G1, G2, G3)이 배열되고, 제1, 제2 및 제3 녹색 화소 영역들(G1, G2, G3) 다음에 제1, 제2 및 제3 청색 화소 영역들(B1, B2, B3)이 배열된다.
- <94> 상기 제1 기관(100)은 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)을 포함하는 박막 트랜지스터(TFT)를 덮는 컬러 필터층(170)을 더 포함한다. 도 7은 제2 청색 화소 영역(B2)의 단면을 나타내기 때문에, 도 7에는 제2 청색 화소 영역(B2)에 형성된 청색 컬러 필터층(170)만 도시되어 있다.
- <95> 컬러 필터층(170) 상에는 화소 전극(180)이 형성된다. 상기 화소 전극(180)은 컬러 필터층(170)을 관통하는 콘택홀(190)을 통해 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결된다.
- <96> 상기 제2 기관(200)은 제2 베이스 기관(210) 상에 형성되는 공통 전극(220), 제1 스페이서(260) 및 제2 스페이서(270)를 포함한다.
- <97> 도 6 및 도 7에 도시된 실시예에서는, 제1 및 제2 기관(100, 200)이 결합되었을 때, 상기 제1 스페이서(260)는 상기 박막 트랜지스터(TFT)가 형성된 영역에 대응하는 위치에 배치되어 제1 기관(100)과 접촉한다. 다만, 제1 스페이서(260)의 위치가 반드시 상기 박막 트랜지스터(TFT)가 형성된 영역에 제한되는 것은 아니며, 광 효율을 감소시키는 위치가 아니라면 어디든지 배치될 수 있다.
- <98> 위에서 언급한 바와 같이 액정을 균일하게 분포시키기 위해, 제1 및 제2 기관(100, 200)이 결합되었을 때 상기 제2 스페이서(270)는 제1 기관(100)과 일정 간격 이격될 필요가 있다.
- <99> 본 발명의 일 실시예에 따르면, 제2 스페이서(270)는 상기 컬러 필터층(170)을 관통하는 콘택홀(190)에 대응하는 위치에 배치된다. 즉, 제1 및 제2 기관(100, 200)이 결합되었을 때 제2 스페이서(270)가 콘택홀(190)의 상부에 배치되어 제1 기관(100)으로부터 상기 콘택홀(190)의 함몰 깊이만큼 이격된다. 도 3에 도시된 실시예와 달리

도 7에 도시된 실시예에는, 별도의 함몰부가 형성되지 않고 상기 콘택홀(190)이 상기 함몰부를 대체한다. 다시 말해, 도 7의 콘택홀(190)은 도 3의 함몰부에 해당한다. 다만, 이 경우에는 상기 제2 스페이서(270)의 위치가 상기 콘택홀(190)의 상부로 제한되며, 콘택홀(190)의 함몰 깊이가 필요에 따라 조정될 수 없다.

- <100> 도 6 및 도 7의 실시예에는, 제1 스페이서(260) 및 제2 스페이서(270)가 동일한 화소 영역, 즉, 제1 및 제2 청색 화소 영역(B1, B2)에 서로 인접하게 배치되어 있지만, 다른 실시예에서는 제1 스페이서(260) 및 제2 스페이서(270)가 서로 다른 화소 영역에 배치될 수도 있다. 예를 들어, 제1 스페이서(260)가 제2 청색 화소 영역(B2)에 배치되는 경우, 제2 스페이서(270)는 제2 녹색 화소 영역(G2)의 콘택홀(190a)에 배치될 수도 있다. 또 다른 실시예에서는, 제1 스페이서(260) 및 제2 스페이서(270)가 모든 화소 영역들에 각각 배치될 수도 있다. 다만, 위에서 언급한 바와 같이, 스페이서의 수가 너무 많으면 액정이 균일하게 분포되지 못하는 문제가 발생할 수 있으므로, 상기 스페이서들(260, 270)의 수와 위치는 응용 분야에 따라서 적절하게 조정하는 것이 바람직하다.
- <101> 도 6 및 도 7에 도시된 액정 표시패널(700)의 제조 방법은 도 1, 도 3 및 도 4를 참조하여 설명한 액정 표시패널(100)의 제조방법과 비교할 때, 제2 스페이서가 콘택홀의 상부에 배치되는 점 및 돌출 패턴과 함몰부가 형성되지 않는 점을 제외하고는 실질적으로 동일하다. 따라서, 반복되는 상세한 설명은 생략한다.
- <102> 도 8은 본 발명의 다른 일 실시예에 따른 액정 표시패널을 나타내는 단면도이다.
- <103> 도 8을 참조하여 설명하는 액정 표시패널(800)은 도 1 및 도 3을 참조하여 설명한 액정 표시패널(100)과 비교할 때, 돌출 패턴 및 함몰부의 유무와 제1 스페이서가 차광막이 형성된 영역 상에 형성된다는 점을 제외하고는 도 3의 액정 표시패널(100)과 실질적으로 동일하거나 유사하다. 따라서, 도 1 내지 도 3을 참조하여 설명된 액정 표시패널(100)의 구성 요소와 유사하거나 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 반복되는 자세한 설명은 생략한다.
- <104> 도 8을 참조하면, 본 발명의 일 실시예에 따른 액정 표시패널(800)은 제1 기관(100), 제2 기관(200) 및 상기 제1 및 제2 기관들(100, 200) 사이에 개재된 액정층(300)을 포함한다.
- <105> 상기 제1 기관(100)의 제1 베이스 기관(110) 상에는 게이트 라인(GLn)과 게이트 전극(121)을 포함하는 게이트 패턴(120) 및 소스 전극(151)과 드레인 전극(153)을 포함하는 데이터 패턴(150)이 형성된다. 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)은 스위칭 소자의 일종인 박막 트랜지스터를 구성한다.
- <106> 상기 제1 기관(100)은 상기 게이트 패턴(120)을 덮도록 상기 제1 베이스 기관(110) 상에 형성되는 게이트 절연층(130)을 더 포함한다. 상기 게이트 전극(121) 및 소스/드레인 전극(151, 153) 사이에는 채널층(140)이 형성될 수 있다. 상기 박막 트랜지스터의 소스 전극(151) 및 드레인 전극(153) 위에는 패시베이션층(160)이 형성될 수도 있다.
- <107> 상기 제1 기관(100)은 상기 게이트 전극(121), 소스 전극(151) 및 드레인 전극(153)을 포함하는 박막 트랜지스터를 덮는 컬러 필터층(170)을 더 포함한다. 컬러 필터층(170) 상에는 화소 전극(180)이 형성된다. 상기 화소 전극(180)은 컬러 필터층(170)을 관통하는 콘택홀(190)을 통해 상기 박막 트랜지스터의 드레인 전극과 전기적으로 연결된다.
- <108> 상기 제2 기관(200)은 제2 베이스 기관(210)상에 형성되는 공통 전극(220), 상기 제2 베이스 기관(210)의 일부 영역에 형성되는 차광막(230), 제1 스페이서(260) 및 제2 스페이서(270)를 포함한다.
- <109> 도 8에 도시된 실시예에서는, 제1 스페이서(260)가 상기 차광막(230)이 형성된 영역 상에 형성된다. 또한, 상기 제1 스페이서(260)는, 제1 및 제2 기관(100, 200)이 결합되었을 때, 상기 제1 기관(100)과 접촉된다. 이에 반해, 제2 스페이서(270)는 상기 제2 베이스 기관(210)의 차광막(230)이 형성되지 않은 영역에 형성되고 상기 제1 기관과 일정 간격 이격된다.
- <110> 제2 스페이서(270)는 차광막(230)이 형성되지 않은 영역이라면 어디든지 배치될 수 있다. 예를 들어, 게이트 라인(GLn)에 대항하는 제2 기관(200) 상의 일부분에 차광막(230)이 형성되지 않은 경우, 상기 제2 스페이서(270)는 상기 게이트 라인(GLn)의 상부에 배치될 수 있다. 만약, 데이터 라인(미도시)에 대항하는 제2 기관(200) 상의 일부분에 차광막(230)이 형성되지 않은 경우에는, 상기 제2 스페이서(270)는 상기 데이터 라인의 상부에 배치될 수도 있다.
- <111> 일 실시예에서, 제1 스페이서(260) 및 제2 스페이서(270)의 길이는 실질적으로 동일할 수 있다. 또한, 제1 스페이서(260) 및 제2 스페이서(270)의 모양이 실질적으로 동일할 수도 있다. 예를 들어, 제1 스페이서(260) 및 제2 스페이서(270)는 동일한 길이의 기둥 또는 원통 모양을 가질 수 있다. 이 경우, 상기 제1 기관(200) 및 상기 제

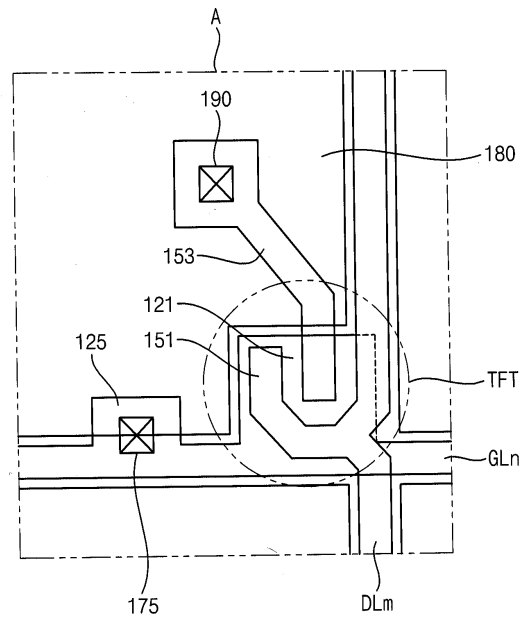
2 스페이서(270) 사이의 이격 거리는 상기 차광막(230)의 두께와 실질적으로 동일하게 된다.

- <112> 다시 도 8을 참조하여, 본 발명의 다른 일 실시예에 따른 액정 표시패널(800)의 제조방법을 설명한다. 상기 액정 표시패널의 제조방법은 제1 베이스 기판 상에 형성된 박막 트랜지스터를 덮는 컬러 필터층을 포함하는 제1 기판을 형성하는 단계를 포함한다. 상기 컬러 필터층에 함몰부(예컨대, 도 3의 175)가 형성되지 않는 점을 제외하면, 상기 제1 기판을 형성하는 방법은 도 1, 도 3 및 도 4를 참조하여 위에서 설명한 제1 기판을 형성하는 방법과 실질적으로 동일하다. 따라서, 반복되는 설명은 생략한다.
- <113> 제2 기판(200)을 형성하는 방법을 설명하면, 먼저 제2 베이스 기판(210) 상에 크롬(Cr) 등의 금속 물질 또는 유기 물질을 도포한 후, 상기 도포된 금속 물질 또는 유기 물질을 패터닝하여 차광막(230)을 형성한다. 상기 차광막(230)은 제2 베이스 기판(210)의 일부에 형성된다. 다음, 상기 제2 베이스 기판(210) 상에 상기 차광막(230)을 덮는 공통 전극(220)을 형성한다. 다른 실시예에서는, 제2 베이스 기판(210) 상에 먼저 공통 전극(220)을 형성하고, 공통 전극(220) 상에 차광막(230)을 형성할 수도 있다.
- <114> 다음, 상기 제2 베이스 기판(210)의 차광막(230)이 형성된 영역 상에 제1 스페이서(260)를 형성하고, 상기 차광막(230)이 형성되지 않은 영역 상에 제2 스페이서(270)를 형성하여 제2 기판(200)을 완성한다.
- <115> 제1 기판(100) 및 제2 기판(200)이 형성되면, 예컨대, 액정 적하 장치등을 이용하여 상기 제1 기판(100) 상에 액정을 적하한다. 액정을 적하한 후, 상기 제1 기판(100) 및 상기 제2 기판(200)을 결합한다. 상기 제1 기판 및 상기 제2 기판이 결합되면, 상기 제1 스페이서(260)는 상기 제1 기판(100)과 접촉하고, 상기 제2 스페이서(270)는 상기 제1 기판(100)으로부터 이격된다.
- <116> 도 9는 본 발명의 또 다른 일 실시예에 따른 액정 표시패널을 나타내는 단면도이다.
- <117> 도 9에 도시된 액정 표시패널(900)의 제2 기판(200)은 제2 베이스 기판(210)을 노출시키는 관통홀(235)을 포함하는 차광막(230)을 포함하는 점을 제외하면, 도 8에 도시된 액정 표시패널(800)과 실질적으로 동일하다. 따라서, 서로 유사하거나 실질적으로 동일한 구성 요소에 대해서는 동일한 참조 번호를 사용하고, 반복되는 자세한 설명은 생략한다.
- <118> 도 9를 참조하면, 액정 표시패널(900)의 제2 기판(200)은 제2 베이스 기판(210)을 노출시키는 관통홀(235)을 갖는 차광막(230)을 포함한다.
- <119> 예를 들어, 제2 기판(200)의 제2 스페이서(270)가 배치되는 부분의 주위에 차광막(230)이 형성될 필요가 있는 경우, 단차를 형성하기 위해 차광막(230)의 일부분을 제거하여 관통홀(235)을 형성한다. 이 경우, 제2 스페이서(270)는 상기 관통홀(235)에 배치된다.
- <120> 차광막(230)을 패터닝하는 공정에서 관통홀(235)의 위치에 대응하는 패턴을 갖는 마스크를 이용하면, 상기 관통홀(235)을 갖는 차광막(230)을 형성할 수 있다.
- <121> 도 9의 액정 표시패널(900)의 제조방법은, 제2 기판을 형성할 때 상기 차광막(230)이 상기 제2 베이스 기판(210)을 노출시키는 관통홀(235)을 갖도록 상기 차광막(230)을 패터닝하고 상기 제2 스페이서(270)를 상기 관통홀(235)에 형성하는 단계를 포함하는 것을 제외하면, 도 1, 도 3, 도 4 및 도 8을 참조하여 설명된 액정 표시패널의 제조방법과 실질적으로 동일하므로, 반복되는 설명은 생략한다.
- <122> 이와 같이, 제2 기판(200)에 형성된 차광막(230)의 단차를 이용하여, 제1 기판(100)과 접촉되는 제1 스페이서(260) 및 제1 기판(100)과 이격되는 제2 스페이서(270)를 상기 제2 기판(200)에 형성하면, 외부에서 가해지는 응력이 분산되고, 액정이 균일하게 분포될 수 있다.
- <123> 앞서 설명한 본 발명의 상세한 설명에서는 본 발명의 바람직한 실시예들을 참조하여 설명하였지만, 해당 기술분야의 숙련된 당업자 또는 해당 기술분야에 통상의 지식을 갖는 자라면 후술될 특허청구범위에 기재된 본 발명의 사상 및 기술 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

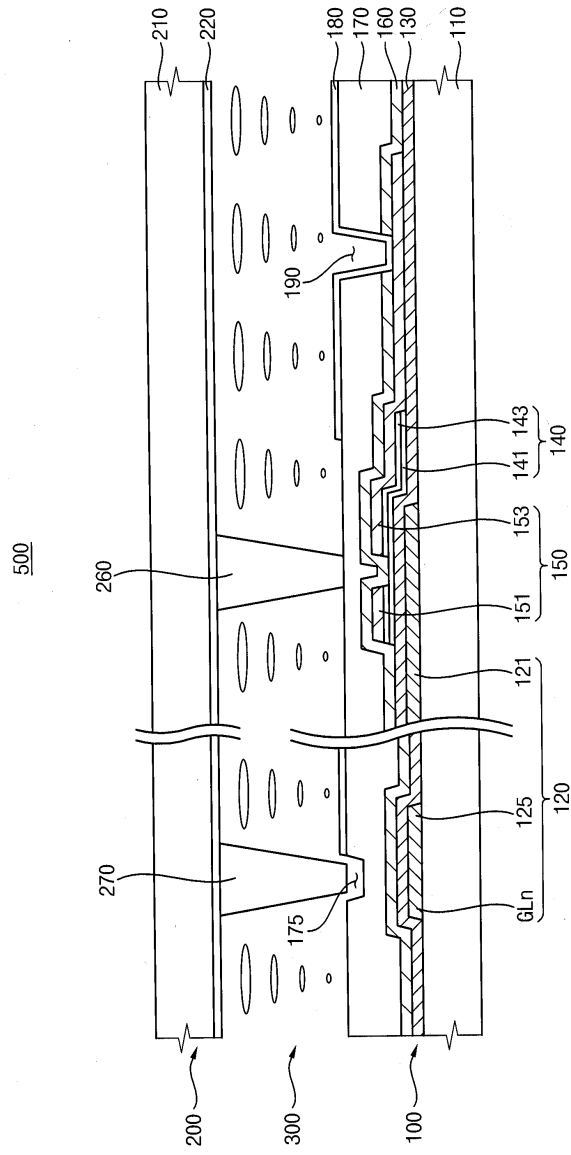
도면의 간단한 설명

- <124> 도 1은 본 발명의 실시예에 따른 액정 표시패널을 나타내는 평면도이다.
- <125> 도 2는 도 1에 도시된 'A'부분에 대응되는 제1 기판의 일부분을 나타낸 확대 평면도이다.

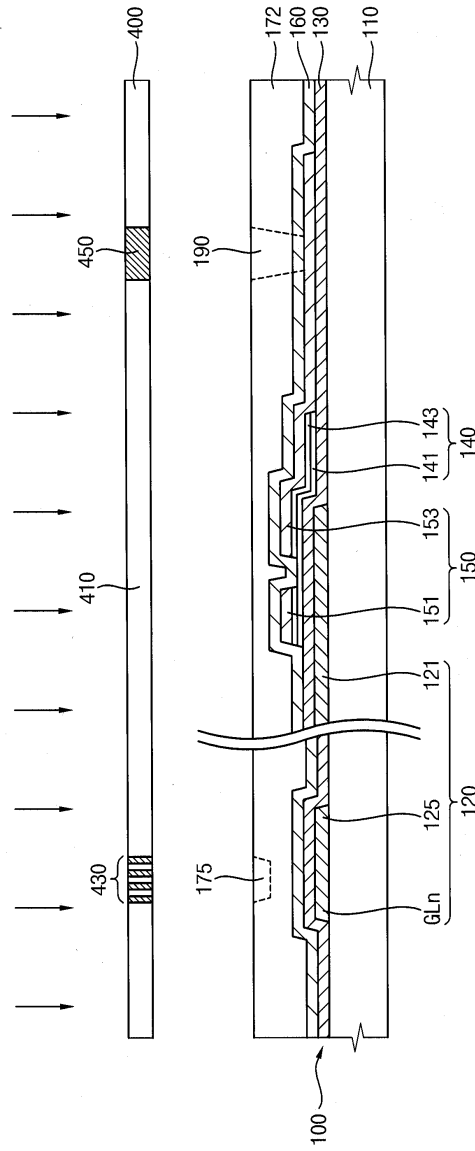
도면2



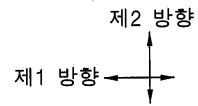
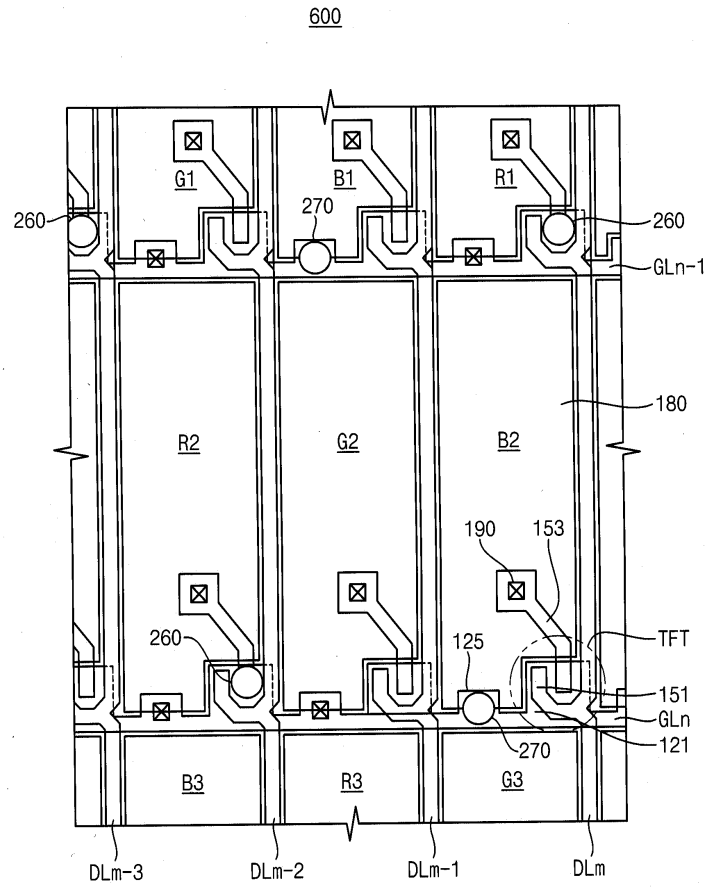
도면3



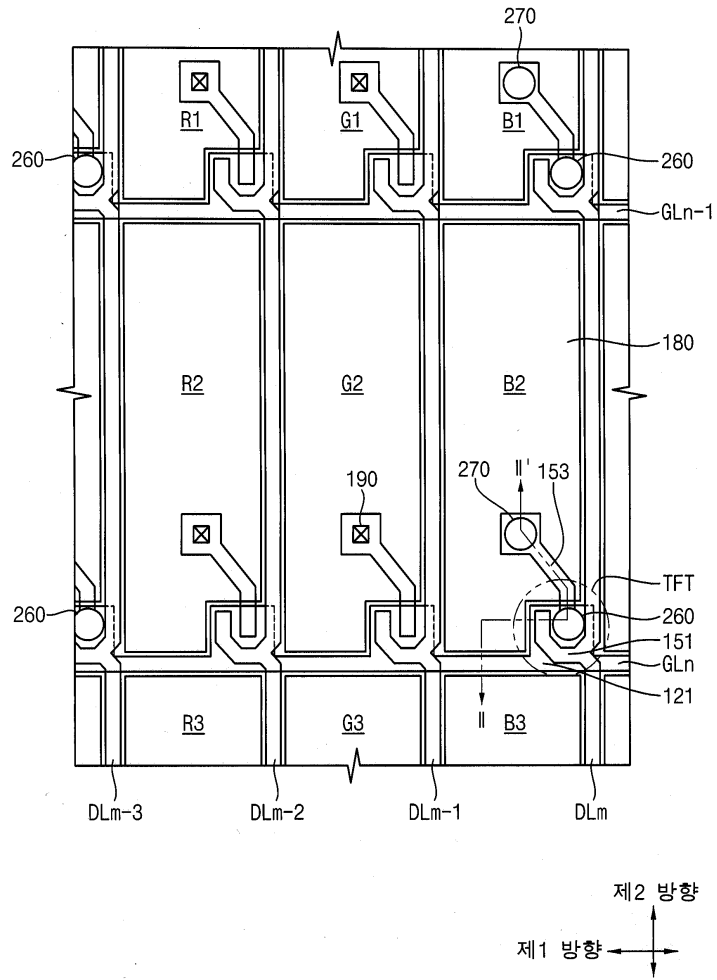
도면4



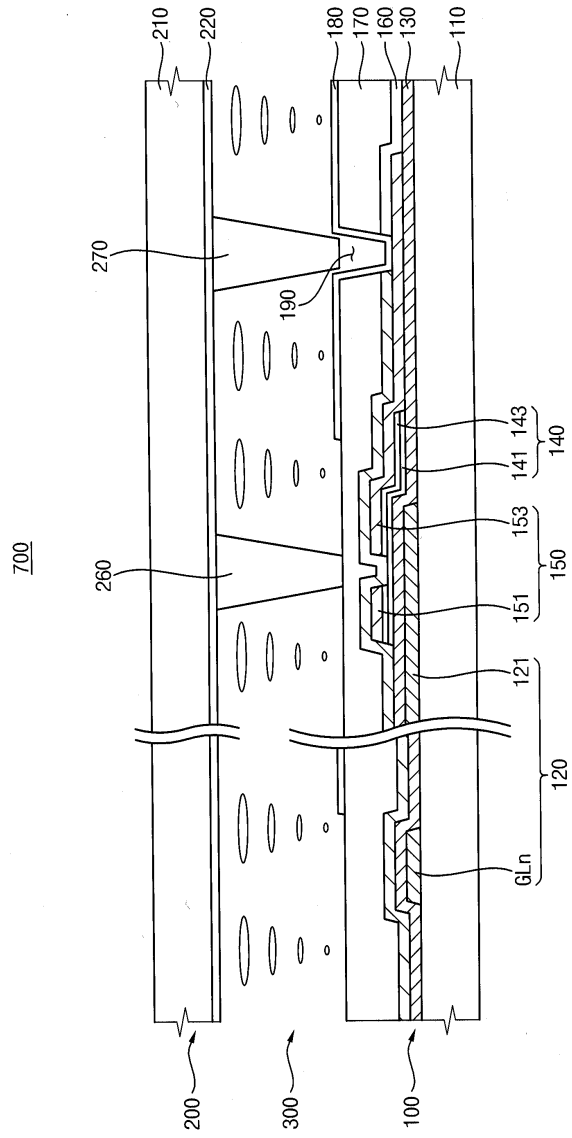
도면5



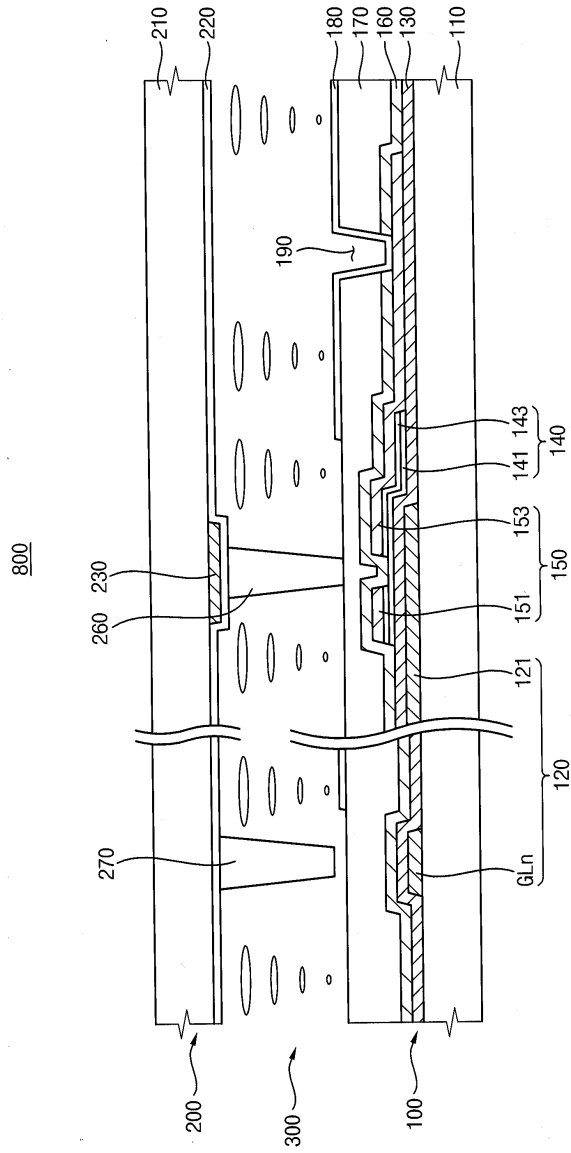
도면6



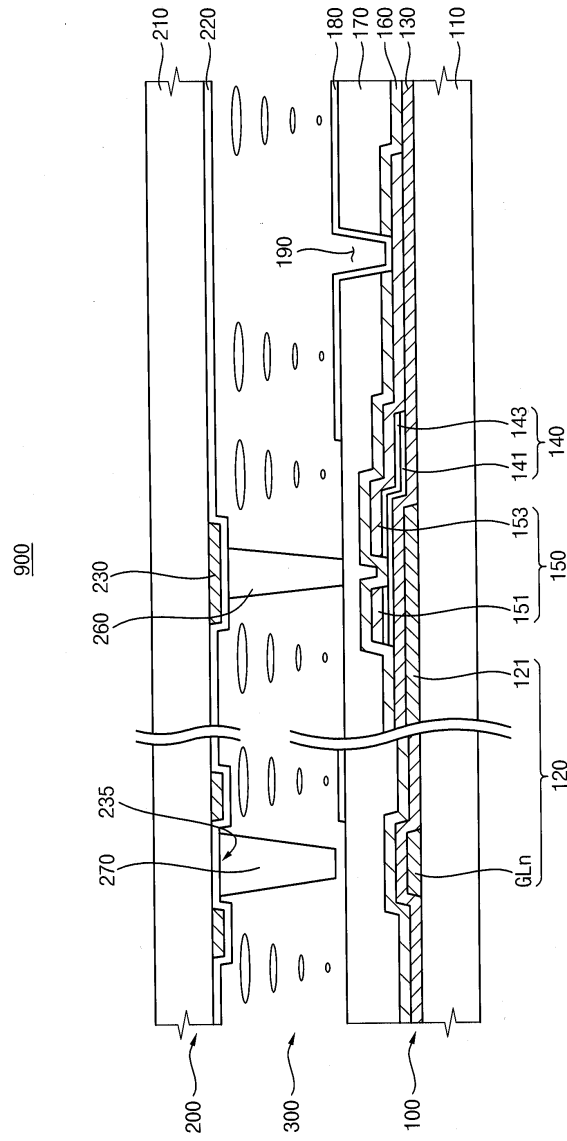
도면7



도면8



도면9



专利名称(译)	液晶显示面板和液晶显示面板的制造方法		
公开(公告)号	KR1020090097565A	公开(公告)日	2009-09-16
申请号	KR1020080022790	申请日	2008-03-12
[标]申请(专利权)人(译)	三星电子株式会社		
申请(专利权)人(译)	三星电子有限公司		
当前申请(专利权)人(译)	三星电子有限公司		
[标]发明人	KIM HEE JOON 김희준 SONG JUN HO 송준호 KIM JOO HAN 김주한		
发明人	김희준 송준호 김주한		
IPC分类号	G02F1/1339		
CPC分类号	G02F1/13394 G02F1/133512 G02F2001/13396 G02F2001/136222		
代理人(译)	PARK , YOUNG WOO		
外部链接	Espacenet		

摘要(译)

LCD面板包括第一基板，第二基板和允许在第一和第二基板之间的液晶层。第一基板包括滤色器层，该滤色器层具有凹陷的凹陷作为预定深度，同时形成薄膜晶体管以覆盖薄膜晶体管。第二基板包括第一基板，接触的第一间隔物和第二间隔物，第二间隔物布置在与形成在第一基板上的滤色器层的凹陷相对应的位置，并且与第一基板分离。形成在第一基板上的突起图案是包括滤色器层的凹陷的下部。它对应于形成突起图案并且布置第二间隔物的部分。双间隔物，滤色器层，凹陷，突起图案，COA。

