



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0038369
(43) 공개일자 2009년04월20일

(51) Int. Cl.

G09G 3/36 (2006.01) G09G 3/20 (2006.01)
G02F 1/133 (2006.01)

(21) 출원번호 10-2008-0100514

(22) 출원일자 2008년10월14일

심사청구일자 없음

(30) 우선권주장

JP-P-2007-267376 2007년10월15일 일본(JP)

JP-P-2007-267378 2007년10월15일 일본(JP)

(71) 출원인

소니 가부시끼 가이샤

일본국 도쿄도 미나토구 코난 1-7-1

(72) 발명자

테라니시 야스유키

일본 도쿄도 미나토구 코난 1-7-1 소니 가부시끼
가이샤 내

나카지마 요시하루

일본 도쿄도 미나토구 코난 1-7-1 소니 가부시끼
가이샤 내

(74) 대리인

장수길, 이중희, 박충범

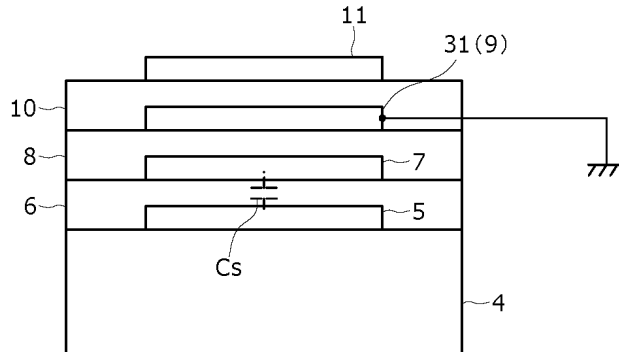
전체 청구항 수 : 총 12 항

(54) 액정 표시 장치 및 액정 표시 장치의 화상 표시 방법

(57) 요약

본 발명은 표시부에 의해 희망 화상을 표시하기 위한 액정 표시 장치를 제공하며, 표시부는 박막 트랜지스터 기판과 CF 기판 사이에 액정층을 끼워넣고, 매트릭스 형태로 액정층에 의해 형성된 액정 셀을 배열함으로써 형성된다. 박막 트랜지스터 기판은, 절연 기판 상에, 액정 셀을 구동하는데 사용되는 적어도 하나의 트랜지스터와 액정 셀의 화소 전극(pixel electrode)을 배치함으로써 생성되고, 인접 액정 셀의 축적 커패시터(storage capacitor)의 일부 또는 전부는 화소 전극과 축적 커패시터 사이에 끼워진 실드 층으로 화소 전극 하층에 생성된다.

대표도 - 도1



특허청구의 범위

청구항 1

TFT(thin film transistor) 기판 및 CF(color filter) 기판 사이에 액정층을 끼워 넣고(sandwiching), 상기 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 상기 표시부에 의해 희망 화상을 표시하는 액정 표시 장치로서,

절연 기판 상에, 적어도 상기 액정 셀의 구동에 사용하는 트랜지스터와 상기 액정 셀의 화소 전극(pixel electrode)을 배치해서 상기 TFT 기판을 생성하고,

상기 화소 전극과 상기 축적 커패시터(storage capacitor) 사이에 실드층(shield layer)을 끼워, 상기 화소 전극의 하층에, 인접 액정 셀의 축적 커패시터의 일부 또는 전부를 생성하는 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 축적 커패시터의 대향 전극(counter electrodes)이, 상기 트랜지스터의 게이트층과 상기 트랜지스터의 배선층(wiring layer)에 의해 형성되고,

상기 실드층이, 상기 트랜지스터를 상기 화소 전극에 접속하는 배선층에 의해 형성되는 액정 표시 장치.

청구항 3

제1항에 있어서,

상기 트랜지스터가,

서로 인접하는 상기 복수의 액정 셀에 할당되어, 서로 인접하는 상기 복수의 액정 셀의 계조를 기록하는 메모리부의 트랜지스터와,

상기 메모리부의 기록에 따라서, 상기 액정 셀의 계조를 설정하는 트랜지스터인 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 트랜지스터가, 메모리 시스템과 아날로그 구동 시스템 간의 동작을 절환하여, 상기 액정 셀의 계조를 설정하는 트랜지스터인 액정 표시 장치.

청구항 5

TFT 기판 및 CF 기판 사이에 액정층을 끼워 넣고, 상기 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 상기 표시부에 의해 희망 화상을 표시하는 액정 표시 장치로서,

절연 기판 상에, 적어도 상기 액정 셀의 구동에 사용하는 트랜지스터와 상기 액정 셀의 화소 전극을 배치해서 상기 TFT 기판을 생성하고,

상기 화소 전극의 하층에, 제1 대향 전극과, 상기 화소 전극에 접속된 제2 대향 전극과, 상기 제1 대향 전극과 접속된 제3 대향 전극에 의해 상기 액정 셀의 축적 커패시터를 생성하는 액정 표시 장치.

청구항 6

제5항에 있어서,

상기 제1 대향 전극이, 상기 트랜지스터를 상기 화소 전극에 접속하는 배선층에 의해 형성되고,

상기 제2 대향 전극이, 상기 트랜지스터의 배선층에 의해 형성되며,

상기 제3 대향 전극이, 상기 트랜지스터의 게이트층에 의해 형성되는 액정 표시 장치.

청구항 7

TFT 기판 및 CF 기판 사이에 액정층을 끼워 넣고, 상기 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 상기 표시부에 의해 희망 화상을 표시하는 액정 표시 장치의 화상 표시 방법으로서,

절연 기판 상에, 적어도 상기 액정 셀의 구동에 사용하는 트랜지스터와 상기 액정 셀의 화소 전극을 배치해서 상기 TFT 기판을 형성하는 단계와,

상기 화소 전극과 상기 축적 커패시터 사이에 실드층을 끼워, 상기 화소 전극의 하층에, 인접 액정 셀의 축적 커패시터의 일부 또는 전부를 생성하는 단계를 포함하는 화상 표시 방법.

청구항 8

TFT 기판 및 CF 기판 사이에 액정층을 끼워 넣고, 상기 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 상기 표시부에 의해 희망 화상을 표시하는 액정 표시 장치의 화상 표시 방법으로서,

절연 기판 상에, 적어도 상기 액정 셀의 구동에 사용하는 트랜지스터와 상기 액정 셀의 화소 전극을 배치해서 상기 TFT 기판을 형성하는 단계와,

상기 화소 전극의 하층에, 제1 대향 전극과, 상기 화소 전극에 접속된 제2 대향 전극과, 상기 제1 대향 전극과 접속된 제3 대향 전극에 의한 상기 액정 셀의 축적 커패시터를 생성하는 단계를 포함하는 화상 표시 방법.

청구항 9

기본 유닛을 순차적으로 배열해서 형성된 표시부에 의해 희망 화상을 표시하는 액정 표시 장치로서,

상기 기본 유닛은,

복수의 액정 셀과,

게이트 신호에 따라 온-오프 동작하는 트랜지스터에 의해 상기 복수의 액정 셀의 화소 전극을 신호선의 설정으로 순차적으로 설정하여, 상기 복수의 액정 셀의 계조를 순차적으로 설정하는 셀렉터를 포함하고,

상기 복수의 액정 셀 중에서, 나중에 계조를 설정하는 액정 셀의 상기 화소 전극과 대응하는 상기 게이트 신호의 주사선 사이의 용량이 증가하도록 설정이 이루어지는 액정 표시 장치.

청구항 10

제9항에 있어서,

상기 용량은 상기 화소 전극과 상기 주사선의 오버랩에 의해 형성되는 액정 표시 장치.

청구항 11

제9항에 있어서,

상기 용량은 상기 화소 전극으로의 배선 패턴과 상기 주사선 간의 오버랩에 의해 형성되는 액정 표시 장치.

청구항 12

제9항에 있어서,

상기 기본 유닛은 상기 신호선의 설정을 기록하는 메모리부를 더 포함하고,

상기 셀렉터는, 상기 메모리부에 기록된 상기 신호선의 설정을 상기 복수의 액정 셀에 순차적으로 설정하여, 상기 복수의 액정 셀의 계조를 순차적으로 설정하는 액정 표시 장치.

명 세 서

발명의 상세한 설명

기술 분야

<1> 관련 출원의 교차 참조

<2> 본 발명은 2007년 10월 15일에 일본 특허청에 출원된 일본 특허 출원 JP 2007-267376 및 JP 2007-267378과 관

련된 기술 내용을 포함하며, 그 전체 내용은 이하 참조된다.

<3> 본 발명은, 액정 표시 장치 및 액정 표시 장치의 화상 표시 방법에 관한 것으로, 예를 들면 아날로그 구동 시스템과 메모리 시스템 사이에서 동작을 절환하는 액정 표시 장치에 적용할 수 있다. 본 발명은, 축적 커패시터와 화소 전극 사이에 실드층을 끼워서 화소 전극의 하층에서 인접 액정 셀의 축적 커패시터를 생성함으로써, 또는 3층 이상의 대향 전극(counter electrode)의 적층에 의해 화소 전극의 하층에 액정 셀의 축적 커패시터를 생성함으로써, 축적 커패시터를 배치할 수 있는 면적(area)이 작은 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있게 한다. 또한, 본 발명은 액정 표시 장치에 관한 것으로, 특히 소위 화소내 셀렉터 시스템에 근거한 액정 표시 장치에 적용할 수 있다. 본 발명은, 1개의 셀렉터에 할당되는 복수의 액정 셀에서, 나중에 화소 전극 전위를 설정하는 액정 셀의 화소 전극과 대응 게이트 신호의 주사선 사이의 용량(capacitance)이 증가하도록 설정함으로써, 화소내 셀렉터 시스템에 의해 1개의 셀렉터에 할당된 복수의 액정 셀간에서 액정으로의 직류 전계의 인가를 방지한다.

배 정 기 술

<4> 종래, 액정 표시 장치 표시부는, 액정 셀들로 형성된 화소를 매트릭스 형태로 배치해서 형성된다. 액정 표시 장치에서, 각 액정 셀에는, 각각 액정 셀의 구동에 사용하는 TFT(Thin Film Transistor)가 설치된다. 표시부의 주위에 배열된 수평 구동부 및 수직 구동부에 의해 TFT의 동작을 제어해서, 표시부에 희망 화상을 표시한다. 종래, 액정 표시 장치는, TFT를 배치한 TFT 기판과 컬러 필터를 배치한 CF(Color Filter) 기판 사이에 액정층을 끼워 넣어서 생성된다. TFT 기판 및 CF 기판의 레이아웃에 따라 액정 셀이 매트릭스 형태로 배열되며, TFT 기판 상에 표시부의 주위에 수직 구동부 및 수평 구동부가 배열된다.

<5> 도 19는 TFT 기판의 레이아웃을 도시하는 평면도이다. 직사각형 영역 AR2에서 액정 셀이 각각 형성되도록, 액정 표시 장치의 TFT 기판(1) 및 CF 기판이 레이아웃된다. 또한, TFT 기판(1)은, 예를 들면, 각 직사각형 영역 AR2의 코너부의 영역 AR3이 TFT를 배치하는 영역에 할당되고, 각 직사각형 영역 AR2의 남은 영역의 전부 또는 일부에, 각 액정 셀의 부족한 용량을 보충하는 축적 커패시터 Cs가 설치된다.

<6> 도 20에 도시하는 바와 같이, TFT 기판(1)은, 글래스 등에 의한 투명 절연 기판(4) 상에, 게이트층(5) 등을 생성해서 TFT가 생성된 후, 절연막(6)이 생성된다. 계속해서 TFT 기판(1)은, 폴리실리콘의 배선층(7)이 생성되어 TFT가 배선된다. 또한, 계속해서 절연막(8)이 생성된 후, 알루미늄 등에 의한 배선층(9)이 생성된다. 또한, 계속해서 절연층(10)이 생성된 후, 화소 전극(11)이 생성된다. 화소 전극(11)은 화소 전극(11)의 하층의 배선층(9)에 의해 TFT에 접속된다. TFT 기판(1)에는 화소 전극(11)의 상층에 도시하지 않은 배향막이 생성된다. 또한, TFT 기판(1)은, ISP 모드 등의 경우에는, 화소 전극(11)의 하층에 공통 전극이 배치된다.

<7> 또한, 도 21에 도시하는 바와 같이, 종래, TFT 기판(1)에서, 게이트층(5) 및 배선층(7)에 의해 각각 축적 커패시터 Cs를 구성하는 대향 전극이 생성되고, 배선층(7) 측의 대향 전극이 화소 전극(11)에 접속된다. 또한, 축적 커패시터 Cs의 게이트층(5)측 전극은, 프리차지 처리에 관계되는 구동 신호 CS가 공급되고, 구동 신호 CS의 전위로 유지된다.

<8> 종래, 액정 표시 장치는, 표시부에 배치된 신호선의 전압을, 각 화소의 계조(gradation)를 나타내는 계조 전압으로 순차 변경하고, 신호선의 전압의 변경에 연동(interlocked)한 방식으로 각 액정 셀의 TFT를 제어함으로써 각 화소 전극(11)의 전압을 신호선의 전압으로 순차 설정한다. 이에 의해 액정 표시 장치는 각 화소의 계조를 설정한다. 또한, 이하, 상기 구동 시스템을 아날로그 구동 시스템이라고 부른다.

<9> 이러한 액정 표시 장치에 관해서, 일본 특허 공개 평성 9-243995호 공보에는, 각 화소에 각각 메모리부를 설치하고, 메모리부의 기록에 따라서, 각 화소를 구동한다. 이하, 이 시스템을 메모리 시스템이라고 부른다. 이 메모리 시스템에 따르면, 일단, 각 화소의 계조를 설정하면, 각 화소에 대한 계조 설정 처리를 생략할 수 있기 때문에, 소비 전력을 저감할 수 있다.

<10> 그런데 메모리 시스템에 근거한 액정 표시 장치에서, 복수의 화소에서 메모리를 공유하면, 액정 표시 장치 전체로서 메모리의 수를 적게 할 수 있어, 액정 표시 장치의 구성을 전체적으로 간략화할 수 있다고 생각된다. 그러나 복수의 화소에서 메모리를 공유하면, 이들 복수의 화소에서 TFT 기판의 레이아웃에 치우침(imbalance)이 발생하고, 특정한 화소에서 축적 커패시터를 생성할 수 있는 면적이 작아진다. 그 결과, 액정 표시 장치는, 충분한 개구를 형성하여 특정한 화소에서 필요한 축적 커패시터를 확보하는 것이 곤란하게 되는 문제가 있다.

<11> 또한, 액정 표시 장치에서는, 소정 화소 피치로 스페이서를 배치하고, 스페이서에 의해 TFT 기판과 CF 기판 사

이의 갭을 확보하고 있다. 따라서, 액정 표시 장치는, 이 스페이서의 배치에 의해서도 TFT 기판의 레이아웃에 치우침이 발생하고, 스페이서를 배치한 특정한 화소에서 축적 커패시터를 생성할 수 있는 면적이 작아진다. 그 결과, 이 경우, 액정 표시 장치는, 고해상도화 등에 의해, 충분한 개구를 형성하여 이 특정한 화소에서 필요한 축적 커패시터를 확보하는 것이 곤란하게 되는 문제가 있다.

<12> 이 문제를 해결하는 하나의 방법으로서, 이들 특정한 화소의 축적 커패시터를 인접 화소에 생성하고, 연속하는 화소의 배열에 대하여, 축적 커패시터의 레이아웃을 한 쪽으로 치우치게 하는 것이 생각된다. 그러나 이 경우, 도 22에 도시하는 바와 같이, 해당 화소의 화소 전극(11)의 하층의 배선층(7)은 인접 화소의 화소 전위에 유지된다. 화소 전극(11)과 배선층(7)의 용량 결합(capacitive coupling)에 의해 해당 화소의 화소 전위가 변화하여, 올바르게 계조를 표시할 수 없게 될 수 있다.

<13> 또한, 애당초 이와 같이 TFT 기판의 레이아웃에 치우침이 발생하지 않는 경우에도, 액정 표시 장치의 고해상도화에 의해 각 화소에서 축적 커패시터를 배치할 수 있는 면적이 작아진다. 이 경우에는, 모든 화소에서 필요한 축적 커패시터를 확보하는 것이 곤란하다.

발명의 내용

해결 하고자하는 과제

<14> 본 발명은 이상의 점을 고려해서 이루어진 것이다. 축적 커패시터를 배치할 수 있는 면적이 작은 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있는 액정 표시 장치 및 액정 표시 장치의 화상 표시 방법을 제안하는 것이 바람직하다. 화소내 셀렉터 시스템에 의해 각 액정 셀을 구동하는 경우에, 액정으로의 직류 전계의 인가를 방지할 수 있는 액정 표시 장치를 제안하는 것이 바람직하다.

과제 해결수단

<15> 본 발명의 제1 실시예에 따라, TFT 기판과 CF 기판 사이에 액정층을 끼워 넣고, 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 표시부에 의해 희망 화상을 표시하는 액정 표시 장치가 제공된다. 절연 기판 상에, 적어도 액정 셀의 구동에 사용하는 트랜지스터와 액정 셀의 화소 전극을 배치해서 TFT 기판을 생성하고, 화소 전극의 하층에, 화소 전극과 축적 커패시터 사이에 실드층을 끼워, 인접 액정 셀의 축적 커패시터의 일부 또는 전부를 생성한다.

<16> 본 발명의 제2 실시예에 따라, TFT 기판과 CF 기판 사이에 액정층을 끼워 넣고, 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 표시부에 의해 희망 화상을 표시하는 액정 표시 장치가 제공된다. 절연 기판 상에, 적어도 액정 셀의 구동에 사용하는 트랜지스터와 액정 셀의 화소 전극을 배치해서 TFT 기판을 생성하고, 화소 전극의 하층에, 제1 대향 전극과, 화소 전극에 접속된 제2 대향 전극과, 제1 대향 전극과 접속된 제3 대향 전극에 의한 액정 셀의 축적 커패시터를 생성한다.

<17> 본 발명의 제3 실시예에 따라, TFT 기판과 CF 기판 사이에 액정층을 끼워 넣고, 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 표시부에 의해 희망 화상을 표시하는 액정 표시 장치의 화상 표시 방법이 제공된다. 화상 표시 방법은, 절연 기판 상에, 적어도 액정 셀의 구동에 사용하는 트랜지스터와 액정 셀의 화소 전극을 배치해서 TFT 기판을 생성하는 단계와, 화소 전극의 하층에, 화소 전극과 축적 커패시터 사이에 실드층을 끼워, 인접 액정 셀의 축적 커패시터의 일부 또는 전부를 생성하는 단계를 포함한다.

<18> 본 발명의 제4 실시예에 따라, TFT 기판과 CF 기판 사이에 액정층을 끼워 넣고, 액정층에 의해 형성된 액정 셀을 매트릭스 형태로 배열해서 표시부를 형성하고, 표시부에 의해 희망 화상을 표시하는 액정 표시 장치의 화상 표시 방법이 제공된다. 화상 표시 방법은, 절연 기판 상에, 적어도 액정 셀의 구동에 사용하는 트랜지스터와 액정 셀의 화소 전극을 배치해서 TFT 기판을 생성하는 단계와, 화소 전극의 하층에, 제1 대향 전극과, 상기 화소 전극에 접속된 제2 대향 전극과, 상기 제1 대향 전극과 접속된 제3 대향 전극에 의한 상기 액정 셀의 축적 커패시터를 생성하는 단계를 포함한다.

<19> 본 발명의 제5 실시예에 따라, 기본 유닛을 순차 배열해서 형성된 표시부에 의해 희망 화상을 표시하는 액정 표시 장치가 제공된다. 기본 유닛은, 복수의 액정 셀과, 게이트 신호에 따라 온/오프 동작하는 트랜지스터에 의해 복수의 액정 셀의 화소 전극을 신호선의 설정으로 순차적으로 설정하여, 복수의 액정 셀의 계조를 순차 설정하는 셀렉터를 포함한다. 복수의 액정 셀 중에서, 나중에 계조를 설정하는 액정 셀의 화소 전극과 대응 게이트 신호의 주사선 사이의 용량이 증가하도록 설정된다.

<20> 본 발명의 제1 실시예 또는 제3 실시예의 구성에 따라, 실드층에 의해 인접 액정 셀의 화소 전위의 영향을 유효하게 회피하여, 인접 액정 셀의 축적 커패시터를 화소 전극의 하층에 배치할 수 있다. 따라서, 레이아웃의 치우침 등에 의해, 특정한 액정 셀에서 축적 커패시터를 배치할 수 있는 면적이 작은 경우에, 특정 액정 셀의 축적 커패시터를 인접 액정 셀에 배치해서 필요한 축적 커패시터를 확보할 수 있다.

<21> 본 발명의 제2 실시예 또는 제4 실시예의 구성에 따라, 대향 전극의 적층에 의해, 적은 면적으로 큰 용량의 축적 커패시터를 생성할 수 있다. 따라서, 예를 들어, 고해상도화에 의해 모든 화소에서 축적 커패시터를 배치할 수 있는 면적이 작은 경우 등에서, 필요한 축적 커패시터를 확보할 수 있다.

<22> 본 발명의 제5 실시예의 구성에 따라, 나중에 계조를 설정하여, 게이트 커플링으로 인한 화소 전극 전압의 변화가 작은 액정 셀의 화소 전극과 대응 게이트 신호의 주사선 사이의 용량의 증가에 의해, 게이트 커플링으로 인한 화소 전극 전압의 변화를 크게 할 수 있다. 따라서, 1개의 셀렉터에 할당된 복수의 액정 셀에서, 화소 전극의 전압 변화의 차이(differences)를 작게 할 수 있어, 복수의 액정 셀에서의 액정으로의 직류 전계의 인가를 방지할 수 있다.

효 과

<23> 본 발명에 따르면, 축적 커패시터를 배치할 수 있는 면적이 작은 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있다. 또한, 본 발명에 따르면, 화소내 셀렉터 시스템에 의해 각 액정 셀을 구동하는 경우에, 액정로의 직류 전계의 인가를 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

<24> 이하, 적절히 도면을 참조하면서 본 발명의 실시예를 상세하게 설명한다.

<25> <제1 실시예>

<26> (1) 실시예의 구성

<27> 도 2는, 본 발명의 제1 실시예에 따른 액정 표시 장치를 도시하는 블록도이다. 액정 표시 장치(18)는, 예를 들면 도시하지 않는 튜너부, 외부기기 등으로부터 출력되는 비디오 데이터에 근거한 동화상 또는 정지 화상을 아날로그 구동 시스템에 의해 표시부(13)에 표시하고, 각종 메뉴 화상 등을 메모리 시스템에 의해 표시부(13)에 표시한다.

<28> 액정 표시 장치(18)에서, 인터페이스(I/F)(12)에, 각 화소의 계조를 순차적으로 나타내는 시리얼 데이터에 의해 형성된 화상 데이터 SDI와, 화상 데이터 SDI에 동기한 각종 타이밍 신호를 입력한다. 또한, 화상 데이터 SDI는, 아날로그 구동 시스템에 의해 표시부(13)에서 표시하는 화상 데이터이다. 또한, 인터페이스(12)는, 컨트롤러(14)로부터, 메모리 시스템에 의해 표시부(13)에서 표시하는 이진 화상 데이터 DV를 입력한다. 인터페이스(12)는, 인터페이스(12)에 입력된 화상 데이터 SDI 및 DV와, 각종 타이밍 신호를 컨트롤러(14)의 제어 하에서 각 부에 출력한다.

<29> 타이밍 제너레이터(TG)(16)는, 컨트롤러(14)의 제어하에서, 메모리 시스템 및 아날로그 구동 시스템에서 필요한 각종 타이밍 신호를 생성해서, 수평 구동부(15) 및 수직 구동부(17)에 각종 타이밍 신호를 출력한다. 또한, 타이밍 제너레이터(TG)(16)는 액정 셀의 공통 전극용의 구동 전원 VCOM을 생성해서, 표시부(13)에 구동 전원 VCOM(공통 전압)을 출력한다. 또한, 본 실시예에서 표시부(13)는, 반사형이거나, 투과형이거나, 또는 반사형과 투과형의 조합형일 수 있다.

<30> 수평 구동부(15)는, 컨트롤러(14)의 제어하에서 아날로그 구동 시스템과 메모리 시스템 간의 동작을 절환한다. 아날로그 구동 시스템에서, 수평 구동부(15)는 인터페이스(12)로부터 입력되는 화상 데이터 SDI를 순차적으로 각 신호선 SIG에 배당해서, 디지털 아날로그 변경 처리하고, 필드 반전, 프레임 반전, 라인 반전 등에 근거한 각 신호선 SIG의 구동 신호 Ssig를 생성한다. 수평 구동부(15)는, 아날로그 구동 시스템에서는, 구동 신호 Ssig를 표시부(13)의 각 신호선 SIG에 출력한다.

<31> 또한, 수평 구동부(15)는, 메모리 시스템에서는, 컨트롤러(14)로부터 출력되는 이진 화상 데이터 DV의 논리값에 대응하는 구동 신호 Sdv를 대응 신호선 SIG에 출력한 후, 소정의 구동 신호 XCS를 신호선에 출력한다.

<32> 수직 구동부(17)는, 컨트롤러(14)의 제어하에서 아날로그 구동 시스템과 메모리 시스템 간의 동작을 절환한다. 수직 구동부(17)는 표시부(13)의 주사선에 소정의 구동 신호를 출력한다.

- <33> 표시부(13)는, 수평 구동부(15) 및 수직 구동부(17)로부터 출력되는 각종 신호에 따라 동작하고, 화상 데이터 SDI 또는 DV에 근거한 화상을 표시한다. 도 3은, 표시부(13)의 기본 유닛을 도시하는 접속도이다. 기본 유닛(21)은 표시부(13)의 구성 단위(contituent element)이다. 본 실시예에서는, 기본 유닛(21)은 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)과, 액정 셀(22R, 22G, 22B)의 주변 회로에 의해 구성된다. 표시부(13)에서, 적색, 녹색, 청색의 화소를 각각 구성하는 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)이 순차 순환적으로 연속하도록, 도 3에 도시한 기본 유닛(21)이 TFT 기판에 매트릭스 형태로 배열되어, 액정 셀(22R, 22G, 22B)이 매트릭스 형태로 배치된다.
- <34> 기본 유닛(21)에서, 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)의 축적 커패시터 CsR, CsG, CsB는, 일단에 프리차지의 처리에 관계되는 구동 신호 CS가 공급되고, 타단이 각각 대응 액정 셀(22R, 22G, 22B)의 화소 전극에 접속된다. 또한, 액정 셀(22R, 22G, 22B)은, 구동 신호 CS에 연동되는 방식으로 신호 레벨이 변경되는 구동 전원 VCOM이 공통 전극에 공급된다.
- <35> 또한, 액정 셀(22R, 22G, 22B)의 화소 전극은, 각각 게이트 신호 GATER, GATEG, GATEB에 의해 온/오프 동작하는 NMOS(N-channel Metal-Oxide Semiconductor) 트랜지스터 Q1R, Q1G, Q1B를 통하여 NMOS 트랜지스터 Q2에 접속된다. NMOS 트랜지스터 Q2는 청색용의 게이트 신호 GATEB에 따라 온/오프 동작한다. NMOS 트랜지스터 Q2는 메모리부(23)로부터의 출력에 따라서, 온/오프 동작하는 NMOS 트랜지스터 Q3 및 Q4를 각각 통하여 NMOS 트랜지스터 Q1R, Q1G, Q1B를 신호선 SIG 또는 구동 신호 CS의 공급 라인에 접속한다.
- <36> 기본 유닛(21)에서, 메모리부(23)는, 게이트 및 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Q5 및 PMOS(P-channel Metal-Oxide Semiconductor) 트랜지스터 Q6으로 이루어지는 CMOS(Complementary Metal-Oxide Semiconductor) 인버터와, 마찬가지로의 NMOS 트랜지스터 Q7 및 PMOS 트랜지스터 Q8로 이루어지는 CMOS 인버터에 의해 형성된 SRAM(Static Random Access Memory)이다. 메모리부(23)는, 신호선 SIG의 논리 레벨에 대응하는 출력 RAM(Random Access Memory)과, 출력 RAM과 반대의 논리 레벨을 갖는 반전 출력을 각각 NMOS 트랜지스터 Q3 및 Q4에 출력한다. 메모리부(23)는, 트랜지스터 Q3 및 Q4를 상보적으로 온-오프 제어한다. 메모리부(23)는, 게이트 신호 GATED에 따라 온(on) 동작하는 NMOS 트랜지스터 Q11을 통하여 신호선 SIG에 접속된다.
- <37> 기본 유닛(21)에서, 도 4 및 도 5에 도시하는 바와 같이, 아날로그 구동 시스템의 경우, 수평 구동부(15) 및 수직 구동부(17)는, 트랜지스터 Q3을 온 상태로 설정하도록 메모리부(23)를 사전 설정한 후(도 4(d)~(e)), 게이트 신호 GATER, GATEG, GATEB의 설정이 순차 전환됨으로써(도 4(b1)~(b3)), 도 5에 도시하는 바와 같이, 액정 셀(22R, 22G, 22B)이 순차적으로 신호선 SIG에 접속된다. 또한, 도 5는, 신호선 SIG와 액정 셀(22R, 22G, 22B)의 접속의 설명을 위해, 도 3과의 대조에 의해 기본 유닛(21)의 구성을 간략화해서 도시하는 도면이다.
- <38> 기본 유닛(21)에서, 아날로그 구동 시스템의 경우, 수평 구동부(15)는 액정 셀(22R, 22G, 22B)의 계조를 각각 나타내는 계조 전압 R, G, B에 신호선 SIG의 구동 신호 Ssig를 순차 설정한다(도 4(a)). 신호선 SIG의 설정에 대응하도록 게이트 신호 GATER, GATEG, GATEB의 설정이 순차 변경된다(도 4(b1)~(b3)). 이에 의해 기본 유닛(21)은, 액정 셀(22R, 22G, 22B)의 화소 전극 전위 PIXR, PIXG, PIXB를 구동 신호 Ssig에 의한 계조 전압 R, G, B로 설정한다. 이에 의해 기본 유닛(21)은, 아날로그 구동 시스템에 의해 액정 셀(22R, 22G, 22B)의 계조를 설정한다. 또한, 도 3의 구성에서는, 트랜지스터 Q2를 온 동작시킨 상태에서, 적색용 및 녹색용의 트랜지스터 Q1R, Q1G를 교대로 온 동작시켜, 적색, 녹색의 액정 셀(22R, 22G)의 계조를 순차 설정해도 된다.
- <39> 한편, 아날로그 구동 시스템에서의 메모리부(23)의 사전 설정 시, 메모리 시스템에 의한 기입 시, 도 6 및 도 7에 도시하는 바와 같이, 기본 유닛(21)은, 게이트 신호 GATER, GATEG, GATEB에 의해 트랜지스터 Q1R, Q1G, Q1B를 오프 상태로 설정하고(도 6(b1)~(b3) 및 (c1)~(c3)), 메모리부(23)의 전원 전압 VRAM을 신호선 SIG의 H레벨에 대응하는 전압 VDD로 일시적으로 하강하며(도 6(a) 및 (d)), 게이트 신호 GATED에 의해 트랜지스터 Q11을 온 상태로 설정하여서, 신호선 SIG에 메모리부(23)가 접속된다(도 6(e)). 이에 의해 기본 유닛(21)은, 신호선 SIG에 출력되는 구동 신호 Sdv의 논리 레벨이 설정된다(도 6(f)). 또한, 그 후, 기본 유닛(21)은, 전원 전압 VRAM을 액정 셀(22R, 22G, 22B)의 구동 전압에 대응하는 전압 VDD2로 상승하여(도 6(d) 및 (f)), 트랜지스터 Q3, Q4를 온/오프 제어 가능하게 전원 전압 VRAM을 설정한다. 또한, 도 7은, 메모리부(23)의 기입 동작의 설명을 위해, 도 3에 도시한 기본 유닛(21)의 구성을 간략화해서 도시하는 도면이다.
- <40> 기본 유닛(21)에서, 아날로그 구동 시스템에서의 메모리부(23)의 사전 설정 시, 수평 구동부(15)에 의해 신호선 SIG가 H레벨로 설정되어, 이들 일련의 동작이 실행됨으로써, 트랜지스터 Q3을 온 상태로 설정하도록 메모리부(23)가 설정된다. 한편, 메모리 시스템에 의한 기입시, 수평 구동부(15)에 의해 신호선 SIG가 화상 데이터 DV

의 논리값으로 설정됨으로써, 화상 데이터 DV의 논리값이 메모리부(23)에 설정된다. 또한, 논리값이 H레벨인 경우, 트랜지스터 Q3을 온 상태로 설정하도록 메모리부(23)가 설정된다. 논리값이 L레벨인 경우, 트랜지스터 Q4를 온 상태로 설정하도록 메모리부(23)가 설정된다.

<41> 메모리 시스템에 의한 표시 시, 기본 유닛(21)에서, 도 8 및 도 9에 도시하는 바와 같이, 구동 신호 CS의 반전 신호 XCS는 수평 구동부(15)로부터 신호선 SIG에 공급되는데, 반전 신호 XCS의 신호 레벨은 구동 신호 CS에 대하여 상보적으로 변경된다(도 8(a) 및 (b)). 또한, 트랜지스터 Q1R, Q1G, Q1B, Q2를 모두 온 동작시키도록 게이트 신호 GATER, GATEG, GATEB가 수평 구동부(15)로부터 공급된다(도 8(c1)~(c3)). 기본 유닛(21)은, 메모리부(23)에 설정된 논리값에 따라서, 트랜지스터 Q3 또는 Q4를 선택적으로 온 상태로 설정하고, 이에 의해 반전 신호 XCS 또는 구동 신호 CS를 선택적으로 액정 셀(22R, 22G, 22B)의 화소 전극에 공급한다(도 8(d1)~(d3)). 액정 셀(22R, 22G, 22B)은, 메모리부(23)에 설정된 화상 데이터 DV의 논리값에 대응해서 흑계조 또는 백계조로 설정된다. 또한, 도 9는 메모리 시스템에 의한 표시의 설명을 위해 도 3에 도시한 기본 유닛(21)의 구성을 간략화해서 도시하는 도면이다.

<42> 도 10(a) 및 (b)는 TFT 기판에서의 기본 유닛(21)의 레이아웃의 설명에 사용하는 도면이다. 도 3에 도시하는 기본 유닛(21)에서, 신호선의 수에 대하여 주사선의 수가 상당히 많다. 액정 셀(22R, 22G, 22B)이 수평 방향으로 정렬되도록 배열될 때, 주사선의 배열이 복잡해진다. 따라서, 본 실시예에서, 1개의 기본 유닛(21)의 액정 셀(22R, 22G, 22B)에 의해 형성된 화소를 신호선의 연장 방향으로 정렬되게 배열한다. 소위 가로 스트라이프에 의해 표시부(13)를 형성한다. 또한, 이들 액정 셀(22R, 22G, 22B)에 의해 형성된 화소들 사이, 서로 인접하는 기본 유닛들(21)의 화소들 사이에, 주사선들이 배열된다. 따라서, 본 실시예에서, 효율적으로 TFT 기판을 레이아웃해서 표시부(13)에서의 개구의 면적의 감소를 방지한다.

<43> 또한, 도 10에서 화살표에 의해 표시하는 바와 같이, 기본 유닛(21)의 적색, 녹색, 청색의 3개의 액정 셀(22R, 22G, 22B) 중에서, 청색의 액정 셀(22B)에 의해 형성된 화소에, 메모리부(23) 및 트랜지스터 Q3, Q4, Q11을 배치한다. 또한, 트랜지스터 Q1R, Q1G, Q1B, Q2와, 적색 액정 셀(22R)의 축적 커패시터 CsR을 적색 액정 셀(22R)에 의해 형성된 화소에 배치한다. 또한, 녹색 액정 셀(22G) 및 청색 액정 셀(22B)의 축적 커패시터 CsG 및 CsB를 녹색 액정 셀(22G)에 의해 형성된 화소에 배치한다. 따라서, 본 실시예는, 효율적으로 트랜지스터 Q1~Q11을 배열해서 적색, 녹색, 청색의 화소에 할당 가능한 개구의 면적을 충분히 확보하며, 또한, 적색, 녹색, 청색의 화소에서, 개구의 면적이 치우치지 않도록 한다.

<44> 또한, 도 1에 도시하는 바와 같이, 적어도 녹색 액정 셀(22G)에 의해 형성된 화소에 배치하는 청색 액정 셀(22B)의 축적 커패시터 CsB에 대해서는, 배선층(7)에 의해 형성된 축적 커패시터 CsB의 전극과 화소 전극(11) 사이에, 실드층(31)이 설치된다. 여기서 액정 표시 장치(18)에서는, 실드층(31)이 화소 전극(11)을 기본 유닛(21)에 접속하는 배선층(9)에 의해 생성된다. 기본 유닛(21)에서, 실드층(31)은 접지 또는 고정 전위에 접속된다.

<45> (2) 실시예의 동작

<46> 이상의 구성에서, 액정 표시 장치(18)(도 2)가, 튜너부, 외부기기 등으로부터 출력되는 화상 데이터 SDI에 의한 동화상 또는 정지 화상을 표시하는 경우, 컨트롤러(14)에 의한 각 부의 제어에 의해, 인터페이스(12)에 입력되는 화상 데이터 SDI가 수평 구동부(15)에 입력되고, 여기서 화상 데이터 SDI가 디지털 아날로그 변경 처리되어, 필드 반전, 프레임 반전, 라인 반전 등에 의한 신호선 SIG의 구동 신호 Ssig가 생성된다. 액정 표시 장치(18)는, 아날로그 신호로서의 구동 신호 Ssig에 의해 표시부(13)에 설치된 각 화소의 계조를 설정하고, 아날로그 구동 시스템에 의해 동화상 또는 정지 화상을 표시한다.

<47> 한편, 컨트롤러(14)로부터의 메뉴 화상 등을 표시하는 경우, 인터페이스(12)를 통하고, 컨트롤러(14)로부터 출력되는 이진 화상 데이터 DV가 수평 구동부(15)에 입력된다. 액정 표시 장치(18)에서, 화상 데이터 DV의 논리 레벨에 따라서, 신호선 SIG의 논리 레벨이 순차적으로 설정되고, 신호선 SIG의 논리 레벨이 표시부(13)에 배치된 메모리부(23)에 저장된다(도 3). 또한, 메모리부(23)에 저장된 논리 레벨에 따라서, 각 화소의 계조가 설정된다. 이에 의해 메모리 시스템에 의해 메뉴 화상이 표시된다.

<48> 보다 구체적으로, 표시부(13)에서(도 3, 도 6, 도 7), 아날로그 구동 시스템에 의한 표시의 경우, 사전 처리(advance process)에서, 수평 구동부(15)에 의해 각 신호선 SIG의 논리 레벨이 H레벨로 설정되고, 메모리부(23)의 전원 VRAM이 하강된 상태에서, 게이트 신호 GATED에 의해 메모리부(23)가 신호선 SIG에 접속된다. 이에 의해 메모리부(23)에 신호선 SIG의 논리값이 설정된다. 또한, 이 논리값의 설정에 의해, 트랜지스터 Q3이 온

상태로 설정되어 트랜지스터 Q2가 신호선 SIG에 접속된다.

- <49> 또한, 아날로그 구동 시스템에 의한 표시의 경우(도 3-도 6), 수평 구동부(15)에 의해, 신호선 SIG의 신호 레벨이 적색, 녹색, 청색의 각 액정 셀(22R, 22G, 22B)의 계조를 나타내는 계조 전압으로 순차적으로 설정되며, 또한, 신호선 SIG의 신호 레벨의 설정에 대응하도록, 트랜지스터 Q1R, Q1G, Q1B, Q2가 순차적으로 온 상태로 설정되어서, 액정 셀(22R, 22G, 22B)의 화소 전극에 각 화소의 계조 전압이 설정된다. 또한, 이 설정에 대응하도록, 구동 신호 VCOM 및 CS가 액정 셀(22R, 22G, 22B)의 공통 전극, 축적 커패시터 CsR, CsG, CsB에 공급된다.
- <50> 액정 표시 장치(18)에서는, 신호선 SIG에 의한 액정 셀(22R, 22G, 22B)의 설정이 예를 들면 프레임 단위로 반복된다. 이에 의해 아날로그 구동 시스템에 의해 동화상 또는 정지 화상을 표시할 수 있다.
- <51> 한편, 메모리 시스템에 의한 경우(도 3, 도 6, 도 7), 액정 셀(22R, 22G, 22B)의 발광 또는 비발광에 대응하는 논리 레벨로 신호선 SIG의 신호 레벨이 설정되어, 아날로그 구동 시스템에 의한 사전의 처리와 마찬가지로 메모리부(23)가 구동된다. 이에 의해 메모리부(23)에 화상 데이터 DV의 논리 레벨이 설정된다.
- <52> 또한, 계속해서 메모리부(23)에 설정된 논리값에 따라서, 트랜지스터 Q3 또는 Q4가 선택적으로 온 상태로 설정되고(도 3, 도 8, 도 9), 구동 신호 CS의 반전 신호 XCS 또는 구동 신호 CS가 선택된다. 액정 표시 장치(18)에서, 선택된 반전 신호 XCS 또는 선택된 구동 신호 CS가 트랜지스터 Q1R, Q1G, Q1B, Q2를 통하여 액정 셀(22R, 22G, 22B)의 화소 전극에 공급된다. 이에 의해 신호선 SIG에 설정한 논리값에 따라서, 이들 액정 셀(22R, 22G, 22B)이 표시 또는 비표시로 설정된다. 따라서, 액정 표시 장치(18)는, 메뉴 화상과 같이, 프레임 주기로 갱신할 필요가 없는 화상 표시에 대해서는, 메모리 시스템에 의해 표시하여서, 소비 전력을 감소시킬 수 있다.
- <53> 또한, 액정 표시 장치(18)에서, 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)에 대하여 1개의 메모리부(23)를 할당해서, 메모리 시스템에 의해 화상을 표시한다. 따라서, 표시부에 설치하는 메모리의 수를 적게 해서 구성을 간략화할 수 있다.
- <54> 또한, 1개의 메모리부(23)가 할당되는 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)을 신호선 SIG의 연장 방향으로 순차 배치해서 소위 가로 스트라이프(horizontal stripes)에 의해 표시부(13)가 형성된다. 이에 의해 효율적으로 TFT 기판을 레이아웃해서 표시부(13)에서의 개구의 면적의 감소를 방지할 수 있다.
- <55> 그러나, 이와 같이 인접하는 복수의 화소에서 메모리부(23)를 공유하면, 이들 복수의 화소에서 TFT 기판의 레이아웃에 치우침이 발생하고, 특정한 화소에서 축적 커패시터를 생성할 수 있는 면적이 작아진다. 즉, 이 경우, 어느 쪽인가의 화소에 메모리부(23)를 배치하면, 메모리부(23)를 배치한 화소에서는, 충분한 개구를 확보해서 축적 커패시터에 충분한 면적을 할당하는 것이 곤란하게 된다.
- <56> 그래서, 본 실시예에서는, 기본 유닛(21)의 적색, 녹색, 청색의 3개의 액정 셀(22R, 22G, 22B) 중의 청색의 액정 셀(22B)에 의해 형성된 화소에, 메모리부(23) 및 트랜지스터 Q3, Q4, Q11이 배치된다. 또한, 적색 액정 셀(22R)에 의해 형성된 화소에, 트랜지스터 Q1R, Q1G, Q1B, Q2와 적색 액정 셀(22R)의 축적 커패시터 CsR이 배치된다. 또한, 녹색 액정 셀(22G) 및 청색 액정 셀(22B)의 축적 커패시터 CsG 및 CsB가, 녹색 액정 셀(22G)에 의한 화소에 배치된다. 따라서, 본 실시예는, 효율적으로 트랜지스터 Q1-Q11을 배열해서 적색, 녹색, 청색의 화소에 할당 가능한 개구의 면적을 충분히 확보하며, 또한, 적색, 녹색, 청색의 화소에서, 개구의 면적이 치우치지 않도록 한다.
- <57> 그러나, 녹색 액정 셀(22G) 및 청색 액정 셀(22B)의 축적 커패시터 CsG 및 CsB를 녹색 액정 셀(22G)에 의해 형성된 화소에 배치한 경우, 녹색 액정 셀(22G)의 하층에, 청색 액정 셀(22B)의 축적 커패시터 CsB가 배치된다. 그 결과, 녹색 액정 셀(22G)이 청색 액정 셀(22B)의 화소 전위의 영향을 받아, 올바른 계조를 표현할 수 없게 될 우려가 있다.
- <58> 그래서, 본 실시예에서(도 1), 적어도 녹색 액정 셀(22G)에 의해 형성된 화소에 배치하는 청색 액정 셀(22B)의 축적 커패시터 CsB에 대해서는, 배선층(7)에 의해 형성된 축적 커패시터 CsB의 전극과 화소 전극(11) 사이에, 배선층(9)에 의해 실드층(31)이 형성된다. 실드층(31)은 접지 또는 고정 전위에 접속된다.
- <59> 따라서, 본 실시예에서, 실드층(31)에 의한 실드에 의해, 녹색 액정 셀(22G)의 화소 전위가 청색 액정 셀(22B)의 화소 전위의 영향을 받지 않도록 할 수 있다. 이에 의해 녹색의 화소를 옳은 계조에서 표시할 수 있다. 따라서, 본 실시예에서, 축적 커패시터를 배치할 수 있는 면적이 작은 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있다.

- <60> (3) 실시예의 효과
- <61> 이상의 구성에 따르면, 인접 화소의 축적 커패시터를 화소 전극의 하층에 생성하도록 하여, 인접 화소의 축적 커패시터를 구성하는 화소 전위층의 전극과 화소 전극 사이에 실드층을 배치해서 실드한다. 따라서, 축적 커패시터를 배치할 수 있는 면적이 작은 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있다.
- <62> 또한, 화소 전극을 TFT에 접속하는 배선층에 의해 실드층을 형성함으로써, 기존의 공정을 유효하게 이용하여 실드층을 형성할 수 있다. 따라서, 간단한 구성으로, 축적 커패시터를 배치할 수 있는 면적이 작은 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있다.
- <63> 또한, 1개의 메모리부를 서로 인접하는 복수의 화소에 할당해서 메모리 시스템에 의해 표시하는 구성에 적용하여, TFT 기관의 레이아웃이 극단적으로 치우치는 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있다.
- <64> 또한, 메모리 시스템과 아날로그 구동 시스템 등에 의해 화상 표시하는 구성에 적용하여, TFT 기관의 레이아웃이 극단적으로 치우치는 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있다.
- <65> <제2 실시예>
- <66> 도 11은, 본 발명의 제2 실시예에 따른 액정 표시 장치를 도시하는 블록도이다. 액정 표시 장치(41)는, 아날로그 구동 시스템에 의해 표시부(42)에서 화상 데이터 SDI에 근거한 동화상 또는 정지 화상을 표시하고, 나아가서는 화상 데이터 DV1에 근거한 메뉴 화상을 표시한다. 또한, 표시부(42)에 표시된 메뉴의 선택을 컨트롤러(44)에서 검출하고, 표시부(42)의 표시 등을 변경한다.
- <67> 액정 표시 장치(41)에서, 인터페이스(I/F)(45)에, 튜너부, 외부기기 등으로부터 출력되는 화상 데이터 SDI, 화상 데이터 SDI에 동기한 각종 타이밍 신호, 컨트롤러(44)로부터 출력되는 화상 데이터 DV1이 입력된다. 인터페이스(45)는 인터페이스(45)에 입력된 화상 데이터 SDI, DV1, 각종 타이밍 신호를 컨트롤러(44)의 제어 하에서 각 부에 출력한다.
- <68> 수평 구동부(46)는, 인터페이스(45)로부터 출력되는 화상 데이터 SDI, DV1을 표시부(42)에 설치된 각 신호선 SIG에 담당하고, 담당한 화상 데이터를 아날로그 디지털 변경 처리한다. 수평 구동부(46)는 각 신호선 SIG의 구동 신호 Ssig를 생성해서 표시부(42)에 출력한다. 수직 구동부(47)는, 수평 구동부(46)에 의해 생성된 구동 신호 Ssig에 대응하는 타이밍 신호 GATEL, 구동 신호 VCOM, CS를 생성해서 표시부(42)에 출력한다.
- <69> 표시부(42)는, 소정 화소 피치로, 터치 센서를 형성하는 센서 회로가 설치된 투과형 또는 반투과형의 액정 표시 패널이다. 표시부(42)는, 수평 구동부(46), 수직 구동부(47)의 구동에 의해 화상 데이터 SDI에 근거한 동화상 또는 정지 화상, 화상 데이터 DV1에 근거한 메뉴 화상을 표시한다.
- <70> 스캔부(48)는, 표시부(42)에 설치된 센서 회로의 구동에 사용하는 각종 타이밍 신호 RST, SEL을 생성해서 출력한다. 센싱부(43)는, 표시부(42)로부터 출력되는 센서 회로의 출력 신호 SIGX를 신호 처리하여, 유저가 터치한 파트(a part)의 좌표 X, Y를 검출한다. 센싱부(43)는 검출한 좌표 X, Y를 컨트롤러(44)에 출력한다.
- <71> 컨트롤러(44)는 각 부의 동작을 제어하는 제어 수단이다. 컨트롤러(44)는 인터페이스(45)의 동작을 제어해서 표시부(42)에 소정의 메뉴 화면을 표시한다. 또한, 컨트롤러(44)는 센싱부(43)에 의해 통지되는 좌표 X, Y에 기초하여, 메뉴 화면에서의 메뉴의 선택을 검출하고, 메뉴의 선택에 응답해서 표시부(42)의 표시를 변경하고, 나아가서는 화상 데이터 SDI의 소스 등을 변경한다.
- <72> 도 12는 표시부(42)의 기본 유닛을 도시하는 블록도이다. 기본 유닛(51)에서, 도 3의 기본 유닛(21)과 동일한 구성은 대응하는 부호를 붙여서 나타내고, 중복된 설명은 생략한다. 여기서 기본 유닛(51)은 표시부(42)의 구성 단위이다. 본 실시예에서, 기본 유닛(51)은 연속하는 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)과, 1개의 센서부(52)를 포함한다. 표시부(42)에서, 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)이 순차 순환적으로 연속하도록, 기본 유닛(51)이 TFT 기관에 매트릭스 형태로 배열된다. 이에 의해 액정 셀(22R, 22G, 22B)에 의해 형성된 화소가 매트릭스 형태로 배열된다.
- <73> 기본 유닛(51)에서, 수직 구동부(47)로부터 출력되는 게이트 신호 GATEL에 따라 온/오프 동작하는 NMOS 트랜지스터 Q12R, Q12G, Q12B를 통하여, 각각 적색용, 녹색용, 청색용의 신호선 SIGR, SIGG, SIGB에 적색, 녹색, 청색의 액정 셀(22R, 22G, 22B)이 접속된다. 이에 의해 아날로그 구동 시스템으로 액정 셀(22R, 22G, 22B)의 게조가 설정된다.
- <74> 여기서 손가락 등 이 표시부(42)의 표시 화면에 접근하면, 표시부(42)의 출사광이 손가락 등에 의해 반사되어서,

표시부(42)에의 귀환광이 발생한다. 센서부(52)는, 귀환광을 수광해서 수광 광량에 따른 출력 신호를 출력하는 센서(53)와, 센서(53)의 출력 신호를 적분하는 적분 컨덴서(54)와, 적분 컨덴서(54)에 의한 적분 결과를 증폭하는 증폭 회로(55)와, 선택 신호 SEL에 의해 온 동작해서 이 증폭 회로(55)의 출력 신호를 센서부용의 신호선 SIG에 출력하는 트랜지스터 Q13을 포함한다.

<75> 도 13은 센서부(52)의 상세 구성을 관련된 구성과 함께 도시하는 접속도이다. 센서부(52)에서, 귀환광의 광량에 따른 전류를 출력하는 포토 센서(56)가 센서(53)에 적용된다. 센서(53)의 출력 신호가 적분 컨덴서(54)의 일단(one terminal)에 공급된다. 센서부(52)에서, 적분 컨덴서(54)의 타단(another terminal)이 소정의 고정 전위인 접지에 접속됨과 함께, 적분 컨덴서(54)의 일단이 리셋 신호 RST에 의해 온 동작하는 PMOS 트랜지스터 Q14를 통하여 전원 VDD에 접속된다.

<76> 도 14에 도시하는 바와 같이, 센서부(52)가 설치된 기본 유닛(51)에서의 액정 셀(22R, 22G, 22B)에의 계조 설정의 타이밍과 동기하여, 스캔부(48)로부터 리셋 신호 RST가 센서부(52)에 공급된다(도 14(a)). 리셋 신호 RST에 따라 트랜지스터 Q14가 온 동작해서, 적분 컨덴서(54)의 일단의 전압 V1(도 14(b))이 전원 전압 VDD에 접속된다. 이에 의해 적분 컨덴서(54)의 축적 전하가 리셋된다. 또한, 그 후, 적분 컨덴서(54)의 일단의 전압 V1이 귀환광의 광량에 따라서, 서서히 저하한다.

<77> 센서부(52)는, NMOS 트랜지스터에 의해 형성된 증폭 회로(55)에서 적분 컨덴서(54)의 일단의 전압을 증폭한다. 트랜지스터 Q13을 통하여 증폭 회로(55)의 출력이 신호선 SIG에 출력된다. 센서부(52)에서, 리셋 신호 RST에 의해 적분 컨덴서(54)의 일단의 전압 V1을 전원 전압 VDD에 리셋하기 직전에, 스캔부(48)로부터 선택 신호 SEL이 입력된다(도 14(c)). 이에 의해 선택 신호 SEL의 타이밍에서 적분 컨덴서(54)에 의한 적분 결과가 신호선 SIG에 출력된다.

<78> 액정 표시 장치(41)에서, 도 15에 도시하는 바와 같이, 신호선 SIG를 따라 배열되는 기본 유닛(51)을 순차적으로 선택해서 리셋하도록, 주사선을 통하여 각 기본 유닛(51)에 리셋 신호 RST(RST1, RST2, ……) 및 선택 신호 SEL(SEL1, SEL2, ……)이 출력된다. 이에 의해 신호선 SIG를 따라 배열되는 기본 유닛(51)에 의한 측정 결과 OUT1, OUT2, ……을 시분할에 의해 신호선 SIG에 출력한다.

<79> 본 실시예에서, 센싱부(43)(도 13)는 각 신호선 SIG에 접속된 정전류원(constant-current source)(57)을 갖는다. 센싱부(43)는 정전류원(57)의 입력단에서 검출되는 센서부(52)의 출력 신호 SIGX를 아날로그 디지털 변경 처리하고, 신호선 SIG에 접속된 기본 유닛(51)에 의한 검출 결과를 취득한다. 센싱부(43)는, 아날로그 디지털 변환 결과를, 대응 화상 데이터 SDI 또는 DV1의 화소값으로 나누어서, 귀환광의 광량을 정규화한다. 또한, 센싱부(43)는 정규화 결과를 소정의 임계값으로 판정하고, 소정 광량 이상으로 귀환광이 수광된 기본 유닛(51)을 검출한다. 센싱부(43)는 검출한 기본 유닛(51)의 좌표 X, Y를 컨트롤러(44)에 통지한다.

<80> 도 16은 기본 유닛(51)의 레이아웃을 도시하는 TFT 기판의 평면도이다. 본 실시예에서, 표시부(42)는, 액정 셀(22R, 22G, 22B)에 의한 화소를 주사선의 연장 방향으로 정렬해서 배열함으로써, 소위 세로 스트라이프로 형성된다. 또한, 표시부(42)에서, 각 액정 셀(22R, 22G, 22B)에 각각 트랜지스터 Q1R, Q1G, Q1B가 배열된다. 또한, 녹색 및 청색의 액정 셀(22G 및 22B)에 의한 화소에 센서부(52)가 배치된다. 또한, 센서 회로 중의 센서(53)는 청색의 액정 셀(22G)에 의한 화소에 배치된다. 또한, 각 액정 셀(22R, 22G, 22B)의 축적 커패시터 CsR, CsG, CsB가 적색의 액정 셀(22R)에 의해 형성된 화소에 배치된다. 그러나, 청색의 액정 셀(22B)의 축적 커패시터 CsB는 인접 기본 유닛(51)의 적색의 액정 셀(22R)에 배치된다.

<81> 또한, 축적 커패시터 CsR, CsG, CsB 중의, 적어도 녹색 및 청색의 액정 셀(22G, 22B)의 축적 커패시터 CsG, CsB는, 도 1에 대해서 상술한 실드층(31)이 형성된다. 실드층(31)은 접지 또는 고정 전위에 접속된다. 이에 의해 본 실시예는, 적색 액정 셀(22R)에서의 청색 액정 셀(22B) 및 녹색 액정 셀(22G)의 화소 전극의 영향을 효율적으로 회피한다.

<82> 본 실시예에 따르면, 귀환광의 광량을 검출하는 센서부를 설치하는 구성에 적용하여, TFT 기판의 레이아웃이 극단적으로 치우치는 경우에도, 필요한 축적 커패시터를 충분히 확보할 수 있다.

<83> <제3 실시예>

<84> 도 17은, 도 16 등의 대조(contrast)에 의해 본 발명의 제3 실시예의 액정 표시 장치에 적용되는 TFT 기판의 평면도이다. 액정 표시 장치에서, TFT 기판과 CF 기판 사이의 갭을 확보하는 스페이서가 소정 화소 피치로 배열된다. 액정 표시 장치에서, 스페이서의 배열에 의해, 스페이서를 배열한 화소에서 축적 커패시터의 생성 스페이스가 부족되게 된다. 그래서, 액정 표시 장치에서는, 부족한 스페이스를 인접 화소에 순차적으로 배당해서

축적 커패시터를 생성한다.

- <85> 즉, 도 17에서의 청색 액정 셀(22B)의 화소의 축적 커패시터 CsB는, 해당 청색 액정 셀(22B)의 화소와, 인접하는 녹색 액정 셀(22G)의 화소에 배치된다. 또한, 인접하는 녹색 액정 셀(22G)의 화소의 축적 커패시터 CsB는, 해당 녹색 액정 셀(22G)의 화소와, 인접하는 적색 액정 셀(22R)의 화소에 배치된다.
- <86> 이와 같이 하여 인접 화소에 배열하는 축적 커패시터에 대해서, 제1 실시예 또는 제2 실시예와 마찬가지로의 실드층(31)의 배열에 의해 올바른 계조를 표시할 수 있다.
- <87> 본 실시예에 따르면, 스페이서의 배열로 인해 TFT 기관의 레이아웃에 치우침이 발생하고, 축적 커패시터를 생성할 수 있는 면적이 작아진 경우라도, 필요한 축적 커패시터를 충분히 확보할 수 있다.
- <88> <제4 실시예>
- <89> 도 18은, 도 1과의 대조에 의해 본 발명의 제4 실시예의 액정 표시 장치에 적용되는 TFT 기관의 단면도이다. 본 실시예에 따른 액정 표시 장치에서, 축적 커패시터의 화소 전위측 전극에 대향하는 대향 전극이 배선층(9)에 의해 형성된다. 또한, 대향 전극이 축적 커패시터의 구동 신호 CS측 전극과 내부 접속된다. 이에 의해, 본 실시예에서, 게이트층(5) 및 배선층(7)에 의해 축적 커패시터를 생성하는 경우의 종래 구성에 비하여, 단위 면적당의 축적 커패시터의 용량을 거의 2배로 설정한다.
- <90> 액정 표시 장치에서, 축적 커패시터는, 해당 축적 커패시터에 관계되는 액정 셀의 하층에 배치된다.
- <91> 본 실시예에 따르면, 화소 전극과의 사이에 다시 대향 전극을 생성해서 축적 커패시터를 거의 2배로 함으로써, 고해상도화 등에 의해 각 화소에서 축적 커패시터를 배치할 수 있는 면적이 작아진 경우라도, 필요한 축적 커패시터를 충분히 확보할 수 있다.
- <92> <제5 실시예>
- <93> 또한, 상술한 제1 실시예 내지 제3 실시예에서, 메모리부, 센서 회로, 또는 스페이서의 배치로 인해 TFT 기관의 레이아웃에 치우침이 발생하고, 특정한 화소에서 축적 커패시터를 생성할 수 있는 면적이 작아지는 경우에 본 발명을 적용한 경우에 대해서 설명하였지만, 본 발명은 이것에 한하지 않고, 이들 이외의 구성의 배치로 인해 TFT 기관의 레이아웃에 치우침이 발생하고, 특정한 화소에서 축적 커패시터를 생성할 수 있는 면적이 작아지는 경우에 널리 적용할 수 있다.
- <94> 또한, 상술한 실시예들에서, 메모리 시스템과 아날로그 구동 시스템 간의 절환에 의해, 또는 아날로그 구동 시스템에 의해 희망 화상을 표시하는 경우에 대해서 설명하였다. 그러나, 본 발명은 이것에 한하지 않고, 아날로그 구동 시스템에 의해서만 희망 화상이 표시되는 경우와, 메모리 시스템에 의해서만 희망 화상이 표시되는 경우 등에도 널리 적용할 수 있다.
- <95> 또한, 상술한 실시예들에서, 실드층 또는 별도 대향 전극을 설치하는 경우에 대해서 설명하였다. 그러나, 본 발명은 이것에 한하지 않는다. 실드층과 별도 대향 전극의 조합에 의해 액정 표시 장치가 형성될 수도 있다.
- <96> 또한, 상술한 실시예들에서, 배선층을 이용하여 실드층 등을 생성하는 경우에 대해서 설명하였다. 그러나, 본 발명은 이것에 한하지 않는다. 예를 들면, FFS 시스템 또는 ISP 시스템에서의 공통 전극층을 이용하여 실드층 등을 생성할 수 있다. 또한, 별도, 금속막 등을 적층해서 실드층 등을 생성할 수도 있다.
- <97> 이제 화소내 셀렉터 시스템에 대해 상세히 설명할 것이다.
- <98> 이러한 종류의 액정 표시 장치의 경우, 소위 화소내 셀렉터 시스템은, 각 화소의 계조를 설정하는 시스템에 의해 제공된다. 화소내 셀렉터 시스템은, 복수 화소 단위로, 표시부에 셀렉터를 설치하고, 셀렉터에 의해 복수 화소를 형성하는 복수의 액정 셀의 계조를 순차적으로 설정한다.
- <99> 도 40은, 화소내 셀렉터 시스템에 근거한 액정 표시 장치의 기본 유닛을 도시하는 접속도이다. 기본 유닛(101)은, 화소내 셀렉터 시스템에 근거한 표시부의 구성 단위이다. 액정 표시 장치는, 기본 유닛(101)이 매트릭스 형태로 배열되어 표시부가 형성된다. 도 40의 예에서, 기본 유닛(101)은, 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)에 의해 형성된 3개의 서브 화소에 1개의 셀렉터(103)가 설치된다. 기본 유닛(101)에서, 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)의 공통 전극은 공통으로 신호선에 접속되고, 신호선은 도시하지 않는 공통 전극용의 구동 전원에 접속된다. 또한, CsR, CsG, CsB는 축적 커패시터를 나타낸다. 축적 커패시터 CsR, CsG, CsB는 액정 셀(102R, 102G, 102B)의 화소 전극에 각각 접속된 일단과, 프리차지용의 구동 신호 CS가 공급

된 타단을 갖는다. 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)의 화소 전극은 각각 게이트 신호 GATER, GATEG, GATEB에 따라 온/오프 동작하는 NMOS 트랜지스터 Q1R, Q1G, Q1B를 통하여 NMOS 트랜지스터 Q2에 접속된다. 트랜지스터 Q2는 청색용의 게이트 신호 GATEB에 의해 온/오프 동작한다. 트랜지스터 Q2는 트랜지스터 Q1R, Q1G, Q1B를 신호선 SIG에 접속시킨다.

<100> 도 41에 도시하는 바와 같이, 수평 구동부에 의해, 시 분할로, 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)의 계조에 대응하는 전압으로 기본 유닛(101)의 신호선 SIG의 전압이 설정된다(도 41(a)). 또한, 도 41에서, 각 액정 셀(102R, 102G, 102B)의 계조에 대응하는 전압을 부호 R, G, B로 나타낸다. 기본 유닛(101)에서, 신호선 SIG의 전압의 설정에 연동하여, 게이트 신호 GATER, GATEG, GATEB에 따라 트랜지스터 Q1R, Q1G, Q1B, Q2가 온 상태로 설정된 후, 순차적으로 오프 상태로 설정된다(도 41(b1), (b2), (b3)). 즉, 신호선 SIG의 전압이 적색 액정 셀(102R)의 계조에 대응하는 전압 R로 설정되어 있는 기간에, 트랜지스터 Q1R, Q1G, Q1B, Q2를 온 상태로 상승시킨 후, 적색 액정 셀(102R)에 접속된 트랜지스터 Q1R을 오프 상태로 변경한다. 이에 의해 적색 액정 셀(102R)의 화소 전극의 전압 VR을 신호선 SIG의 전압 R로 설정한다(도 41(c1)). 또한, 계속해서 신호선 SIG의 전압이 녹색 액정 셀(102G)의 계조에 대응하는 전압 G로 설정되어 있는 기간에, 녹색 액정 셀(102G)에 접속된 트랜지스터 Q1G를 오프 상태로 변경한다. 이에 의해 녹색 액정 셀(102G)의 화소 전극의 전압 VG를 신호선 SIG의 전압 G로 설정한다(도 41(c2)). 또한, 계속해서 신호선 SIG의 전압이 청색 액정 셀(102B)의 계조에 대응하는 전압 B로 설정되어 있는 기간에, 청색 액정 셀(102B)에 접속된 트랜지스터 Q1B를 트랜지스터 Q2와 함께 오프 상태로 변경한다. 이에 의해 청색 액정 셀(102B)의 화소 전극의 전압 VB를 신호선 SIG의 전압B로 설정한다(도 41(c3)).

<101> 이러한 액정 표시 장치에 관해서, 일본 특허 공개 평성 9-243995호 공보에는, 각 화소에 각각 메모리를 설치하고, 메모리의 기록에 따라서, 각 화소를 구동하는 구성이 개시되어 있다. 이하, 이 시스템을 메모리 시스템이라고 부른다. 메모리 시스템에 따르면, 일단, 각 화소의 계조를 설정하면, 각 화소에 대한 계조 설정 처리를 생략할 수 있기 때문에, 소비 전력을 저감할 수 있다.

<102> 도 41에 도시하는 화소내 셀렉터 시스템의 기본 유닛(101)에서, 도 42에 도시하는 바와 같이, 각 게이트 신호 GATER, GATEG, GATEB의 주사선과 각 액정 셀(102R, 102G, 102B)의 화소 전극 사이에 용량 Cg가 발생한다. 이 경우에, CgRR, CgRG, CgRB는, 각각 적색 액정 셀(102R)의 화소 전극과 각 게이트 신호 GATER, GATEG, GATEB의 주사선 사이의 용량을 나타낸다. 또한, CgGR, CgGG, CgGB는, 각각 녹색 액정 셀(102G)의 화소 전극과 각 게이트 신호 GATER, GATEG, GATEB의 주사선 사이의 용량을 나타낸다. 또한, CgBR, CgBG, CgBB는, 각각 청색 액정 셀(102B)의 화소 전극과 각 게이트 신호 GATER, GATEG, GATEB의 주사선 사이의 용량을 나타낸다.

<103> 그 결과, 기본 유닛(101)에서는, 이들 용량 Cg에 의한 게이트 커플링으로 인해, 게이트 신호 GATER, GATEG, GATEB의 신호 레벨이 변화하면, 각 액정 셀(102R, 102G, 102B)에 설정된 화소 전극의 전위 VR, VG, VB가 변화한다.

<104> 기본 유닛(101)에서, 도 41과 대조적으로 도 43에 도시하는 바와 같이, 처음에 적색용의 게이트 신호 GATER에 의해 트랜지스터 Q1R을 오프 동작시켜 적색 액정 셀(102R)의 계조를 설정한다. 그 후, 순차적으로, 녹색용 및 청색용의 게이트 신호 GATEG, GATEB에 의해 트랜지스터 Q1G, Q1B를 오프 동작시켜서, 녹색 액정 셀(102G) 및 청색 액정 셀(102B)의 계조를 설정한다. 따라서, 적색용, 녹색용, 청색용의 게이트 신호 GATER, GATEG, GATEB의 신호 레벨이 하강할 때마다, 적색 액정 셀(102R)의 화소 전극의 전위 VR이 하강하게 된다. 또한, 녹색용 및 청색용의 게이트 신호 GATEG, GATEB의 신호 레벨의 하강으로 인해, 녹색 액정 셀(102G)의 화소 전극의 전위 VG가 순차적으로 하강하게 된다. 또한, 청색용의 게이트 신호 GATEB의 신호 레벨의 하강으로 인해, 청색 액정 셀(102B)의 화소 전극의 전위 VB가 하강하게 된다.

<105> 그 결과, 기본 유닛(101)에서, 신호선 SIG를 통하여 화소 전극에 설정된 전위 VR, 전위 VG, 전위 VB가 변화하고, 그 변화량 ΔVR , ΔVG , ΔVB 가 적색 액정 셀(102R), 녹색 액정 셀(102G), 청색 액정 셀(102B)의 순으로 작아진다. 화소 전극의 전위 VR, 전위 VG, 전위 VB의 변화량 ΔVR , ΔVG , ΔVB 는, 게이트 신호 GATER, GATEG, GATEB에 의한 구동에 의해 발생하는 것이기 때문에, 필드 반전, 프레임 반전, 라인 반전 등에 의한 각 신호선 SIG의 구동을 변경하는 경우에도, 대략 일정값으로 유지된다.

<106> 따라서, 화소내 셀렉터 시스템에서는, 1개의 셀렉터가 할당된 복수 액정 셀간에서 액정에 직류 전계가 인가되는 문제가 있었다. 또한, 이와 같이 액정에 직류 전계가 계속해서 인가되면, 액정 표시 장치에서는, 액정이 열화하게 된다.

<107> 이하의 실시예들은, 각각의 액정 셀이 화소내 셀렉터 시스템에 의해 구동될 때마다 직류 전계가 액정에 인가되는 것을 방지할 수 있는 액정 표시 장치를 제안하는 것이다.

<108> <제6 실시예>

<109> (1) 실시예의 구성

<110> 도 24는, 본 발명의 제6 실시예에 따른 액정 표시 장치를 도시하는 블록도이다. 액정 표시 장치(111)는, 화소내 셀렉터 시스템에 근거한 액정 표시 장치로서, 액정 셀에 의해 형성된 화소를 매트릭스 형태로 배열해서 표시부(112)가 형성된다. 수평 구동부(113) 및 수직 구동부(114)는 표시부(112)를 구동하여, 표시부(112)에 회당 화상을 표시한다. 표시부(112)는, 소정의 기본 유닛이 매트릭스 형태로 배열되어 형성됨으로써, 액정 셀에 의해 형성된 화소가 매트릭스 형태로 배열된다.

<111> 도 23은, 도 40과 대조적으로 표시부(112)를 형성하는 기본 유닛을 도시하는 접속도이다. 도 23에서, 도 40과 동일한 구성은, 대응하는 부호를 붙여서 표시하고, 중복된 설명은 생략한다. 기본 유닛(116)은, 도 43에 대해서 상술한 화소 전극의 전위 VR, 전위 VG, 전위 VB의 변화량 ΔVR , ΔVG , ΔVB 중에서 변화량 ΔVB 가 가장 큰 적색 액정 셀(102R)을 제외하고, 녹색 액정 셀(102G) 및 청색 액정 셀(102B)의 각각의 화소 전극과 게이트 신호 GATEG 및 GATEB의 주사선 사이에 화소 전극 전위 보정용 용량 CG 및 CB를 갖는다. 기본 유닛(116)은 화소 전극 전위 보정용 용량 CG 및 CB와 관련한 구성이 서로 다른 점을 제외하고, 도 40의 기본 유닛(101)과 동일하게 구성된다. 따라서, 기본 유닛(116)에서, 도 41에서 설명한 것과 동일하게 순차적으로 각 액정 셀(102R, 102G, 102B)의 계조가 설정된다.

<112> 도 23에 도시하는 구성에서, 적색 액정 셀(102R)의 게이트 신호 GATER의 하강으로 인한 적색 액정 셀(102R)의 화소 전극의 전위 VR의 하강 전압 ΔVR 은, 액정 셀(102R)의 화소 전극 및 접지간의 용량과, 화소 전극 및 게이트 신호 GATER의 주사선간의 용량 CgRR에 의해 게이트 신호 GATER의 전압 변화를 분압한 전압으로 나타낼 수 있다. 따라서, 전압 변화량 ΔVR 은 다음식으로 표현될 수 있다. 또한, 여기서 CtotalR은, 적색 액정 셀(102R)의 화소 전극과 다른 모든 파트들 사이의 용량의 총 합산의 용량이다. 또한, ΔVg 는, 게이트 신호 GATER, GATEG, GATEB의 전압 변화량이다.

수학식 1

<113>
$$\Delta VRR = \frac{CgRR}{CtotalR} \times \Delta Vg$$

<114> 또한, 적색 액정 셀(102R)에서, 녹색 액정 셀(102G)의 게이트 신호 GATEG의 하강으로 인한 적색 액정 셀(102R)의 화소 전극의 전위 VR의 하강량 ΔVRG 는, 마찬가지로 액정 셀(102R)의 화소 전극 및 접지간의 용량과, 화소 전극 및 게이트 신호 GATEG의 주사선간의 용량 CgRG에 의해 게이트 신호 GATEG의 전압 변화를 분압한 전압으로 나타낼 수 있다. 또한, 적색 액정 셀(102R)에서, 청색 액정 셀(102B)의 게이트 신호 GATEB의 하강으로 인한 적색 액정 셀(102R)의 화소 전극의 전위 VR의 하강량 ΔVRB 도, 마찬가지로 액정 셀(102R)의 화소 전극 및 접지간의 용량과, 화소 전극 및 게이트 신호 GATEB의 주사선간의 용량 CgRB에 의해 게이트 신호 GATEB의 전압 변화를 분압한 전압으로 나타낼 수 있다. 따라서, 이들 전압 변화량 ΔVRG 및 ΔVRB 는, 다음식으로 표현할 수 있다. 또한, 여기서 CtotalG는, 녹색 액정 셀(102G)의 화소 전극과 다른 모든 파트들 사이의 용량의 총 합산의 용량이며, 또한, CtotalB는, 청색 액정 셀(102B)의 화소 전극과 다른 모든 파트들 사이의 용량의 총 합산의 용량이다.

수학식 2

<115>
$$\Delta VRG = \frac{CgRG}{CtotalR} \times \Delta Vg$$

수학식 3

<116>
$$\Delta VRB = \frac{CgRB}{CtotalR} \times \Delta Vg$$

<117> 따라서, 도 43에 대해서 상술한 적색 액정 셀(102R)에서의 화소 전극 전위 VR의 전압 강하량 ΔVR 은, 다음식으로 표현할 수 있다.

수학식 4

$$\Delta VR = \Delta VRR + \Delta VRG + VRB = \frac{CgRR + CgRG + CgRB}{CtotalR} \times \Delta Vg$$

마찬가지로 해서, 녹색 액정 셀(102G) 및 청색 액정 셀(102B)에서의 화소 전극 전위 VG 및 VB의 변화량 ΔVG 및 ΔVB는, 각각 다음식으로 표현할 수 있다.

수학식 5

$$\Delta VG = \Delta VGG + \Delta VGB = \frac{CgGG + CgGB}{CtotalG} \times \Delta Vg$$

수학식 6

$$\Delta VB = \Delta VGB = \frac{CgBB}{CtotalB} \times \Delta Vg$$

화소 전극 전위 보정용 용량 CG 및 CB를 제거한 경우, 각 액정 셀(102R, 102G, 102B)의 화소 전극과 대응 게이트 신호 GATER, GATEG, GATEB의 주사선 사이의 용량 CgRR, CgGG, CgBB는, 이들 액정 셀(102R, 102G, 102B) 간에서 트랜지스터 Q1R, Q1G, Q1B 등의 레이아웃을 동일하게 설정함으로써, 대략 서로 동일하게 할 수 있다. 따라서, 동일한 용량을 CE로 놓으면, 용량 CgRR, CgGG, CgBB는, 각각 CE, CE+CG, CE+CB로 표현할 수 있다.

여기서 수학식 4 및 수학식 5의 CgRR, CgGG를 각각 CE, CE+CG로 놓고, ΔVR=ΔVG로 설정하면, 다음의 관계식을 얻을 수 있다.

수학식 7

$$\frac{CE + CgRG + CgRB}{CtotalR} \times \Delta Vg = \frac{CE + CG + CgGB}{CtotalG} \times \Delta Vg$$

여기서 CtotalR≒CtotalG 이기 때문에, 수학식 7을 정리하면, 다음의 관계식을 얻을 수 있다.

수학식 8

$$CG = CgRG + CgRB - CgGB$$

화소 전극 전위 보정용 용량 CG는, 수학식 8의 관계식을 만족하도록, 적색 액정 셀(102R)의 화소 전극과 녹색용 게이트 신호 GATEG 사이의 용량 CgRG, 적색 액정 셀(102R)의 화소 전극과 청색용 게이트 신호 GATEB 사이의 용량 CgRB의 합성 용량(combined capacitance)으로부터 녹색 액정 셀(102G)의 화소 전극과 청색용 게이트 신호 GATEB 사이의 용량 CgGB를 감산한 용량으로 설정된다.

또한, 마찬가지로 해서 수학식 4 및 수학식 6의 CgRR, CgGB를 각각 CE, CE+CB로 놓고, ΔVR=ΔVB로 하면, 다음의 관계식을 얻을 수 있다.

수학식 9

$$\frac{CE + CgRG + CgRB}{CtotalR} \times \Delta Vg = \frac{CE + CB}{CtotalB} \times \Delta Vg$$

CtotalG≒CtotalB로 놓고 수학식 9를 정리하면, 다음의 관계식을 얻을 수 있다.

수학식 10

$$CB = CgRG + CgRB$$

화소 전극 전위 보정용 용량 CB는, 수학식 10의 관계식을 만족하도록, 적색 액정 셀(102R)의 화소 전극과 녹색용 게이트 신호 GATEG 사이의 용량 CgRG, 적색 액정 셀(102R)의 화소 전극과 청색용 게이트 신호 GATEB 사이의 용량 CgRB의 합성 용량으로 설정된다.

이들 수학식 8 및 수학식 10의 관계식을 만족하도록, 화소 전극 전위 보정용 용량 CG, CB가 설정되어, 도 43과

대조적으로 도 25에 도시하는 바와 같이, 기본 유닛(116)은, 적색 액정 셀(102R), 녹색 액정 셀(102G), 청색 액정 셀(102B)에서 게이트 커플링으로 인한 화소 전극 전위 VR, VG, VB의 전압 강하 ΔVR , ΔVG , ΔVB 가 대략 서로 동일하게 되도록 설정된다. 이에 의해 이들 인접하는 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)에서의 액정으로의 직류 전계의 인가를 방지할 수 있다.

<134> 도 26은 기본 유닛(116)의 레이아웃을 도시하는 평면도이다. 표시부(112)에서, 일정한 피치 T1에 의해 게이트 신호 GATER, GATEG, GATEB의 주사선이 순차적으로 설치된다. 기본 유닛(116)은, 인접 주사선 사이에, 순차적으로 설치된 적색, 녹색, 청색의 화소 전극(117R, 117G, 117B)을 갖고, 또한, 대응하는 축적 커패시터 CsR, CsG, CsB 등을 갖는다. 기본 유닛(116)에서, 녹색 액정 셀(102G) 및 청색 액정 셀(102B)의 화소 전극(117G, 117B)이 각각 녹색용 및 청색용 게이트 신호 GATEG, GATEB의 주사선과 소정량 TG, TB만큼 오버랩하도록, 적색 액정 셀(102R)의 화소 전극(117R)에 비해서 녹색 액정 셀(102G)의 화소 전극(117G), 청색 액정 셀(102B)의 화소 전극(117B)이 신호선 SIG를 따른 방향에 대향으로 형성된다. 이에 의해 오버랩된 파트에서 화소 전극 전위 보정용 용량 CG, CB가 생성된다. 각 액정 셀(102R, 102G, 102B)은, 화소 전극(117R, 117G, 117B), 트랜지스터 Q2에 관계되는 레이아웃을 제외하고, 동일한 레이아웃에 의해 생성된다.

<135> (2)제6 실시예의 동작

<136> 이상의 구성을 갖는 액정 표시 장치(111)(도 24)에서, 수평 구동부(113) 및 수직 구동부(114)는 표시부(112)를 구동하여, 표시부(112)에 설치된 액정 셀에 의해 형성된 각 화소의 계조를 설정한다. 이에 의해 표시부(112)에 희망 화상을 표시할 수 있다.

<137> 또한, 표시부(112)에서(도 23), 트랜지스터 Q1R, Q1G, Q1B, Q2에 의해 형성된 셀렉터를 통하여, 인접하는 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)의 화소 전극 전위 VR, VG, VB는 신호선 SIG의 전압으로 순차적으로 설정된다. 이에 의해 화소내 셀렉터 시스템에 의해 각 화소의 계조가 설정되어 희망 화상을 표시한다.

<138> 그러나, 화소내 셀렉터 시스템에서, 적색용 게이트 신호 GATER, 녹색용 게이트 신호 GATEG, 청색용 게이트 신호 GATEB의 신호 레벨은 트랜지스터 Q1R, Q1G, Q1B, Q2를 순차적으로 온/오프 제어하도록 변경되고, 순차적으로, 1개의 셀렉터에 할당된 액정 셀(102R, 102G, 102B)의 화소 전극을 신호선 SIG에 접속해서 복수 액정 셀(102R, 102G, 102B)의 계조를 설정한다. 따라서, 화소 전극의 전위 VR, VG, VB는 게이트 커플링으로 인한 저하된다(도 42). 또한, 화소 전극의 전위 VR, VG, VB는, 1개의 셀렉터에 할당된 액정 셀(102R, 102G, 102B) 중에서, 최초로 화소 전극의 전위 VR, VG, VG를 설정한 액정 셀일수록 더 많이 저하된다(도 43). 그 결과, 아무런 연구를 실시하지 않으면, 1개의 셀렉터에 할당된 복수의 액정 셀(102R, 102G, 102B)의 화소 전극들간에서, 직류의 전위차가 발생하여, 액정에 직류 전계가 인가된다.

<139> 그래서, 본 실시예에 따른 액정 표시 장치(111)에서, 기본 유닛(116)은, 나중에 화소 전극 전위를 설정하는 액정 셀(102G, 102B)의 화소 전극과 대응하는 게이트 신호 GATEG, GATEB의 주사선 사이의 용량 CgGG, CgBB가 증가하도록, 화소 전극 전위 보정용 용량 CG, CB가 설치된다. 이에 의해 각 기본 유닛(116)에서, 나중에 화소 전극 전위를 설정하는 액정 셀(102G, 102B)의 게이트 커플링에 의해 화소 전극의 전위를 많이 하강시킨다(도 25). 1개의 셀렉터에 할당된 복수의 액정 셀(102R, 102G, 102B)의 화소 전극들간에서, 직류의 전위차가 발생하지 않도록 하여, 액정으로의 직류 전계의 인가를 방지한다.

<140> 액정 표시 장치(111)에서, 화소 전극 전위 보정용 용량 CG, CB가, 대응하는 화소 전극과 주사선의 오버랩에 의해 생성된다(도 26). 이에 의해 단순한 제조용의 마스크의 개량(improving)에 의해 액정으로의 직류 전계의 인가를 방지할 수 있다.

<141> (3) 제6 실시예의 효과

<142> 이상의 구성에 따르면, 화소내 셀렉터 시스템에 의해 1개의 셀렉터에 할당되는 복수의 액정 셀에서, 나중에 화소 전극 전위를 설정하는 액정 셀의 화소 전극과 대응하는 게이트 신호의 주사선 사이의 용량이 증가하도록 설정된다. 이에 의해 1개의 셀렉터에 할당된 복수의 액정 셀들간에서, 액정으로의 직류 전계의 인가를 방지할 수 있다. 따라서, 종래의 액정 표시 장치에 비해서 액정 표시 장치의 신뢰성을 향상할 수 있다.

<143> 또한, 화소 전극과 대응 게이트 신호의 주사선 사이의 용량이 대응 화소 전극과 주사선의 오버랩에 의해 증가된다. 이에 의해, 간단한 구성으로, 액정으로의 직류 전계의 인가를 방지할 수 있다.

<144> <제7 실시예>

<145> 도 27은, 본 발명의 제7 실시예의 액정 표시 장치에서의 기본 유닛의 레이아웃을 도시하는 평면도이다. 본 실

시에에 따른 액정 표시 장치는, 도 26의 레이아웃에 근거한 기본 유닛(116) 대신에 도 27의 레이아웃에 근거한 기본 유닛(126)이 적용되는 점을 제외하고, 제6 실시예의 액정 표시 장치와 동일하게 구성된다. 기본 유닛(126)에서는, 각 액정 셀(102R, 102G, 102B)의 화소 전극(117R, 117G, 117B) 대신에, 각 트랜지스터 Q1R, Q1G, Q1B를 화소 전극(117R, 117G, 117B)에 접속하는 배선 패턴(127R, 127G, 127B)을 대응 주사선과 오버랩시켜, 화소 전극 전위 보정용 용량이 생성된다.

<146> 따라서, 도 27에서, 적색 액정 셀(102R)에서, 트랜지스터 Q1R을 화소 전극(117R)에 접속하는 배선 패턴(127R)이 대응 주사선과 전혀 오버랩하지 않고 생성된다. 한편, 녹색 액정 셀(102G)에서, 트랜지스터 Q1G를 화소 전극(117G)에 접속하는 배선 패턴(127G)이 대응 주사선과 소정의 면적만큼 오버랩하도록 생성되어, 녹색 액정 셀(102G)의 화소 전극 전위 보정용 용량 CG가 생성된다. 또한, 청색 액정 셀(102B)에서, 트랜지스터 Q1B를 화소 전극(117B)에 접속하는 배선 패턴(127B)이 대응 주사선과 더욱 넓은 면적으로 오버랩하도록 생성되어, 청색 액정 셀(102B)의 화소 전극 전위 보정용 용량 CB가 생성된다.

<147> 본 실시예와 같이, 셀렉터를 구성하는 각 트랜지스터를 화소 전극에 접속하는 배선 패턴을 대응 주사선과 오버랩시켜 화소 전극 전위 보정용 용량을 생성해도, 제1 실시예와 마찬가지로의 효과를 얻을 수 있다.

<148> <제8 실시예>

<149> 도 28은, 본 발명의 제8 실시예의 액정 표시 장치에서의 기본 유닛의 레이아웃을 도시하는 평면도이다. 본 실시예에 따른 액정 표시 장치는, 도 27의 레이아웃에 근거한 기본 유닛(126) 대신에 도 28의 레이아웃에 근거한 기본 유닛(136)이 적용되는 점을 제외하고, 제7 실시예의 액정 표시 장치와 동일하게 구성된다.

<150> 본 실시예의 기본 유닛(36)에서, 컬러 필터의 투과율(transmittance)을 고려해서 적색 액정 셀(102R), 녹색 액정 셀(102G), 청색 액정 셀(102B)의 개구율이 설정된다. 개구율을 확보하기 위해 적색 액정 셀(102R), 녹색 액정 셀(102G), 청색 액정 셀(102B)의 화소 전극(117R, 117G, 117B)의 면적이 설정된다. 보다 구체적으로는, 적색 액정 셀(102R), 청색 액정 셀(102B)의 개구율이 동일한 값으로 설정되고, 적색 액정 셀(102R), 청색 액정 셀(102B)의 개구율에 비해서 녹색 액정 셀(102G)의 개구율이 큰 값으로 설정된다. 이에 의해 기본 유닛(136)에서, 적색 액정 셀(102R), 청색 액정 셀(102B)에서의 화소 전극(117R, 117B)은 동일한 면적으로 설정되는 것에 대해, 녹색 액정 셀(102G)의 화소 전극(117G)이, 이들 적색 액정 셀(102R), 청색 액정 셀(102B)의 화소 전극(117R, 117B)에 비해서 큰 면적으로 설정된다.

<151> 또한, 개구율의 설정에 대응하도록, 녹색 액정 셀(102G), 적색 액정 셀(102R), 청색 액정 셀(102B)의 순서로, 액정 셀(102G, 102R, 102B)이 배열된다. 이에 의해 표시 화면에서의 백색도(whiteness level) 및 백휘도(white luminance)가 최적화된다.

<152> 한편, 기본 유닛(136)에 근거한 표시부를 구동하는 수평 구동부 및 수직 구동부는 범용의 집적부가 적용된다. 상술한 제6 실시예 및 제7 실시예와 동일한 순서로 각 액정 셀(102G, 102R, 102B)의 계조를 설정한다. 또한, 배선 패턴(127G, 127B)과 주사선의 오버랩 대신에, 제6 실시예에 대해서 상술한 바와 같이, 화소 전극(117G, 117B)과 주사선의 오버랩에 의해, 화소 전극 전위 보정용 용량을 생성해도 된다.

<153> 본 실시예와 같이 액정 셀의 배치 순서와 계조 설정 순서를 변경하더라도, 상술한 실시예와 마찬가지로의 효과를 얻을 수 있다.

<154> <제9 실시예>

<155> 그런데 화소 전극의 전위의 변동은, 화소 전극을 배열하는 기관의 레이아웃, 게이트 신호 GATER, GATEG, GATEB의 소진폭화(decreased amplitude) 등에 의해, 다음(next) 액정 셀의 게이트 커플링에 의한 영향을 무시할 수도 있다.

<156> 이 경우에, 기본 유닛의 배열의 순서로 각 액정 셀의 계조를 설정하는 경우에는, 도 43과 대조적으로 도 29에 도시하는 바와 같이, 적색 및 녹색의 액정 셀(102R 및 102G)에서의 화소 전극의 전압 강하 ΔVR , ΔVG 가 대략 서로 동일하다. 한편, 제8 실시예의 구성에 따른 액정 셀의 배열, 계조 설정 순서에 의한 경우, 도 30에 도시하는 바와 같이, 양단에 배치되는 액정 셀(102G, 102B)에서의 화소 전극의 전압 강하 ΔVG , ΔVB 는 서로 거의 동일하다. 또한, 도 42와 대조적으로 상술한 제8 실시예의 구성에 따른 액정 셀의 배열, 계조 설정 순서에 의한 경우의, 화소 전극 전위의 변동에 영향을 주는 기생 용량을 도 31에 도시한다.

<157> 따라서, 본 실시예에서, 상술한 제9 실시예 내지 제8 실시예의 구성에서, 다음 액정 셀의 게이트 커플링의 영향을 무시해서 화소 전극 전위 보정용 용량을 배치한다. 여기서 다음 액정 셀에 의한 게이트 커플링을 무시하면,

수학식 7은 다음식으로 표현할 수 있다.

수학식 11

$$\frac{CE + CgRG}{CtotalR} \times \Delta Vg = \frac{CE + CG + CgGB}{CtotalG} \times \Delta Vg$$

따라서, $CtotalR \approx CtotalG$ 이기 때문에, 수학식 11을 정리하면, 다음의 관계식을 얻을 수 있다.

수학식 12

$$CG = CgRG - CgGB$$

여기서 각 액정 셀에서의 배선 패턴을 동일하게 레이아웃하는 경우에는, $CgRG \approx CgGB$ 의 관계식이 성립된다. 이에 의해 수학식 12에 의한 화소 전극 전위 보정용 용량 CG는 값 0으로 된다. 또한, 마찬가지로 해서 다음 액정 셀의 게이트 커플링을 무시하면, 수학식 9는 다음식으로 표현할 수 있다.

수학식 13

$$\frac{CE + CgRG}{CtotalR} \times \Delta Vg = \frac{CE + CB}{CtotalB} \times \Delta Vg$$

$CtotalG \approx CtotalB$ 로 놓고 수학식 13을 정리하면, 다음의 관계식을 얻을 수 있다.

수학식 14

$$CB = CgRG$$

이에 의해 상술한 제6 실시예 또는 제7 실시예의 구성에서, 다음 액정 셀의 게이트 커플링에 의한 영향을 무시해서 화소 전극 전위 보정용 용량을 배치하는 경우에는, 마지막에 화소 전극 전위를 설정하는 액정 셀(102B)에만 화소 전극 전위 보정용 용량 CB를 설치하면 되는 것을 알 수 있다. 이에 의해, 이 경우, 표시 패널의 구성을 간략화할 수 있다.

한편, 상술한 제8 실시예에 따른 액정 셀의 배열, 제조 설정 순서에 의한 구성에서, 다음 액정 셀의 게이트 커플링에 의한 영향을 무시해서 화소 전극 전위 보정용 용량을 배치하는 경우에는, 마찬가지로의 화소 전극 전위의 변동의 해석에 의해, 양단에 배치하는 녹색 액정 셀(102G) 및 청색 액정 셀(102B)에 거의 동일 용량의 화소 전극 전위 보정용 용량 CG, CB를 배열하면 되는 것이 구해진다.

본 실시예에 따르면, 다음 액정 셀의 게이트 커플링에 의한 영향을 무시할 수 있는 경우에도, 상술한 실시예들과 마찬가지로의 효과를 얻을 수 있다.

<제10 실시예>

도 32는 본 발명의 제10 실시예에 따른 액정 표시 장치를 도시하는 블록도이다. 액정 표시 장치(141)는, 예를 들면 도시하지 않는 튜너부, 외부기기 등으로부터 출력되는 비디오 데이터에 의한 동화상 또는 정지 화상을 아날로그 구동 시스템에 의해 표시부(142)에서 표시하고, 또한, 각종 메뉴 화상 등을 메모리 시스템에 의해 표시부(142)에서 표시한다. 또한, 여기서, 아날로그 구동 시스템은, 각 액정 셀의 화소 전극 신호선에 접속해서 화소 전극 전위를 신호선의 전위로 설정하는 시스템으로서, 상술한 제6 실시예 내지 제9 실시예의 구동 시스템이다.

액정 표시 장치(141)에서, 인터페이스(I/F)(143)는, 각 화소의 계조를 순차적으로 나타내는 시리얼 데이터에 의해 형성된 화상 데이터 SDI 및 화상 데이터 SDI에 동기한 각종 타이밍 신호를 입력한다. 또한, 여기서 화상 데이터 SDI는, 아날로그 구동 시스템에 의해 표시부(142)에서 표시하는 화상 데이터이다. 또한, 인터페이스(143)는, 컨트롤러(144)로부터, 메모리 시스템에 의해 표시부(142)에서 표시하는 이진 화상 데이터 DV를 입력한다. 인터페이스(143)는, 인터페이스(143)에 입력된 화상 데이터 SDI, DV, 각종 타이밍 신호를 컨트롤러(144)의 제어 하에서 각 부에 출력한다.

타이밍 제너레이터(TG)(145)는, 컨트롤러(144)의 제어 하에서, 메모리 시스템, 아날로그 구동 시스템에서 필요한 각종 타이밍 신호를 생성해서 수평 구동부(146), 수직 구동부(147)에 출력한다. 또한, 타이밍 제너레이터

(145)는 액정 셀의 공통 전극용의 구동 전원 VCOM을 생성해서 표시부(142)에 출력한다. 또한, 본 실시예에서 표시부(142)는, 반사형, 투과형, 반사형과 투과형의 조합형 중 어느 것이라도 적용할 수 있다.

<172> 수평 구동부(146)는, 컨트롤러(144)의 제어 하에서 아날로그 구동 시스템과 메모리 시스템 간의 동작을 절환한다. 아날로그 구동 시스템에서, 인터페이스(143)로부터 입력되는 화상 데이터 SDI를 순차적으로 각 신호선 SIG에 배당해서, 디지털 아날로그 변경 처리하고, 필드 반전, 프레임 반전, 라인 반전 등에 의한 각 신호선 SIG의 구동 신호 Ssig를 생성한다. 수평 구동부(146)는, 아날로그 구동 시스템에서, 구동 신호 Ssig를 표시부(142)의 각 신호선 SIG에 출력한다.

<173> 또한, 수평 구동부(146)는, 메모리 시스템에서, 컨트롤러(144)로부터 출력되는 이진 화상 데이터 DV의 논리값에 대응하는 구동 신호 Sdv를 대응하는 신호선 SIG에 출력한 후, 소정의 구동 신호 XCS를 신호선에 출력한다.

<174> 수직 구동부(147)는 컨트롤러(144)의 제어 하에서 아날로그 구동 시스템과 메모리 시스템 간의 동작을 절환한다. 수직 구동부(147)는 표시부(142)의 주사선에 소정의 구동 신호를 출력한다.

<175> 표시부(142)는, 수평 구동부(146), 수직 구동부(147)로부터 출력되는 각종 신호에 의해 동작하고, 화상 데이터 SDI 또는 DV에 근거한 화상을 표시한다. 여기서 도 33은, 표시부(142)의 기본 유닛을 도시하는 접속도이다. 도 33의 기본 유닛(151)에서, 제6 실시예의 기본 유닛(116)과 동일한 구성은, 대응하는 부호를 붙여서 나타내고, 중복된 설명은 생략한다.

<176> 아날로그 구동 시스템의 기본 유닛(151)은, 셀렉터(103) 및 NMOS 트랜지스터 Q3을 통하여, 액정 셀(102R, 102G, 102B)을 신호선 SIG에 접속하고, 각 액정 셀(102R, 102G, 102B)의 계조를 순차적으로 설정한다. 또한, 메모리 시스템의 기본 유닛(151)은, 메모리부(152)에 신호선 SIG의 설정을 기록한 후, 셀렉터(103) 및 NMOS 트랜지스터 Q3, Q4에 의해, 메모리부(152)에 기록된 신호선 SIG의 설정을 액정 셀(102R, 102G, 102B)에 순차적으로 설정하여, 액정 셀(102R, 102G, 102B)의 계조를 순차적으로 설정한다.

<177> 기본 유닛(151)은, 셀렉터(103)에 의한 액정 셀(102R, 102G, 102B)의 계조를, 제6 실시예 및 제 7 실시예에 대해서 상술한 것과 동일한 순서로 설정한다. 따라서, 녹색 및 청색의 액정 셀(102G 및 102B)에, 화소 전극 전위 보정용 용량 CG, CB가 설치된다. 또한, 화소 전극 전위 보정용 용량 CG, CB는, 제6 실시예 및 제7 실시예에 대해서 상술한 것과 동일하게 설정된다. 또한, 제8 실시예 등에 대해서 상술한 순서에 의해 액정 셀(102R, 102G, 102B)의 계조를 설정하도록 하여, 상술한 제8 실시예 등의 방법을 적용해서 화소 전극 전위 보정용 용량을 설치하도록 해도 된다.

<178> 즉, 표시부(142)에서, 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)이 순차적으로 순환적으로 연속하도록, 도 33에 도시하는 기본 유닛이 매트릭스 형태로 배열되어, 이들 액정 셀(102R, 102G, 102B)이 매트릭스 형태로 배열된다.

<179> 기본 유닛(151)에서, 적색, 녹색, 청색의 액정 셀(102R, 102G, 102B)의 축적 커패시터 CsR, CsG, CsB는, 일단에 프리차지의 처리에 관계되는 구동 신호 CS가 공급되고, 타단이 각각 대응하는 액정 셀(102R, 102G, 102B)의 화소 전극에 접속된다. 또한, 액정 셀(102R, 102G, 102B)은, 구동 신호 CS에 연동해서 신호 레벨이 변경되는 구동 전원 VCOM이 공통 전극에 공급된다.

<180> 기본 유닛(151)에서, 메모리부(152)는, 게이트 및 드레인이 각각 공통으로 접속된 NMOS 트랜지스터 Q5 및 PMOS 트랜지스터 Q6으로 이루어지는 CMOS 인버터와, 마찬가지로 NMOS 트랜지스터 Q7 및 PMOS 트랜지스터 Q8로 이루어지는 CMOS 인버터에 의해 형성된 SRAM(Static Random Access Memory)이다. 메모리부(152)는, 신호선 SIG의 논리 레벨에 대응하는 출력 RAM과, 출력 RAM과 반대의 논리 레벨에 의한 반전 출력을 각각 트랜지스터 Q3 및 Q4에 출력한다. 메모리부(152)는 트랜지스터 Q3 및 Q4를 상보적으로 온/오프 제어한다. 메모리부(152)는, 게이트 신호 GATED에 의해 온 동작하는 NMOS 트랜지스터 Q11을 통하여 신호선 SIG에 접속된다.

<181> 기본 유닛(151)에서, 도 34 및 도 35에 도시하는 바와 같이, 아날로그 구동 시스템의 경우, 수평 구동부(146) 및 수직 구동부(147)에 의해, 트랜지스터 Q3을 온 상태로 설정하도록 메모리부(152)가 사전에 설정된 후(도 34(d)~(e)), 게이트 신호 GATER, GATEG, GATEB의 설정이 순차적으로 절환됨으로써(도 34(b1)~(b3)), 도 35에 도시하는 바와 같이, 액정 셀(102R, 102G, 102B)이 순차적으로 신호선 SIG에 접속된다. 또한, 도 35는, 신호선 SIG와 액정 셀(102R, 102G, 102B)의 접속의 설명을 위해, 도 33과 대조적으로 기본 유닛(151)의 구성을 간략화해서 도시하는 도면이다.

<182> 기본 유닛(151)에서, 아날로그 구동 시스템의 경우, 수평 구동부(146)에 의해, 액정 셀(102R, 102G, 102B)의 계

조를 각각 나타내는 게조 전압 R, G, B에 신호선 SIG의 구동 신호 Ssig가 순차적으로 설정된다(도 34(a)). 신호선 SIG의 설정에 대응하도록 게이트 신호 GATER, GATEG, GATEB의 설정이 순차적으로 전환된다(도 34(b1)~(b3)). 이에 의해 기본 유닛(151)은, 액정 셀(102R, 102G, 102B)의 화소 전극 전위 VR, VG, VB가 구동 신호 Ssig에 의한 게조 전압 R, G, B로 설정된다. 이에 의해 기본 유닛(151)은, 아날로그 구동 시스템에 의해 액정 셀(102R, 102G, 102B)의 게조를 설정한다.

<183> 한편, 아날로그 구동 시스템에서의 메모리부(152)의 사전 설정시, 또는 메모리 시스템에 의한 기입 시, 기본 유닛(151)은, 도 36 및 도 37에 도시하는 바와 같이, 게이트 신호 GATER, GATEG, GATEB에 의해 트랜지스터 Q1R, Q1G, Q1B, Q2가 오프 상태로 설정되고(도 36(b1)~(b3) 및 (c1)~(c3)), 메모리부(152)의 전원 전압 VRAM이 신호선 SIG의 H레벨에 대응하는 전압 VDD로 일시적으로 하강됨과 함께(도 36(a) 및 (d)), 게이트 신호 GATED에 의해 트랜지스터 Q11이 온 상태로 설정되어서, 신호선 SIG에 메모리부(152)가 접속된다(도 36(e)). 이에 의해 기본 유닛(151)은, 신호선 SIG에 출력되는 구동 신호 Sdv의 논리 레벨이 메모리부(152)에 설정된다(도 36(f)). 또한, 그 후, 기본 유닛(151)은, 전원 전압 VRAM이 액정 셀(102R, 102G, 102B)의 구동 전압에 대응하는 전압 VDD2로 상승되어(도 36(d) 및 (f)), 트랜지스터 Q3, Q4를 온/오프 제어 가능하게 설정된다. 또한, 도 37은, 메모리부(152)의 동작의 설명을 위해, 도 33에 도시하는 기본 유닛(151)의 구성을 간략화해서 도시하는 도면이다.

<184> 기본 유닛(151)은, 아날로그 구동 시스템에서의 메모리부(152)의 사전 설정 시, 수평 구동부(146)에 의해 신호선 SIG가 H레벨로 설정되어, 이들 일련의 동작이 실행되고, 이에 의해 트랜지스터 Q3을 온 상태로 설정하도록 설정된다. 한편, 메모리 시스템에 의한 기입 시, 수평 구동부(146)에 의해 신호선 SIG가 화상 데이터 DV의 논리값으로 설정되고, 이에 의해 화상 데이터 DV의 논리값이 메모리부(152)에 설정된다. 또한, 이 논리값이 H레벨인 경우, 트랜지스터 Q3을 온 상태로 설정하도록 메모리부(152)가 설정된다. 논리값이 L레벨인 경우, 트랜지스터 Q4를 온 상태로 설정하도록 메모리부(152)가 설정된다.

<185> 메모리 시스템에 의한 표시 시, 기본 유닛(151)에서, 도 38 및 도 39에 도시하는 바와 같이, 수평 구동부(146)로부터, 구동 신호 CS에 대하여 상보적으로 신호 레벨이 변경되는 구동 신호 CS의 반전 신호 XCS가 신호선 SIG에 공급된다(도 38(a) 및 (b)). 또한, 수평 구동부(146)로부터, 트랜지스터 Q1R, Q1G, Q1B, Q2를 모두 온 동작시키도록 게이트 신호 GATER, GATEG, GATEB가 공급된다(도 38(c1)~(c3)). 기본 유닛(151)은, 메모리부(152)에 설정된 논리값에 따라서, 트랜지스터 Q3 또는 Q4가 선택적으로 온 상태로 설정되고, 이에 의해 반전 신호 XCS 또는 구동 신호 CS가 선택적으로 액정 셀(102R, 102G, 102B)의 화소 전극에 공급된다(도 38(d1)~(d3)). 이에 의해 액정 셀(102R, 102G, 102B)은, 메모리부(152)에 설정된 화상 데이터 DV의 논리값에 대응해서 흑계조 또는 백계조로 설정된다. 또한, 여기서 도 39는, 메모리 시스템에 의한 표시의 설명을 위해, 도 33에 도시하는 기본 유닛(151)의 구성을 간략화해서 도시하는 도면이다.

<186> 본 실시예에 따르면, 메모리 시스템에 의한 경우, 나아가서는 메모리 시스템과 아날로그 구동 시스템을 절환하는 경우라도, 상술한 실시예와 마찬가지로의 효과를 얻을 수 있다.

<187> <제11 실시예>

<188> 또한, 상술한 실시예에서는, 화소 전극의 크기를 변화시키거나, 또는 화소 전극에의 배선 패턴의 형상을 서로 다르게 해서 화소 전극 전위 보정용 용량을 생성하는 경우에 대해서 설명하였지만, 본 발명은 이것에 한하지 않는다. 예를 들면 주사선의 위치를 어긋나게 해서 화소 전극과의 오버랩량을 설정해서 화소 전극 전위 보정용 용량을 생성하는 경우, 나아가서는 별도, 대향 전극을 생성해서 화소 전극 전위 보정용 용량을 생성하는 경우 등, 화소 전극 전위 보정용 용량의 생성 방법은 여러 가지의 방법을 널리 적용할 수 있다.

<189> 또한, 상술한 실시예에서는, 1개의 셀렉터에 적색, 녹색, 청색에 의한 3개의 액정 셀을 할당하는 경우에 대해서 설명하였다. 그러나, 본 발명은 이것에 한하지 않는다. 예를 들면 연속하는 2개의 액정 셀을 1개의 셀렉터에 할당하는 경우, 나아가서는 4개 이상의 액정 셀을 1개의 셀렉터에 할당하는 경우 등에도 널리 적용할 수 있다.

<190> 본 발명은, 예를 들면 아날로그 구동 시스템과 메모리 시스템 간의 동작을 절환하는 액정 표시 장치에 적용할 수 있다. 또한, 본 발명은, 소위 화소내 셀렉터 시스템에 의한 액정 표시 장치에 적용할 수 있다.

<191> 첨부된 청구항 또는 동등물의 범위 내에 속하는 한 설계 요구 사항 및 다른 요인에 의해 다양한 변경, 조합, 부조합 및 변형이 발생할 수 있음을 당업자는 알 것이다.

도면의 간단한 설명

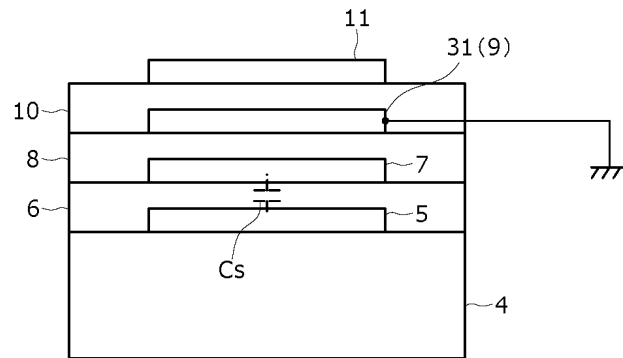
<192> 도 1은 본 발명의 제1 실시예에 따른 액정 표시 장치의 TFT 기판의 구성을 도시하는 단면도.

- <193> 도 2는 본 발명의 제1 실시예에 따른 액정 표시 장치를 도시하는 블록도.
- <194> 도 3은 도 2의 액정 표시 장치의 기본 유닛을 도시하는 접속도.
- <195> 도 4는 도 3의 기본 유닛의 동작의 설명에 사용하는 타임 차트.
- <196> 도 5는 도 3의 기본 유닛의 아날로그 구동 시스템의 동작의 설명에 사용하는 접속도.
- <197> 도 6은 도 3의 기본 유닛의 메모리부의 설정의 설명에 사용하는 타임 차트.
- <198> 도 7은 도 3의 기본 유닛의 메모리부의 설정의 설명에 사용하는 접속도.
- <199> 도 8은 도 3의 기본 유닛의 메모리 시스템에 의한 동작의 설명에 사용하는 타임 차트.
- <200> 도 9는 도 3의 기본 유닛의 메모리 시스템에 의한 동작의 설명에 사용하는 접속도.
- <201> 도 10은 도 2의 액정 표시 장치에서의 TFT 기관의 레이아웃의 설명에 사용하는 도면.
- <202> 도 11은 본 발명의 제2 실시예에 따른 액정 표시 장치를 도시하는 블록도.
- <203> 도 12는 도 11의 액정 표시 장치의 기본 유닛을 도시하는 접속도.
- <204> 도 13은 도 12의 기본 유닛에서의 센서부의 동작의 설명에 사용하는 접속도.
- <205> 도 14는 도 12의 기본 유닛에서의 센서부의 동작의 설명에 사용하는 타임 차트.
- <206> 도 15는 도 11의 액정 표시 장치에서의 기본 유닛의 동작의 설명에 사용하는 타임 차트.
- <207> 도 16은 도 11의 액정 표시 장치에서의 TFT 기관의 레이아웃을 도시하는 평면도.
- <208> 도 17은 본 발명의 제3 실시예에 따른 액정 표시 장치에서의 TFT 기관의 레이아웃을 도시하는 평면도.
- <209> 도 18은 도 17의 TFT 기관의 단면도.
- <210> 도 19는 종래의 액정 표시 장치에서의 TFT 기관의 레이아웃을 도시하는 평면도.
- <211> 도 20은 도 19의 TFT 기관의 단면도.
- <212> 도 21은 보조 전극을 도시하는 단면도.
- <213> 도 22는 화소 전극과의 결합에 의한 영향의 설명에 사용하는 단면도.
- <214> 도 23은 본 발명의 제6 실시예에 따른 액정 표시 장치의 기본 유닛을 도시하는 접속도.
- <215> 도 24는 본 발명의 제6 실시예에 따른 액정 표시 장치를 도시하는 블록도.
- <216> 도 25는 도 23의 기본 유닛의 동작의 설명에 사용하는 타임 차트.
- <217> 도 26은 도 23의 기본 유닛의 레이아웃을 도시하는 평면도.
- <218> 도 27은 본 발명의 제7 실시예에 따른 액정 표시 장치의 기본 유닛의 레이아웃을 도시하는 평면도.
- <219> 도 28은 본 발명의 제8 실시예에 따른 액정 표시 장치의 기본 유닛의 레이아웃을 도시하는 평면도.
- <220> 도 29는 본 발명의 제9 실시예에 따른 액정 표시 장치에서의 게이트 커플링의 영향의 설명에 사용하는 타임 차트.
- <221> 도 30은 도 29와는 상이한 예에서의 게이트 커플링의 영향의 설명에 사용하는 타임 차트.
- <222> 도 31은 본 발명의 제9 실시예에 따른 액정 표시 장치에서의 게이트 커플링의 영향의 설명에 사용하는 접속도.
- <223> 도 32는 본 발명의 제10 실시예에 따른 액정 표시 장치를 도시하는 블록도.
- <224> 도 33은 본 발명의 제10 실시예에 따른 액정 표시 장치에서의 기본 유닛을 도시하는 접속도.
- <225> 도 34는 도 33의 기본 유닛의 아날로그 구동 시스템에서의 동작의 설명에 사용하는 타임 차트.
- <226> 도 35는 도 33의 기본 유닛의 아날로그 구동 시스템에서의 동작의 설명에 사용하는 접속도.
- <227> 도 36은 도 33의 기본 유닛의 메모리부의 설정 시에서의 동작의 설명에 사용하는 타임 차트.

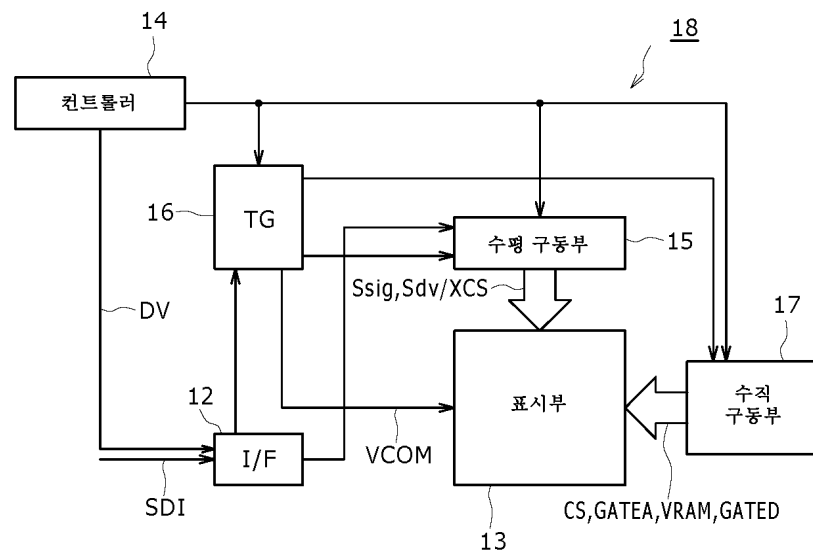
- <228> 도 37은 도 33의 기본 유닛의 메모리부의 설정 시에서의 동작의 설명에 사용하는 접속도.
- <229> 도 38은 도 33의 기본 유닛의 메모리 시스템에 의한 동작의 설명에 사용하는 타임 차트.
- <230> 도 39는 도 33의 기본 유닛의 메모리 시스템에 의한 동작의 설명에 사용하는 접속도.
- <231> 도 40은 화소내 셀렉터 시스템에 근거한 액정 표시 장치의 기본 유닛을 도시하는 접속도.
- <232> 도 41은 도 40의 기본 유닛의 동작의 설명에 사용하는 타임 차트.
- <233> 도 42는 도 40의 기본 유닛에서의 기생 용량의 설명에 사용하는 접속도.
- <234> 도 43은 도 40의 기본 유닛에서의 게이트 커플링의 설명에 사용하는 타임 차트.
- <235> <도면의 주요 부분에 대한 부호의 설명>
- <236> 1 : TFT 기관
- <237> 4 : 투명 절연 기관
- <238> 5 : 게이트층
- <239> 6, 8, 10 : 절연막
- <240> 7, 9 : 배선층
- <241> 11 : 화소 전극
- <242> 31 : 실드층
- <243> 13 : 표시부
- <244> 15, 36 : 수평 구동부
- <245> 17, 47 : 수직 구동부
- <246> 18, 41 : 액정 표시 장치
- <247> 21, 51 : 기본 유닛
- <248> 23 : 메모리부
- <249> 52 : 센서부
- <250> 53 : 센서
- <251> 55 : 증폭 회로
- <252> CsR, CsB, CsB : 축적 커패시터
- <253> Q1 Q13 : 트랜지스터

도면

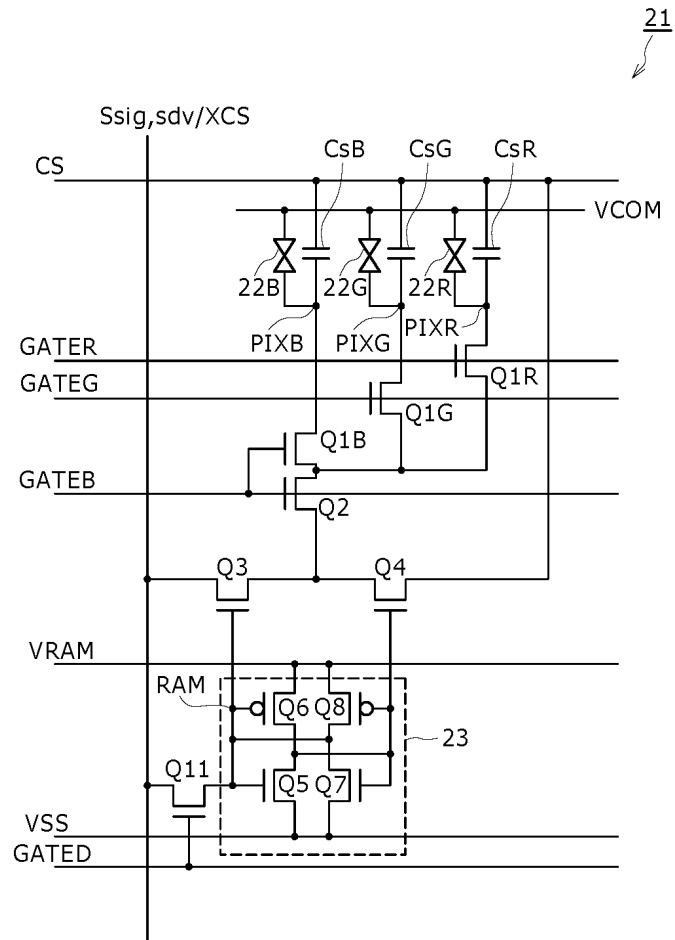
도면1



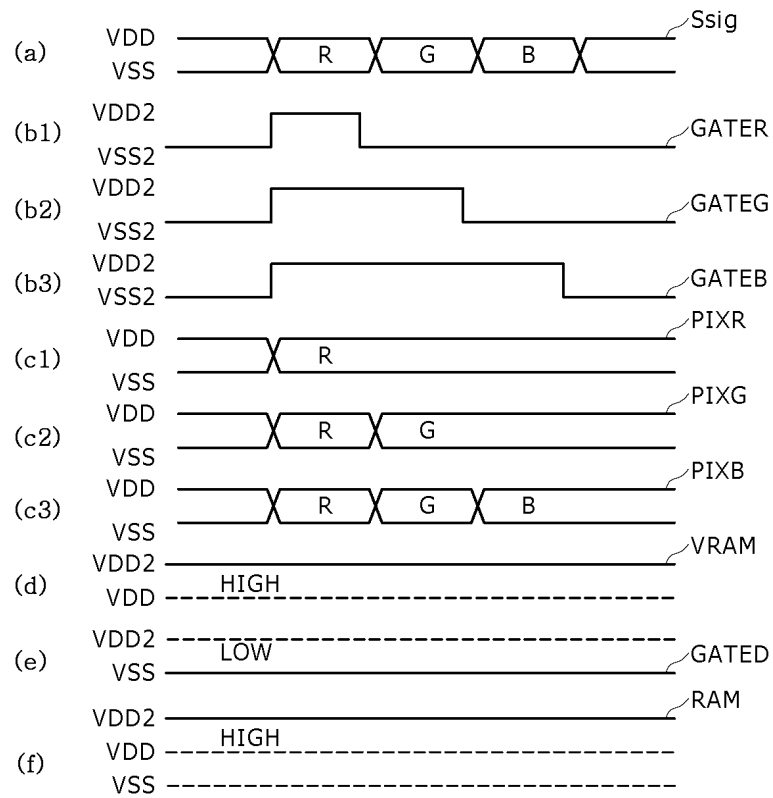
도면2



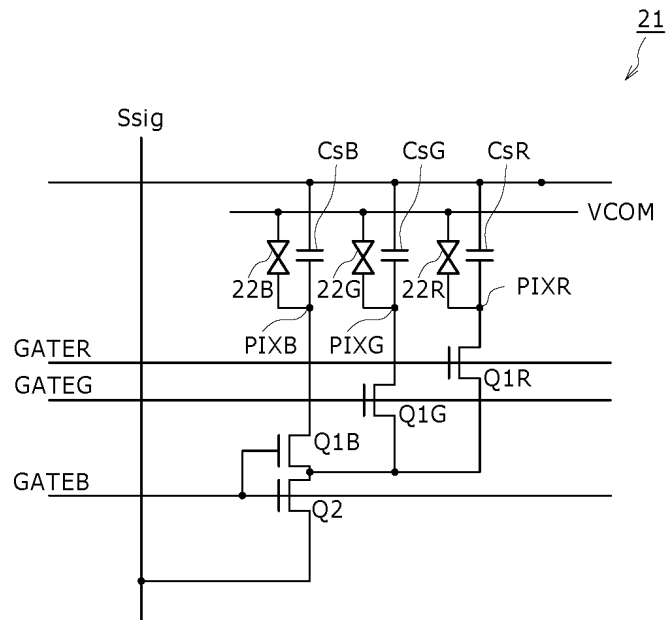
도면3



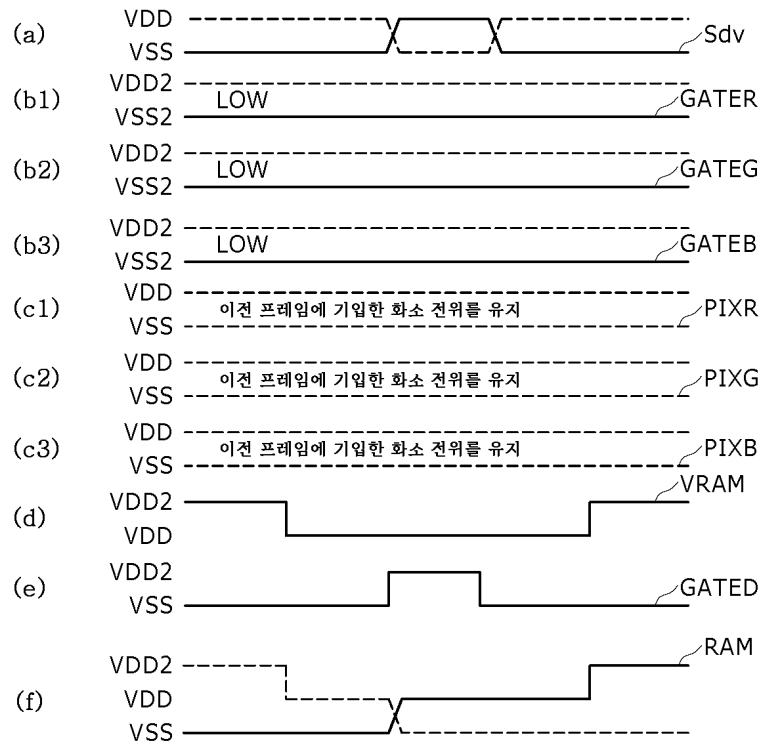
도면4



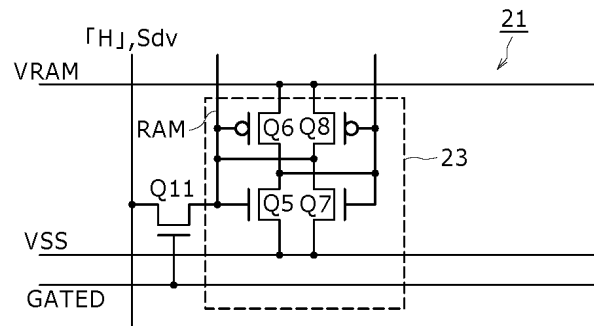
도면5



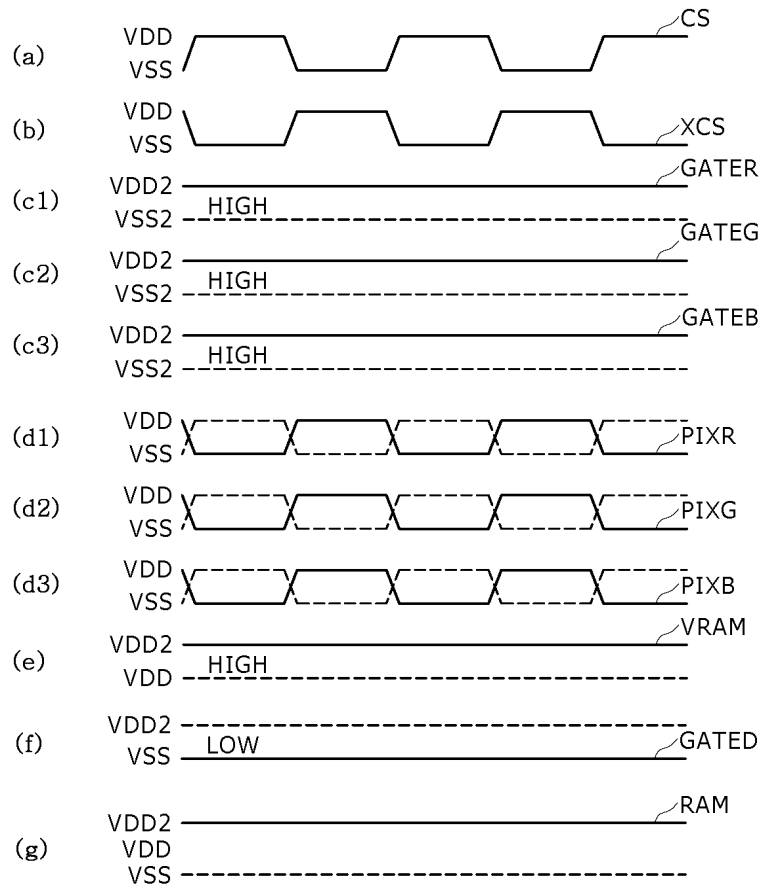
도면6



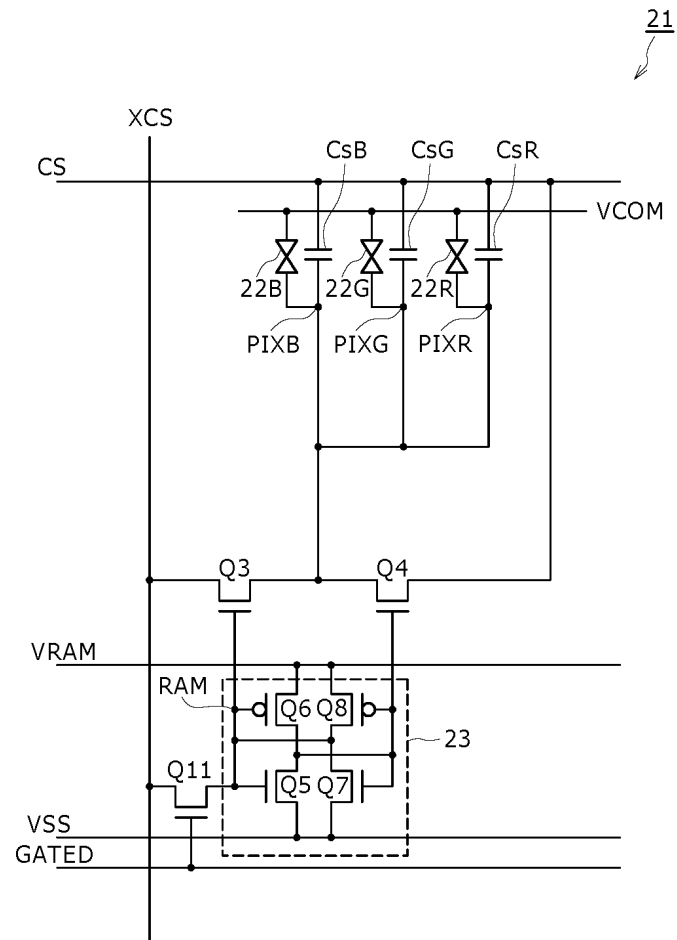
도면7



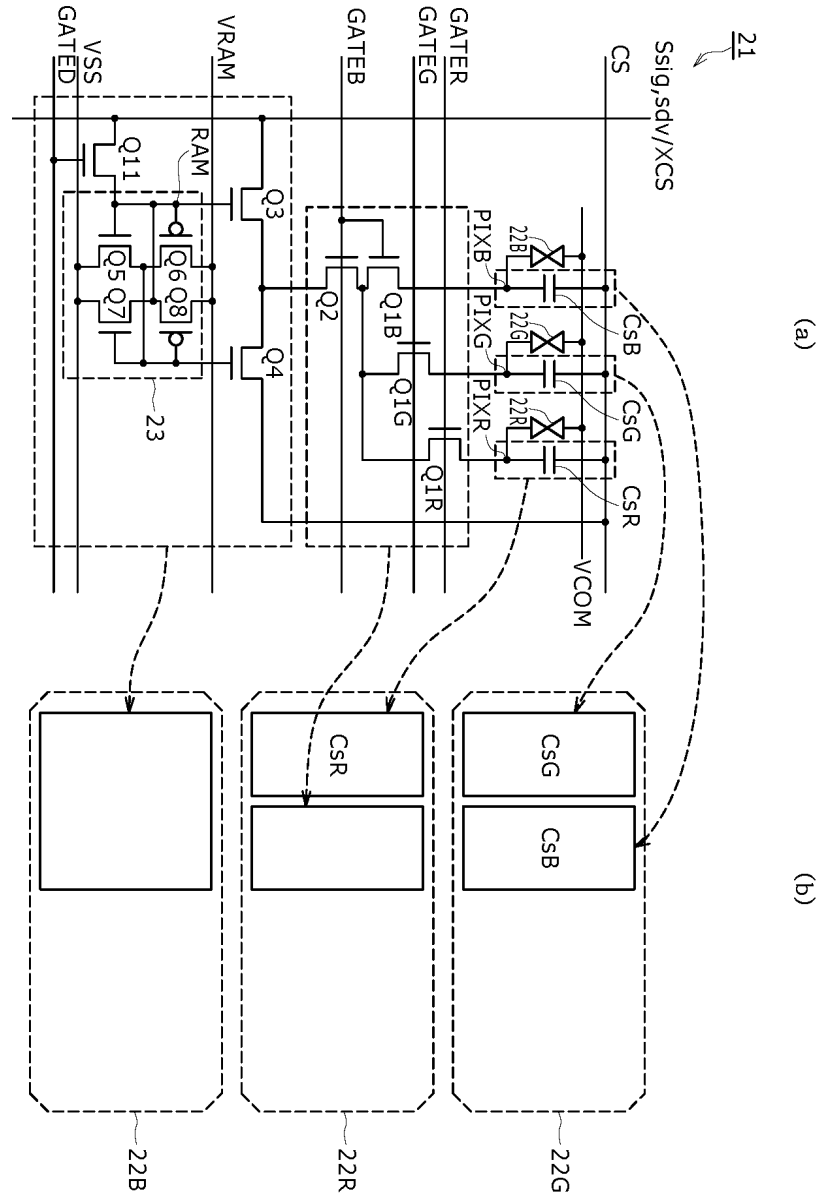
도면8



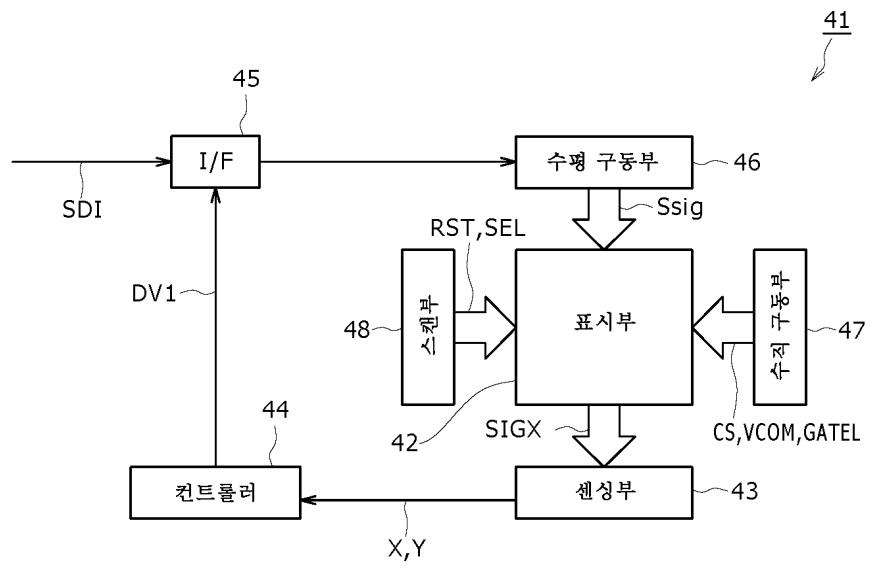
도면9



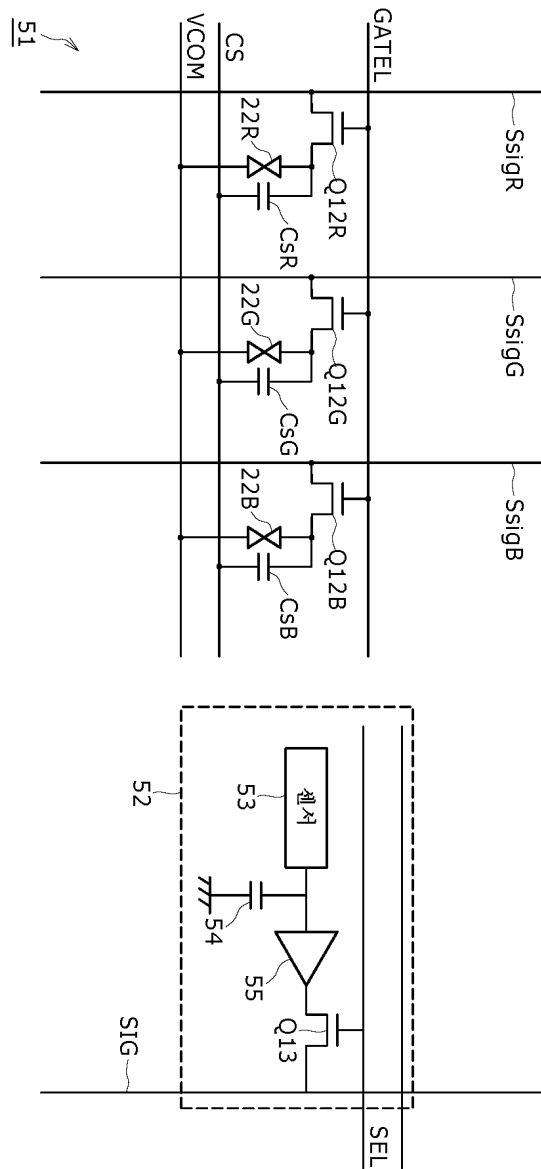
도면10



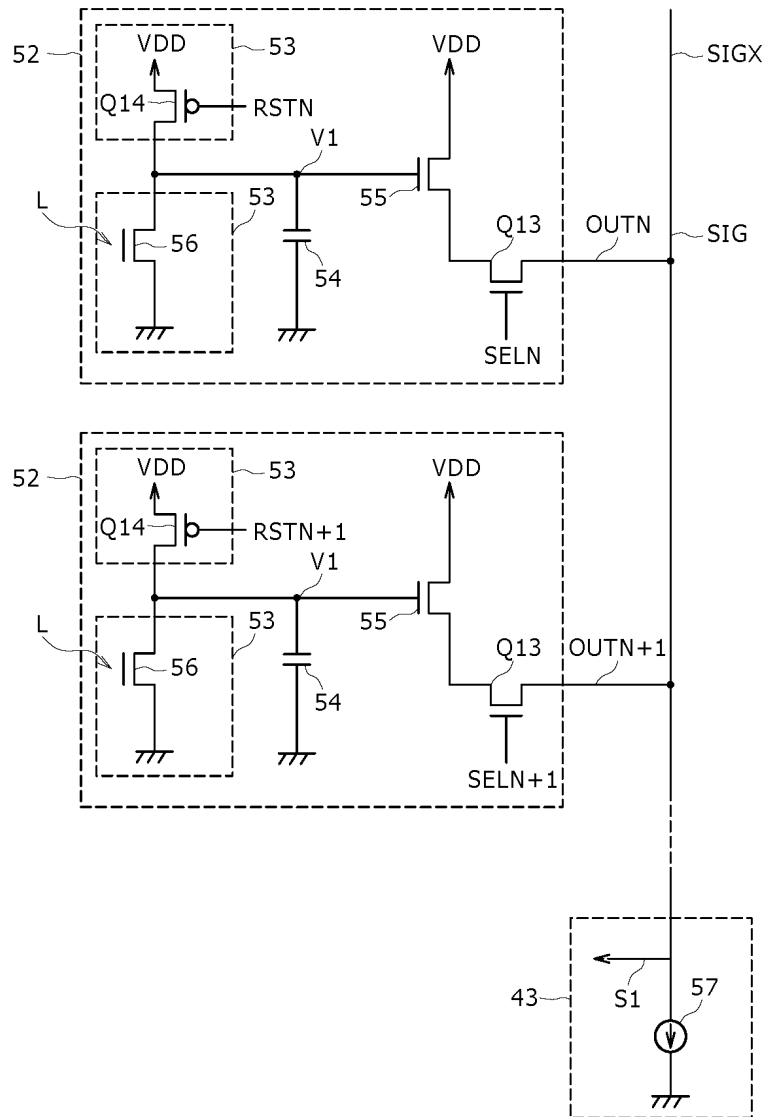
도면11



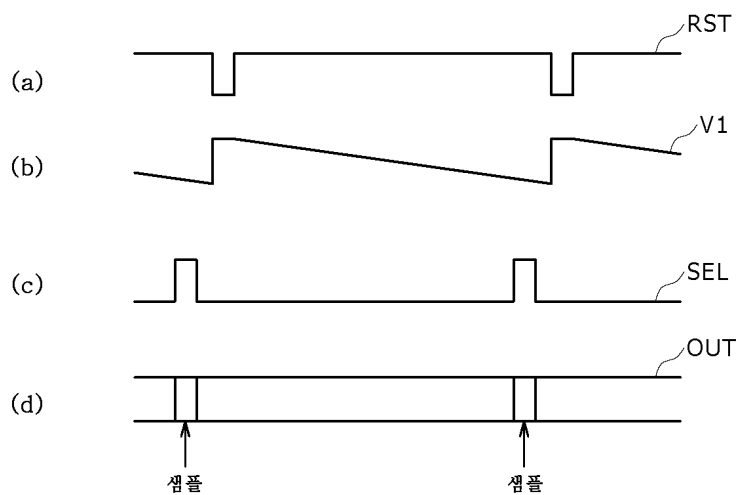
도면12



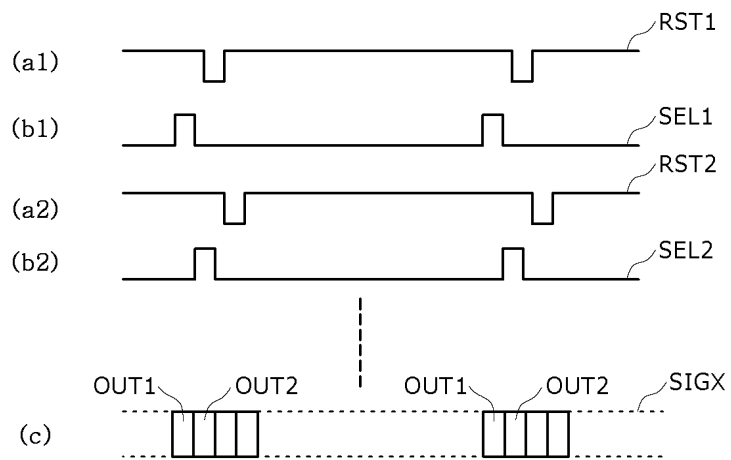
도면13



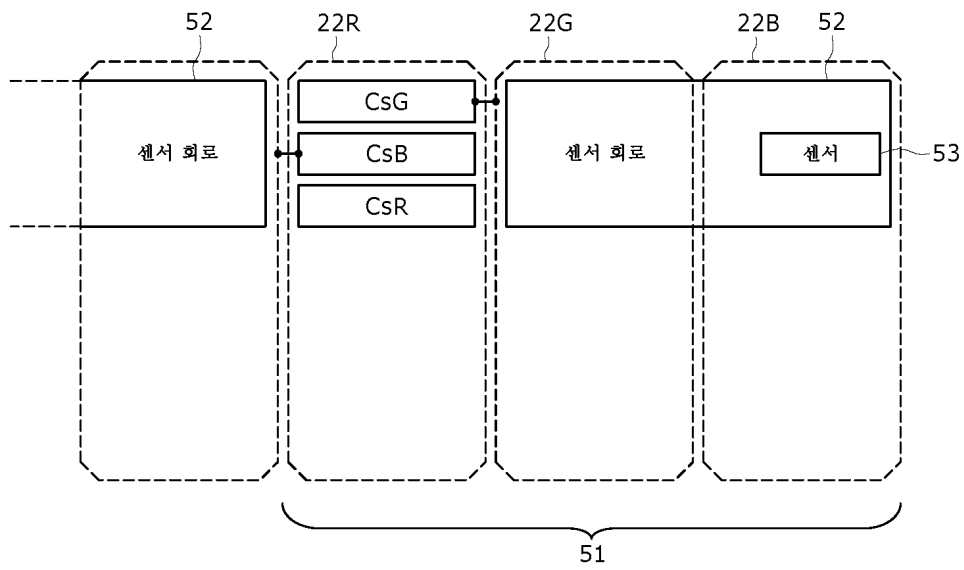
도면14



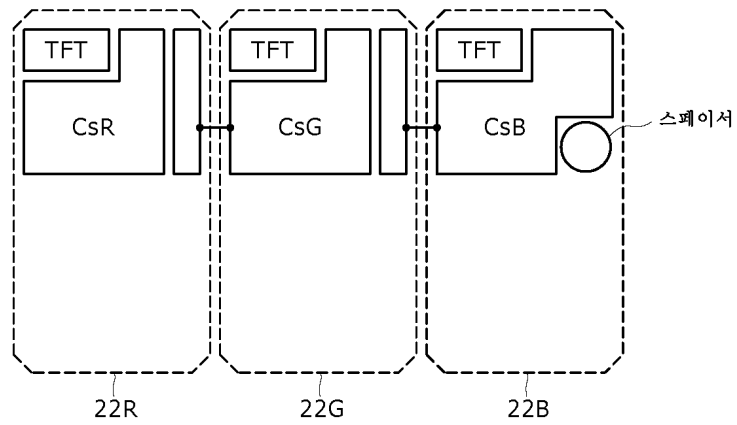
도면15



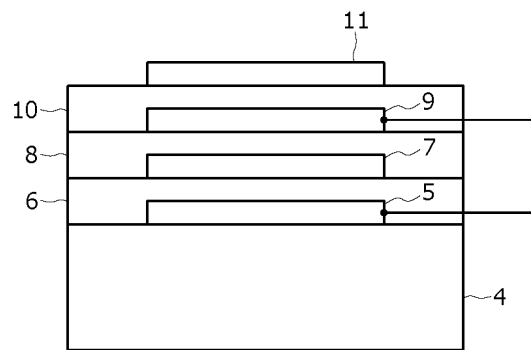
도면16



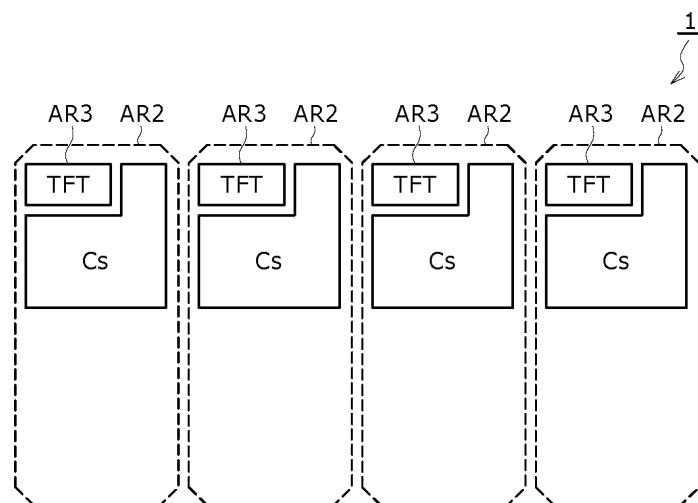
도면17



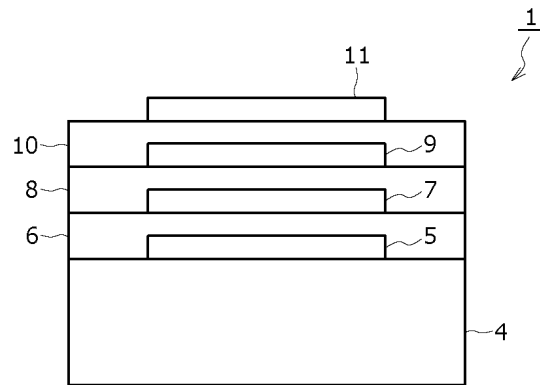
도면18



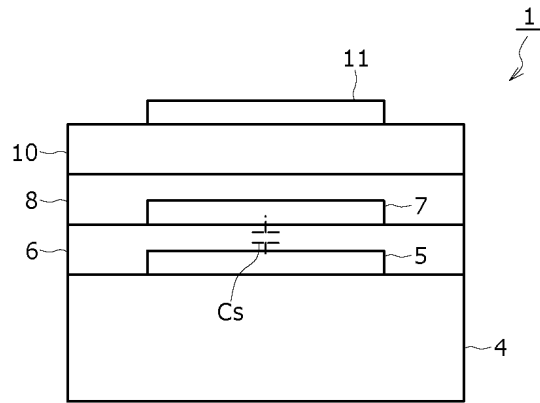
도면19



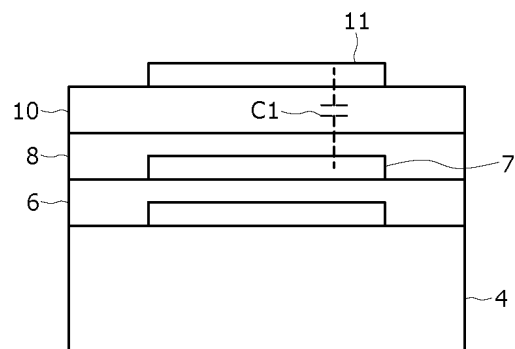
도면20



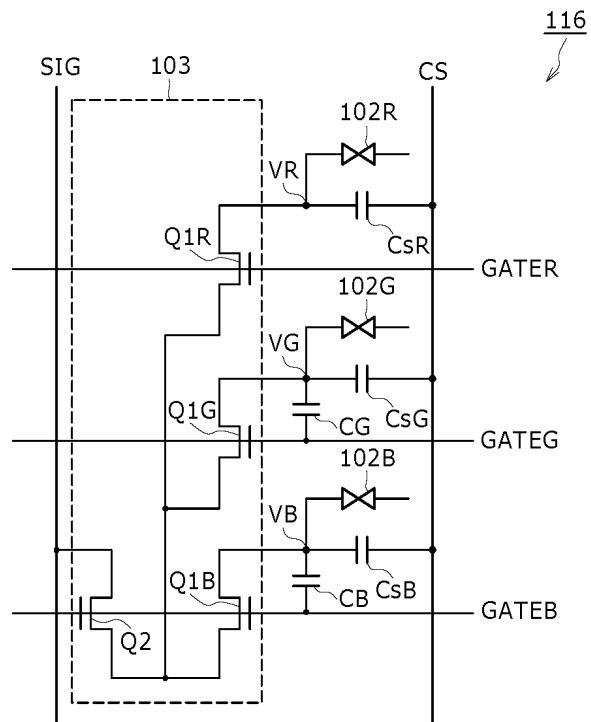
도면21



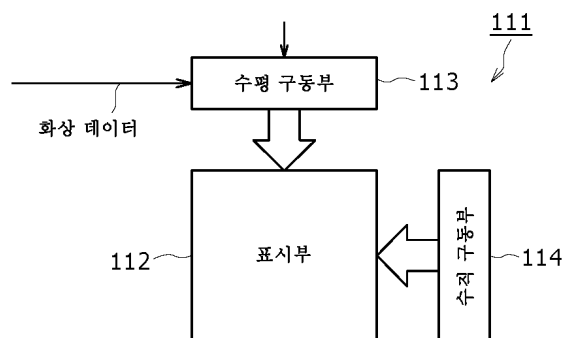
도면22



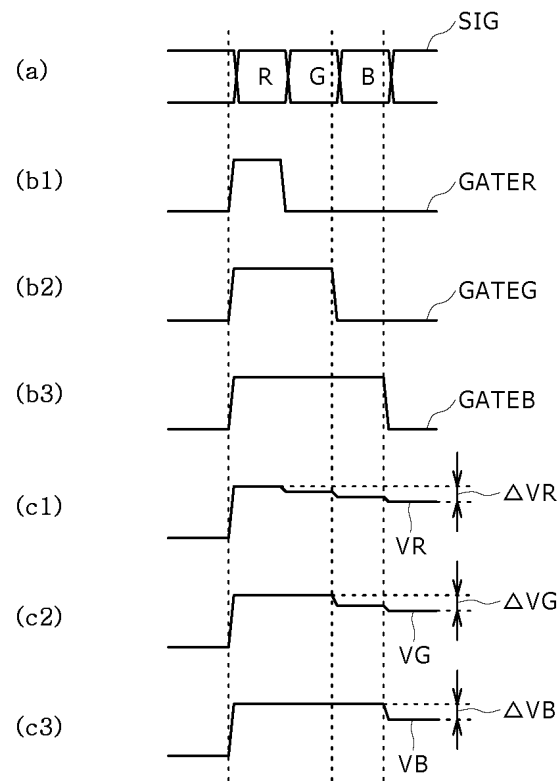
도면23



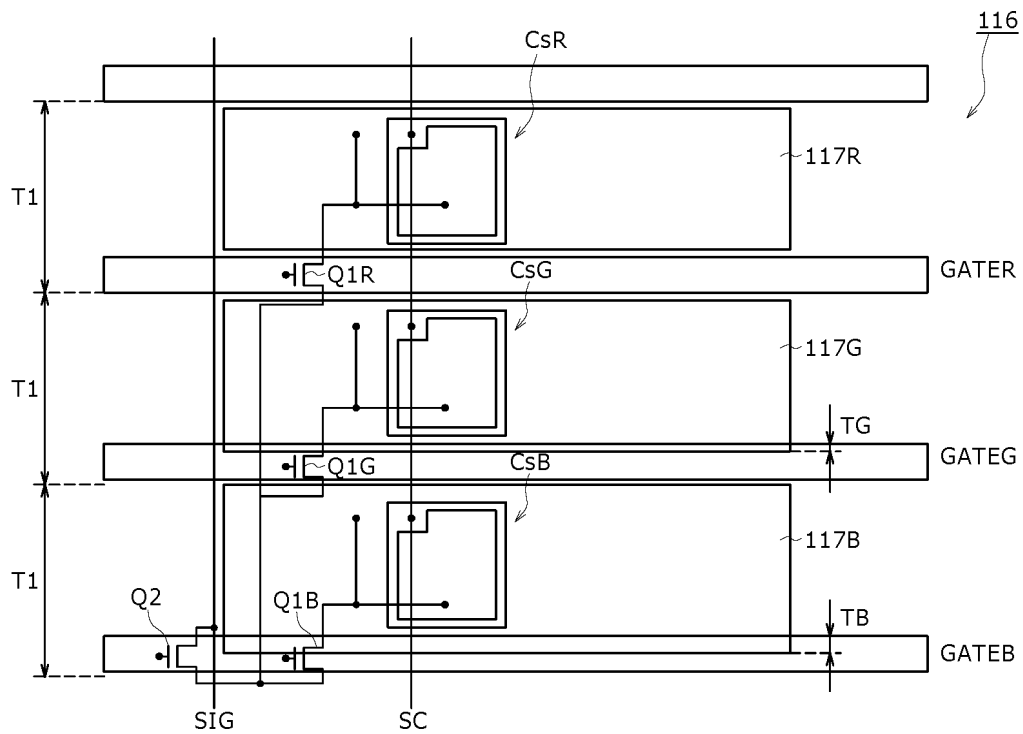
도면24



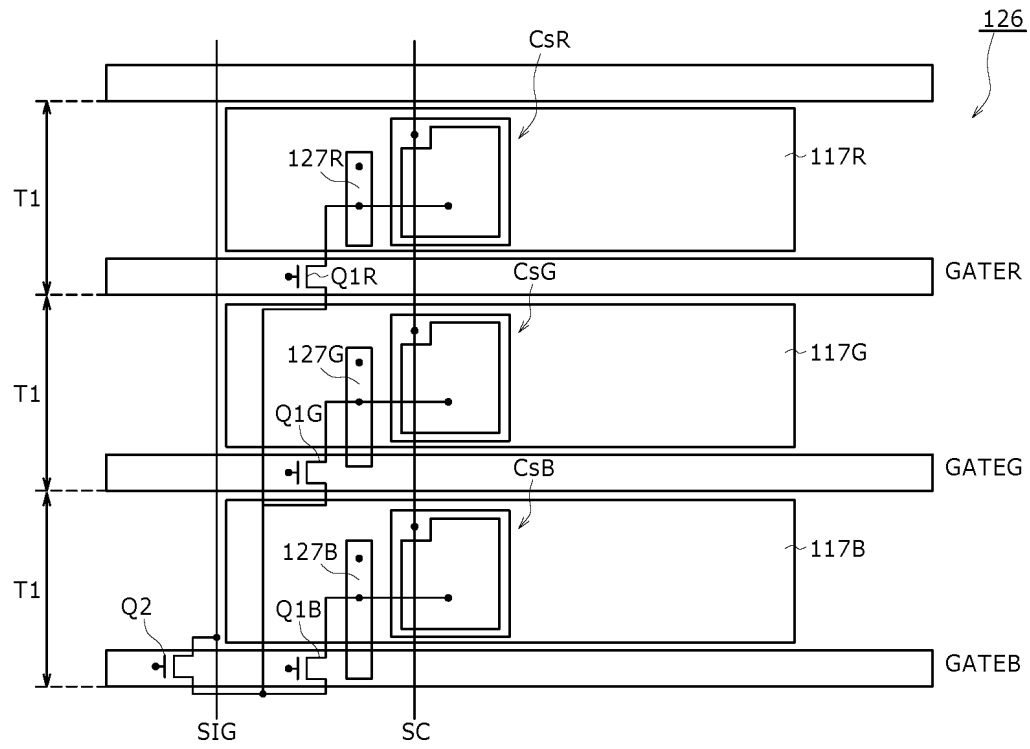
도면25



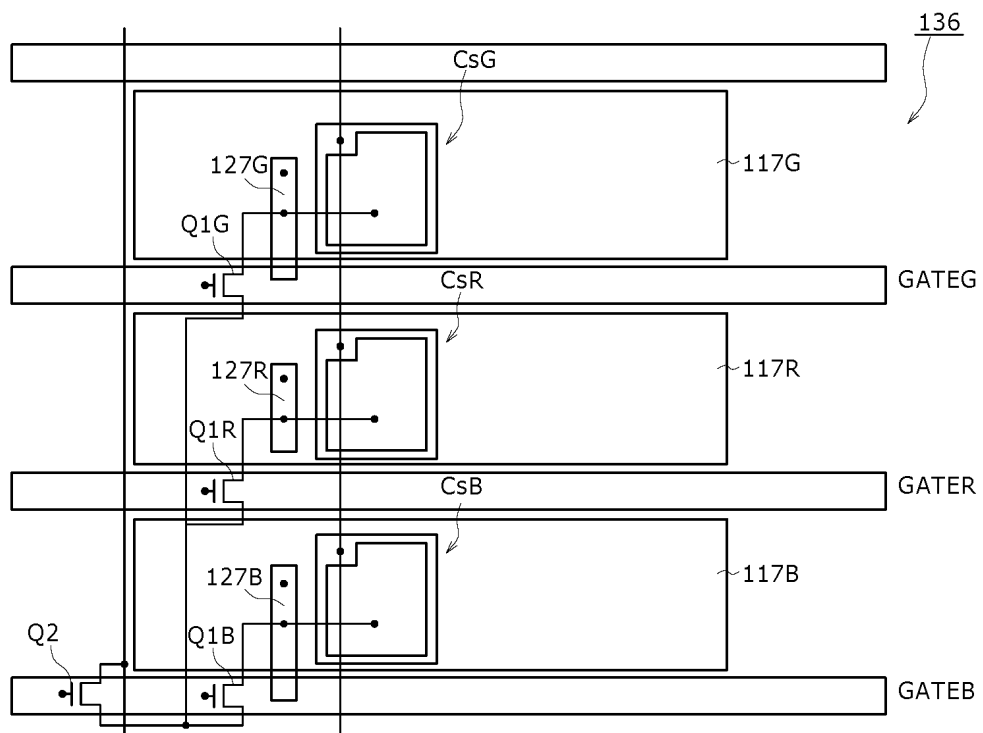
도면26



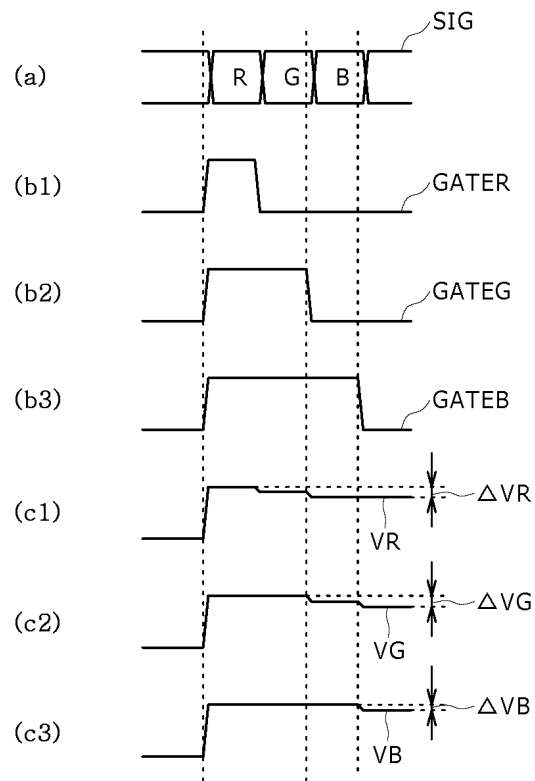
도면27



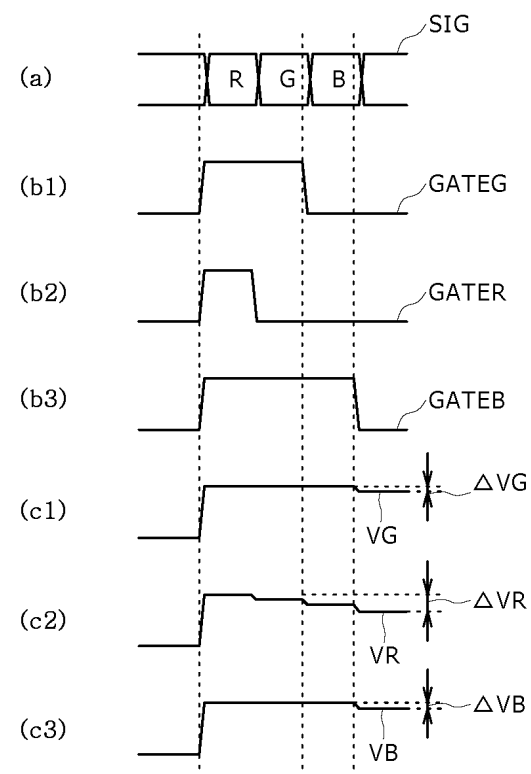
도면28



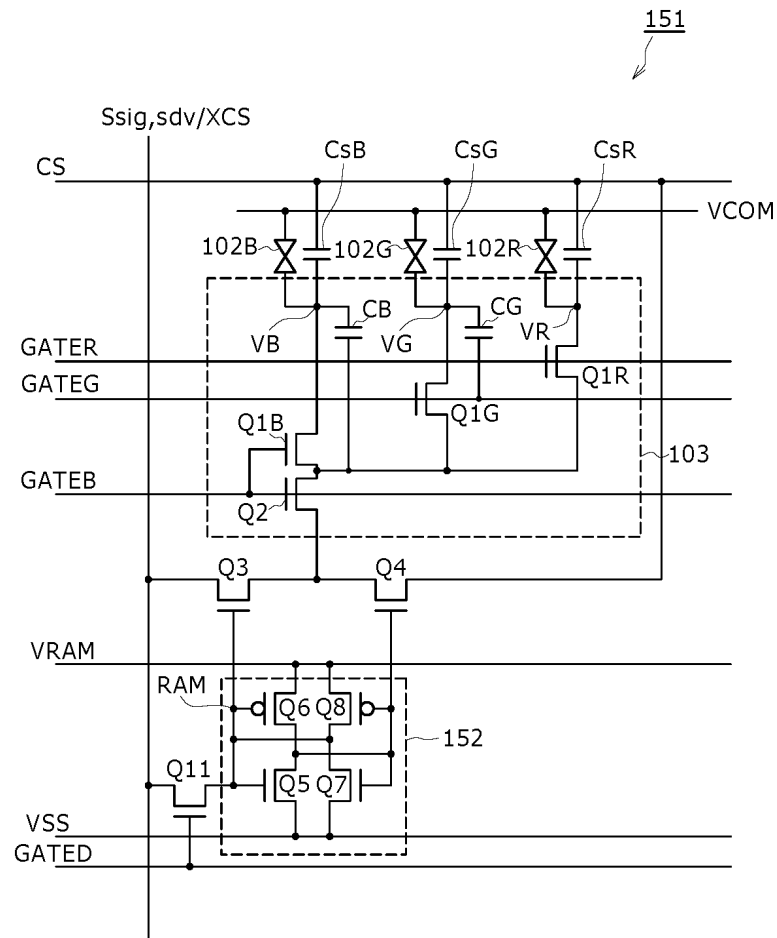
도면29



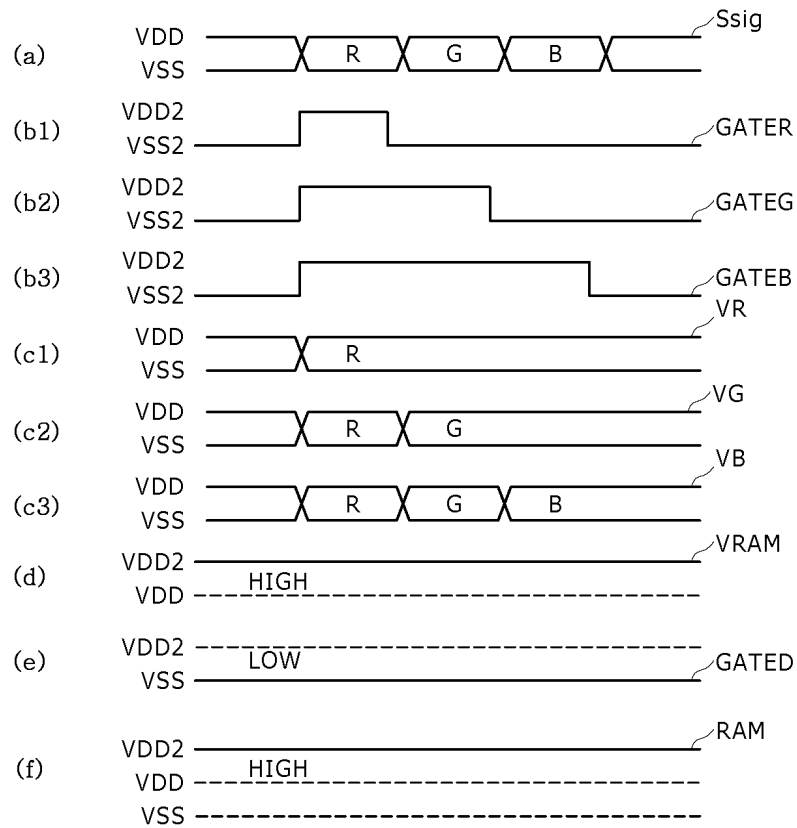
도면30



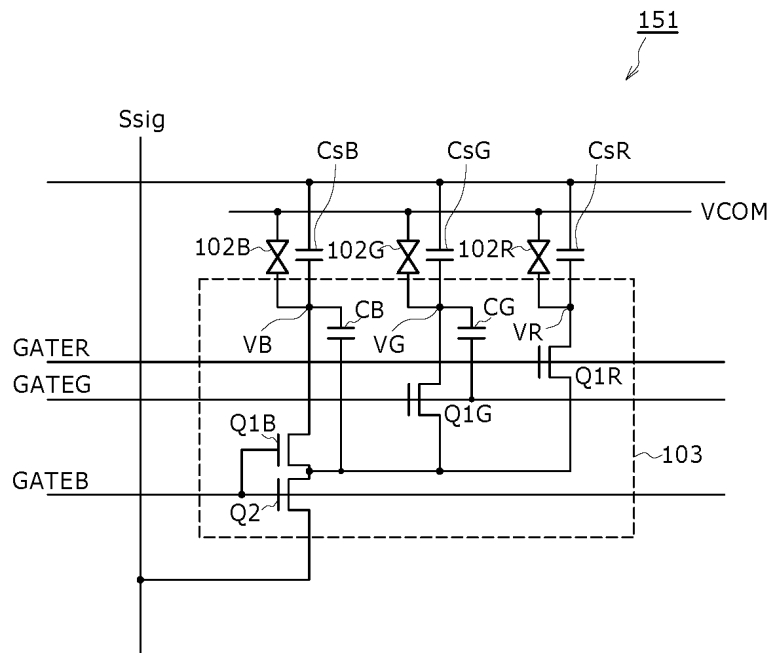
도면33



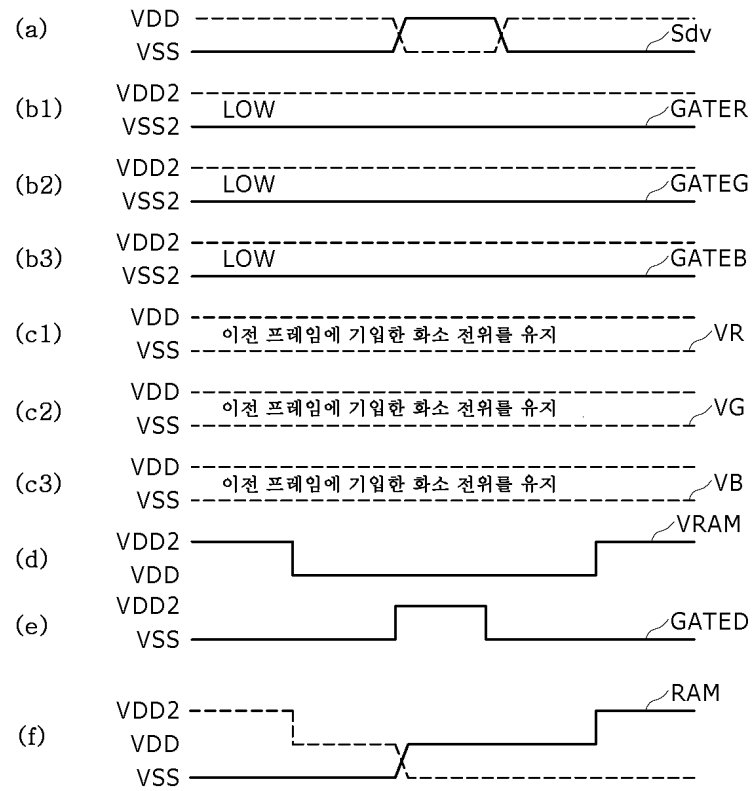
도면34



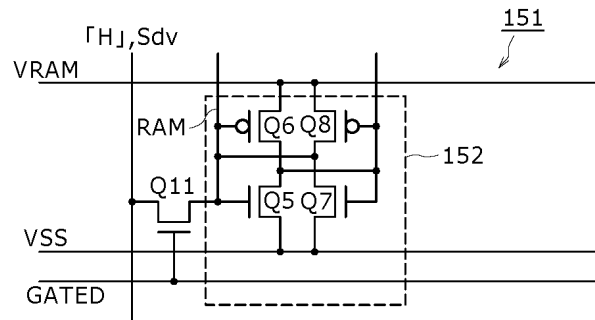
도면35



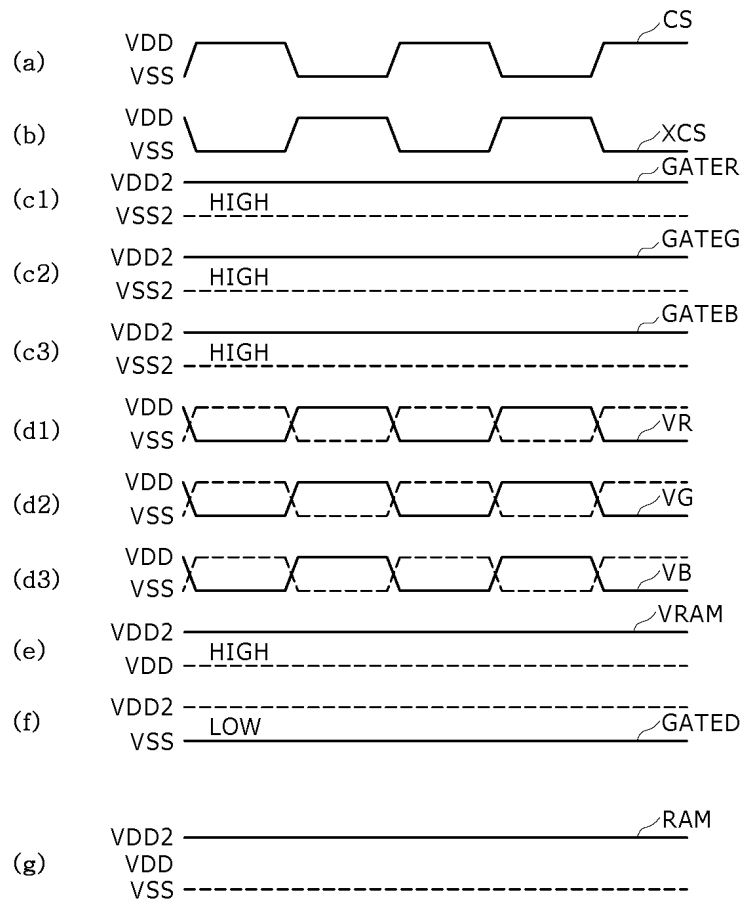
도면36



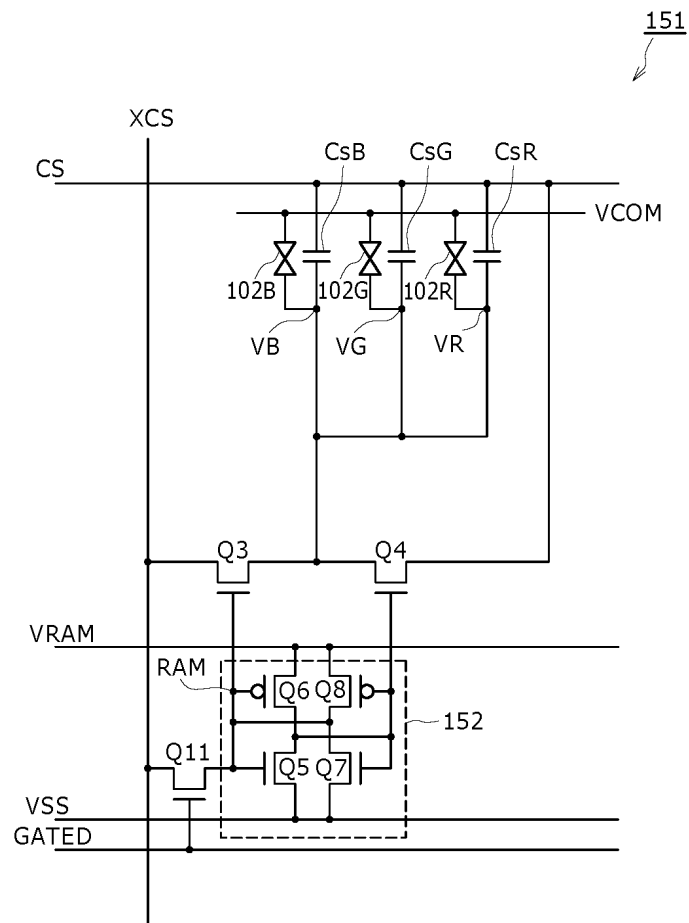
도면37



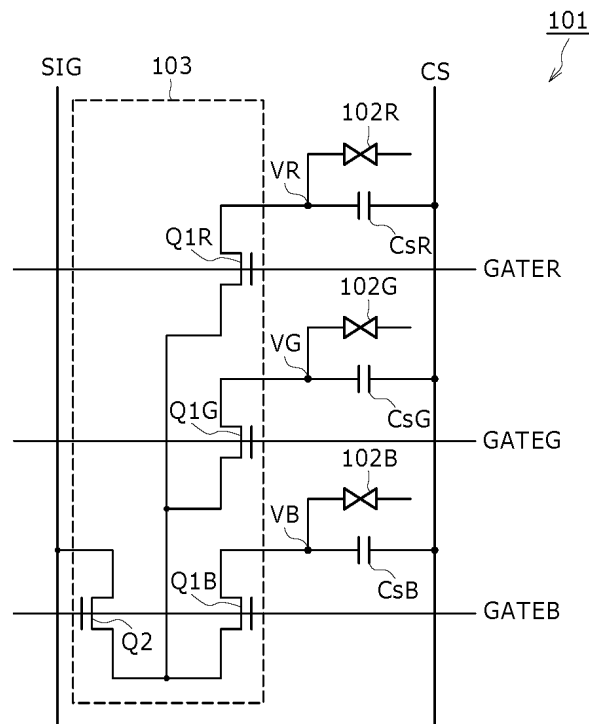
도면38



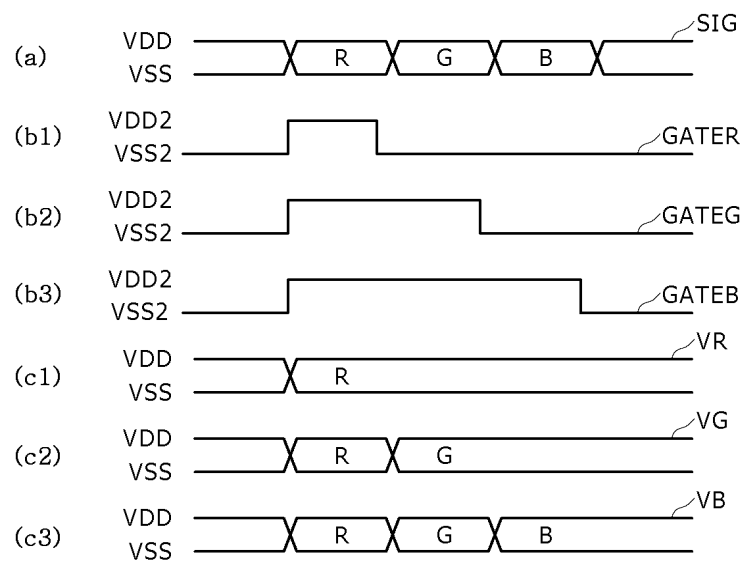
도면39



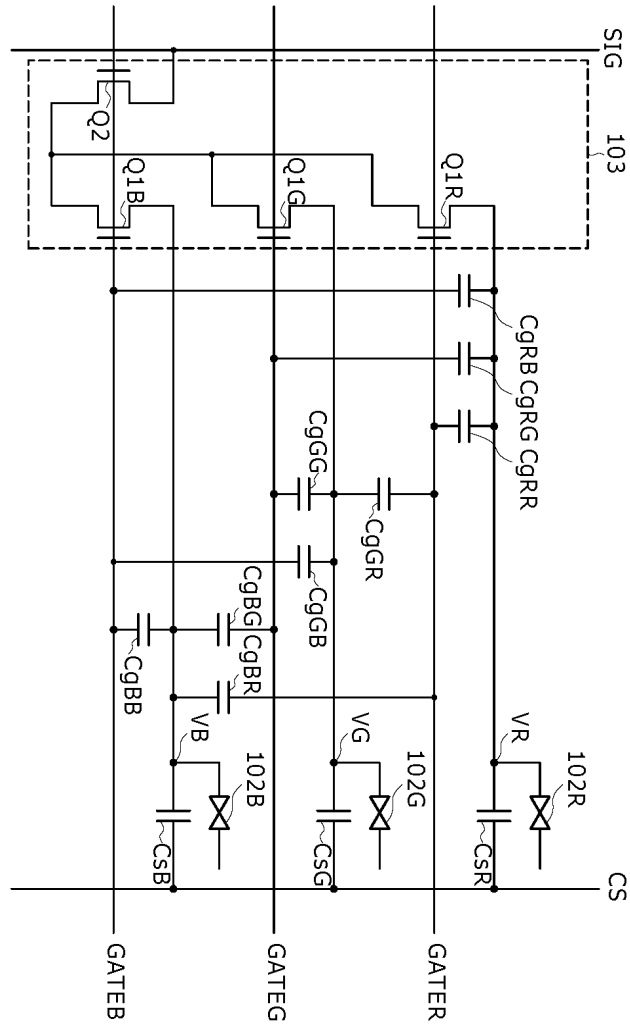
도면40



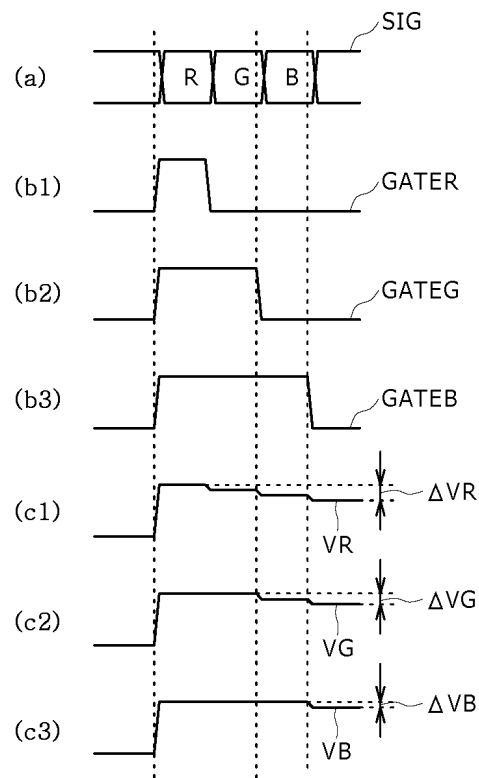
도면41



도면42



도면43



专利名称(译)	液晶显示装置和液晶显示装置的图像显示方法		
公开(公告)号	KR1020090038369A	公开(公告)日	2009-04-20
申请号	KR1020080100514	申请日	2008-10-14
[标]申请(专利权)人(译)	日本显示器西股份有限公司		
申请(专利权)人(译)	在阎王鼻子喷雾的西捕率		
当前申请(专利权)人(译)	在阎王鼻子喷雾的西捕率		
[标]发明人	TERANISHI YASUYUKI 데라니시아스유키 NAKAJIMA YOSHIHARU 나까지마요시하루		
发明人	데라니시아스유키 나까지마요시하루		
IPC分类号	G09G3/36 G09G3/20 G02F1/133		
CPC分类号	G02F1/13306 G09G2300/0443 G09G2300/0842 G09G2320/0204 G09G2300/0804 G02F1/136213 G02F1/1368 G09G3/3648 G09G2300/0426		
代理人(译)	CHANG, SOO KIL		
优先权	2007267378 2007-10-15 JP 2007267376 2007-10-15 JP		
其他公开文献	KR101476449B1		
外部链接	Espacenet		

摘要(译)

本发明涉及矩阵的形式，显示单元将液晶层插入薄膜晶体管基板和CF基板之间，提供用于通过显示单元指示请求图像的液晶显示器。并且通过布置形成有液晶层的液晶单元，形成液晶单元。通过将液晶单元的像素电极和至少一个用于驱动液晶单元的晶体管布置在绝缘基板上，产生了该像素电极。或者，在像素电极下层中插入像素电极和存储电容器之间的屏蔽层产生整体。液晶显示器，液晶单元，屏蔽层，存储电容器，晶体管，选择器。

