



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2019년04월30일
(11) 등록번호 10-1973584
(24) 등록일자 2019년04월23일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01) G02F 1/1343 (2006.01)
H01L 29/786 (2006.01)
(21) 출원번호 10-2012-0013984
(22) 출원일자 2012년02월10일
심사청구일자 2017년02월06일
(65) 공개번호 10-2013-0092321
(43) 공개일자 2013년08월20일
(56) 선행기술조사문헌
JP2007156429 A*
KR1020110137015 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
박형준
경기 성남시 분당구 정자일로 80, 406동 1204호 (정자동, 상록마을4단지아파트)
박경호
충남 아산시 배방읍 광장로 210, 107동 2703호 (요진와이시티)
(74) 대리인
(뒷면에 계속)
팬코리아특허법인

전체 청구항 수 : 총 20 항

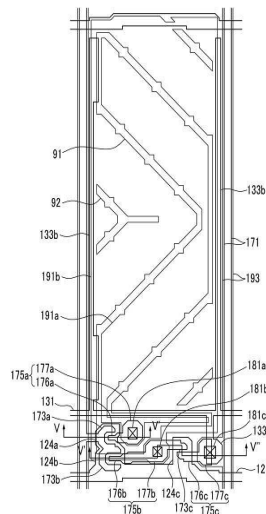
심사관 : 신창우

(54) 발명의 명칭 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치

(57) 요약

본 발명은 마스크의 오정렬이 발생하더라도 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 일정한 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 관한 것으로, 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 제1 기판; 상기 제1 기판 위에 형성되는 게이트선 및 데이터선; 상기 제1 기판 위에 형성되고 일정한 전압이 인가되는 유지 전극선; 상기 게이트선 및 상기 데이터선에 연결되는 제1 박막 트랜지스터 및 제2 박막 트랜지스터; 상기 게이트선, 상기 제2 박막 트랜지스터, 및 상기 유지 전극선에 연결되는 제3 박막 트랜지스터; 상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극; 및, 상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극을 포함하는 것을 특징으로 한다.

대표도 - 도4



(72) 발명자

신우정

경기 안산시 상록구 이화3길 30-12, 102호 (사동,
우석빌라)

안시현

충남 천안시 동남구 봉서8길 13, 304동 1309호 (봉
명동, 청솔3차아파트)

유동현

충남 아산시 배방읍 배방로105번길 31, 107동 100
5호 (아산배방푸르지오아파트)

명세서

청구범위

청구항 1

제1 기관;

상기 제1 기관 위에 형성되는 게이트선 및 데이터선;

상기 제1 기관 위에 형성되고 일정한 전압이 인가되는 유지 전극선;

상기 게이트선 및 상기 데이터선에 연결되고, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터;

상기 게이트선 및 상기 데이터선에 연결되고, 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터;

상기 게이트선, 상기 제2 박막 트랜지스터, 및 상기 유지 전극선에 연결되고, 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 포함하는 제3 박막 트랜지스터;

상기 제3 게이트 전극으로부터 연장되고 상기 제1 드레인 전극과 중첩하는 연장 전극;

상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극; 및,

상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극을 포함하는,

박막 트랜지스터 표시판.

청구항 2

제1 항에 있어서,

상기 유지 전극선으로부터 돌출되는 보조 전극을 더 포함하고,

상기 제1 게이트 전극 및 제2 게이트 전극은 상기 게이트선으로부터 돌출되어 서로 연결되어 있고,

상기 제1 소스 전극은 상기 데이터선으로부터 상기 제1 게이트 전극 위로 돌출되고,

상기 제1 드레인 전극은 상기 제1 소스 전극과 이격되고,

상기 제2 소스 전극은 상기 제1 소스 전극과 연결되어 상기 제2 게이트 전극 위에 위치하고,

상기 제2 드레인 전극은 상기 제2 소스 전극과 이격되고,

상기 제3 게이트 전극은 상기 게이트선으로부터 상기 제1 및 제2 게이트 전극과 동일한 방향으로 돌출되며, 상기 제2 게이트 전극과 이격되고,

상기 제3 소스 전극은 상기 제2 드레인 전극과 연결되어 상기 제3 게이트 전극 위에 위치하고,

상기 제3 드레인 전극은 상기 제3 소스 전극과 이격되고, 상기 제3 게이트 전극 및 상기 보조 전극 위에 위치하는,

박막 트랜지스터 표시판.

청구항 3

제2 항에 있어서,

상기 제3 드레인 전극 및 상기 보조 전극을 서로 연결하는 연결 전극을 더 포함하는,

박막 트랜지스터 표시판.

청구항 4

제2 항에 있어서,

상기 제2 드레인 전극과 상기 제3 소스 전극은 서로 이격되어 있는 상기 제2 게이트 전극과 상기 제3 게이트 전극의 사이에 형성되는,

박막 트랜지스터 표시판.

청구항 5

제4 항에 있어서,

상기 제1 소스 전극 및 상기 제2 소스 전극은 C자형으로 구부러진 형태를 가지는,

박막 트랜지스터 표시판.

청구항 6

제5 항에 있어서,

상기 제1 드레인 전극 및 상기 제2 드레인 전극은 각각,

막대 형상을 가지는 제1 부분; 및,

상기 제1 부분에 연결되어 상기 제1 부분보다 넓은 폭을 가지는 제2 부분을 포함하고,

상기 제1 드레인 전극의 상기 제1 부분은 상기 제1 소스 전극에 의해 둘러싸여 있고,

상기 제2 드레인 전극의 상기 제1 부분은 상기 제2 소스 전극에 의해 둘러싸여 있고,

상기 제2 드레인 전극의 상기 제2 부분은 상기 제3 소스 전극과 연결되는,

박막 트랜지스터 표시판.

청구항 7

제6 항에 있어서,

상기 게이트선, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및 상기 제3 게이트 전극 위에 형성되는 게이트 절연막; 및,

상기 제1 내지 제3 소스 전극, 상기 제1 내지 제3 드레인 전극 위에 형성되는 보호막을 더 포함하는,

박막 트랜지스터 표시판.

청구항 8

제7 항에 있어서,

상기 제1 드레인 전극의 일부가 노출되도록 상기 보호막에 형성되는 제1 접촉 구멍;

상기 제2 드레인 전극의 일부가 노출되도록 상기 보호막에 형성되는 제2 접촉 구멍; 및,

상기 제3 드레인 전극 및 상기 보조 전극의 일부가 노출되도록 상기 게이트 절연막 및 상기 보호막에 형성되는

제3 접촉 구멍을 더 포함하는,
박막 트랜지스터 표시판.

청구항 9

제8 항에 있어서,
상기 제3 접촉 구멍을 통해 상기 제3 드레인 전극 및 상기 보조 전극과 연결되는 연결 전극을 더 포함하고,
상기 제1 부화소 전극은 상기 제1 접촉 구멍을 통해 상기 제1 드레인 전극과 연결되고,
상기 제2 부화소 전극은 상기 제2 접촉 구멍을 통해 상기 제2 드레인 전극과 연결되는,
박막 트랜지스터 표시판.

청구항 10

제9 항에 있어서,
제3 접촉 구멍은,
상기 제3 드레인 전극의 일부가 노출되도록 상기 보호막에 형성되고, 상기 제3 드레인 전극과 중첩되지 않는 상기 보조 전극의 일부가 노출되도록 상기 게이트 절연막 및 상기 보호막에 형성되는,
박막 트랜지스터 표시판.

청구항 11

제9 항에 있어서,
상기 연결 전극은 상기 제1 부화소 전극 및 상기 제2 부화소 전극과 동일한 물질로 동일한 층에 형성되는,
박막 트랜지스터 표시판.

청구항 12

제4 항에 있어서,
상기 연장 전극은 상기 제1 게이트 전극과 이격되는,
박막 트랜지스터 표시판.

청구항 13

제12 항에 있어서,
상기 제1 드레인 전극은,
막대 형상을 가지고 상기 제1 소스 전극에 의해 둘러싸여 있으며, 상기 제1 게이트 전극 위에 위치하는 제1 부분;
상기 제1 부분에 연결되어 상기 제1 부분보다 넓은 폭을 가지고, 상기 제1 게이트 전극과 상기 연장 전극 사이에 위치하는 제2 부분; 및,
상기 제2 부분에 연결되어 막대 형상을 가지고 상기 제2 부분보다 좁은 폭을 가지며, 상기 연장 전극 위에 위치하는 제3 부분을 포함하는,

박막 트랜지스터 표시판.

청구항 14

제3 항에 있어서,
상기 데이터선과 중첩하는 더미 선을 더 포함하는,
박막 트랜지스터 표시판.

청구항 15

제14 항에 있어서,
상기 더미 선은 상기 유지 전극선과 연결되는,
박막 트랜지스터 표시판.

청구항 16

제14 항에 있어서,
상기 더미 선은 상기 연결 전극과 연결되는,
박막 트랜지스터 표시판.

청구항 17

제16 항에 있어서,
상기 더미 선은 상기 연결 전극, 상기 제1 부화소 전극, 및 상기 제2 부화소 전극과 동일한 물질로 동일한 층에 형성되는,
박막 트랜지스터 표시판.

청구항 18

제1 기판 및 제2 기판;
상기 제1 기판 및 상기 제2 기판 사이에 형성되는 액정층;
상기 제1 기판 위에 형성되는 게이트선, 데이터선, 및 유지 전극선;
상기 게이트선 및 상기 데이터선에 연결되고, 제1 게이트 전극, 제1 소스 전극, 및 제1 드레인 전극을 포함하는 제1 박막 트랜지스터;
상기 게이트선 및 상기 데이터선에 연결되고, 제2 게이트 전극, 제2 소스 전극, 및 제2 드레인 전극을 포함하는 제2 박막 트랜지스터;
상기 게이트선, 상기 제2 박막 트랜지스터, 및 상기 유지 전극선에 연결되고, 제3 게이트 전극, 제3 소스 전극, 및 제3 드레인 전극을 포함하는 제3 박막 트랜지스터;
상기 제3 게이트 전극으로부터 연장되고 상기 제1 드레인 전극과 중첩하는 연장 전극;
상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극;
상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극; 및,

상기 제2 기관 위에 형성되어 상기 제1 및 제2 부화소 전극과 전계를 형성하는 공통 전극을 포함하는,
액정 표시 장치.

청구항 19

제18 항에 있어서,
상기 유지 전극선으로부터 돌출되는 보조 전극을 더 포함하고,
상기 제1 게이트 전극 및 제2 게이트 전극은 상기 게이트선으로부터 돌출되어 서로 연결되어 있고,
상기 제1 소스 전극은 상기 데이터선으로부터 상기 제1 게이트 전극 위로 돌출되고,
상기 제1 드레인 전극은 상기 제1 소스 전극과 이격되고,
상기 제2 소스 전극은 상기 제1 소스 전극과 연결되어 상기 제2 게이트 전극 위에 위치하고,
상기 제2 드레인 전극은 상기 제2 소스 전극과 이격되고,
상기 제3 게이트 전극은 상기 게이트선으로부터 상기 제1 및 제2 게이트 전극과 동일한 방향으로 돌출되며, 상기 제2 게이트 전극과 이격되고,
상기 제3 소스 전극은 상기 제2 드레인 전극과 연결되어 상기 제3 게이트 전극 위에 위치하고,
상기 제3 드레인 전극은 상기 제3 소스 전극과 이격되고, 상기 제3 게이트 전극 및 상기 보조 전극 위에 위치하는,
액정 표시 장치.

청구항 20

제19 항에 있어서,
상기 제3 드레인 전극 및 상기 보조 전극을 서로 연결하는 연결 전극을 더 포함하고,
상기 제2 드레인 전극과 상기 제3 소스 전극은 서로 이격되어 있는 상기 제2 게이트 전극과 상기 제3 게이트 전극의 사이에 형성되는,
액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 관한 것으로, 보다 상세하게는 마스크의 오정렬이 발생하더라도 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 일정한 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치(LCD: Liquid Crystal Display)는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 전극이 형성되어 있는 두 장의 기관과 그 사이에 삽입되어 있는 액정층으로 이루어져 전극에 신호를 인가하여 액정층의 액정 분자들을 재배열시킴으로써 투과되는 빛의 양을 조절하는 표시 장치이다.

[0003] 액정 표시 장치는 서로 마주보는 박막 트랜지스터 표시판과 공통 전극 표시판으로 이루어져 있다. 박막 트랜지스터 표시판에는 게이트 신호를 전송하는 게이트선과 데이터 신호를 전송하는 데이터선이 서로 교차하여 형성되고, 게이트선 및 데이터선과 연결되어 있는 박막 트랜지스터, 박막 트랜지스터와 연결되어 있는 화소 전극 등이 형성된다. 공통 전극 표시판에는 차광부재, 색필터, 공통 전극 등이 형성된다.

[0004] 이러한 액정 표시 장치는 시인성 및 시야각에 있어서 문제점들이 제기되었고, 이를 개선하기 위한 다양한 모드

의 액정 표시 장치에 대한 개발이 이루어졌다. 이로 인해 시인성 및 시야각 측면에서는 개선이 이루어졌으나, 마스크의 오정렬로 인해 원하는 패턴이 제대로 형성되지 않는다는 문제점이 있다.

- [0005] 즉, 마스크의 오정렬로 인해 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 달라질 수 있다. 또한, 데이터선을 기준으로 박막 트랜지스터가 지그재그로 배치되는 경우 일부 영역에서는 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 증가하는 반면에, 나머지 일부 영역에서는 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 감소하게 된다. 이로 인해, 데이터선과 수직한 방향으로 줄무늬가 시인되는 문제점이 있다.

발명의 내용

해결하려는 과제

- [0006] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 마스크의 오정렬이 발생하더라도 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 일정한 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치를 제공하는데 그 목적이 있다.
- [0007] 또한, 게이트 전극과 소스/드레인 전극 간의 중첩 면적을 일정하게 하여 줄무늬가 발생하는 것을 방지할 수 있는 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0008] 상기와 같은 목적에 따른 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 제1 기판; 상기 제1 기판 위에 형성되는 게이트선 및 데이터선; 상기 제1 기판 위에 형성되고 일정한 전압이 인가되는 유지 전극선; 상기 게이트선 및 상기 데이터선에 연결되는 제1 박막 트랜지스터 및 제2 박막 트랜지스터; 상기 게이트선, 상기 제2 박막 트랜지스터, 및 상기 유지 전극선에 연결되는 제3 박막 트랜지스터; 상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극; 및, 상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극을 포함하는 것을 특징으로 한다.
- [0009] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 유지 전극선으로부터 돌출되는 보조 전극; 상기 게이트선으로부터 돌출되어 서로 연결되어 있는 제1 게이트 전극 및 제2 게이트 전극; 상기 데이터선으로부터 상기 제1 게이트 전극 위로 돌출되는 제1 소스 전극 및 상기 제1 소스 전극과 이격되는 제1 드레인 전극; 상기 제1 소스 전극과 연결되어 상기 제2 게이트 전극 위에 형성되는 제2 소스 전극 및 상기 제2 소스 전극과 이격되는 제2 드레인 전극; 상기 게이트선으로부터 상기 제1 및 제2 게이트 전극과 동일한 방향으로 돌출되고, 상기 제2 게이트 전극과 이격되는 제3 게이트 전극; 상기 제2 드레인 전극과 연결되어 상기 제3 게이트 전극 위에 형성되는 제3 소스 전극; 및, 상기 제3 소스 전극과 이격되고, 상기 제3 게이트 전극 및 상기 보조 전극 위에 형성되는 제3 드레인 전극을 더 포함할 수 있다.
- [0010] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 제3 드레인 전극 및 상기 보조 전극을 서로 연결하는 연결 전극을 더 포함할 수 있다.
- [0011] 상기 제2 드레인 전극과 상기 제3 소스 전극은 서로 이격되어 있는 상기 제2 게이트 전극과 상기 제3 게이트 전극의 사이에 형성될 수 있다.
- [0012] 상기 제1 소스 전극 및 상기 제2 소스 전극은 C자형으로 구부러진 형태를 가질 수 있다.
- [0013] 상기 제1 드레인 전극 및 상기 제2 드레인 전극은 각각, 막대 형상을 가지는 제1 부분; 및, 상기 제1 부분에 연결되어 상기 제1 부분보다 넓은 폭을 가지는 제2 부분을 포함하고, 상기 제1 드레인 전극의 상기 제1 부분은 상기 제1 소스 전극에 의해 둘러싸여 있고, 상기 제2 드레인 전극의 상기 제1 부분은 상기 제2 소스 전극에 의해 둘러싸여 있고, 상기 제2 드레인 전극의 상기 제2 부분은 상기 제3 소스 전극과 연결될 수 있다.
- [0014] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 게이트선, 상기 제1 게이트 전극, 상기 제2 게이트 전극, 및 상기 제3 게이트 전극 위에 형성되는 게이트 절연막; 및, 상기 제1 내지 제3 소스 전극, 상기 제1 내지 제3 드레인 전극 위에 형성되는 보호막을 더 포함할 수 있다.
- [0015] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 제1 드레인 전극의 일부가 노출되도록 상기 보호막에 형성되는 제1 접촉 구멍; 상기 제2 드레인 전극의 일부가 노출되도록 상기 보호막에 형성되는 제2 접촉 구멍; 및, 상기 제3 드레인 전극 및 상기 보조 전극의 일부가 노출되도록 상기 게이트 절연막 및 상기 보호막에 형성되는 제3 접촉 구멍을 더 포함할 수 있다.

- [0016] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 제3 접촉 구멍을 통해 상기 제3 드레인 전극 및 상기 보조 전극과 연결되는 연결 전극을 더 포함하고, 상기 제1 부화소 전극은 상기 제1 접촉 구멍을 통해 상기 제1 드레인 전극과 연결되고, 상기 제2 부화소 전극은 상기 제2 접촉 구멍을 통해 상기 제2 드레인 전극과 연결될 수 있다.
- [0017] 제3 접촉 구멍은 상기 제3 드레인 전극의 일부가 노출되도록 상기 보호막에 형성되고, 상기 제3 드레인 전극과 중첩되지 않는 상기 보조 전극의 일부가 노출되도록 상기 게이트 절연막 및 상기 보호막에 형성될 수 있다.
- [0018] 상기 연결 전극은 상기 제1 부화소 전극 및 상기 제2 부화소 전극과 동일한 물질로 동일한 층에 형성될 수 있다.
- [0019] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 제3 게이트 전극으로부터 연장되어 상기 제1 게이트 전극과 이격되도록 형성되는 연장 전극을 더 포함할 수 있다.
- [0020] 상기 제1 드레인 전극은 막대 형상을 가지고 상기 제1 소스 전극에 의해 둘러싸여 있으며, 상기 제1 게이트 전극 위에 위치하는 제1 부분; 상기 제1 부분에 연결되어 상기 제1 부분보다 넓은 폭을 가지고, 상기 제1 게이트 전극과 상기 연장 전극 사이에 위치하는 제2 부분; 및, 상기 제2 부분에 연결되어 막대 형상을 가지고 상기 제2 부분보다 좁은 폭을 가지며, 상기 연장 전극 위에 위치하는 제3 부분을 포함할 수 있다.
- [0021] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판은 상기 데이터선과 중첩하는 더미 선을 더 포함할 수 있다.
- [0022] 상기 더미 선은 상기 유지 전극선과 연결될 수 있다.
- [0023] 상기 더미 선은 상기 연결 전극과 연결될 수 있다.
- [0024] 상기 더미 선은 상기 연결 전극, 상기 제1 부화소 전극, 및 상기 제2 부화소 전극과 동일한 물질로 동일한 층에 형성될 수 있다.
- [0025] 본 발명의 일 실시예에 의한 액정 표시 장치는 제1 기판 및 제2 기판; 상기 제1 기판 및 상기 제2 기판 사이에 형성되는 액정층; 상기 제1 기판 위에 형성되는 게이트선, 데이터선, 및 유지 전극선; 상기 게이트선 및 상기 데이터선에 연결되는 제1 박막 트랜지스터 및 제2 박막 트랜지스터; 상기 게이트선, 상기 제2 박막 트랜지스터, 및 상기 유지 전극선에 연결되는 제3 박막 트랜지스터; 상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극; 상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극; 및, 상기 제2 기판 위에 형성되어 상기 제1 및 제2 부화소 전극과 전계를 형성하는 공통 전극을 포함한다.
- [0026] 본 발명의 일 실시예에 의한 액정 표시 장치는 상기 유지 전극선으로부터 돌출되는 보조 전극; 상기 게이트선으로부터 돌출되어 서로 연결되어 있는 제1 게이트 전극 및 제2 게이트 전극; 상기 데이터선으로부터 상기 제1 게이트 전극 위로 돌출되는 제1 소스 전극 및 상기 제1 소스 전극과 이격되는 제1 드레인 전극; 상기 제1 소스 전극과 연결되어 상기 제2 게이트 전극 위에 형성되는 제2 소스 전극 및 상기 제2 소스 전극과 이격되는 제2 드레인 전극; 상기 게이트선으로부터 상기 제1 및 제2 게이트 전극과 동일한 방향으로 돌출되고, 상기 제2 게이트 전극과 이격되는 제3 게이트 전극; 상기 제2 드레인 전극과 연결되어 상기 제3 게이트 전극 위에 형성되는 제3 소스 전극; 및, 상기 제3 소스 전극과 이격되고, 상기 제3 게이트 전극 및 상기 보조 전극 위에 형성되는 제3 드레인 전극을 더 포함할 수 있다.
- [0027] 상기 제3 드레인 전극 및 상기 보조 전극을 서로 연결하는 연결 전극을 더 포함하고, 상기 제2 드레인 전극과 상기 제3 소스 전극은 서로 이격되어 있는 상기 제2 게이트 전극과 상기 제3 게이트 전극의 사이에 형성될 수 있다.

발명의 효과

- [0028] 상기한 바와 같은 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치는 다음과 같은 효과가 있다.
- [0029] 본 발명의 일 실시예에 의한 박막 트랜지스터 표시판 및 이를 포함하는 액정 표시 장치는 제3 박막 트랜지스터를 통해 제2 부화소 전극에 인가된 화소 전압의 일부를 유지 전극선으로 전달함으로써, 제1 부화소 전극과 제2 부화소 전극의 전압을 상이하게 하여 시인성을 향상시킬 수 있다.
- [0030] 또한, 제2 박막 트랜지스터의 드레인 전극과 제3 박막 트랜지스터의 소스 전극을 두 박막 트랜지스터 사이에서

연결되도록 형성하여, 마스크의 오정렬에도 불구하고 제2 및 제3 박막 트랜지스터의 게이트 전극과 소스/드레인 전극 간의 중첩 면적을 일정하게 할 수 있다.

[0031] 또한, 제1 박막 트랜지스터의 드레인 전극을 제3 박막 트랜지스터의 게이트 전극으로부터 연장되어 형성된 연장 전극 위에까지 이르게도록 형성함으로써, 마스크의 오정렬에도 불구하고 제1 박막 트랜지스터의 게이트 전극과 소스/드레인 전극 간의 중첩 면적을 일정하게 할 수 있다.

[0032] 또한, 각 박막 트랜지스터의 게이트 전극과 소스/드레인 전극 간의 중첩 면적을 일정하게 함으로써, 줄무늬가 발생하는 것을 방지할 수 있다.

도면의 간단한 설명

- [0033] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 구조와 함께 한 화소를 도시하는 등가 회로도이다.
- 도 3은 본 발명의 일 실시예에 의한 액정 표시 장치의 한 화소의 등가 회로도이다.
- 도 4는 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이다.
- 도 5는 도 4의 V-V'선, V'-V''선을 따라 나타낸 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 단면도이다.
- 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 대향 표시판의 평면도이다.
- 도 7은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.
- 도 8은 본 발명의 일 실시예에 의한 액정 표시 장치에서 복수의 게이트선, 데이터선, 및 화소를 간략히 나타낸 도면이다.
- 도 10은 본 발명의 일 실시예에 의한 액정 표시 장치에서 홀수 번째 행에 위치하는 제1 내지 제3 박막 트랜지스터를 게이트선, 데이터선, 및 유지 전극선과 함께 나타낸 평면도이다.
- 도 11은 본 발명의 일 실시예에 의한 액정 표시 장치에서 짝수 번째 행에 위치하는 제1 내지 제3 박막 트랜지스터를 게이트선, 데이터선, 및 유지 전극선과 함께 나타낸 평면도이다.
- 도 12는 본 발명의 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이다.
- 도 13은 도 12의 XIII-XIII'선, XIII'-XIII''선을 따라 나타낸 본 발명의 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 단면도이다.
- 도 14는 본 발명의 또 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이다.
- 도 15는 도 14의 XV-XV'선, XV'-XV''선을 따라 나타낸 본 발명의 또 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 단면도이다.
- 도 16은 본 발명의 제1 변형 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이다.
- 도 17은 본 발명의 제2 변형 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이다.

발명을 실시하기 위한 구체적인 내용

[0034] 이하에서 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.

[0035] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.

[0036] 먼저, 첨부된 도면을 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치에 대해 설명하면 다음과 같다.

- [0037] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 일 실시예에 따른 액정 표시 장치의 구조와 함께 한 화소를 도시하는 등가 회로도이다.
- [0038] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300) 및 이와 연결된 게이트 구동부(400) 및 데이터 구동부(500), 데이터 구동부(500)에 연결된 계조 전압 생성부(800), 그리고 이들을 제어하는 신호 제어부(600)를 포함한다.
- [0039] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(도시하지 않음)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 박막 트랜지스터 표시판(100) 및 대향 표시판(200)과 그 사이에 들어 있는 액정층(3)을 포함한다.
- [0040] 신호선은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(도시하지 않음)과 데이터 신호를 전달하는 복수의 데이터선(도시하지 않음)을 포함한다. 게이트선은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 데이터선은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- [0041] 각 화소(PX)는 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소 중 적어도 하나는 게이트선, 데이터선 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(도시하지 않음)를 포함한다.
- [0042] 액정 축전기(Clca, Clcb)는 박막 트랜지스터 표시판(100)의 부화소 전극(PEa/PEb)과 대향 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(CE) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa/PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 대향 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 양의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 액정 분자의 방향이 90도 비틀린 형태로 배향되어 있다.
- [0043] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할), 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 도 2는 공간 분할의 한 예로서 각 화소(PX)가 대향 표시판(200)의 영역에 기본색 중 하나를 나타내는 색 필터(CF)를 구비함을 보여주고 있다. 도 2와는 달리 색 필터(CF)는 박막 트랜지스터 표시판(100)의 부화소 전극(PEa, PEb)의 위 또는 아래에 형성할 수도 있다.
- [0044] 액정 표시판 조립체(300)의 바깥 면에는 빛을 편광시키는 적어도 하나의 편광자(도시하지 않음)가 부착되어 있다.
- [0045] 다시 도 1을 참고하면, 계조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 계조 전압 또는 한정된 수효의 계조 전압(앞으로 "기준 계조 전압"이라 한다)을 생성한다. (기준) 계조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.
- [0046] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호(Vg)를 게이트선에 인가한다.
- [0047] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선과 연결되어 있으며, 계조 전압 생성부(800)로부터의 계조 전압을 선택하고 이를 데이터 신호로서 데이터선에 인가한다. 그러나 계조 전압 생성부(800)가 모든 계조에 대한 전압을 모두 제공하는 것이 아니라 정해진 수의 기준 계조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 계조 전압을 분압하여 전체 계조에 대한 계조 전압을 생성하고 이 중에서 데이터 신호를 선택한다.
- [0048] 신호 제어부(600)는 영상 신호 변환부(610)를 포함하며, 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- [0049] 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선 및 박막 트랜지스터 스위칭 소자 따위와 함께 액정 표시판 조립체(300)에 집적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루

는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

- [0050] 이어, 도 1 및 도 2와 함께 도 3 내지 도 7을 참고하여 본 발명의 일 실시예에 의한 액정 표시 장치에 대하여 더 설명한다.
- [0051] 도 3은 본 발명의 일 실시예에 의한 액정 표시 장치의 한 화소의 등가 회로도이고, 도 4는 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이며, 도 5는 도 4의 V-V'선, V'-V''선을 따라 나타낸 본 발명의 일 실시예에 따른 액정 표시 장치의 박막 트랜지스터 표시판의 단면도이다. 도 6은 본 발명의 일 실시예에 따른 액정 표시 장치의 대향 표시판의 평면도이고, 도 7은 본 발명의 일 실시예에 따른 액정 표시 장치의 평면도이다.
- [0052] 도 1 및 도 3을 참고하면, 본 발명의 일 실시예에 의한 액정 표시 장치는 복수의 신호선(Gn, Dn, SL)과 이에 연결되어 있는 복수의 화소(PX)를 포함한다.
- [0053] 신호선(Gn, Dn, SL)은 게이트 신호("주사 신호"라고도 함)를 전달하는 게이트선(Gn), 데이터 전압을 전달하는 데이터선(Dn), 및 일정한 전압이 인가되는 유지 전극선(SL)을 포함한다.
- [0054] 동일한 게이트선(Gn) 및 동일한 데이터선(Dn)에 연결되어 있는 제1 박막 트랜지스터(T1) 및 제2 박막 트랜지스터(T2)가 형성되어 있다. 또한, 제1 및 제2 박막 트랜지스터(T1, T2)와 동일한 게이트선(Gn)에 연결되어 있고, 제2 박막 트랜지스터(T2) 및 유지 전극선(SL)에 연결되어 있는 제3 박막 트랜지스터(T3)가 더 형성되어 있다.
- [0055] 각 화소(PX)는 두 개의 부화소(PXa, PXb)를 포함하고, 제1 부화소(PXa)에는 제1 박막 트랜지스터(T1)와 연결되어 있는 제1 액정 축전기(C1ca)가 형성되어 있고, 제2 부화소(PXb)에는 제2 박막 트랜지스터(T2)와 연결되어 있는 제2 액정 축전기(C1cb)가 형성되어 있다.
- [0056] 제1 박막 트랜지스터(T1)의 제1 단자는 게이트선(Gn)에 연결되어 있고, 제2 단자는 데이터선(Dn)에 연결되어 있으며, 제3 단자는 제1 액정 축전기(C1ca)에 연결되어 있다. 제2 박막 트랜지스터(T2)의 제1 단자는 게이트선(Gn)에 연결되어 있고, 제2 단자는 데이터선(Dn)에 연결되어 있으며, 제3 단자는 제2 액정 축전기(C1cb)에 연결되어 있다. 제3 박막 트랜지스터(T3)의 제1 단자는 게이트선(Gn)에 연결되어 있고, 제2 단자는 제2 박막 트랜지스터(T2)의 제3 단자에 연결되어 있으며, 제3 단자는 유지 전극선(SL)에 연결되어 있다.
- [0057] 본 발명의 일 실시예에 의한 액정 표시 장치의 동작을 살펴보면, 게이트선(Gn)에 게이트 온 전압이 인가되면 이에 연결된 제1 내지 제3 박막 트랜지스터(T1-T3)는 턴 온 되고, 데이터선(Dn)을 통해 전달된 데이터 전압에 의해 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)가 충전된다.
- [0058] 이때, 제3 박막 트랜지스터(T3)가 턴 온 상태에 있으므로, 제2 액정 축전기(C1cb)에 충전된 전압의 일부가 유지 전극선(SL)으로 빠져 나간다. 따라서, 데이터선(Dn)을 통해 제1 부화소(PXa) 및 제2 부화소(PXb)에 전달된 데이터 전압이 동일하더라도 제1 액정 축전기(C1ca)와 제2 액정 축전기(C1cb)에 충전되는 전압은 서로 달라진다. 즉, 제2 액정 축전기(C1cb)에 충전되는 전압이 제1 액정 축전기(C1ca)에 충전되는 전압보다 낮아진다. 이로 인해 동일한 화소(PX) 내의 서로 다른 부화소(PXa, PXb)에 충전되는 전압을 달리하여 측면 시인성을 향상시킬 수 있다.
- [0059] 이하에서 도 4 및 도 5를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 구조를 살펴보면, 먼저 투명한 유리 또는 플라스틱 따위로 만들어진 제1 기판(110) 위에 일방향으로 게이트선(121) 및 유지 전극선(131)이 형성되어 있다.
- [0060] 제1 게이트선(121)은 주로 가로 방향으로 뻗어 있으며 게이트 신호를 전달한다. 또한, 제1 게이트선(121)으로부터 돌출되어 서로 연결되어 있는 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)이 형성되어 있다. 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)은 제1 게이트선(121)으로부터 위쪽으로 돌출되어 있고, 제1 게이트 전극(124a)이 제2 게이트 전극(124b)보다 위쪽에 위치할 수 있다. 또한, 제1 게이트선(121)으로부터 제1 게이트 전극(124a) 및 제2 게이트 전극(124b)과 동일한 방향으로 돌출되고, 제2 게이트 전극(124b)과 이격되도록 제3 게이트 전극(124c)이 형성되어 있다. 제1 내지 제3 게이트 전극(124a, 124b, 124c)은 동일한 게이트선(121)에 연결되어 있고, 동일한 게이트 신호가 인가된다.
- [0061] 유지 전극선(131)은 제1 게이트선(121)과 동일한 방향으로 뻗어 있고, 유지 전극선(131)에는 공통 전압 등과 같은 일정한 전압이 인가된다. 또한, 유지 전극선(131)으로부터 돌출되어 제1 보조 전극(133a)과 제2 보조 전극(133b)이 형성되어 있다.

- [0062] 제1 보조 전극(133a)은 유지 전극선(131)으로부터 아래쪽으로 돌출되어 넓은 면을 가지고 있다. 제2 보조 전극(133b)은 유지 전극선(131)으로부터 위쪽으로 돌출되어 막대형으로 형성될 수 있다. 제2 보조 전극(133b)은 화소의 좌우 가장자리를 따라 두 개로 형성될 수 있다.
- [0063] 게이트선(121), 제1 내지 제3 게이트 전극(124a, 124b, 124c), 유지 전극선(131), 제1 및 제2 보조 전극(133a, 133b) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140)은 실리콘 질화물(SiNx), 실리콘 산화물(SiO_x) 등과 같은 무기 절연 물질로 이루어질 수 있다. 또한, 게이트 절연막(140)은 단일막 또는 다중막으로 이루어질 수 있다.
- [0064] 게이트 절연막(140) 위에는 제1 반도체층(151a), 제2 반도체층(151b), 및 제3 반도체층(151c)이 형성된다. 제1 반도체층(151a)은 제1 게이트 전극(124a)의 위에 위치하고, 제2 반도체층(151b)은 제2 게이트 전극(124b)의 위에 위치하며, 제3 반도체층(151c)은 제3 게이트 전극(124c)의 위에 위치할 수 있다.
- [0065] 제1 내지 제3 반도체층(151a, 151b, 151c) 및 게이트 절연막(140) 위에는 데이터선(171), 제1 소스 전극(173a), 제1 드레인 전극(175a), 제2 소스 전극(173b), 제2 드레인 전극(175b), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)이 형성되어 있다.
- [0066] 도시된 바와 같이 제1 내지 제3 반도체층(151a, 151b, 151c)은 제1 내지 제3 게이트 전극(124a, 124b, 124c) 위에 형성될 뿐만 아니라 데이터선(171) 아래에도 형성될 수 있다. 또한, 제2 반도체층(151b)과 제3 반도체층(151c)은 서로 연결되도록 형성될 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 제1 내지 제3 반도체층(151a, 151b, 151c)이 제1 내지 제3 게이트 전극(124a, 124b, 124c) 위에만 형성될 수도 있고, 제2 반도체층(151b)과 제3 반도체층(151c)이 서로 분리되어 형성될 수도 있다.
- [0067] 데이터선(171)은 데이터 신호를 전달하며 주로 세로 방향으로 뻗어 게이트선(121)과 교차한다.
- [0068] 제1 소스 전극(173a)은 데이터선(171)으로부터 제1 게이트 전극(124a) 위로 돌출되어 형성되어 있다. 제1 소스 전극(173a)은 제1 게이트 전극(124a) 위에서 C자형으로 구부러진 형태를 가질 수 있다.
- [0069] 제1 드레인 전극(175a)은 제1 게이트 전극(124a) 위에서 제1 소스 전극(173a)과 이격되도록 형성되어 있다. 서로 이격되도록 형성된 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이로 노출된 부분의 제1 반도체층(151a)에 채널이 형성되어 있다.
- [0070] 제1 드레인 전극(175a)은 막대 형상을 가지고 제1 게이트 전극(124a) 위에 형성되는 제1 부분(176a)과 제1 부분(176a)에 연결되어 제1 부분(176a)보다 넓은 폭을 가지는 제2 부분(177a)을 포함한다. 제1 드레인 전극(175a)의 제1 부분(176a)은 제1 소스 전극(173a)에 의해 둘러싸여 있다.
- [0071] 제2 소스 전극(173b)은 데이터선(171)으로부터 제2 게이트 전극(124b) 위로 돌출되어 형성되어 있다. 제2 소스 전극(173b)은 제2 게이트 전극(124b) 위에서 C자형으로 구부러진 형태를 가질 수 있다.
- [0072] 제2 드레인 전극(175b)은 제2 게이트 전극(124b) 위에서 제2 소스 전극(173b)과 이격되도록 형성되어 있다. 서로 이격되도록 형성된 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이로 노출된 부분의 제2 반도체층(151b)에 채널이 형성되어 있다.
- [0073] 제2 드레인 전극(175b)은 막대 형상을 가지고 제2 게이트 전극(124b) 위에 형성되는 제1 부분(176b)과 제1 부분(176b)에 연결되어 제1 부분(176b)보다 넓은 폭을 가지는 제2 부분(177b)을 포함한다. 제2 드레인 전극(175b)의 제1 부분(176b)은 제2 소스 전극(173b)에 의해 둘러싸여 있다.
- [0074] 제3 소스 전극(173c)은 제2 드레인 전극(175b), 특히 제2 드레인 전극(175b)의 제2 부분(177b)과 연결되어 있으며, 제3 게이트 전극(124c) 위에 형성되어 있다.
- [0075] 제3 드레인 전극(175c)은 제3 게이트 전극(124c) 위에서 제3 소스 전극(173c)과 이격되도록 형성되어 있다. 서로 이격되도록 형성된 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이로 노출된 부분의 제3 반도체층(151c)에 채널이 형성되어 있다.
- [0076] 제3 드레인 전극(175c)은 막대 형상을 가지고 제3 게이트 전극(124c) 위에 형성되는 제1 부분(176c)과 제1 부분(176c)에 연결되어 제1 부분(176c)보다 넓은 폭을 가지는 제2 부분(177c)을 포함한다.
- [0077] 이때, 도시된 바와 같이 제3 소스 전극(173c) 및 제3 드레인 전극(175c)은 제3 게이트 전극(124c) 위에서 각각 상하로 배치될 수 있다. 이와 반대로 제3 소스 전극(173c)이 아래쪽에, 제3 드레인 전극(175c)이 위쪽에 배치

될 수 있으며, 제3 소스 전극(173c)과 제3 드레인 전극(175c)이 각각 좌우로 배치될 수도 있다.

- [0078] 상기에서 설명한 제1 게이트 전극(124a), 제1 반도체층(151a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 박막 트랜지스터를 이룬다. 또한, 제2 게이트 전극(124b), 제2 반도체층(151b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 박막 트랜지스터를 이루고, 제3 게이트 전극(124c), 제3 반도체층(151c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 박막 트랜지스터를 이룬다.
- [0079] 데이터선(171), 제1 내지 제3 소스 전극(173a, 173b, 173c), 제1 내지 제3 드레인 전극(175a, 175b, 175c) 위에는 보호막(180)이 형성되어 있다. 보호막(180)은 유기 절연 물질, 또는 무기 절연 물질로 이루어질 수 있으며, 단일막 또는 다중막으로 형성될 수 있다. 이때, 유기 절연 물질은 색필터(color filter)로 이루어질 수도 있다.
- [0080] 보호막(180)에는 제1 드레인 전극(175a)의 일부가 노출되도록 제1 접촉 구멍(181a)이 형성되어 있고, 제2 드레인 전극(175b)의 일부가 노출되도록 제2 접촉 구멍(181b)이 형성되어 있다. 특히, 제1 접촉 구멍(181a)은 제1 드레인 전극(175a)의 제2 부분(177a)의 일부가 노출되도록 형성될 수 있고, 제2 접촉 구멍(181b)은 제2 드레인 전극(175b)의 제2 부분(177b)의 일부가 노출되도록 형성될 수 있다.
- [0081] 또한, 게이트 절연막(140) 및 보호막(180)에는 제1 보조 전극(133a) 및 제3 드레인 전극(175c)의 일부가 노출되도록 제3 접촉 구멍(181c)이 형성되어 있다. 제3 드레인 전극(175c)은 제1 보조 전극(133a)과 일부 영역에서 중첩한다. 따라서, 제3 접촉 구멍(181c)은 제3 드레인 전극(175c)과 제1 보조 전극(133a)이 서로 중첩하지 않는 부분에서 제1 보조 전극(133a)이 노출되도록 게이트 절연막(140) 및 보호막(180)의 일부가 제거된다. 또한, 제3 접촉 구멍(181c)은 제3 드레인 전극(175c)과 제1 보조 전극(133a)이 서로 중첩하는 부분에서 제3 드레인 전극(175c)이 노출되도록 보호막(180)의 일부가 제거된다. 즉, 제3 드레인 전극(175c)과 제1 보조 전극(133a)이 중첩하는 부분의 하부에 위치하는 게이트 절연막(140)은 남아있게 된다.
- [0082] 보호막(180) 위에는 제1 부화소 전극(191a)과 제2 부화소 전극(191b)이 형성되어 있다.
- [0083] 제1 부화소 전극(191a)은 제1 접촉 구멍(181a)을 통해 제1 드레인 전극(175a)과 연결되어 있고, 제2 부화소 전극(191b)은 제2 접촉 구멍(181b)을 통해 제2 드레인 전극(175b)과 연결되어 있다. 특히, 제1 부화소 전극(191a)은 제1 드레인 전극(175a)의 제2 부분(177a)과 연결될 수 있고, 제2 부화소 전극(191b)은 제2 드레인 전극(175b)의 제2 부분(177b)과 연결될 수 있다.
- [0084] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 다양한 모양으로 형성될 수 있다. 예를 들면 도시된 바와 같이 제1 부화소 전극(191a)과 제2 부화소 전극(191b)이 서로 간극(91)을 가지고 교대로 배치될 수 있다. 이때, 제2 부화소 전극(191b)이 제1 부화소 전극(191a)을 둘러싸는 형태로 형성될 수 있다. 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 게이트선(121) 또는 데이터선(171)에 대해 꺾인 형태로 형성될 수 있다. 이때, 한 화소 내의 상부 영역에서는 제1 방향으로 꺾인 형태를 가지고, 하부 영역에서는 제2 방향으로 꺾인 형태를 가지도록 형성될 수 있다. 또한, 제1 부화소 전극(191a) 또는 제2 부화소 전극(191b) 내에도 간극(91)과 평행한 방향으로 절개부(92)가 형성될 수 있다.
- [0085] 이러한 제1 및 제2 부화소 전극(191a, 191b)의 형태는 하나의 예시에 불과하며, 대략 사각형으로 형성될 수도 있고, 게이트선(121) 또는 데이터선(171)에 대해 대략 나란한 방향으로 막대 형상으로 형성될 수도 있으며, 그 외에도 다양한 모양이 가능하다.
- [0086] 또한, 보호막(180) 위에는 더미 선(193)과 연결 전극(195)이 더 형성될 수 있다. 더미 선(193)과 연결 전극(195)은 제1 및 제2 부화소 전극(191a, 191b)과 동일한 물질로 동일한 층에 형성될 수 있다.
- [0087] 더미 선(193)은 데이터선(171)과 나란한 방향으로 형성되고, 특히 데이터선(171)과 중첩하도록 형성될 수 있다. 도시된 바와 같이, 더미 선(193)은 데이터선(171)보다 넓은 폭으로 형성될 수 있다. 이와 달리 더미 선(193)이 데이터선(171)보다 좁은 폭으로 형성될 수도 있다.
- [0088] 연결 전극(195)은 더미 선(193)으로부터 돌출되어 제1 보조 전극(133a) 및 제3 드레인 전극(175c) 위에 형성된다. 연결 전극(195)은 제3 접촉 구멍(181c)에 의해 노출되어 있는 제1 보조 전극(133a) 및 제3 드레인 전극(175c)을 덮도록 형성된다. 따라서, 연결 전극(195)은 제3 접촉 구멍(181c)을 통해 제1 보조 전극(133a) 및 제3 드레인 전극(175c)과 연결된다.
- [0089] 더미 선(193)은 연결 전극(195)과 연결되어 있고, 연결 전극(195)은 제1 보조 전극(133a)과 연결되어 있으며, 제1 보조 전극(133a)은 유지 전극선(131)과 연결되어 있으므로, 더미 선(193)에는 유지 전극선(131)에 인가되는

일정한 전압이 인가된다. 따라서, 더미 선(193)은 가로 방향으로 형성되어 있는 복수의 유지 전극선(131)들을 서로 연결하여 저항을 낮추는 역할을 할 수 있다.

- [0090] 이어, 도 6을 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치의 대향 표시판의 구조를 살펴보면, 먼저 투명한 유리 또는 플라스틱 따위로 만들어진 제2 기관(도시하지 않음) 위에 각 화소의 경계부에 대응하도록 차광 부재(220)가 형성되어 있고, 제2 기관 위의 전면에는 공통 전극(270)이 형성되어 있다.
- [0091] 차광 부재(220)는 박막 트랜지스터 표시판에 포함되어 있는 게이트선(121), 데이터선(171), 제1 내지 제3 박막 트랜지스터에 대응하는 위치에 형성될 수 있다. 도시한 바와 달리 차광 부재(220)는 제2 기관 위에 형성되지 아니하고, 제1 기관(110) 위에 형성될 수도 있다. 특히, 색필터가 제1 기관(110) 위에 형성될 경우, 차광 부재(220)는 색필터 위에 형성될 수 있으며, 이때, 게이트선(121), 데이터선(171), 제1 내지 제3 박막 트랜지스터에 대응하는 위치에 형성될 수 있다.
- [0092] 공통 전극(270)은 하나의 화소 내에서 절개부(71)를 포함하도록 형성될 수 있다. 절개부(71)는 한 화소 내에 복수로 형성될 수 있으며, 그 개수 및 위치는 다양하게 변형이 가능하다. 절개부(71)의 위치에 대해서는 이하에서 도 7을 참고하여 다시 살펴본다.
- [0093] 도 7을 참고하여 본 발명의 일 실시예에 의한 액정 표시 장치의 구조를 살펴보면, 앞서 설명한 박막 트랜지스터 표시판과 대향 표시판이 합착된 형태를 가진다. 편의상 도 7에서 차광 부재는 생략하였다.
- [0094] 공통 전극(270)의 절개부(71)는 박막 트랜지스터 표시판에 포함되어 있는 제1 및 제2 부화소 전극(191a, 191b)의 간극(91) 및 절개부(92)의 사이에 위치하여 간극(91) 및 절개부(92)와 거의 나란하게 뻗는다.
- [0095] 이와 같은 제1 및 제2 부화소 전극(191a, 191b)의 간극(91) 및 절개부(92)와 공통 전극(270)의 절개부(71)에 의해 하나의 화소 내에 복수의 도메인을 형성할 수 있다. 이로 인해 액정 표시 장치의 기준 시야각을 크게 할 수 있다. 이러한 제1 및 제2 부화소 전극(191a, 191b)의 절개부(92)와 공통 전극(270)의 절개부 중 어느 하나 이상은 돌기나 함몰부 등으로 대체가 가능하다.
- [0096] 상기에서 차광 부재(220) 및 공통 전극(270)은 대향 표시판에 형성된 것으로 설명하였으나 본 발명은 이에 한정되지 아니하고, 차광 부재(220) 및 공통 전극(270)이 박막 트랜지스터 표시판에 포함될 수도 있다.
- [0097] 다음으로, 본 발명의 일 실시예에 의한 액정 표시 장치에서 복수의 화소의 배치 형태에 대해 설명하면 다음과 같다.
- [0098] 도 8 및 도 9는 본 발명의 일 실시예에 의한 액정 표시 장치에서 복수의 게이트선, 데이터선, 및 화소를 간략히 나타낸 도면이다.
- [0099] 제1 내지 제4 게이트선(G1-G4)과 제1 내지 제5 데이터선(D1-D5)이 서로 교차하도록 형성되어 있고, 각 게이트선(G1-G4) 및 데이터선(D1-D5)과 연결되는 화소(PX)가 형성되어 있다.
- [0100] 도 8에서 홀수 번째 데이터선(D1, D3, D5)에는 정극성의 데이터 신호가 인가되고, 짝수 번째 데이터선(D2, D4)에는 부극성의 데이터 신호가 인가된다. 즉, 열반전(Column inversion) 형태로 데이터 신호가 인가된다.
- [0101] 도 9에서는 첫 번째, 두 번째, 다섯 번째 데이터선(D1, D2, D5)에는 정극성의 데이터 신호가 인가되고, 세 번째, 네 번째 데이터선(D3, D4)에는 부극성의 데이터 신호가 인가된다. 즉, 데이터선 두 개가 하나의 그룹이 되어 열반전 형태로 데이터 신호가 인가된다.
- [0102] 이때, 소비 전력은 줄이면서도 점반전(dot inversion) 또는 2점반전(2 dot inversion)의 효과를 내기 위해 동일한 데이터선(D1-D5)에 연결되는 각 화소(PX)를 지그재그로 배치할 수 있다. 즉, 각 데이터선(D1-D5)에 연결되는 화소(PX)를 우측과 좌측에 번갈아 배치할 수 있다. 이로 인해 게이트선(D1-D4) 및 데이터선(D1-D5)을 화소(PX)에 연결하는 박막 트랜지스터(도시하지 않음)를 데이터선(D1-D5)의 우측 및 좌측에 번갈아 배치하게 된다. 따라서, 도 4 및 도 7은 어느 한 화소의 구조를 나타낸 것으로써, 다음 행에 위치하는 다른 화소의 경우 도 4 및 도 7에 도시된 화소의 구조와 대칭인 형태로 형성될 수 있다.
- [0103] 도 10 및 도 11을 통해 홀수 번째 행에 위치하는 박막 트랜지스터와 짝수 번째 행에 위치하는 박막 트랜지스터가 서로 대칭되는 형상을 가짐을 알 수 있다.
- [0104] 도 10은 본 발명의 일 실시예에 의한 액정 표시 장치에서 홀수 번째 행에 위치하는 제1 내지 제3 박막 트랜지스

터를 게이트선, 데이터선, 및 유지 전극선과 함께 나타낸 평면도이고, 도 11은 본 발명의 일 실시예에 의한 액정 표시 장치에서 짝수 번째 행에 위치하는 제1 내지 제3 박막 트랜지스터를 게이트선, 데이터선, 및 유지 전극선과 함께 나타낸 평면도이다.

- [0105] 도 10을 참조하면, 홀수 번째 행에 위치하는 제1 내지 제3 박막 트랜지스터에서 제1 및 제2 게이트 전극(124a, 124b)은 해당 화소의 좌측에 인접한 데이터선(171)에 가깝도록 위치하고, 제1 및 제2 소스 전극(173a, 173b)은 해당 화소의 좌측에 인접한 데이터선(171)으로부터 우측으로 돌출되어 형성된다. 또한, 제3 게이트 전극(124c)은 해당 화소의 우측에 인접한 데이터선(171)에 가깝도록 위치하고, 제1 보조 전극(133a)은 제3 게이트 전극(124c) 및 해당 화소의 우측에 인접한 데이터선(171)의 사이에 위치한다.
- [0106] 도 11을 참조하면, 짝수 번째 행에 위치하는 제1 내지 제3 박막 트랜지스터는 홀수 번째 행에 위치하는 제1 내지 제3 박막 트랜지스터와 대칭되는 형상을 가진다. 구체적으로, 제1 및 제2 게이트 전극(124a, 124b)은 해당 화소의 우측에 인접한 데이터선(171)에 가깝도록 위치하고, 제1 및 제2 소스 전극(173a, 173b)은 해당 화소의 우측에 인접한 데이터선(171)으로부터 좌측으로 돌출되어 형성된다. 또한, 제3 게이트 전극(124c)은 해당 화소의 우측에 인접한 데이터선(171)에 가깝도록 위치하고, 제1 보조 전극(133a)은 제3 게이트 전극(124c) 및 해당 화소의 좌측에 인접한 데이터선(171)의 사이에 위치한다.
- [0107] 이하에서는 도 10 및 도 11을 참고하여, 본 발명의 일 실시예에 의한 액정 표시 장치에서 게이트 전극과 소스/드레인 전극이 서로 중첩되어 형성되는 기생 캐패시턴스가 마스크의 오정렬에도 불구하고 일정하게 유지되는 특징에 대해 설명한다.
- [0108] 도 10은 앞서 설명한 도 1 및 도 4의 일부를 나타낸 것으로서, 홀수 번째 행에서는 게이트선(121)으로부터 위쪽으로 돌출되어 있는 제1 및 제2 게이트 전극(124a, 124b), 제1 및 제2 게이트 전극(124a, 124b)과 동일한 방향으로 돌출되고, 제2 게이트 전극(124b)과 이격되어 있는 제3 게이트 전극(124c)이 형성되어 있다. 이때, 제1 및 제2 게이트 전극(124a, 124b)은 좌측에 위치하는 데이터선(171)과 인접하여 형성되어 있고, 제3 게이트 전극(124c)은 우측에 위치하는 데이터선(171)과 인접하여 형성되어 있다.
- [0109] 제2 박막 트랜지스터의 드레인 전극(175c)과 제3 박막 트랜지스터의 소스 전극(173a)은 서로 이격되어 있는 제2 게이트 전극(124b)과 제3 게이트 전극(124c) 사이에서 서로 연결된다.
- [0110] 홀수 번째 행의 제2 박막 트랜지스터에서 제2 게이트 전극(124b)과 제2 드레인 전극(175b)이 중첩하는 부분을 제1 중첩부(12)라 하고, 홀수 번째 행의 제3 박막 트랜지스터에서 제3 게이트 전극(124c)과 제3 소스 전극(173c)이 중첩하는 부분을 제2 중첩부(14)라고 할 수 있다.
- [0111] 마스크의 오정렬이 발생하여 제1 중첩부(12)와 제2 중첩부(14)의 면적이 각각 변할 수 있다. 예를 들면, 데이터선(171)이 현재 도시된 위치보다 우측으로 이동하여 형성될 수 있다. 이에 따라 데이터선(171)과 동일한 마스크로 형성되는 제2 드레인 전극(175b) 및 제3 소스 전극(173c)도 현재 도시된 위치보다 우측으로 이동하여 형성될 수 있다. 제2 드레인 전극(175b) 및 제3 소스 전극(173c)의 위치 이동으로 인해 제1 중첩부(12)의 면적은 감소하고, 제2 중첩부(14)의 면적은 증가한다. 그러나, 제1 중첩부(12)와 제2 중첩부(14)의 면적의 합은 일정하게 유지되므로 제2 박막 트랜지스터와 연결되는 제2 부화소에 영향을 미치는 기생 캐패시턴스의 크기에는 영향이 없다.
- [0112] 반대로, 데이터선(171)이 현재 도시된 위치보다 좌측으로 이동하여 형성될 수도 있으며, 이 경우에도 마찬가지로 제1 중첩부(12)와 제2 중첩부(14)의 면적의 합은 일정하게 유지된다.
- [0113] 도 11은 도 10와 데이터선을 기준으로 대칭을 이루는 형태를 가지고 있는 짝수 번째 행을 나타내고 있다. 짝수 번째 행에서도 게이트선(121)으로부터 위쪽으로 돌출되어 있는 제1 및 제2 게이트 전극(124a, 124b), 제1 및 제2 게이트 전극(124a, 124b)과 동일한 방향으로 돌출되고, 제2 게이트 전극(124b)과 이격되어 있는 제3 게이트 전극(124c)이 형성되어 있다. 이때, 제1 및 제2 게이트 전극(124a, 124b)은 우측에 위치하는 데이터선(171)과 인접하여 형성되어 있고, 제3 게이트 전극(124c)은 좌측에 위치하는 데이터선(171)과 인접하여 형성되어 있다.
- [0114] 제2 박막 트랜지스터의 드레인 전극(175c)과 제3 박막 트랜지스터의 소스 전극(173a)은 서로 이격되어 있는 제2 게이트 전극(124b)과 제3 게이트 전극(124c) 사이에서 서로 연결된다.
- [0115] 짝수 번째 행의 제2 박막 트랜지스터에서 제2 게이트 전극(124b)과 제2 드레인 전극(175b)이 중첩하는 부분을 제3 중첩부(16)라 하고, 짝수 번째 행의 제3 박막 트랜지스터에서 제3 게이트 전극(124c)과 제3 소스 전극(173c)이 중첩하는 부분을 제4 중첩부(18)라고 할 수 있다.

- [0116] 마스크의 오정렬이 발생하여 제3 중첩부(16)와 제4 중첩부(18)의 면적이 각각 변할 수 있다. 예를 들면, 데이터선(171)이 현재 도시된 위치보다 우측으로 이동하여 형성될 수 있다. 이에 따라 데이터선(171)과 동일한 마스크로 형성되는 제2 드레인 전극(175b) 및 제3 소스 전극(173c)도 현재 도시된 위치보다 우측으로 이동하여 형성될 수 있다. 제2 드레인 전극(175b) 및 제3 소스 전극(173c)의 위치 이동으로 인해 제3 중첩부(16)의 면적은 증가하고, 제4 중첩부(18)의 면적은 감소한다. 그러나, 제3 중첩부(16)와 제4 중첩부(18)의 면적의 합은 일정하게 유지되므로 제2 박막 트랜지스터와 연결되는 제2 부화소에 영향을 미치는 기생 캐패시턴스의 크기에는 영향이 없다.
- [0117] 반대로, 데이터선(171)이 현재 도시된 위치보다 좌측으로 이동하여 형성될 수도 있으며, 이 경우에도 마찬가지로 제1 중첩부(12)와 제2 중첩부(14)의 면적의 합은 일정하게 유지된다.
- [0118] 제3 박막 트랜지스터가 형성되어 있지 않은 구조를 가정하여, 본 발명의 일 실시예에 의한 액정 표시 장치와 비교하여 살펴보면 다음과 같다. 제3 박막 트랜지스터가 형성되어 있지 않다면, 마스크의 오정렬에 의해 데이터선이 우측으로 이동하여 형성되는 경우 홀수 번째 행에서는 제2 박막 트랜지스터에서 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 감소하고, 짝수 번째 행에서는 제2 박막 트랜지스터에서 게이트 전극과 소스/드레인 전극 간의 중첩 면적이 증가한다. 따라서 이는 가로 줄무늬로 시인된다.
- [0119] 반면에, 본원에서는 게이트 전극과 소스/드레인 전극 간의 중첩 면적을 일정하게 유지함으로써, 이러한 가로 줄무늬가 발생하는 것을 방지할 수 있다.
- [0120] 상기에서는 박막 트랜지스터가 데이터선의 좌우 측에 지그재그로 형성되는 경우에 대해 설명하였으나, 본 발명은 이에 한정되지 아니하고 박막 트랜지스터가 데이터선의 일측에 형성되는 경우 등도 포함할 수 있다.
- [0121] 다음으로, 도 12 및 도 13을 참고하여 본 발명의 다른 실시예에 의한 액정 표시 장치에 대해 설명하면 다음과 같다.
- [0122] 본 발명의 다른 실시예에 의한 액정 표시 장치는 앞서 설명한 실시예와 동일한 부분이 상당하므로, 이에 대한 설명은 생략하고 차이점이 있는 부분에 대해서만 이하에서 설명한다. 앞서 설명한 실시예와 가장 큰 차이점은 제3 게이트 전극으로부터 연장되어 있는 연장 전극이 더 형성되고, 제1 드레인 전극이 연장 전극 위에도 형성된다는 점으로, 이하에서 더욱 상세히 설명한다.
- [0123] 도 12는 본 발명의 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이고, 도 13은 도 12의 XIII-XIII'선, XIII'-XIII''선을 따라 나타낸 본 발명의 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 단면도이다.
- [0124] 본 발명의 다른 실시예에 따른 액정 표시 장치의 개략적인 구조는 도 1 내지 도 3에 도시된 액정 표시 장치의 구조와 동일하다.
- [0125] 본 발명의 다른 실시예에 따른 액정 표시 장치는 도 12 및 도 13에 도시된 바와 같이 제1 기판(110) 위에 게이트 트션(121), 유지 전극선(131)이 형성되어 있다.
- [0126] 게이트선(121)으로부터 돌출되어 제1 및 제2 게이트 전극(124a, 124b)이 형성되어 있고, 제1 및 제2 게이트 전극(124a, 124b)과 동일한 방향으로 돌출되고 제2 게이트 전극(124b)과 이격되도록 제3 게이트 전극(124c)이 형성되어 있다.
- [0127] 또한, 제3 게이트 전극(124c)으로부터 연장되어 제1 게이트 전극(124a)과 이격되도록 연장 전극(125)이 형성되어 있다. 도시된 바와 같이 연장 전극(125)은 제3 게이트 전극(124c)으로부터 위로 연장되고, 다시 좌측으로 꺾인 후 연장되도록 형성될 수 있다. 연장 전극(125)의 형상은 이에 한정되지 아니하고 다양한 변형이 가능하다. 다만, 연장 전극(125)은 제1 게이트 전극(124a)과 이격되고 서로 마주보도록 형성되는 것이 바람직하다.
- [0128] 유지 전극선(131)으로부터 돌출되는 제1 및 제2 보조 전극(133a, 133b)도 형성되어 있다.
- [0129] 게이트선(121), 유지 전극선(131), 제1 내지 제3 게이트 전극(124a, 124b, 124c), 연장 전극(125), 제1 및 제2 보조 전극(133a, 133b) 위에는 게이트 절연막(140)이 형성되어 있다.
- [0130] 게이트 절연막(140) 위에는 제1 내지 제3 반도체층(151a, 151b, 151c)이 형성되어 있고, 그 위에는 데이터선(171), 제1 소스 전극(173a), 제1 드레인 전극(175a), 제2 소스 전극(173b), 제2 드레인 전극(175b), 제3 소스

전극(173c), 및 제3 드레인 전극(175c)이 형성되어 있다.

- [0131] 제1 드레인 전극(175a)은 막대 형상을 가지고 제1 게이트 전극(124a) 위에 형성되는 제1 부분(176a), 제1 부분(176a)에 연결되어 제1 부분(176a)보다 넓은 폭을 가지는 제2 부분(177a), 제2 부분(177a)에 연결되어 있고 막대 형상을 가지는 제3 부분(178a)을 포함한다.
- [0132] 제1 부분(176a)은 C자형으로 구부러진 형태의 제1 소스 전극(173a)에 의해 둘러싸여 있다. 제2 부분(177a)은 제1 게이트 전극(124a)과 연장 전극(125) 사이에 위치한다. 제3 부분(178a)은 제2 부분(177a)보다 좁은 폭을 가지고, 연장 전극(125) 위에 형성되어 있다.
- [0133] 데이터선(171), 제1 내지 제3 소스 전극(173a, 173b, 173c), 제1 내지 제3 드레인 전극(175a, 175b, 175c) 위에는 보호막(180)이 형성되어 있고, 보호막(180)에는 제1 및 제2 접촉 구멍(181a, 181b)이 형성되어 있다. 또한, 게이트 절연막(140) 및 보호막(180)에 제3 접촉 구멍(181c)이 형성되어 있다.
- [0134] 보호막(180) 위에는 제1 및 제2 부화소 전극(191a, 191b), 더미 선(193), 및 연결 전극(195)이 형성되어 있다.
- [0135] 본 실시예에서는 제3 게이트 전극(124c)으로부터 연장된 연장 전극(125)이 형성되고, 제1 드레인 전극(175a)이 연장 전극(125) 위에까지 이르도록 형성됨으로써, 마스크의 오정렬에도 불구하고 제1 박막 트랜지스터에 형성되는 기생 캐패시턴스가 일정하게 유지될 수 있다.
- [0136] 예를 들어, 마스크의 오정렬에 의해 데이터선(171)의 위치가 현재 도시된 것보다 우측으로 이동할 경우, 제1 게이트 전극(124a)과 제1 드레인 전극(175a)이 중첩하는 면적은 줄어들게 된다. 그러나, 제1 드레인 전극(175a)과 연장 전극(125)이 중첩하는 면적이 증가하게 되며, 그 증가분은 제1 게이트 전극(124a)과 제1 드레인 전극(175a)이 중첩하는 면적의 감소분과 동일하다. 따라서, 제1 드레인 전극(175a)이 제1 게이트 전극(124a) 및 연장 전극(125)과 중첩하는 면적이 일정하게 유지되고, 제1 박막 트랜지스터와 연결되는 제1 부화소에 영향을 미치는 기생 캐패시턴스의 크기에는 영향이 없다.
- [0137] 다음으로, 도 14 및 도 15를 참고하여 본 발명의 또 다른 실시예에 의한 액정 표시 장치에 대해 설명하면 다음과 같다.
- [0138] 본 발명의 다른 실시예에 의한 액정 표시 장치는 앞서 설명한 실시예와 동일한 부분이 상당하므로, 이에 대한 설명은 생략하고 차이점이 있는 부분에 대해서만 이하에서 설명한다. 앞서 설명한 실시예와 가장 큰 차이점은 더미 선이 형성되지 않는다는 점으로, 이하에서 더욱 상세히 설명한다.
- [0139] 도 14는 본 발명의 또 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이고, 도 15는 도 14의 XV-XV'선, XV'-XV''선을 따라 나타낸 본 발명의 또 다른 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 단면도이다.
- [0140] 본 발명의 또 다른 실시예에 의한 액정 표시 장치의 개략적인 구조는 도 1 내지 도 3에 도시된 액정 표시 장치의 구조와 동일하다.
- [0141] 본 발명의 또 다른 실시예에 의한 액정 표시 장치는 도 14 및 도 15에 도시된 바와 같이 제1 기판(110) 위에 게이트선(121), 유지 전극선(131), 및 데이터선(171)이 형성되어 있고, 게이트선(121) 및 데이터선(171)에 연결되는 제1 내지 제3 박막 트랜지스터가 형성되어 있다.
- [0142] 보호막(180) 위에는 연결 전극(195)이 형성되어 제1 보조 전극(133a)과 제3 드레인 전극(175c)을 연결한다. 앞서 설명한 실시예와 달리 연결 전극(195)과 연결되는 더미 선은 형성되지 않는다. 즉, 데이터선(171)과 중첩되는 부분에 더미 선이 형성되지 않는다. 이 경우 도시는 생략하였으나 서로 다른 행에 형성되는 유지 전극선(131)들을 서로 연결하기 위한 연결 패턴이 더 형성될 수 있다.
- [0143] 본 실시예에서는 도 12에 도시된 액정 표시 장치의 박막 트랜지스터에서 더미 선이 제거된 구조에 대해 설명하였으나, 본 발명은 이에 한정되지 아니하고 도 4에 도시된 액정 표시 장치의 박막 트랜지스터에서 더미 선이 제거된 구조도 포함한다.
- [0144] 본 발명의 일 실시예에 의한 액정 표시 장치는 다양한 변형이 가능한바 이하에서 도 16 및 도 17을 참고하여 변형 실시예에 대해 설명하면 다음과 같다.

- [0145] 도 16은 본 발명의 제1 변형 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이고, 도 17은 본 발명의 제2 변형 실시예에 의한 액정 표시 장치의 박막 트랜지스터 표시판의 평면도이다.
- [0146] 본 발명의 제1 변형 실시예에 의한 액정 표시 장치는 도 16에 도시된 바와 같이 제1 기관(도시하지 않음) 위에 일방향으로 뻗어있는 게이트선(121) 및 게이트선(121)과 교차하는 데이터선(171)을 포함한다.
- [0147] 게이트선(121)은 대략 가로 방향으로 뻗어있고, 화소의 일측 가장자리에서 게이트선(121)으로부터 돌출되어 데이터선(171)과 나란한 방향으로 뻗어 있는 보조 게이트선(122)이 형성되어 있다.
- [0148] 보조 게이트선(122)으로부터 돌출되어 서로 연결되어 있는 제1 및 제2 게이트 전극(124a, 124b)이 형성되어 있다. 제1 및 제2 게이트 전극(124a, 124b)은 보조 게이트선(122)으로부터 왼쪽으로 돌출되어 있고, 제2 게이트 전극(124b)이 제1 게이트 전극(124a)보다 위쪽에 위치할 수 있다.
- [0149] 또한, 보조 게이트선(122)으로부터 제1 및 제2 게이트 전극(124a, 124b)과 동일한 방향으로 돌출되고, 제1 및 제2 게이트 전극(124a, 124b)과 이격되도록 제3 게이트 전극(124c)이 형성되어 있다.
- [0150] 데이터선(171)은 대략 세로 방향으로 뻗어 있고, 데이터선(171)으로부터 제1 및 제2 게이트 전극(124a, 124b) 위로 돌출되어 있는 제1 소스 전극(173a) 및 제2 소스 전극(173b)이 형성되어 있다. 제1 및 제2 소스 전극(173a, 173b)은 구부러진 형태를 가질 수 있다.
- [0151] 제1 게이트 전극(124a) 위에서 제1 소스 전극(173a)과 이격되도록 제1 드레인 전극(175a)이 형성되고, 제2 게이트 전극(124b) 위에서 제2 소스 전극(173b)과 이격되도록 제2 드레인 전극(175b)이 형성된다.
- [0152] 제2 드레인 전극(175b)은 막대 형상을 가지고 제2 게이트 전극(124b) 위에 형성되는 제1 부분(176b)과 제1 부분(176b)에 연결되어 제1 부분(176b)보다 넓은 폭을 가지는 제2 부분(177b)을 포함한다.
- [0153] 제2 드레인 전극(175b)과 연결되도록 제3 게이트 전극(124c) 위에 제3 소스 전극(173c)이 형성되어 있고, 제3 소스 전극(173c)과 이격되도록 제3 드레인 전극(175c)이 형성되어 있다. 이때, 제3 소스 전극(173c)은 제2 드레인 전극(175b)의 제2 부분(177b)과 연결되어 있으며, 막대 형상으로 형성될 수 있다. 제3 드레인 전극(175c)은 제3 소스 전극(173c)을 둘러싸도록 구부러진 형태로 형성될 수 있다.
- [0154] 각 화소는 좌측, 우측, 및 중앙에 위치하는 세 개의 부화소로 이루어질 수 있다. 중앙에 위치하는 부화소에 제1 드레인 전극(175a)과 연결되는 제1 부화소 전극(191a)이 형성될 수 있고, 좌측 및 우측에 위치하는 부화소에 제2 드레인 전극(175b)과 연결되는 제2 부화소 전극(191b)이 형성될 수 있다.
- [0155] 제1 및 제2 부화소 전극(191a, 191b)은 게이트선(121)과 나란한 방향으로 막대 형상을 가지고 형성되는 가로 줄기부(196), 데이터선(171)과 나란한 방향으로 막대 형상을 가지고 형성되는 세로 줄기부(197)를 포함한다. 또한, 가로 줄기부(196) 및 세로 줄기부(197)로부터 뻗어 있는 미세 가지부(198)를 더 포함한다. 하나의 부화소는 가로 줄기부(196) 및 세로 줄기부(197)에 의해 네 개의 영역으로 나뉘고, 네 개의 영역에 각각 형성되는 미세 가지부(198)는 서로 다른 방향으로 뻗어 있다.
- [0156] 세 개의 부화소의 가장자리 영역과 인접하는 두 부화소 사이의 영역에는 유지 전극선(131)이 형성될 수 있다. 예를 들면, 도시된 바와 같이 좌측 및 중앙에 위치한 두 부화소의 상측 가장자리, 우측에 위치한 부화소의 하측 가장자리, 및 중앙에 위치한 부화소와 우측에 위치한 부화소의 사이에 유지 전극선(131)이 형성될 수 있다. 이때, 유지 전극선(131)은 데이터선(171)과 동일한 물질로 동일한 층에 형성될 수 있다.
- [0157] 유지 전극선(131)에는 공통 전압 등과 같은 일정한 전압이 인가될 수 있고, 제3 드레인 전극(175c)과 연결되도록 형성될 수 있다.
- [0158] 본 발명의 제1 변형 실시예에서 제2 게이트 전극(124b)과 제2 드레인 전극(175b)이 중첩하는 부분의 면적이 마스크의 오정렬에 의해 감소하면, 이에 따라 제3 게이트 전극(124c)과 제3 소스 전극(173c)이 중첩하는 부분의 면적이 증가하게 된다. 따라서, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)으로 이루어진 제2 박막 트랜지스터와 연결되는 부화소에 영향을 미치는 기생 캐패시턴스의 크기에는 영향이 없다.
- [0159] 앞서 설명한 실시예에서는 제1 내지 제3 박막 트랜지스터가 게이트선 방향을 따라 배치되고 있는 반면에, 본 발명의 제1 변형 실시예에서는 제1 내지 제3 박막 트랜지스터가 데이터선을 따라 배치되고 있다. 또한, 화소가 데이터선과 나란한 변보다 게이트선과 나란한 변이 더 긴 형태로 형성되고, 세 개의 부화소로 나뉘고 있다.
- [0160] 본 발명의 제2 변형 실시예에 의한 액정 표시 장치는 도 17에 도시된 바와 같이 제1 내지 제3 박막 트랜지스터

의 배치 형태는 제1 변형 실시예와 유사하다. 또한, 본 발명의 제2 변형 실시예에서 화소가 데이터선과 나란한 변보다 게이트선과 나란한 변이 더 긴 형태로 형성된다는 점에서는 제1 변형 실시예와 유사하다.

[0161] 본 발명의 제2 변형 실시예에서 하나의 화소는 좌측 및 우측에 위치하는 두 개의 부화소로 이루어진다. 좌측에 위치하는 부화소에 제1 드레인 전극(175a)과 연결되는 제1 부화소 전극(191a)이 형성될 수 있고, 우측에 위치하는 부화소에 제2 드레인 전극(175b)과 연결되는 제2 부화소 전극(191b)이 형성될 수 있다.

[0162] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

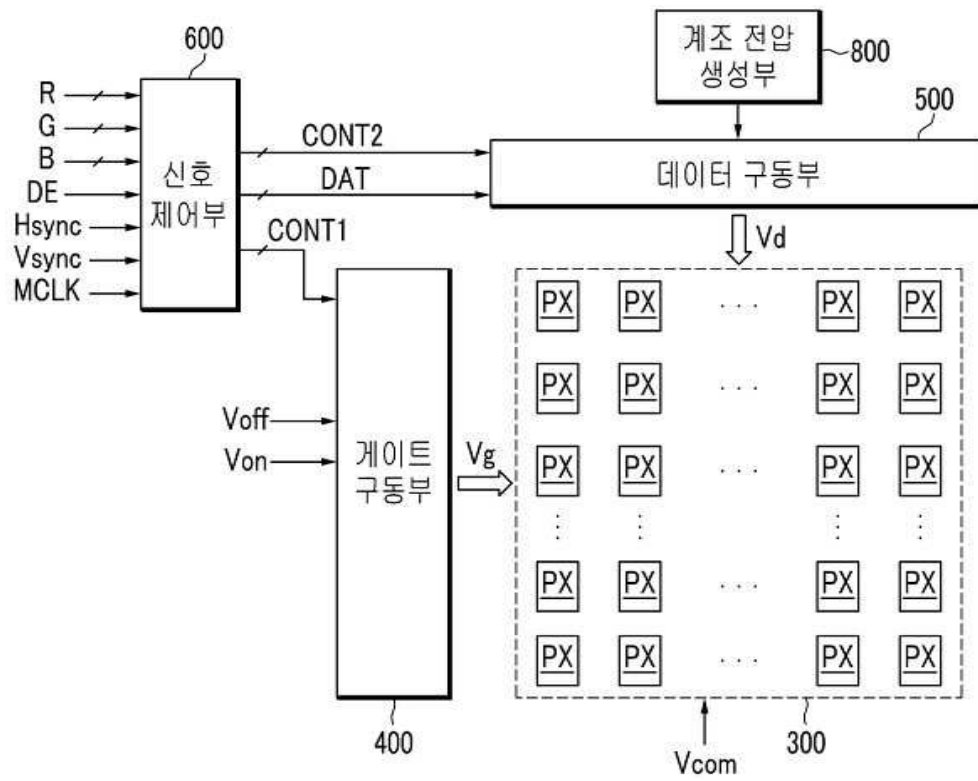
부호의 설명

[0163]

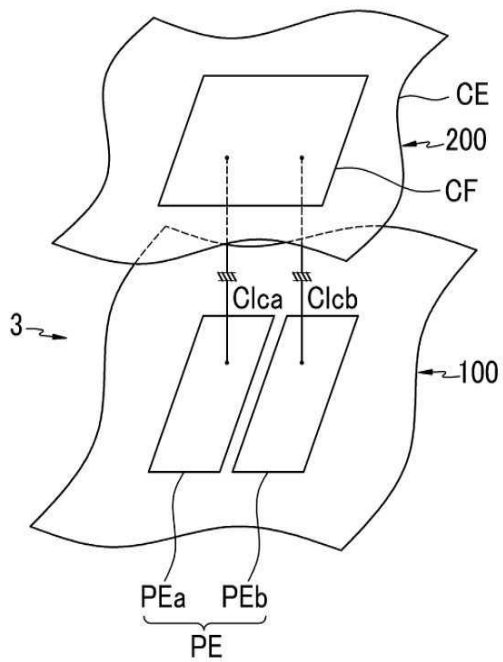
3: 액정층	12: 제1 중첩부
14: 제2 중첩부	16: 제3 중첩부
18: 제4 중첩부	71: 공통 전극의 절개부
91: 간극	92: 화소 전극의 절개부
100: 박막 트랜지스터 표시판	110: 제1 기판
121: 게이트선	124a: 제1 게이트 전극
124b: 제2 게이트 전극	124c: 제3 게이트 전극
125: 연장 전극	131: 유지 전극선
133a: 제1 보조 전극	133b: 제2 보조 전극
140: 게이트 절연막	151a: 제1 반도체층
151b: 제2 반도체층	151c: 제3 반도체층
171: 데이터선	173a: 제1 소스 전극
173b: 제2 소스 전극	173c: 제3 소스 전극
175a: 제1 드레인 전극	175b: 제2 드레인 전극
175c: 제3 드레인 전극	176a: 제1 드레인 전극의 제1 부분
176b: 제2 드레인 전극의 제1 부분	176c: 제3 드레인 전극의 제1 부분
177a: 제1 드레인 전극의 제2 부분	177b: 제2 드레인 전극의 제2 부분
177c: 제3 드레인 전극의 제2 부분	178a: 제1 드레인 전극의 제3 부분
180: 보호막	181a: 제1 접촉 구멍
181b: 제2 접촉 구멍	181c: 제3 접촉 구멍
191a: 제1 부화소 전극	191b: 제2 부화소 전극
193: 더미 선	195: 연결 전극
200: 대향 표시판	220: 차광 부재
270: 공통 전극	300: 액정 표시판 조립체
400: 게이트 구동부	500: 데이터 구동부
600: 신호 제어부	610: 영상 신호 변환부
800: 제조 전압 생성부	

도면

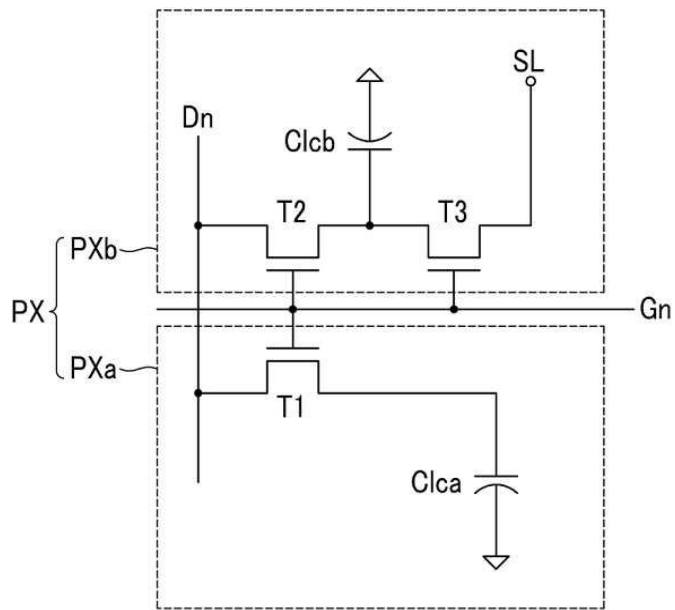
도면1



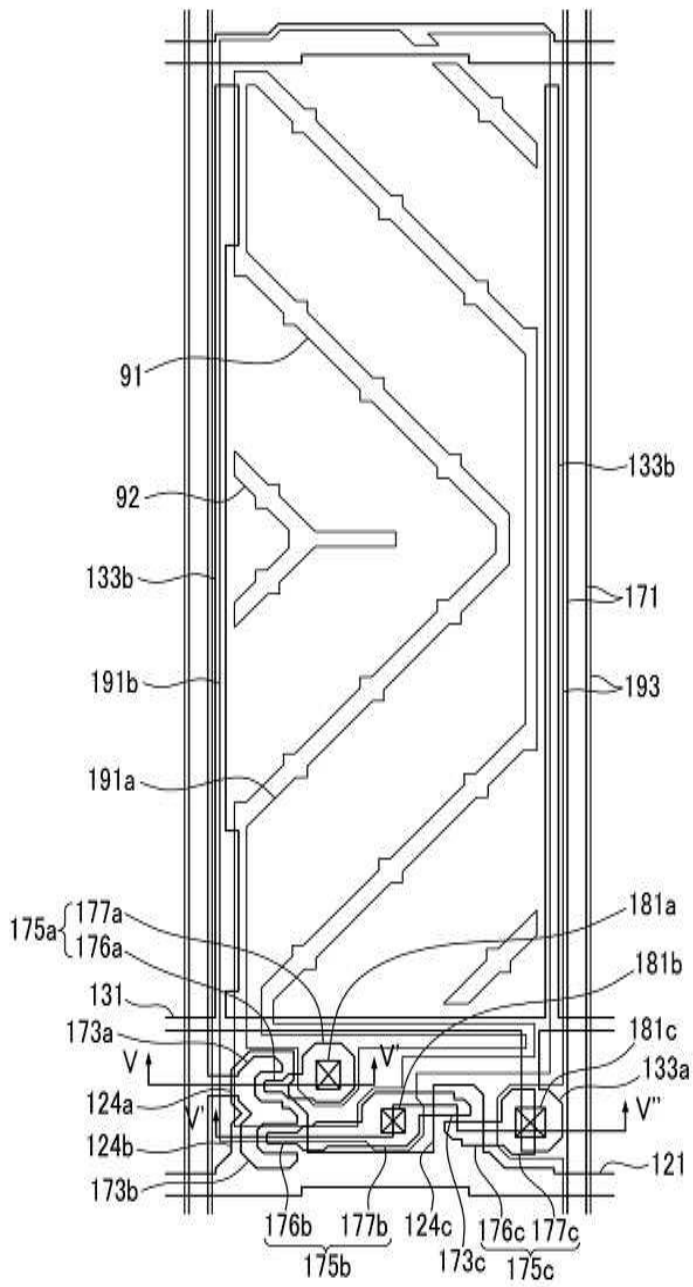
도면2



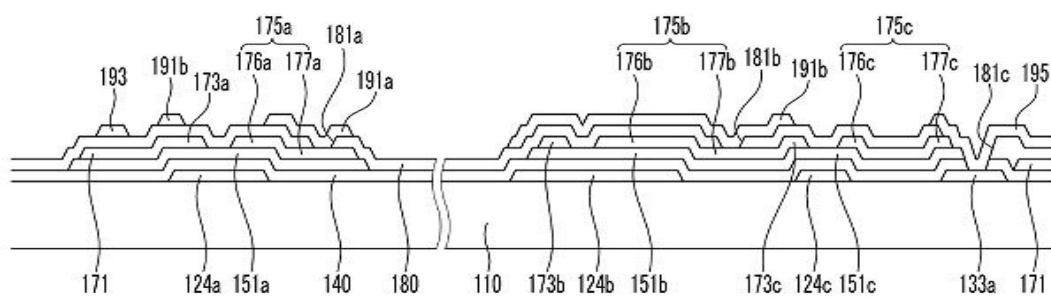
도면3



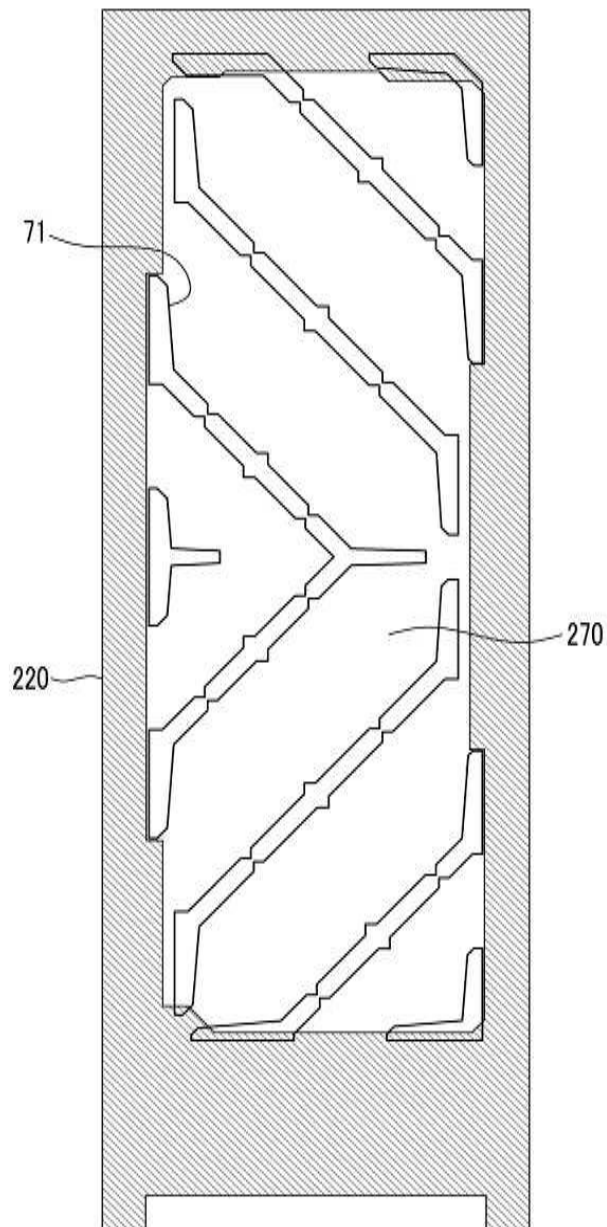
도면4



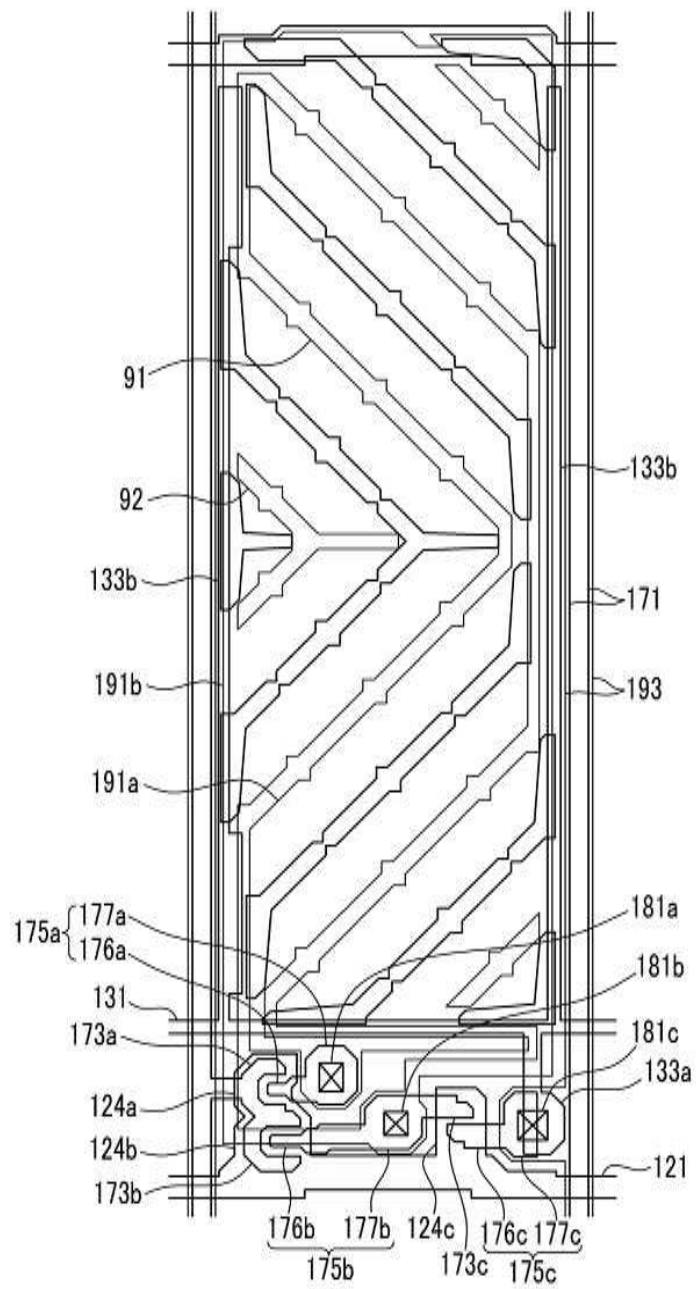
도면5



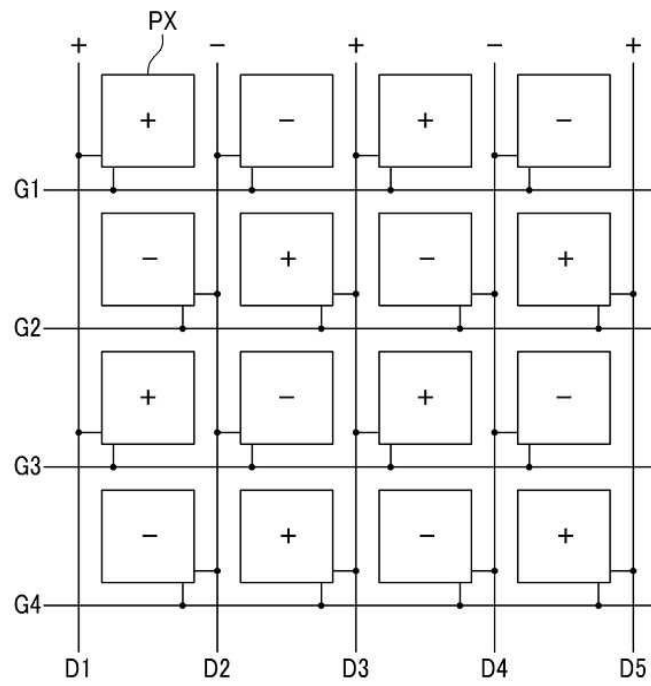
도면6



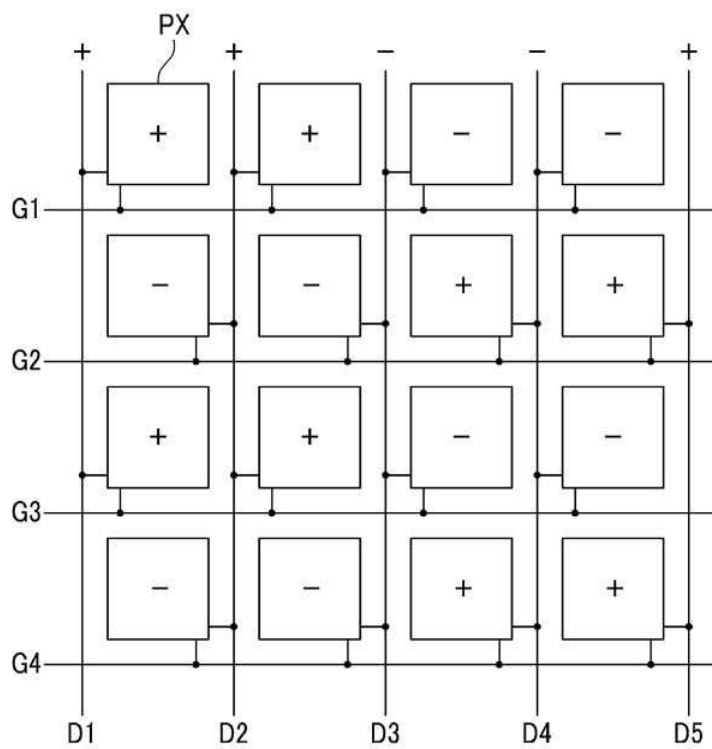
도면7



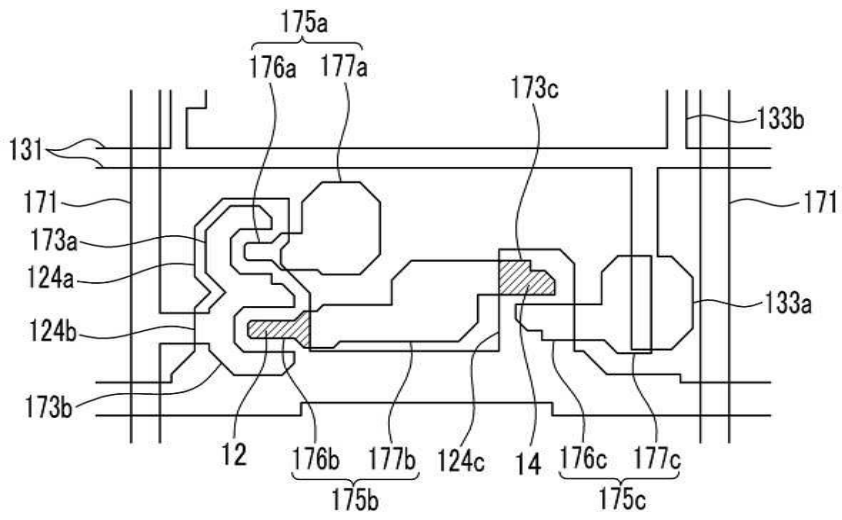
도면8



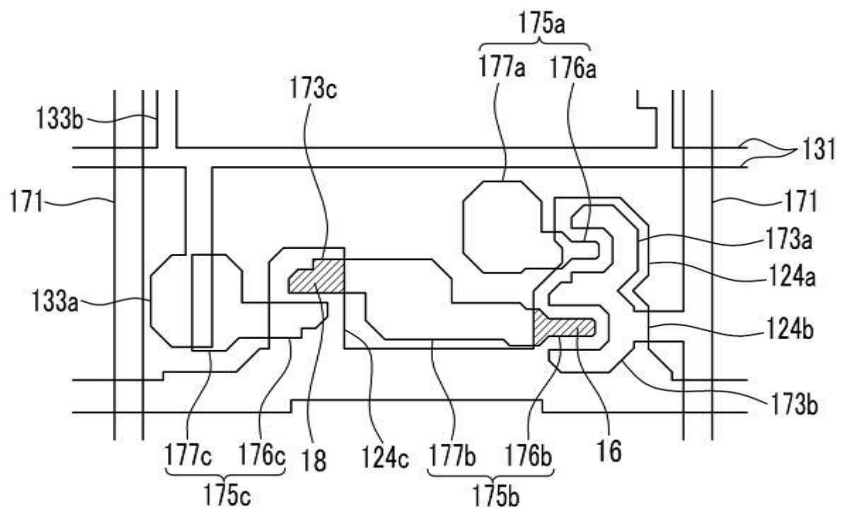
도면9



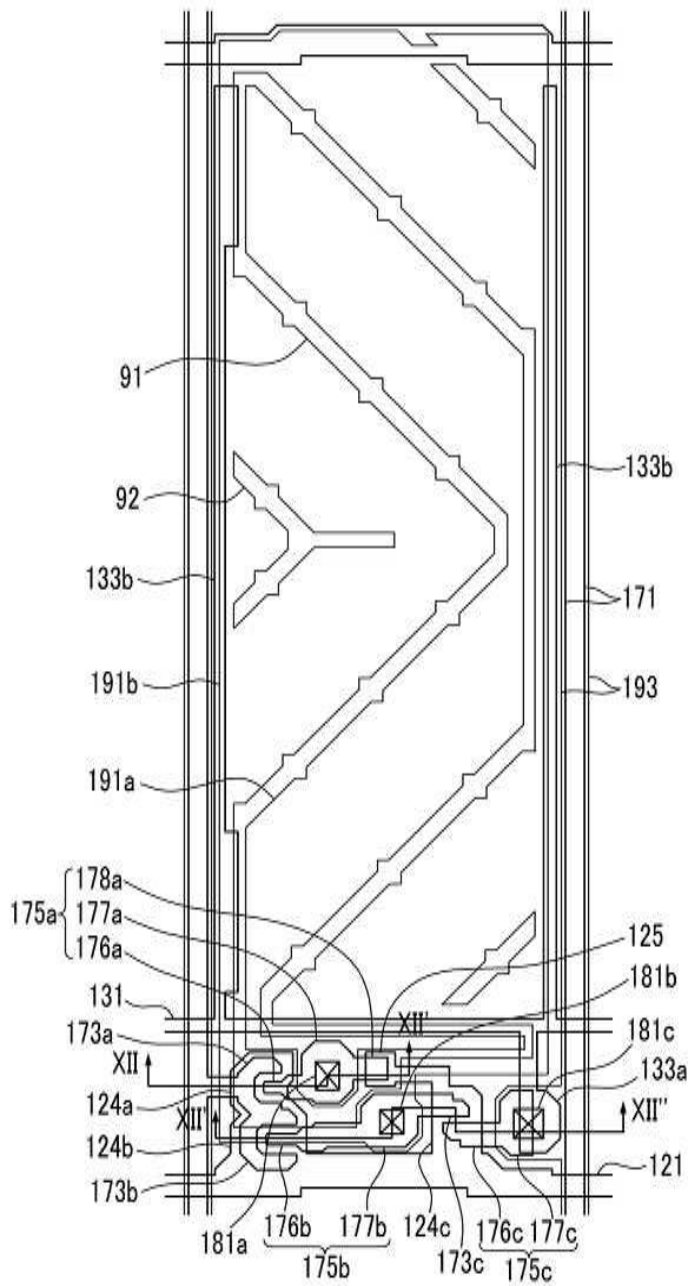
도면10



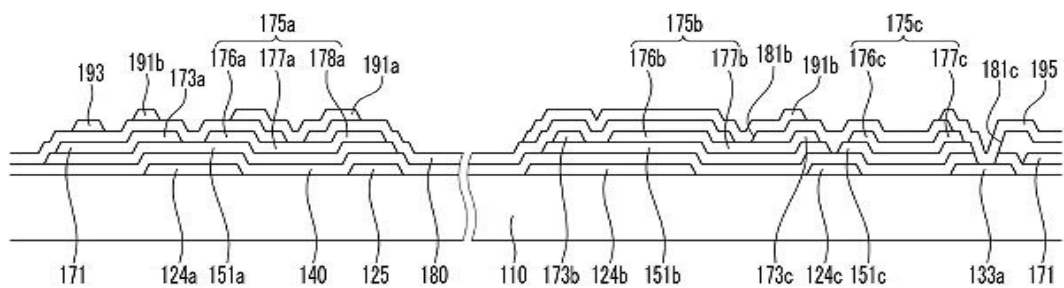
도면11



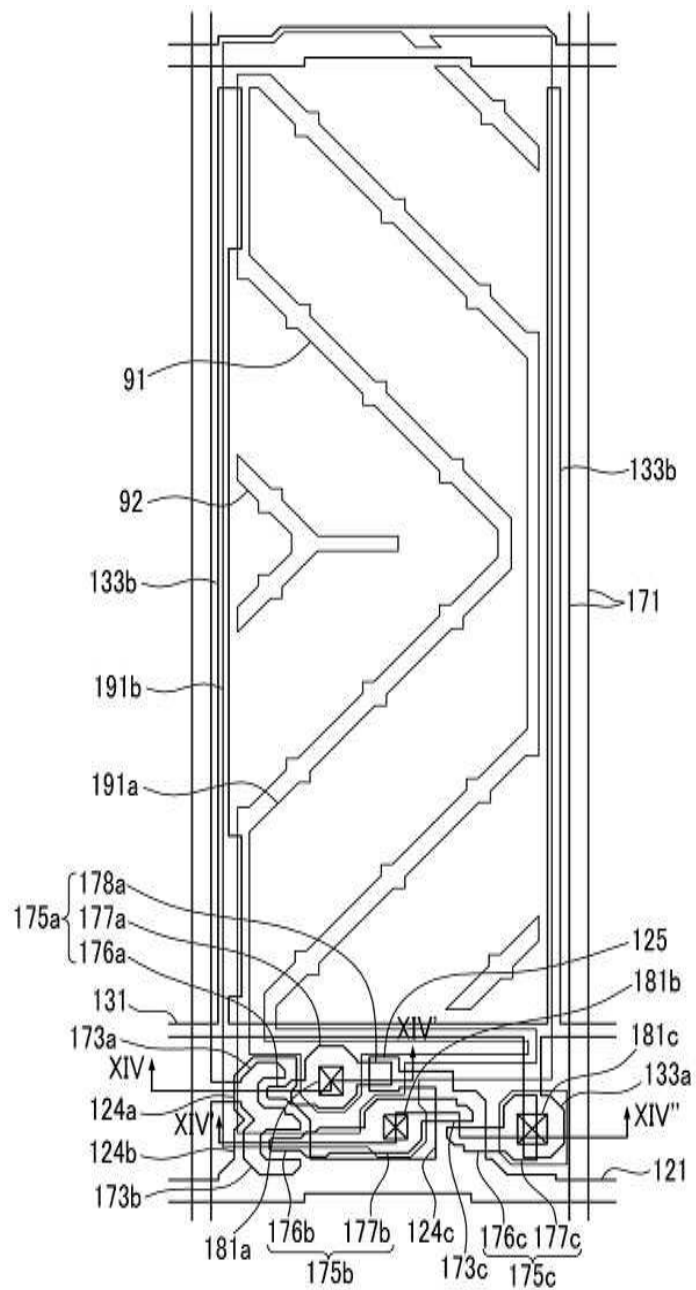
도면12



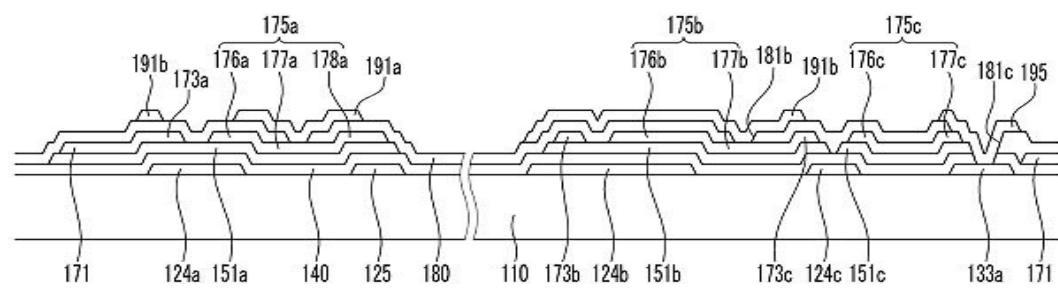
도면13



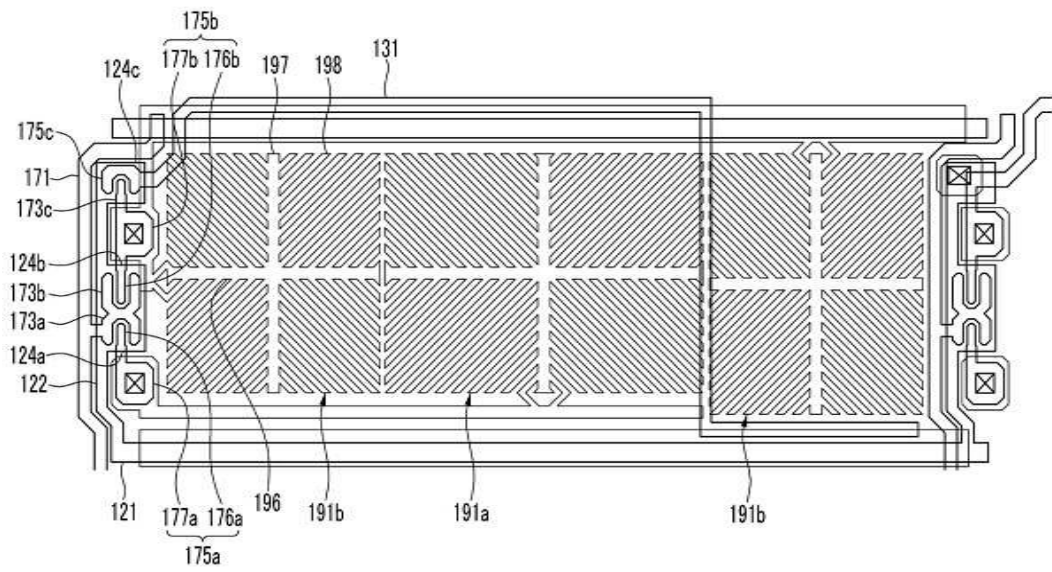
도면14



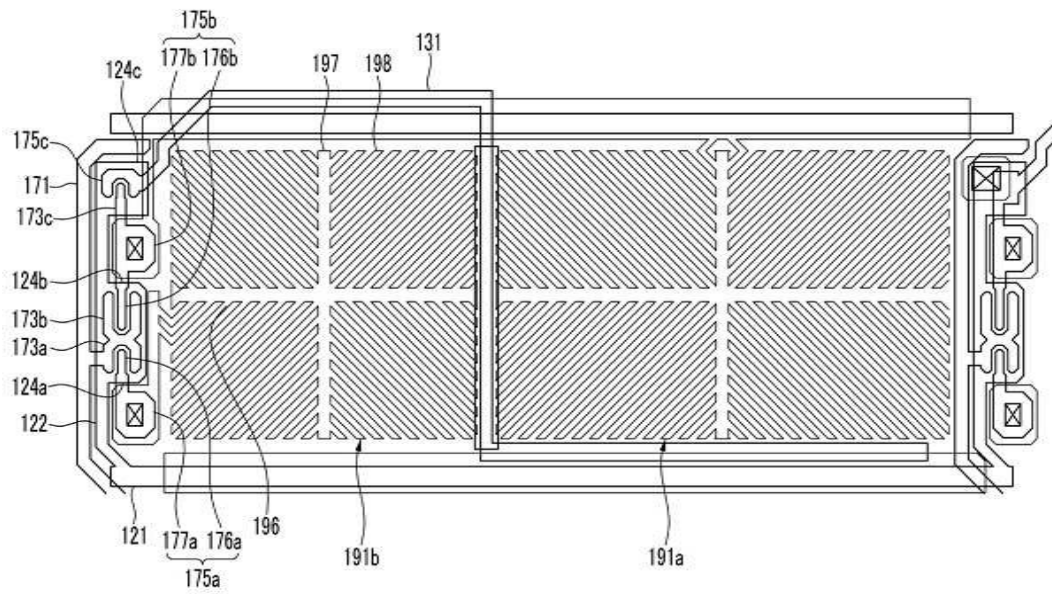
도면15



도면16



도면17



专利名称(译)	薄膜晶体管显示面板和包括其的液晶显示装置		
公开(公告)号	KR101973584B1	公开(公告)日	2019-04-30
申请号	KR1020120013984	申请日	2012-02-10
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	박형준 박경호 신우정 안시현 유동현		
发明人	박형준 박경호 신우정 안시현 유동현		
IPC分类号	G02F1/136 G02F1/1343 H01L29/786		
CPC分类号	H01L27/124 G02F1/136213 G02F1/13624 G02F2001/134345 G02F2001/136245 H01L29/41733 H01L29/41758		
审查员(译)	Sinchangwoo		
其他公开文献	KR1020130092321A		
外部链接	Espacenet		

摘要(译)

薄膜晶体管阵列面板包括第一基板；以及第二基板。第一基板上的栅极线和数据线；在第一基板上施加恒定电压的存储电极线；与栅极线和数据线连接的第一薄膜晶体管和第二薄膜晶体管；第三薄膜晶体管，其连接至栅极线，第二薄膜晶体管和存储电极线；与第一薄膜晶体管连接的第一子像素电极；第二子像素电极，其连接到第二薄膜晶体管。

