



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년10월05일
(11) 등록번호 10-1904013
(24) 등록일자 2018년09월27일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2011-0134972
(22) 출원일자 2011년12월14일
심사청구일자 2016년11월29일
(65) 공개번호 10-2013-0067923
(43) 공개일자 2013년06월25일
(56) 선행기술조사문헌
KR1020110064114 A
KR1020100137836 A
KR1020120119427 A
KR1020130014754 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
남유성
경기도 광명시 하안로 198 203동 2401호 (소하동, 동양2차아파트)
김경록
경기도 파주시 월릉면 엘씨디로 201 101동 903호 (덕은리, 정다운마을)
소병성
충청북도 청주시 흥덕구 증안로 33, 103동 705호 (북대동, 두진백로아파트)
(74) 대리인
박영복

전체 청구항 수 : 총 2 항

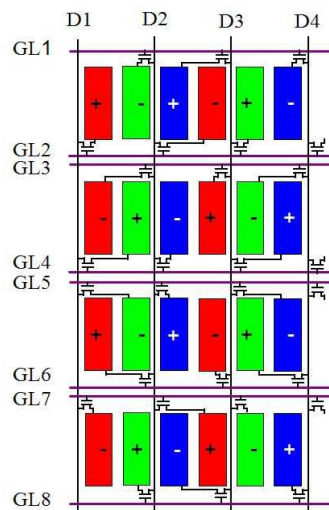
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 DRD(Double Rate Driving) Z- 인버전(inversion) 방식과 인터레이스 구동 방식을 접목하여 소비 전력을 감소시킬 수 있는 액정표시장치를 제공하기 위한 것으로, 본 발명에 따른 액정표시장치는, DRD 방식의 액정패널에서, 1 도트 인버전 또는 수직 2 도트 인버전 형태의 서브 화소 배치를 갖고, 칼럼 인버전으로 구동할 경우 각 데이터 라인의 데이터 극성이 천이가 발생되지 않도록 하고, 인터레이스 방식으로 구동할 경우는 1 필드에서 적, 녹, 청 색상의 서브 화소의 극성이 균등하게 배치되도록, 각 박막트랜지스터가 인접한 게이트 라인과 데이터 라인에 연결된 것이다.

대표도 - 도5



명세서

청구범위

청구항 1

DRD 방식의 액정패널에서, 1 도트 인버전 또는 수직 2 도트 인버전 형태의 서브 화소 배치를 갖고,
칼럼 인버전으로 구동할 경우 각 데이터 라인의 데이터 극성이 천이가 발생되지 않도록 하고,
인터레이스 방식으로 구동할 경우는 1 필드에서 적, 녹, 청 색상의 서브 화소의 극성이 균등하게 배치되도록,
각 박막트랜지스터가 인접한 게이트 라인과 데이터 라인에 연결됨을 특징으로 하는 액정표시장치.

청구항 2

상호 교차하는 다수의 게이트 라인 및 데이터 라인과, 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이마다 다수의 서브 화소가 배치되어 1 수평 서브 화소를 구성하고, 인접한 데이터 라인 사이에는 2개의 서브 화소가 배치되는 DRD 방식의 액정 표시장치에 있어서,

8n-7번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-5번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며,

8n-6번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며,

8n-5번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-4번째 번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며,

8n-4번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m-1번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며,

8n-3번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m-1번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며,

8n-2번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-4번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며,

8n-1번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며,

8n번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-5번째 서브 화소)에 공급되도록 박막트랜지스터가 연결되고,

상기 n과 m은 자연수임을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치에 관한 것으로, 특히 DRD(Double Rate Driving) Z- 인버전(inversion) 방식과 인터레

이스(Interlace) 구동 방식을 접목한 액정표시장치에 관한 것이다.

배경 기술

- [0002] 일반적으로, 액정 표시장치는 액정의 전기적 및 광학적 특성을 이용하여 영상을 표시한다. 액정은 굴절율, 유전율 등이 분자 장축 방향과 단축 방향에 따라 서로 다른 이방성 성질을 갖고, 분자 배열과 광학적 성질을 쉽게 조절할 수 있다. 이를 이용한 액정 표시장치는 전계의 크기에 따라 액정 분자들의 배열 방향을 가변시켜서 편광판을 투과하는 광 투과율을 조절함으로써 영상을 표시한다.
- [0003] 액정 표시장치는 다수의 화소들이 매트릭스 형태로 배열된 액정 패널과, 액정 패널의 게이트 라인을 구동하는 게이트 드라이버와, 액정 패널의 데이터 라인을 구동하는 데이터 드라이버 등을 포함한다.
- [0004] 최근, 액정 표시장치(Liquid Crystal Display)의 회로 비용을 절감하기 위해 기존 대비 게이트 라인의 수를 2배로 늘리는 대신 데이터 라인의 수를 1/2 배로 줄여 데이터 드라이브 IC의 수를 줄인 DRD(Double Rate Driving) 방식의 액정 표시장치가 개발되고 있다.
- [0005] 도 1은 종래의 DRD(Double Rate Driving) 방식의 액정 표시장치의 구성도이다.
- [0006] 즉, 데이터 라인들(DL1 내지 DLm)의 수가 반감된 구조의 화소 매트릭스를 구비한 액정패널(2)과, 상기 액정패널(2)의 각 데이터 라인들(DL1 내지 DLm)에 영상 신호를 충전시키는 데이터 드라이버(4); 상기 액정패널(2)의 게이트 라인들(GL1 내지 GLn)을 구동하는 게이트 드라이버(6); 및 외부로부터의 영상 데이터(RGB)를 정렬하여 데이터 드라이버(4)에 공급함과 아울러 상기 데이터 드라이버(4)가 약충전 기간에 왜곡되는 영상 신호의 충전량만큼 강충전 기간에 그 충전량을 감소시켜 충전시키도록 데이터 제어신호(DCS)를 생성하여 데이터 드라이버(4)를 제어하는 타이밍 컨트롤러(8)를 구비한다.
- [0007] 도 1에 도시된 액정패널(2)은 상호 교차하는 다수의 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)과, 홀수번째 게이트 라인(GL1, GL3, GL5, ... GLn-1)과 짝수번째 게이트 라인(GL2, GL4, GL6, ... GLn) 사이마다 배열된 다수의 서브 화소(R,G,B)를 포함하고, 다수의 서브 화소(R,G,B)와 게이트 라인(GL1 내지 GLn) 및 데이터 라인(DL1 내지 DLm)에 각각 접속된 박막 트랜지스터(TFT)를 포함한다.
- [0008] 상기 데이터 라인들(DL1 내지 DLm) 각각은 양측에 위치한 홀수열의 서브 화소들 및 짝수열의 서브 화소들과 공통 접속된다. 다시 말하여, 각 데이터 라인(DL1 내지 DLm)은 그 데이터 라인에 인접하여 왼쪽에 위치한 홀수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속되고, 그 데이터 라인에 인접하여 오른쪽에 위치한 짝수열의 서브 화소들 각각과 해당 박막 트랜지스터(TFT)를 통해 접속된다. 그리고, 한 데이터 라인에 접속된 홀수열의 서브 화소들과 짝수열의 서브 화소들은 해당 박막 트랜지스터(TFT)를 통해 서로 다른 게이트 라인과 접속되어 순차 구동된다. 다시 말하여, 한 가로줄을 구성하는 서브 화소들 각각은 한 쌍의 게이트 라인 즉, 홀수열의 게이트 라인과 짝수열의 게이트 라인 사이에 배치되어서, 상기 홀수열 및 짝수열의 게이트 라인들 중 어느 하나와 접속된다. 이때, 상기 가로줄에서 같은 데이터 라인에 접속된 한 쌍의 서브 화소, 즉 홀수열의 서브 화소와 짝수열의 서브 화소는 상기 한 쌍의 게이트 라인 중 서로 다른 게이트 라인과 접속되어서 순차 구동된다. 이에 따라, 게이트 라인들(GL1 내지 GLn)의 수는 2배로 증가되지만 데이터 라인들(DL1 내지 DLm)의 수는 반감된다.
- [0009] 상기 데이터 드라이버(4)는 타이밍 컨트롤러(8)로부터의 데이터 제어신호(DCS) 예를 들어, 소스 스타트 펄스(SSP; Source Start Pulse), 소스 쉬프트 클럭(SSC; Source Shift Clock), 소스 출력 인에이블(SOE; Source Output Enable) 신호 등을 이용하여, 타이밍 컨트롤러(8)로부터 정렬된 영상 데이터(Data)를 아날로그 전압 즉, 영상신호로 변환한다. 구체적으로, 데이터 드라이버(4)는 SSC에 따라 입력되는 영상 데이터(Data)를 래치한 후, SOE 신호에 응답하여 각 게이트 라인(GL1 내지 GLn)에 스캔펄스가 공급되는 1수평 주기마다 1수평 라인분의 영상 신호를 각 데이터 라인(DL1 내지 DLm)에 공급한다.
- [0010] 이때, 데이터 드라이버(4)는 상기 타이밍 컨트롤러(8)로부터의 극성 제어신호에 응답하여 정렬된 영상 데이터(Data)의 계조 값에 따라 소정 레벨을 가지는 정극성(+) 또는 부극성(-)의 감마전압을 선택하고, 선택된 감마전압을 영상 신호로 각 데이터 라인(DL1 내지 DLm)에 공급한다.
- [0011] 상기 게이트 드라이버(6)는 타이밍 컨트롤러(8)로부터 게이트 제어신호(GCS)를 공급받는다. 그리고, 공급받은 게이트 제어신호(GCS) 예를 들어, 게이트 스타트 펄스(GSP; Gate Start Pulse), 게이트 쉬프트 클럭(GSC; Gate Shift Clock), 게이트 출력 인에이블(GOE; Gate Output Enable) 신호에 응답하여 스캔펄스를 순차 발생하고, 이를 게이트 라인들(GL1 내지 GLn)에 순차적으로 공급한다. 다시 말하여, 게이트 드라이버(6)는 타이밍 컨트롤러

러(8)로부터의 GSP를 GSC에 따라 쉬프트 시켜서 게이트 라인들(GL1 내지 GLn)에 스캔펄스 예를 들어, 게이트 온 전압을 순차적으로 공급한다. 그리고, 게이트 라인들(GL1 내지 GLn)에 게이트 온 전압이 공급되지 않는 기간에는 게이트 오프 전압을 공급한다. 여기서, 게이트 드라이버(6)는 스캔펄스의 펄스 폭을 GOE 신호에 따라 제어한다.

- [0012] 상기 타이밍 컨트롤러(8)는 외부로부터 입력되는 영상 데이터(Data)를 액정패널(2)의 구동에 알맞게 정렬하여 데이터 드라이버(4)에 순차적으로 공급한다. 아울러, 타이밍 컨트롤러(8)는 외부로부터의 동기신호들(DCLK, DE, Hsync, Vsync)을 이용하여 게이트 제어신호(GCS)를 생성하고 이를 게이트 드라이버(6)에 공급한다.
- [0013] 도 2는 도 1에 도시된 액정 패널의 서브 화소가 수평 2 도트 인버전 형태로 구동될 때 극성을 나타낸 도면이고, 도 3은 도 1에 도시된 액정 패널의 서브 화소가 4 도트 인버전 형태로 구동될 때 극성을 나타낸 도면이다. 즉, Z-인버전 방식으로 구동됨을 나타낸 것이다.
- [0014] 도 2를 참조하면, 데이터 라인들(DL1 내지 DLm)의 수가 반감된 화소 매트릭스의 각 서브 화소(R,G,B)들은 수직 방향에서 상하로 이웃한 서브 화소 단위로 극성이 반전되고, 수평 방향에서 2개의 서브 화소 단위로 극성이 반전되는 2 도트 인버전 형태로 영상 신호를 충전할 수 있다.
- [0015] 도 2의 화살표는 상하/좌우로 이웃하는 2×2 서브화소들에서 영상 신호의 충전 순서를 나타낸다. 좀 더 구체적으로, 같은 데이터 라인과 접속된 한 쌍의 서브화소는 서로 다른 게이트 라인(홀수 또는 짝수 게이트 라인)에 의해 순차 구동되므로, 데이터 라인들(DL1 내지 DLm) 각각에 공급되는 영상 신호는 2개의 수평주기(이하, 2H) 동안에는 동일 극성을 유지하고, 2H 단위로 영상신호의 극성이 반전되므로, 4H의 극성 반전 주기를 갖는다.
- [0016] 또한, 도 3을 참조하면, 도 2와 같이 구동되나, 같은 데이터 라인과 접속된 4개의 서브화소는 서로 다른 게이트 라인(홀수 또는 짝수 게이트 라인)에 의해 순차 구동되므로, 데이터 라인들(DL1 내지 DLm) 각각에 공급되는 영상 신호는 4개의 수평주기(이하, 4H) 동안에는 동일 극성을 유지하고, 2H 단위로 영상신호의 극성이 반전되므로, 4H의 극성 반전 주기를 갖는다.
- [0017] 이와 같이 구동되는 액정표시장치는 입력되는 데이터 신호에 상관없이 게이트라인에 순차적으로 스캔신호를 인가하여 대응된 데이터라인에 데이터 신호를 인가하는 순차(progress) 구동방식으로 구동된다. 따라서, 입력되는 데이터 신호가 정지화상인 경우(예를 들어 수 프레임 동안 블랙화상이 표시되는 경우)에도 게이트라인에 순차적으로 스캔신호를 공급함으로써 소비전력을 증가시키게 된다. 다시말하면, 액정패널 상에 표시되는 화상에는 변화가 없는데, 게이트라인에 스캔신호가 공급되고 있어 소비전력이 증가하게 되므로 배터리를 사용하는 휴대용 단말기(스마트폰, 노트북)의 경우에 이용시간이 감소하게 된다. 또한 소비전력의 증가로 인해, 액정표시장치가 사용되는 휴대용 단말기의 사용상 시간적인 제한을 가중시키는 요인이 된다.
- [0018] 따라서, 인터레이스(Interlace) 방식으로 구동하여 실제 구동주파수를 30Hz로 감소시켜 소비 전력을 저감할 필요가 있다.
- [0019] 이와 같이, 순차 또는 인터레이스 방식을 병행하여 구동하더라도 한 프레임에서 데이터 천이(data transition)가 발생할 경우, 마찬가지로 소비 전력이 증가하게 된다.
- [0020] 즉, 도 1 내지 도 3에 도시된 종래의 DRD(Double Rate Driving) 방식의 액정 표시장치에서, 수평 2 도트 인버전 방식 또는 4 도트 인버전 방식으로 데이터를 구동할 경우, 데이터 천이가 발생되어 소비 전력이 증가하게 된다.
- [0021] 도 4는 종래의 종래의 DRD(Double Rate Driving) 방식의 액정 표시장치에서, 수평 2 도트 인버전 방식 또는 4 도트 인버전 방식으로 구동될 경우의 데이터 천이 발생을 도시한 것이다.
- [0022] 도 2와 같이 수평 2도트 인버전 방식의 경우와 도 3과 같이 4 도트 인버전 방식으로 구동될 경우, 데이터 천이가 발생되게 된다. 따라서, 소비 전력이 증가하게 된다.

발명의 내용

해결하려는 과제

- [0023] 본 발명은 상기와 같은 종래의 문제점을 해결하기 위한 것으로, 특히 DRD(Double Rate Driving) Z- 인버전(inversion) 방식과 인터레이스 구동 방식을 접목하여 소비 전력을 감소시킬 수 있는 액정표시장치를 제공하는 데 그 목적이 있다.

과제의 해결 수단

- [0024] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, DRD 방식의 액정패널에서, 1 도트 인버전 또는 수직 2 도트 인버전 형태의 서브 화소 배치를 갖고, 칼럼 인버전으로 구동할 경우 각 데이터 라인의 데이터 극성이 천이가 발생되지 않도록 하고, 인터레이스 방식으로 구동할 경우는 1 필드에서 적, 녹, 청 색상의 서브 화소의 극성이 균등하게 배치되도록, 각 박막트랜지스터가 인접한 게이트 라인과 데이터 라인에 연결됨에 그 특징이 있다.
- [0025] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정표시장치는, 상호 교차하는 다수의 게이트 라인 및 데이터 라인과, 홀수번째 게이트 라인과 짝수번째 게이트 라인 사이마다 다수의 서브 화소가 배치되어 1 수평 서브 화소를 구성하고, 인접한 데이터 라인 사이에는 2개의 서브 화소가 배치되는 DRD 방식의 액정 표시장치에 있어서, 8n-7번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-5번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며, 8n-6번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며, 8n-5번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-4번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며, 8n-4번째 게이트 라인은, 1 수평 화소 라인에서, 2m 번째 데이터 라인에 의해 공급된 데이터 신호가 4m-1번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며, 8n-3번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m-1번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며, 8n-2번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-4번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며, 8n-1번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-3번째 서브 화소에 공급되도록 박막트랜지스터가 연결되며, 8n번째 게이트 라인은, 1 수평 화소 라인에서, 2m번째 데이터 라인에 의해 공급된 데이터 신호가 4m-2번째 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 2m-1번째 데이터 라인에 의해 공급된 데이터 신호가 4m-5번째 서브 화소)에 공급되도록 박막트랜지스터가 연결됨에 또 다른 특징이 있다.

발명의 효과

- [0026] 상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치에 있어서는 다음과 같은 효과를 갖는다.
- [0027] 본 발명에 따른 액정표시장치는 종래의 DRD Z- 인버전과 다르게, DRD(Double Rate Driving) Z- 인버전(inversion) 방식과 인터레이스 구동 방식을 접목하여 서브 화소의 배치하므로 순차 구동 방식으로 구동할 경우 데이터 천이가 1/2로 줄어들어 소비 전력을 줄일 수 있고, 인터레이스 방식으로 구동할 경우는 한 필드에서 적, 녹, 청 색상의 정(+) 및 부(-)의 극성의 배치가 균일하게 배치되므로 저 주파수에서의 플리커 현상을 방지할 수 있다.

도면의 간단한 설명

- [0028] 도 1은 종래의 DRD(Double Rate Driving) 방식의 액정 표시장치의 구성도
- 도 2는 도 1에 도시된 액정 패널의 서브 화소가 수평 2 도트 인버전 형태로 구동될 때 극성을 나타낸 설명도
- 도 3은 도 1에 도시된 액정 패널의 서브 화소가 4 도트 인버전 형태로 구동될 때 극성을 나타낸 설명도
- 도 4는 종래의 종래의 DRD(Double Rate Driving) 방식의 액정 표시장치에서, 인버전 방식으로 구동될 경우의 데이터 천이 발생을 도시한 설명도
- 도 5는 본 발명에 따른 액정표시장치의 픽셀 배치 구성도이다.

도 6은 순차 구동 방식과 인터레이스 구동 방식에 따른 스캔 펄스 발생 설명도이다.

도 7은 본 발명에 따른 액정표시장치를 칼럼 인버전 방법으로 구동하였을 경우의 데이터 라인(D2, D3)에 인가되는 극성을 표시한 것이다.

도 8은 본 발명에 따른 1 도트 Z-인버전 구조의 액정표시장치를 인터레이스 방법으로 구동하였을 경우의 오프 필드와 이븐 필드의 구성도이다.

발명을 실시하기 위한 구체적인 내용

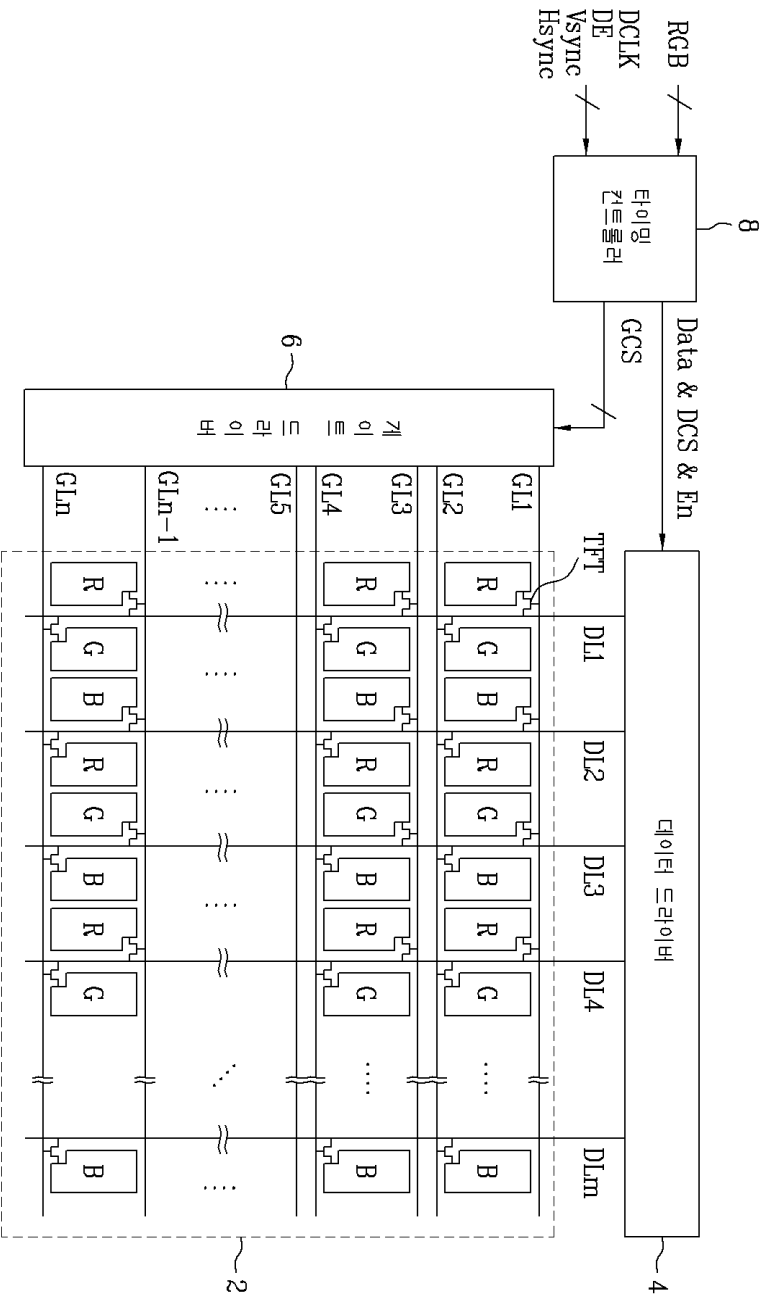
- [0029] 상기와 같은 특징을 갖는 본 발명에 따른 액정표시장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.
- [0030] 도 5는 본 발명에 따른 액정표시장치의 픽셀 배치 구성도이다.
- [0031] 본 발명의 액정표시장치는 DRD Z-인버전으로 동작되며, 1 도트 인버전 또는 수직 2 도트 인버전 형태의 픽셀 배치를 갖으며, 한 필드에서 적(Red), 녹(Green), 청(Blue) 색상의 정(+) 및 부(-) 극성이 수직과 수평 방향에서 균형을 이루어 서브 화소가 배치되며, 인터레이스 방식으로 구동되는 것이다.
- [0032] 본 발명에 따른 액정표시장치는, 도 1에서 설명한 바와 같이, 데이터 라인들(DL1 내지 DL_m)의 수가 반감된 구조의 화소 매트릭스를 구비한 액정패널(2)과, 상기 액정패널(2)의 각 데이터 라인들(DL1 내지 DL_m)에 영상 신호를 충전시키는 데이터 드라이버(4); 상기 액정패널(2)의 게이트 라인들(GL1 내지 GL_n)을 구동하는 게이트 드라이버(6); 및 외부로부터의 영상 데이터(RGB)를 정렬하여 데이터 드라이버(4)에 공급하고 데이터 제어신호(DCS)를 생성하여 데이터 드라이버(4)를 제어하는 타이밍 컨트롤러(8)를 구비함은 유사하다. 즉, 순차 구동 방식이나 인터레이스 방식이냐에 따라 상기 타이밍 컨트롤러(8)가 상기 외부로부터의 영상 데이터(RGB)를 다르게 정렬하여 구동한다.
- [0033] 그러나, 액정표시장치의 픽셀 배치는 종래와 상이하다.
- [0034] 본 발명에 따른 액정표시장치의 액정패널은, DRD 방식의 액정패널에서, 1 도트 인버전 또는 수직 2 도트 인버전 형태의 서브 화소 배치를 갖고, 칼럼 인버전으로 구동할 경우 각 데이터 라인의 데이터 극성이 천이가 발생되지 않도록 하고, 인터레이스 방식으로 구동할 경우는 1 필드에서 적, 녹, 청 색상의 서브 화소의 극성이 균등하게 배치되도록, 각 박막트랜지스터가 인접한 게이트 라인과 데이터 라인에 연결된 것이다.
- [0035] 도 5에 도시한 바와 같이, 상호 교차하는 다수의 게이트 라인(GL1 내지 GL_n, 도면에서는 GL1-GL8)만 도시함) 및 데이터 라인(DL1 내지 DL_m, 도면에서는 D1-D4만 도시함)과, 홀수번째 게이트 라인(GL1, GL3, GL5, ... GL_{n-1})과 짝수번째 게이트 라인(GL2, GL4, GL6, ... GL_n) 사이마다 다수의 서브 화소(R,G,B)가 배치되어 1 수평 서브 화소를 구성하고, 인접한 데이터 라인 사이에는 2개의 서브 화소가 배치된다.
- [0036] 여기서, 8n-7번째 게이트 라인(GL1, GL9, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m-2번째, 예를들면, 2, 6, 10, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D3, D5, ...)에 의해 공급된 데이터 신호가 홀수번째 (4m-5번째, 예를들면, 3, 7, 11, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.
- [0037] 8n-6번째 게이트 라인(GL2, GL10, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m번째, 예를들면, 4, 8, 12, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D1, D3, ...)에 의해 공급된 데이터 신호가 홀수번째 (4m-3번째, 예를들면, 1, 5, 9, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.
- [0038] 8n-5번째 게이트 라인(GL3, GL11, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 홀수번째 (4m-3번째, 예를들면, 1, 5, 9, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D3, D5, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m-4번째, 예를들면, 4, 8, 12, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.
- [0039] 8n-4번째 게이트 라인(GL4, GL12, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 홀수번째 (4m-1번째, 예를들면, 3, 7, 11, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D1, D3, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m-2, 예를들면, 2, 6, 10, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.

- [0040] 8n-3번째 게이트 라인(GL5, GL13, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 홀수번째 (4m-1번째, 예를들면, 3, 7, 11, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D1, D3, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m-2번째, 예를들면, 2, 6, 10, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.
- [0041] 8n-2번째 게이트 라인(GL6, GL14, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 홀수번째 (4m-3번째, 예를들면, 1, 5, 9, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D3, D5, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m-4번째, 예를들면, 4, 8, 12, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.
- [0042] 8n-1번째 게이트 라인(GL7, GL15, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m번째, 예를들면, 4, 8, 12, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D1, D3, ...)에 의해 공급된 데이터 신호가 홀수번째 (4m-3번째, 예를들면, 1, 5, 9, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.
- [0043] 8n번째 게이트 라인(GL8, GL16, ...)은, 1 수평 화소 라인에서, 짝수번째(2m번째) 데이터 라인(D2, D4, ...)에 의해 공급된 데이터 신호가 짝수번째 (4m-2번째, 예를들면, 2, 6, 10, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결되고, 홀수번째(2m-1번째) 데이터 라인(D3, D5, ...)에 의해 공급된 데이터 신호가 홀수번째(4m-5, 예를들면, 3, 7, 11, ...) 서브 화소에 공급되도록 박막트랜지스터가 연결된다.
- [0044] 여기서 n 및 m은 자연수이다.
- [0045] 이와 같이 구성된 본 발명에 따른 액정표시장치의 동작을 설명하면 다음과 같다.
- [0046] 도 6은 순차 구동 방식과 인터레이스 구동 방식에 따른 스캔 펄스 발생 설명도이다.
- [0047] 순차 구동 방식에서는 각 게이트 라인에 스캔 펄스를 순차적으로 공급하고, 인터레이스 방식은 한 프레임을 제 1 필드 및 제 2 필드로 구분하여 제 1 필드에서는 홀수번째 게이트 라인에 스캔 펄스를 순차적으로 공급하고 제 2 필드에서는 짝수 게이트 라인에 스캔 펄스를 순차적으로 공급한다.
- [0048] 순차 구동 방식은 초당 60 프레임이 표시되지만, 인터레이스 방식은 초당 30프레임이 표시된다. 따라서, 입력되는 데이터 신호가 정지화상인 경우(예를 들어 수 프레임 동안 블랙화상이 표시되는 경우)는 인터레이스 방식으로 구동하면 소비 전력을 낮출 수 있다.
- [0049] 도 7은 본 발명에 따른 액정표시장치를 칼럼 인버전 방법으로 구동하였을 경우의 데이터 라인(D2, D3)에 인가되는 극성을 표시한 것이다.
- [0050] 도 5와 같이, 각 게이트 라인과 각 데이터 라인에 의해 구동되는 서브 화소의 배치를 다르게 하므로, 데이터의 극성 차이가 없다.
- [0051] 즉, 도 5는 1 도트 Z-인버전 방식의 구조를 도시한 것이다. 도 5의 구조에서 칼럼 인버전 방식으로 데이터를 구동하면, 상기 게이트 라인(GL1 내지 GL8, ..., GLn)에 순차적으로 스캔 펄스가 인가될 경우, 데이터 라인(D2)에는 계속 부(-) 극성의 데이터를 공급하면 된다.
- [0052] 또한, 칼럼 인버전 방식으로 데이터를 구동할 때, 상기 게이트 라인(GL1 내지 GL8, ..., GLn)에 순차적으로 스캔 펄스가 인가될 경우, 데이터 라인(D3)에는 계속 정(+) 극성의 데이터를 공급하면 된다. 따라서, 소비 전력이 감소된다.
- [0053] 도 8은 본 발명에 따른 1 도트 Z-인버전 구조의 액정표시장치를 인터레이스 방법으로 구동하였을 경우의 오더 필드와 이븐 필드의 구성도이다.
- [0054] 도 5에서 설명한 바와 같은 본 발명에 따른 1 도트 Z-인버전 구조의 액정표시장치를 인터레이스 구동 방식으로 구동하면, 도 8에 도시한 바와 같이 적(R), 녹(G), 청(B) 색상의 극성이 균등하게 배치되므로 낮은 주파수에서의 플리커 현상을 방지할 수 있다.
- [0055] 즉, 제 1 필드 및 제 2 필드로 구성하여, 제 1 필드에서는 홀수번째 게이트 라인(GL1, GL3, GL5, ...)에 스캔 펄스를 공급하여 데이터 라인(D1 ~Dm)에 데이터 신호를 공급하고, 제 2 필드에서는 짝수번째 게이트 라인(GL2, GL4, GL6, ...)에 스캔펄스를 공급하여 데이터 라인((D1 ~Dm)에 데이터 신호를 공급하여 표시하면, 제 1 필드 및 제 2 필드 각각에서 적(R), 녹(G), 청(B) 색상의 극성이 균등하게 배치된다.

[0056] 한편, 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

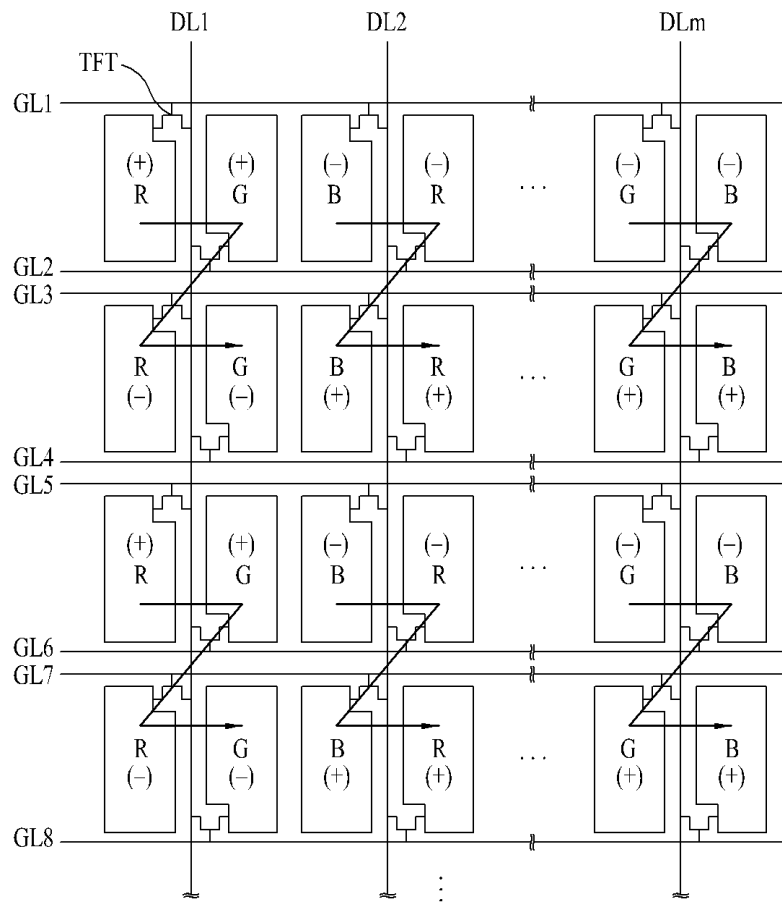
도면

도면1

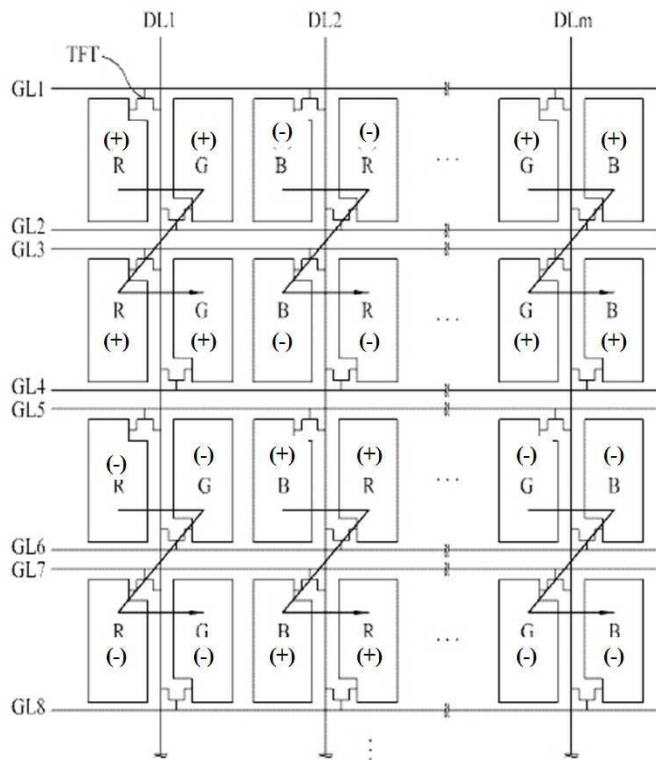


도면2

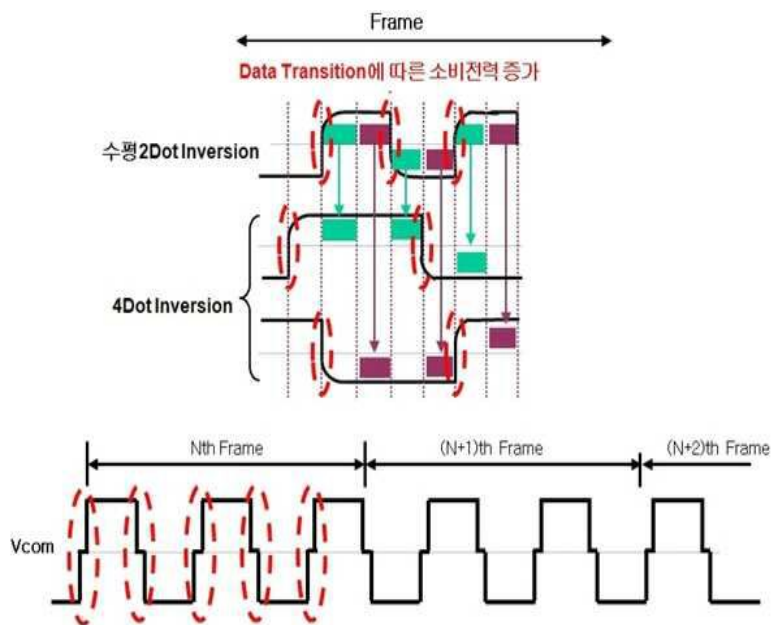
2



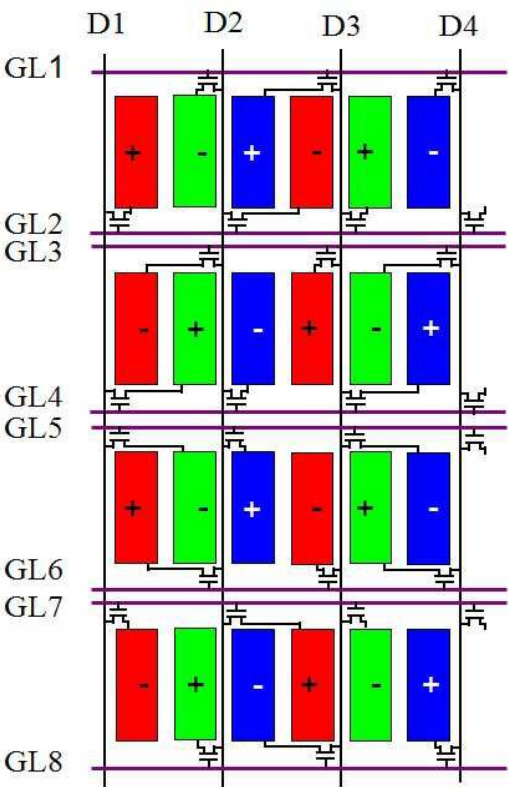
도면3



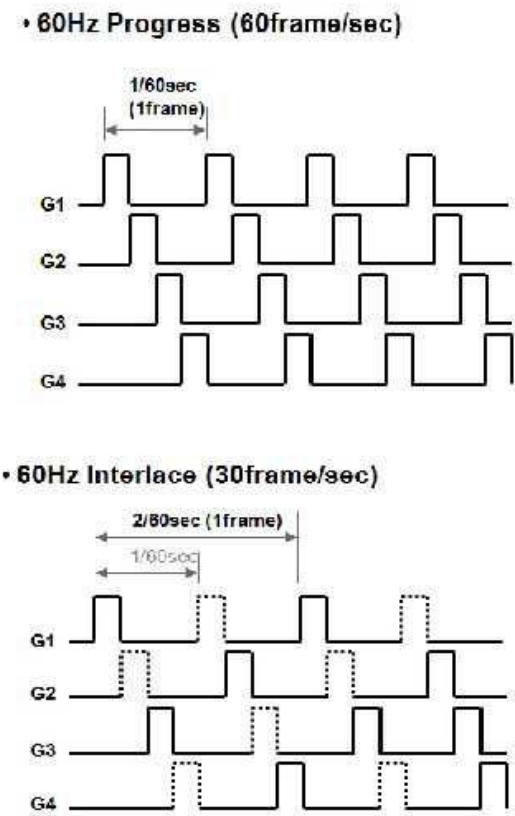
도면4



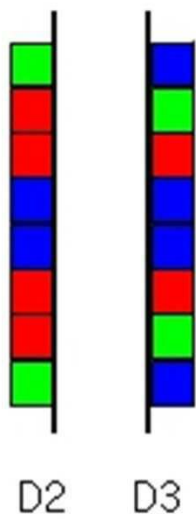
도면5



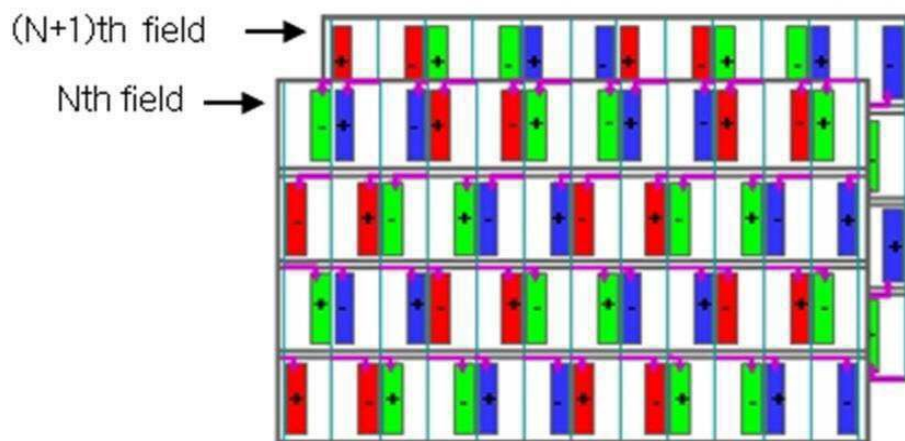
도면6



도면7



도면8



专利名称(译)	液晶显示器		
公开(公告)号	KR101904013B1	公开(公告)日	2018-10-05
申请号	KR1020110134972	申请日	2011-12-14
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	NAM YOU SUNG 남유성 KIM KYUNG ROK 김경록 SO BYEONG SEONG 소병성		
发明人	남유성 김경록 소병성		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G09G3/3648 G09G3/3677 G09G3/3688 G09G3/3614 G09G2330/021		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020130067923A		
外部链接	Espacenet		

摘要(译)

用途：提供液晶显示器以防止低频闪烁现象。组成：液晶面板具有1点反转或垂直2反转类型的子像素排列。当液晶面板作为列反转被驱动时，在每条数据线中不发生数据极性转变。当液晶显示面板以交错方式驱动时，场1中的红色，贪婪和蓝色子像素的极性均匀分布。每个薄膜晶体管连接到相邻的栅极线和数据线。

