



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2018년03월02일
(11) 등록번호 10-1833498
(24) 등록일자 2018년02월22일

(51) 국제특허분류(Int. Cl.)
G02F 1/1368 (2006.01) G02F 1/1343 (2006.01)
G02F 1/1362 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2010-0106852
(22) 출원일자 2010년10월29일
심사청구일자 2015년10월26일
(65) 공개번호 10-2012-0060996
(43) 공개일자 2012년06월12일
(56) 선행기술조사문헌
JP2008287026 A*
JP2007156429 A*
KR1020080097543 A*
KR1020100035942 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성로 1 (농서동)
(72) 발명자
김수정
서울특별시 용산구 한강대로96길 31, 남산 네오빌
리지 B동 401호 (갈월동)
신기철
충청남도 아산시 탕정면 탕정면로 37, 삼성트라펠
리스 304동 2304호
(74) 대리인
팬코리아특허법인

전체 청구항 수 : 총 28 항

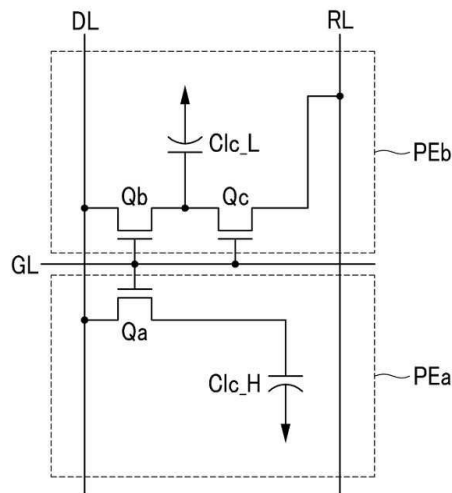
심사관 : 신창우

(54) 발명의 명칭 **액정 표시 장치**

(57) 요약

액정 표시 장치를 제공한다. 본 발명의 한 실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판과 마주하는 제2 기판, 상기 제1 기판과 상기 제2 기판 사이에 개재되어 있으며, 액정 분자를 포함하는 액정층, 상기 제1 기판 위에 위치하는 게이트선, 상기 제1 기판 위에 위치하고 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 상기 게이트선 및 상기 제2 박막 트랜지스터에 연결되어 있는 제3 박막 트랜지스터, 상기 제3 박막 트랜지스터에 연결되어 있는 기준 전압선 그리고 상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극을 갖는 화소 전극을 포함한다.

대표도 - 도1



(72) 발명자

김윤장

서울특별시 동작구 사당로2가길 102, GS자이아파트
102동 1502호 (사당동)

김훈

경기도 안산시 상록구 해양1로 30, 대우 푸르지오
7차 701동 1604호 (사동)

김형걸

경기도 성남시 분당구 정자일로156번길 12, Time
Bridge B-409 (정자동)

염주석

서울특별시 서초구 잠원로 37-48, 신반포한신아파
트 202동 405호 (잠원동)

송재진

경기도 화성시 병점4로 104, 주공11단지 1105동
1003호 (진안동, 진안골마을)

오호길

충남 아산시 탕정면 삼성크리스탈기숙사 가넷동
803호

정재훈

인천광역시 부평구 부평문화로153번길 36-3 (부개
동)

정광철

경기도 성남시 수정구 수정로 60, 403호 (수진동,
태평오피스텔)

명세서

청구범위

청구항 1

제1 기관,

상기 제1 기관과 마주하는 제2 기관,

상기 제1 기관과 상기 제2 기관 사이에 개재되어 있으며, 액정 분자를 포함하는 액정층,

상기 제1 기관 위에 위치하는 게이트선,

상기 제1 기관 위에 위치하고, 상기 게이트선과 교차하는 데이터선,

상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터,

상기 게이트선 및 상기 제2 박막 트랜지스터에 연결되어 있는 제3 박막 트랜지스터,

상기 제3 박막 트랜지스터에 연결되어 있는 기준 전압선 그리고

상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터 및 상기 제3 박막 트랜지스터에 연결되어 있는 제2 부화소 전극을 갖는 화소 전극을 포함하고,

상기 제3 박막 트랜지스터의 입력 단자는 상기 제2 박막 트랜지스터의 출력 단자에 직접 연결되고, 상기 제3 박막 트랜지스터의 출력 단자는 상기 기준 전압선에 연결되며,

상기 화소 전극은 상기 게이트선에 평행한 제1 변과 상기 데이터선에 평행한 제2 변을 포함하고, 상기 제1 변의 길이는 상기 제2 변의 길이보다 긴 액정 표시 장치.

청구항 2

제1항에서,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 부화소 전극에 연결되는 액정 표시 장치.

청구항 3

제2항에서,

상기 제2 부화소 전극에 인가되는 전압은 상기 제1 부화소 전극에 인가되는 전압보다 낮은 액정 표시 장치.

청구항 4

제3항에서,

상기 제2 부화소 전극의 면적은 상기 제1 부화소 전극의 면적과 같거나 큰 액정 표시 장치.

청구항 5

제4항에서,

상기 제1 부화소 전극의 면적과 상기 제2 부화소 전극의 면적의 비는 1:1 내지 1:2인 액정 표시 장치.

청구항 6

제5항에서,

상기 제2 박막 트랜지스터의 채널 폭과 채널 길이의 비를 제1 채널비라고 하고, 상기 제3 박막 트랜지스터의 채널 폭과 채널 길이의 비를 제2 채널비라고 할 때,

상기 제1 채널비와 상기 제2 채널비의 합에 대한 상기 제1 채널비의 비율은 70% 내지 80%인 액정 표시 장치.

청구항 7

제6항에서,

상기 제2 기관 위에 위치하는 공통 전극을 더 포함하고,

상기 기준 전압선을 통해 인가되는 기준 전압의 크기는 상기 공통 전극에 인가되는 공통 전압보다 레벨이 높은 액정 표시 장치.

청구항 8

제7항에서,

상기 기준 전압은 약 8V 내지 약 11V이고, 상기 공통 전압은 약 7V인 액정 표시 장치.

청구항 9

제8항에서,

상기 기준 전압은 스윙하는 신호를 포함하는 액정 표시 장치.

청구항 10

제9항에서,

상기 기준 전압은 듀티비(duty ratio)가 50% 내지 80%로 스윙하는 신호를 포함하는 액정 표시 장치.

청구항 11

삭제

청구항 12

제1항에서,

상기 제1 부화소 전극 및 상기 제2 부화소 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부로 이루어진 십자형 줄기부 그리고

상기 십자형 줄기부로부터 뺀어 나온 복수의 미세 가지부를 포함하는 액정 표시 장치.

청구항 13

제12항에서,

상기 제1 부화소 전극 및 상기 제2 부화소 전극은 상기 십자형 줄기부로부터 상기 복수의 미세 가지부가 서로

다른 방향으로 뺀어 나온 복수의 부 영역을 포함하는 액정 표시 장치.

청구항 14

제13항에서,

상기 기준 전압선은 상기 데이터선과 평행한 두 세로부와 상기 세로부를 서로 연결하는 가로부를 포함하는 액정 표시 장치.

청구항 15

제14항에서,

상기 기준 전압선의 상기 세로부는 상기 화소 전극과 상기 데이터선 사이에 배치되고, 상기 기준 전압선의 상기 가로부는 상기 화소 전극과 상기 게이트선 사이에 배치되는 액정 표시 장치.

청구항 16

제14항에서,

상기 기준 전압선의 상기 세로부 아래 배치되어 있으며, 상기 게이트선과 동일한 층으로 이루어진 차광부를 더 포함하는 액정 표시 장치.

청구항 17

제16항에서,

상기 화소 전극과 동일한 층에 위치하고, 상기 게이트선과 중첩하는 차폐 전극을 더 포함하는 액정 표시 장치.

청구항 18

제3항에서,

상기 제2 기관 위에 위치하는 공통 전극을 더 포함하고,

상기 제1 부화소 전극 및 상기 제2 부화소 전극 각각은 제1 절개부를 포함하고, 상기 공통 전극은 제2 절개부를 포함하며, 상기 제1 절개부는 상기 제2 절개부와 엇갈리게 배열되어 있는 액정 표시 장치.

청구항 19

삭제

청구항 20

제1항에서,

상기 게이트선은 게이트 신호를 전달하고, 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 및 상기 제3 박막 트랜지스터 각각의 제어 단자에 인가되는 게이트 신호는 동시에 전달되는 액정 표시 장치.

청구항 21

제1항에서,

상기 액정 분자는 전계가 가해지지 않은 상태에서 수직 배향하고 있는 액정 표시 장치.

청구항 22

제1항에서,

상기 데이터선이 뺀어 있는 방향을 따라 위치하는 차폐 전극선을 더포함하고, 상기 차폐 전극선은 상기 게이트 선과 중첩하도록 돌출된 차폐 전극을 포함하는 액정 표시 장치.

청구항 23

제22항에서,

상기 차폐 전극은 상기 제2 부화소 전극과 분리되어 있는 액정 표시 장치.

청구항 24

제1항에서,

상기 제2 부화소 전극에 인가되는 전압은 상기 제1 부화소 전극에 인가되는 전압보다 낮은 액정 표시 장치.

청구항 25

제24항에서,

상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 부화소 전극에 연결되는 액정 표시 장치.

청구항 26

제25항에서,

상기 제2 기판 위에 위치하는 공통 전극을 더 포함하고,

상기 기준 전압선을 통해 인가되는 기준 전압의 크기는 상기 공통 전극에 인가되는 공통 전압보다 레벨이 높은 액정 표시 장치.

청구항 27

제26항에서,

상기 제2 부화소 전극의 면적은 상기 제1 부화소 전극의 면적과 같거나 큰 액정 표시 장치.

청구항 28

제27항에서,

상기 제2 박막 트랜지스터의 채널 폭과 채널 길이의 비를 제1 채널비라고 하고, 상기 제3 박막 트랜지스터의 채널 폭과 채널 길이의 비를 제2 채널비라고 할 때,

상기 제1 채널비와 상기 제2 채널비의 합에 대한 상기 제1 채널비의 비율은 70% 내지 80%인 액정 표시 장치.

청구항 29

제28항에서,

상기 게이트선은 게이트 신호를 전달하고, 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 및 상기 제3 박막 트랜지스터 각각의 제어 단자에 인가되는 게이트 신호는 동시에 전달되는 액정 표시 장치.

청구항 30

삭제

청구항 31

제29항에서,

상기 제2 기관 위에 위치하는 공통 전극을 더 포함하고,

상기 제1 부화소 전극 및 상기 제2 부화소 전극 각각은 제1 절개부를 포함하고, 상기 공통 전극은 제2 절개부를 포함하며, 상기 제1 절개부는 상기 제2 절개부와 엇갈리게 배열되어 있는 액정 표시 장치.

청구항 32

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어진다.

[0003] 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0004] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0005] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고, 기준 시야각이 넓어서 각광받고 있다.

[0006] 하지만, 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어질 수 있는데, 이를 해결하기 위하여 하나의 화소를 두 개의 부화소로 분할하고 두 개의 부화소의 전압을 다르게 조절함으로써 투과율을 달리하는 방법이 제시되었다.

발명의 내용

해결하려는 과제

[0007] 본 발명이 해결하고자 하는 과제는 투과율을 높이면서 동시에 시인성을 개선할 수 있는 액정 표시 장치를 제공하는데 있다.

과제의 해결 수단

- [0008] 본 발명의 한 실시예에 따른 액정 표시 장치는 제1 기판, 상기 제1 기판과 마주하는 제2 기판, 상기 제1 기판과 상기 제2 기판 사이에 개재되어 있으며, 액정 분자를 포함하는 액정층, 상기 제1 기판 위에 위치하는 게이트선, 상기 제1 기판 위에 위치하고, 상기 게이트선과 교차하는 데이터선, 상기 게이트선 및 상기 데이터선에 연결되어 있는 제1 박막 트랜지스터 및 제2 박막 트랜지스터, 상기 게이트선 및 상기 제2 박막 트랜지스터에 연결되어 있는 제3 박막 트랜지스터, 상기 제3 박막 트랜지스터에 연결되어 있는 기준 전압선 그리고 상기 제1 박막 트랜지스터에 연결되어 있는 제1 부화소 전극과 상기 제2 박막 트랜지스터에 연결되어 있는 제2 부화소 전극을 갖는 화소 전극을 포함한다.
- [0009] 상기 제2 박막 트랜지스터의 출력 단자는 상기 제2 부화소 전극과 상기 제3 박막 트랜지스터의 입력 단자에 연결될 수 있다.
- [0010] 상기 제2 부화소 전극에 인가되는 전압은 상기 제1 부화소 전극에 인가되는 전압보다 낮을 수 있다.
- [0011] 상기 제2 부화소 전극의 면적은 상기 제1 부화소 전극의 면적과 같거나 클 수 있다.
- [0012] 상기 제1 부화소 전극의 면적과 상기 제2 부화소 전극의 면적의 비는 1:1 내지 1:2일 수 있다.
- [0013] 상기 제2 박막 트랜지스터의 채널 폭과 채널 길이의 비를 제1 채널비라고 하고, 상기 제3 박막 트랜지스터의 채널 폭과 채널 길이의 비를 제2 채널비라고 할 때, 상기 제1 채널비와 상기 제2 채널비의 합에 대한 상기 제1 채널비의 비율은 70% 내지 80%일 수 있다.
- [0014] 상기 제2 기판 위에 위치하는 공통 전극을 더 포함하고, 상기 기준 전압선을 통해 인가되는 기준 전압의 크기는 상기 공통 전극에 인가되는 공통 전압보다 레벨이 높을 수 있다.
- [0015] 상기 기준 전압은 약 8V 내지 약 11V이고, 상기 공통 전압은 약 7V일 수 있다.
- [0016] 상기 기준 전압은 스윙하는 신호를 포함할 수 있다.
- [0017] 상기 기준 전압은 듀티비(duty ratio)가 50% 내지 80%로 스윙하는 신호를 포함할 수 있다.
- [0018] 상기 화소 전극은 상기 게이트선과 평행한 제1 변과 상기 데이터선과 평행한 제2 변을 가지고, 상기 제1 변의 길이는 상기 제2 변의 길이보다 길 수 있다.
- [0019] 상기 제1 부화소 전극 및 상기 제2 부화소 전극은 가로 줄기부 및 이와 교차하는 세로 줄기부로 이루어진 십자형 줄기부 그리고 상기 십자형 줄기부로부터 뺀어 나온 복수의 미세 가지부를 포함할 수 있다.
- [0020] 상기 제1 부화소 전극 및 상기 제2 부화소 전극은 상기 십자형 줄기부로부터 상기 복수의 미세 가지부가 서로 다른 방향으로 뺀어 나온 복수의 부 영역을 포함할 수 있다.
- [0021] 상기 기준 전압선은 상기 데이터선과 평행한 두 세로부와 상기 세로부를 서로 연결하는 가로부를 포함할 수 있다.
- [0022] 상기 기준 전압선의 상기 세로부는 상기 화소 전극과 상기 데이터선 사이에 배치되고, 상기 기준 전압선의 상기 가로부는 상기 화소 전극과 상기 게이트선 사이에 배치될 수 있다.
- [0023] 상기 기준 전압선의 상기 세로부 아래 배치되어 있으며, 상기 게이트선과 동일한 층으로 이루어진 차광부를 더 포함할 수 있다.
- [0024] 상기 화소 전극과 동일한 층에 위치하고, 상기 게이트선과 중첩하는 차폐 전극을 더 포함할 수 있다.
- [0025] 상기 제2 기판 위에 위치하는 공통 전극을 더 포함하고, 상기 제1 부화소 전극 및 상기 제2 부화소 전극 각각은 제1 절개부를 포함하고, 상기 공통 전극은 제2 절개부를 포함하며, 상기 제1 절개부는 상기 제2 절개부와 엇갈리게 배열될 수 있다.
- [0026] 상기 화소 전극은 상기 게이트선과 평행한 제1 변과 상기 데이터선과 평행한 제2 변을 가지고, 상기 제2 변의 길이는 상기 제1 변의 길이보다 길 수 있다.
- [0027] 상기 게이트선은 게이트 신호를 전달하고, 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 및 상기 제3

박막 트랜지스터 각각의 제어 단자에 인가되는 게이트 신호는 동시에 전달될 수 있다.

- [0028] 상기 액정 분자는 전계가 가해지지 않은 상태에서 수직 배향할 수 있다.
- [0029] 상기 데이터선이 뺀어 있는 방향을 따라 위치하는 차폐 전극선을 더포함하고, 상기 차폐 전극선은 상기 게이트 선과 중첩하도록 돌출된 차폐 전극을 포함할 수 있다.
- [0030] 상기 차폐 전극은 상기 제2 부화소 전극과 분리될 수 있다.

발명의 효과

- [0031] 이와 같이 본 발명의 한 실시예에 따르면, 하이 부화소와 로우 부화소의 면적, 분압 스위칭 소자 및 분압 기준 전압의 크기를 조절하여 액정 표시 장치의 투과율을 높이면서도 시인성을 개선할 수 있다.

도면의 간단한 설명

- [0032] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다.
- 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 화소에 인가되는 신호의 파형도이다.
- 도 3은 도 1에 도시한 액정 표시 장치의 한 화소에 대한 배치도이다.
- 도 4는 도 3의 절단선 IV-IV'를 따라 자른 단면도이다.
- 도 5 및 도 6은 본 발명의 한 실험예에 따른 액정 표시 장치의 투과율 및 측면 시인성 결과를 나타내는 그래프이다.
- 도 6은 도 5의 절단선 VI-VI'을 따라 자른 단면도이다.
- 도 7은 본 발명의 실시예에 따른 액정 표시 장치에서 계조에 따른 투과율 변화를 분압 스위칭 소자의 크기별로 나타내는 그래프이다.
- 도 8은 본 발명의 실시예에 따른 액정 표시 장치에서 계조에 따른 투과율 변화를 하이 부화소와 로우 부화소의 면적비별로 나타내는 그래프이다.
- 도 9는 본 발명의 실시예에 따른 액정 표시 장치에서 계조에 따른 투과율 변화를 하이 부화소와 로우 부화소의 면적비별로 나타내는 그래프이다.
- 도 10은 본 발명의 실시예에 따른 액정 표시 장치에서 하이 부화소와 로우 부화소의 면적비에 따른 시인성 지수 및 투과율을 나타내는 그래프이다.
- 도 11은 본 발명의 실시예에 따른 액정 표시 장치에서 기준 전압에 따른 투과율 변화를 나타내는 그래프이다.
- 도 12는 본 발명의 실시예에 따른 액정 표시 장치에서 기준 전압에 따른 시인성 지수 변화를 나타내는 그래프이다.
- 도 13은 본 발명의 실시예에 따른 액정 표시 장치에서 하이 부화소와 로우 부화소 사이에 발생하는 공통 전압의 왜곡을 나타내는 그래프이다.
- 도 14는 본 발명의 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다.
- 도 15는 도 5의 절단선 XV-XV'를 따라 자른 단면도이다.
- 도 16은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다.
- 도 17은 도 16의 절단선 XVII-XVII'을 따라 자른 단면도이다.
- 도 18은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다.
- 도 19는 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다.
- 도 20은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다.

발명을 실시하기 위한 구체적인 내용

- [0033] 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예들을 상세히 설명하기로 한다. 그러나, 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 오히려, 여기서 소개되는 실시예들은 개시된 내용이 철저하고 완전해질 수 있도록 그리고 당업자에게 본 발명의 사상이 충분히 전달될 수 있도록 하기 위해 제공되는 것이다.
- [0034] 도면들에 있어서, 층 및 영역들의 두께는 명확성을 기하기 위하여 과장된 것이다. 또한, 층이 다른 층 또는 기판 "상"에 있다고 언급되는 경우에 그것은 다른 층 또는 기판 상에 직접 형성될 수 있거나 또는 그들 사이에 제 3의 층이 개재될 수도 있다. 명세서 전체에 걸쳐서 동일한 참조번호로 표시된 부분들은 동일한 구성요소들을 의미한다.
- [0035] 이제, 도 1 및 도 2를 참고하여, 본 발명의 실시예에 따른 액정 표시 장치의 신호선 및 화소의 배치와 그 구동 방법에 대하여 설명한다. 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 하나의 화소에 대한 등가 회로도이다. 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 화소에 인가되는 신호의 파형도이다.
- [0036] 도 1을 참고하면, 본 발명의 실시예에 따른 액정 표시 장치의 한 화소(PX)는 게이트 신호를 전달하는 게이트선(GL) 및 데이터 신호를 전달하는 데이터선(DL), 분압 기준 전압을 전달하는 기준 전압선(RL)을 포함하는 복수의 신호선, 그리고 복수의 신호선에 연결되어 있는 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 및 제3 스위칭 소자(Qc)와 제1 액정 축전기(C1ca) 및 제2 액정 축전기(C1cb)를 포함한다.
- [0037] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 각각 게이트선(GL) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제2 스위칭 소자(Qb)의 출력 단자 및 기준 전압선(RL)에 연결되어 있다.
- [0038] 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)는 박막 트랜지스터 등의 삼단자 소자으로써, 그 제어 단자는 게이트선(GL)에 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 제1 스위칭 소자(Qa)의 출력 단자는 제1 액정 축전기(C1ca)에 연결되어 있고, 제2 스위칭 소자(Qb)의 출력 단자는 제2 액정 축전기(C1cb) 및 제3 스위칭 소자(Qc)의 입력 단자에 연결되어 있다.
- [0039] 제3 스위칭 소자(Qc) 역시 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 게이트선(GL)과 연결되어 있고, 입력 단자는 제2 액정 축전기(C1cb)와 연결되어 있으며, 출력 단자는 기준 전압선(RL)에 연결되어 있다.
- [0040] 도 2를 참고하면, 게이트선(GL)에 게이트 온(Von) 신호가 인가되면, 이에 연결된 제1 스위칭 소자(Qa), 제2 스위칭 소자(Qb), 그리고 제3 스위칭 소자(Qc)가 턴 온 된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압은 턴 온 된 제1 스위칭 소자(Qa) 및 제2 스위칭 소자(Qb)를 통해 각각 제1 부화소 전극(PEa) 및 제2 부화소 전극(PEb)에 인가된다. 이 때, 제1 부화소 전극(PEa) 및 제2 부화소 전극(PEb)에 인가된 데이터 전압은 서로 동일한 값으로 충전될 수 있다. 하지만, 본 발명의 실시예에 따르면, 제2 부화소 전극(PEb)에 인가되는 전압은 제2 스위칭 소자(Qb)와 직렬 연결되어 있는 제3 스위칭 소자(Qc)를 통해 분압이 된다. 따라서, 제2 부화소 전극(PEb)에 인가되는 전압(Vb)은 제1 부화소 전극(PEa)에 인가되는 전압(Va)보다 더 작게 된다.
- [0041] 결국, 제1 액정 축전기(C1ca)에 충전된 전압과 제2 액정 축전기(C1cb)에 충전된 전압은 서로 달라지게 된다. 제1 액정 축전기(C1ca)에 충전된 전압과 제2 액정 축전기(C1cb)에 충전된 전압이 서로 다르므로 제1 부화소와 제2 부화소에서 액정 분자들이 기울어지는 각도가 다르게 되고, 이에 따라 두 부화소의 휘도가 달라진다. 따라서, 제1 액정 축전기(C1ca)에 충전되는 전압과 제2 액정 축전기(C1cb)의 충전되는 전압을 적절히 조절하면 측면에서 바라보는 영상이 정면에서 바라보는 영상에 최대한 가깝게 되도록 할 수 있고, 이에 따라 측면 시인성을 개선할 수 있다.
- [0042] 그러면, 도 3 및 도 4를 참고하여 도 1에서 도시한 실시예에 따른 액정 표시 장치의 구조에 대하여 설명한다. 도 3은 도 1에 도시한 액정 표시 장치의 한 화소에 대한 배치도이다. 도 4는 도 3의 절단선 IV-IV'를 따라 자른 단면도이다.
- [0043] 도 3 및 도 4를 참고하면, 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 개재되어 있는 액정층(3) 및 표시판(100, 200) 바깥 면에 부착되어 있는 한 쌍의 편광자(미도시)를 포함한다.
- [0044] 먼저 하부 표시판(100)에 대하여 설명한다.
- [0045] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기판(110) 위에 게이트선(121)이 위치한다. 게이트선(121)은

제1 게이트 전극(124a), 제2 게이트 전극(124b), 제3 게이트 전극(124c) 및 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(미도시)을 포함한다.

- [0046] 게이트선(121) 위에 게이트 절연막(140)이 위치한다. 게이트 절연막(140) 위에 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c)가 위치한다.
- [0047] 제1 반도체(154a), 제2 반도체(154b), 및 제3 반도체(154c) 위에는 복수의 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c)가 위치한다.
- [0048] 저항성 접촉 부재(163a, 165a, 163b, 165b, 163c, 165c) 및 게이트 절연막(140) 위에 제1 소스 전극(173a) 및 제2 소스 전극(173b)을 포함하는 복수의 데이터선(171), 제1 드레인 전극(175a), 제2 드레인 전극(175b), 제3 소스 전극(173a) 및 제3 드레인 전극(175c), 그리고 기준 전압선(177)을 포함하는 데이터 도전체(171, 173c, 175a, 175b, 175c, 177)가 위치한다.
- [0049] 상기 데이터 도전체 및 그 아래에 위치하는 반도체와 저항성 접촉 부재는 하나의 마스크를 사용하여 동시에 형성할 수 있다.
- [0050] 데이터선(171)은 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝부분(미도시)을 포함한다.
- [0051] 기준 전압선(177)은 데이터선(171)과 평행한 두 세로부(177a)와 두 세로부(177a)를 서로 연결하는 가로부(177b)를 포함한다. 기준 전압선(177)의 두 세로부(177a)를 가로부(177b)로 연결함으로써, 기준 전압선(177)에 흐르는 신호의 지연을 방지할 수 있다.
- [0052] 기준 전압선(177)의 세로부(177a)는 화소 전극(191)과 데이터선(171) 사이에 위치하고, 제3 드레인 전극(175c)과 연결된다. 기준 전압선(177)의 가로부(177b)는 화소 전극(191)과 게이트선(121) 사이에 위치한다. 이에 따라, 기준 전압선(177)은 화소 전극(191)과 데이터선(171) 사이, 그리고 화소 전극(191)과 게이트선(121) 사이의 신호 간섭을 줄일 수 있다.
- [0053] 제1 게이트 전극(124a), 제1 소스 전극(173a), 및 제1 드레인 전극(175a)은 제1 반도체(154a)와 함께 제1 박막 트랜지스터(Qa)를 형성하며, 박막 트랜지스터의 채널(channel)은 제1 소스 전극(173a)과 제1 드레인 전극(175a) 사이의 반도체 부분(154a)에 형성된다. 이와 유사하게, 제2 게이트 전극(124b), 제2 소스 전극(173b), 및 제2 드레인 전극(175b)은 제2 반도체(154b)와 함께 제2 박막 트랜지스터(Qb)를 형성하며, 박막 트랜지스터의 채널은 제2 소스 전극(173b)과 제2 드레인 전극(175b) 사이의 반도체 부분(154b)에 형성되고, 제3 게이트 전극(124c), 제3 소스 전극(173c), 및 제3 드레인 전극(175c)은 제3 반도체(Qc)와 함께 제3 박막 트랜지스터(Qc)를 형성하며, 박막 트랜지스터의 채널은 제3 소스 전극(173c)과 제3 드레인 전극(175c) 사이의 반도체 부분(154c)에 형성된다.
- [0054] 데이터 도전체(171, 173c, 175a, 175b, 175c, 177) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 보호막(passivation layer)(180)이 형성되어 있다. 보호막(180)은 질화 규소와 산화 규소 따위의 무기 절연물로 만들어진다. 그러나 보호막(180)은 유기 절연물로 만들어질 수 있으며 표면이 평탄할 수 있다. 유기 절연물의 경우 감광성(photosensitivity)을 가질 수 있으며 그 유전 상수(dielectric constant)는 약 4.0 이하일 수 있다. 보호막(180)은 또한 유기막의 우수한 절연 특성을 살리면서도 노출된 반도체(154a, 154b, 154c) 부분에 손상을 주지 않도록 하부 무기막과 상부 유기막의 이중막 구조를 가질 수도 있다.
- [0055] 보호막(180)에는 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)을 드러내는 복수의 접촉 구멍(contact hole)(185a, 185b)이 형성되어 있다.
- [0056] 보호막(180) 위에는 제1 부화소 전극(191a) 및 제2 부화소 전극(191a, 191b)을 포함하는 화소 전극(191)이 형성되어 있다. 화소 전극(191)은 ITO 또는 IZO 등의 투명한 도전 물질이나 알루미늄, 은, 크롬 또는 그 합금 등의 반사성 금속으로 만들어질 수도 있다.
- [0057] 화소 전극(191)은 게이트선(121)에 평행한 제1 변과 데이터선(171)과 평행한 제2 변을 포함한다. 게이트선(121)과 평행한 제1 변은 데이터선(171)과 평행한 제2 변 길이보다 길며, 대략 3배이다. 따라서 가로 변이 세로 변보다 작은 경우에 비하여 각 행에 위치하는 화소 전극(191)의 개수가 적고 대신 각 열에 위치하는 화소 전극(191)의 개수가 많다. 따라서 데이터선(171)의 전체 개수가 줄어들기 때문에 데이터 구동부용 집적 회로 칩의 수효를 줄여 재료비를 절감할 수 있다. 물론 게이트선(121)의 수효가 그만큼 늘긴 하지만 게이트 구동부는 게이트선(121), 데이터선(171), 박막 트랜지스터 등과 함께 액정 표시판 조립체에 집적할 수 있으므로 게이트선(121) 수의 증가가 크게 문제되지 않는다. 또한 게이트 구동부가 집적 회로 칩의 형태로 장착되더라도, 게이트

구동부용 집적 회로 칩의 가격이 상대적으로 싸기 때문에 데이터 구동부용 집적 회로 칩의 개수를 줄이는 것이 더 유리하다.

- [0058] 제1 부화소 전극(191a)과 제2 부화소 전극(191b)은 행 방향으로 이웃하고, 전체적인 모양은 사각형이며 가로 줄기부(192) 및 이와 교차하는 세로 줄기부(193)로 이루어진 십자형 줄기부를 포함한다. 또한 가로 줄기부(192)와 세로 줄기부(193)에 의해 네 개의 부영역으로 나뉘어지며 각 부영역은 복수의 미세 가지부(194)를 포함한다.
- [0059] 제2 부화소 전극(191b)은 제1 부화소 전극(191a)의 일부 변을 둘러싸고 있다. 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 미세 가지부(194) 중 하나는 가로 줄기부 또는 세로 줄기부에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 다른 하나의 미세 가지부(194)는 가로 줄기부(192) 또는 세로 줄기부(193)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 다른 하나의 미세 가지부(194)는 가로 줄기부(192) 또는 세로 줄기부(193)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 나머지 하나의 미세 가지부(194)는 가로 줄기부(192) 또는 세로 줄기부(193)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다.
- [0060] 각 미세 가지부(194)는 게이트선(121) 또는 가로 줄기부(192)와 대략 40도 내지 45도의 각을 이룬다. 특히, 제1 부화소 전극(191a)에 포함되는 미세 가지부(194)는 가로 줄기부(192)와 대략 40도의 각을 이룰 수 있고, 제2 부화소 전극(191b)에 포함되는 미세 가지부(194)는 가로 줄기부(192)와 대략 45도의 각을 이룰 수 있다. 또한, 이웃하는 두 부영역의 미세 가지부(194)는 서로 직교할 수 있다.
- [0061] 도시하지 않았으나 미세 가지부(194)의 폭은 점진적으로 넓어질 수 있다.
- [0062] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 접촉 구멍(185a, 185b)을 통하여 각각 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 있으며, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 이때, 제2 드레인 전극(175b)에 인가된 데이터 전압 중 일부는 제3 소스 전극(173c)을 통해 분압되어, 제2 부화소 전극(191b)에 인가되는 전압의 크기는 제1 부화소 전극(191a)에 인가되는 전압의 크기보다 작게 된다.
- [0063] 여기서, 제2 부화소 전극(191b)의 면적은 제1 부화소 전극(191a)의 면적 대비하여 1배 이상 2배 이하일 수 있다. 특히, 본 발명의 실시예에서 제2 부화소 전극(191b)의 면적은 제1 부화소 전극(191a)의 면적 대비하여 1배 이상 1.5배 이하인 것이 바람직하다.
- [0064] 또한, 제2 스위칭 소자(Qb)의 채널 폭과 채널 길이의 비를 제1 채널비라고 하고, 제3 스위칭 소자(Qb)의 채널 폭과 채널 길이의 비를 제2 채널비라고 할 때, 제1 채널비와 제2 채널비의 합에 대한 제1 채널비의 비율은 약 60% 내지 약 95%일 수 있다. 본 발명의 실시예에서, 투과율과 시인성을 모두 고려할 때, 제2 부화소 전극(191b)의 면적이 제1 부화소 전극(191a)의 면적 대비하여 1배 이상 1.25배 이하인 경우에 제1 채널비와 제2 채널비의 합에 대한 제1 채널비의 비율은 70% 내지 80%인 것이 바람직하다.
- [0065] 또한, 기준 전압선에 인가되는 전압의 레벨은 공통 전극에 인가되는 공통 전압의 레벨보다 높아야 하며, 그 절대 값의 차이는 약 1V 내지 약 4V인 것이 바람직하다. 예를 들어, 공통 전압(Vcom)이 약 7V인 경우, 기준 전압(Vr)은 약 8V 내지 약 11V인 것이 바람직하다.
- [0066] 이제, 상부 표시판(200)에 대하여 설명한다.
- [0067] 투명한 유리 또는 플라스틱 등으로 만들어진 절연 기관(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다.
- [0068] 기관(210) 및 차광 부재(220) 위에는 또한 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 차광 부재(220)로 둘러싸인 영역 내에 대부분 존재하며, 화소 전극(191) 열을 따라서 길게 뻗을 수 있다. 각 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있다. 하지만, 적색, 녹색, 및 청색의 삼원색에 제한되지 않고, 청록색(cyan), 자홍색(magenta), 옐로(yellow), 화이트 계열의 색 중 하나를 표시할 수도 있다.
- [0069] 차광 부재(220)와 색필터(230) 중 적어도 하나는 하부 기관(110) 위에 형성될 수도 있다.
- [0070] 색필터(230) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250)은 절연 물질로 만들어질 수 있으며, 색필터(230)가 노출되는 것을 방지하고 평탄면을 제공한다. 덮개막(250)은 생략할 수 있다.
- [0071] 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다.

- [0072] 표시판(100, 200)의 양쪽 면에는 배향막(alignment layer)(도시하지 않음)이 형성되어 있으며 이들은 수직 배향막일 수 있다.
- [0073] 표시판(100, 200)의 바깥쪽 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교하며 이중 한 편광축은 게이트선(121)에 대하여 나란한 것이 바람직하다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자 중 하나가 생략될 수 있다.
- [0074] 두 표시판(100, 200) 사이에는 액정층(3)이 들어있으며, 액정층(3)은 음의 유전율 이방성을 가지는 액정 분자(31)를 포함한다. 액정층(3)의 액정 분자(31)들은 장축이 제1 및 제2 부화소 전극(191a, 191b)의 미세 가지부의 길이 방향에 대략 평행하게 되도록 선경사(pretilt)를 가지고 있으며 전계가 가해지지 않은 상태에서 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다. 또한, 액정층(3)은 반응성 메소겐(reactive mesogen)을 포함하는 배향 보조제를 더 포함하여, 이러한 배향 보조제에 의하여 액정 분자(31)들은 장축이 제1 및 제2 부화소 전극(191a, 191b)의 미세 가지부의 길이 방향에 대략 평행하도록 선경사를 가질 수 있다.
- [0075] 데이터 전압을 인가 받은 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 공통 전압을 인가 받는 공통 전극 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191a, 191b, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 편광이 달라진다. 제1 및 제2 부화소 전극(191a, 191b)과 공통 전극(270)은 액정 축전기(C1ca, C1cb)를 이루어 박막 트랜지스터가 턴 오프된 후에도 인가된 전압을 유지한다. 이때, 미세 가지부(194)의 변들은 전기장을 왜곡하여 미세 가지부(194)의 변에 수직인 수평 성분을 만들어 내고 액정 분자(31)들의 경사 방향은 수평 성분에 의하여 결정되는 방향으로 결정된다. 따라서 액정 분자(31)들이 처음에는 미세 가지부(194)의 변에 수직인 방향으로 기울어지려 한다. 그러나 이웃하는 미세 가지부(194)의 변에 의한 전기장의 수평 성분의 방향이 반대이고 미세 가지부(194) 사이의 간격이 좁기 때문에 서로 반대 방향으로 기울어지려는 액정 분자(31)들이 함께 미세 가지부(194)의 길이 방향에 평행한 방향으로 기울어지게 된다.
- [0076] 본 발명의 한 실시예에서 한 화소의 미세 가지부(194)가 뻗어 나가는 길이 방향이 모두 네 방향이므로 액정 분자(31)들이 기울어지는 방향도 총 네 방향이 된다. 이와 같이 액정 분자(31)가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- [0077] 그러면, 도 5 및 도 6을 참고하여, 본 발명의 실시예에 따른 액정 표시 장치의 표시 투과율 및 측면 시인성에 대하여 설명하기로 한다. 도 5 및 도 6은 본 발명의 한 실시예에 따른 액정 표시 장치의 투과율 및 측면 시인성 결과를 나타내는 그래프이다. 도 1 내지 도 4에서 설명한 제1 부화소 전극 및 제2 부화소 전극은 각각 이하에서 설명할 하이 부화소와 로우 부화소에 대응될 수 있다.
- [0078] 도 5 및 도 6에서 실선은 액정 표시 장치를 정면에서 시인할 때의 계조에 따른 투과율을 나타내고, 점선은 액정 표시 장치를 측면에서 시인할 때의 계조에 따른 투과율을 나타낸다. 도 5는 일반적으로 하이 부화소와 로우 부화소의 전압 차이를 유도하지 않고, 동일한 데이터 전압을 인가했을 경우를 나타내고, 도 6은 본 발명의 실시예에 따른 액정 표시 장치의 경우를 나타낸다.
- [0079] 도 5 및 도 6을 참고하면, 일반적인 액정 표시 장치에 비하여, 본 발명의 실시예에 따른 액정 표시 장치의 경우, 액정 표시 장치의 측면에서의 계조에 따른 투과율 그래프가 정면에서의 계조에 따른 투과율의 그래프에 더 가까워 진다는 것을 확인할 수 있고, 특히 저계조에서 그 효과가 큰 것을 알 수 있다. 다시 말해, 본 발명의 실시예에 따른 액정 표시 장치에서 측면 시인성이 개선된다.
- [0080] 이하에서는 표 1, 도 7, 및 도 8을 참고하여, 본 발명의 한 실시예에 따른 액정 표시 장치의 표시 특성에 대하여 보다 구체적으로 설명하기로 한다.
- [0081] 표 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 표시 특성을 나타내는 표이다.
- [0082] 본 실시예에서는 하이 부화소와 로우 부화소의 면적비, 제1 TFT의 채널 폭, 제2 TFT의 채널 폭, 채널비(제2 TFT와 제3 TFT의 채널폭에 대한 제2 TFT의 채널폭의 비)에 따른 액정 표시 장치의 투과율, 시인성 지수, 그리고 하이 부화소와 로우 부화소의 전압비를 측정하였고, 그 결과를 아래의 표에 나타내었다. 여기서, 채널 길이는 동일하게 유지한 상태에서 평가하였다.

[0083] [표 1]

면적 비 (하이 부화소: 로우 부화소)	채널 비 (제2 TFT의 채널 폭(μm))	투과율(%)	시인성 지 수	전압 비
1: 1.5	90 (5)	5.14	0.297	0.82
	80 (11)	4.76	-	0.75
	70 (19)	4.61	0.24	0.71
	60 (29)	4.03	0.216	0.58
1: 1.25	70 (17)	4.92	0.279	0.72
	80 (10)	5.13	0.31	0.77
	70 (17)	4.90	0.279	0.72
	60 (27)	4.29	-	0.69
1:1.0	90 (4)	5.51	0.315	0.80
	80 (9)	5.12	-	0.75
	70 (15)	5.01	0.316	0.71
	60 (24)	4.28	0.204	0.60
1:0.75	90 (3)	5.45	0.346	0.77
	80 (8)	5.03	0.279	0.69
	70 (13)	4.88	0.347	0.65
	60 (21)	4.49	0.258	0.60

[0084]

[0085]

상기 표 1을 참고하면, 로우 부화소의 화소 전극의 면적이 하이 부화소의 화소 전극의 면적과 거의 같거나 큰 경우가 로우 부화소의 화소 전극의 면적이 하이 부화소의 화소 전극의 면적보다 작은 경우에 비하여, 하이 부화소와 로우 부화소의 전압비가 원하는 값, 예를 들어 약 0.7 내지 약 0.8의 범위 내에 있음을 알 수 있다.

[0086]

다시 말해, 로우 부화소의 화소 전극의 면적이 하이 부화소의 화소 전극의 면적보다 작을 경우, 액정 표시 장치의 투과율은 증가할 수 있으나, 측면 시인성을 조절하기 위한 전압비(로우 부화소의 전압:하이 부화소의 전압)를 얻기 어려웠다. 또한, 로우 부화소의 화소 전극의 면적이 하이 부화소의 화소 전극의 면적보다 1.5배 이상 커지게 되면, 액정 표시 장치의 투과율이 감소할 수 있다.

[0087]

따라서, 본 발명의 실시예에 따른 액정 표시 장치에서와 같이, 로우 부화소의 화소 전극의 면적이 하이 부화소의 화소 전극의 면적과 같거나 크며, 약 1.5배 이하인 경우, 액정 표시 장치의 투과율과 측면 시인성 모두를 높일 수 있음을 알 수 있었다.

[0088]

다시 표 1을 참고하면, 특히 면적비가 1:1 내지 1:1.25의 범위에 있고, 채널 비(제2 TFT와 제3 TFT의 채널 폭에 대한 제2 TFT의 채널 폭의 비)가 약 70% 내지 약 80%의 범위 내에 있을 경우, 액정 표시 장치의 투과율이 저하되지 않으면서도, 시인성 지수가 작아져서 측면 시인성이 개선될 수 있음을 알 수 있었다. 따라서, 본 발명의 실시예에 따른 액정 표시 장치와 같이, 제2 스위칭 소자(Qb)와 제3 스위칭 소자(Qb)의 채널 폭의 합에 대한 제2 스위칭 소자(Qb)의 채널 폭의 비가 약 70% 내지 약 80%인 경우, 투과율이 저하되지 않으면서도, 측면 시인성이 개선될 수 있음을 알 수 있었다.

[0089]

도 7은 본 발명의 실시예에 따른 액정 표시 장치에서 계조에 따른 투과율 변화를 분압 스위칭 소자의 크기별로 나타내는 그래프이다. 구체적으로, 도 7은 하이 부화소와 로우 부화소의 면적비가 1 대 1.25인 경우에 하이 부화소와 로우 부화소의 전압비의 변화에 따른 투과율 변화를 나타낸다. 2.2 감마(2.2 gamma) 곡선은 액정 표시 장치를 정면에서 시인할 때의 계조에 따른 투과율을 나타낸다. 나머지 곡선은 액정 표시 장치를 측면에서 시인할 때의 계조에 따른 투과율을 나타낸다.

[0090]

도 7을 참고하면, 하이 부화소와 로우 부화소의 전압비가 증가함에 따라 정면에서의 계조에 따른 투과율의 그래프로부터 멀어지는 것을 확인할 수 있고, 시인성 지수(gamma distortion index; GDI)가 증가하는 것으로 볼 때 측면 시인성이 감소한다.

[0091]

도 8은 본 발명의 실시예에 따른 액정 표시 장치에서 계조에 따른 투과율 변화를 하이 부화소와 로우 부화소의 면적비별로 나타내는 그래프이다. 구체적으로, 도 8은 하이 부화소와 로우 부화소의 전압비가 70%인 경우에 하이 부화소와 로우 부화소의 면적비에 따른 투과율 변화를 나타낸다.

[0092]

도 8을 참고하면, 하이 부화소와 로우 부화소의 면적비가 증가함에 따라 정면에서의 계조에 따른 투과율의 그래프에 더 가까워 진다는 것을 확인할 수 있고, 이를 고려할 때 측면 시인성이 개선되는 것을 알 수 있다. 특히, 저계조에서 그 효과가 더 크게 나타남을 알 수 있다.

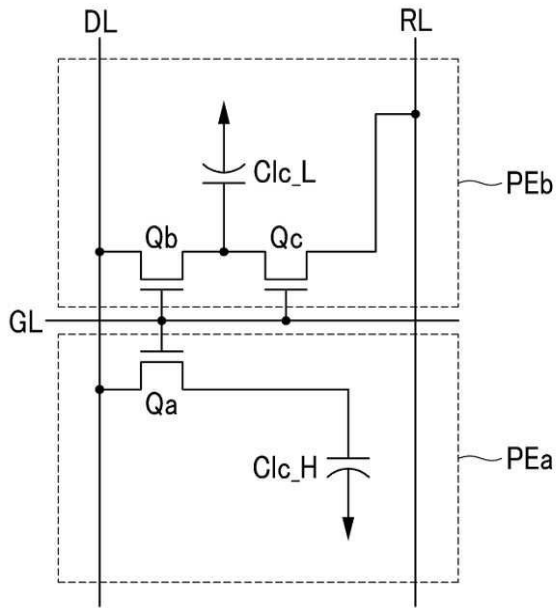
- [0093] 그러면, 도 9 및 도 10을 참고하여, 하이 부화소와 로우 부화소의 면적비를 좀 더 구체화하여 계조에 따른 투과율 변화를 설명하기로 한다.
- [0094] 도 9는 본 발명의 실시예에 따른 액정 표시 장치에서 계조에 따른 투과율 변화를 하이 부화소와 로우 부화소의 면적비별로 나타내는 그래프이고, 도 10은 본 발명의 실시예에 따른 액정 표시 장치에서 하이 부화소와 로우 부화소의 면적비에 따른 시인성 지수 및 투과율을 나타내는 그래프이다. 구체적으로 도 9 및 도 10은 채널비가 70%이고, 14.7V의 데이터 전압을 인가한 상태에서 하이 부화소와 로우 부화소의 면적비를 1, 1.05, 1.1, 1.15, 1.2, 1.25로 하여 계조에 따른 투과율 및 면적비에 따른 시인성 지수를 나타낸다.
- [0095] 도 9를 참고하면, 면적비가 1에서 증가하다가 면적비가 1.25가 되었을 때, 정면에서의 계조에 따른 투과율의 그래프에 가장 가까워 진다는 것을 확인할 수 있다.
- [0096] 도 10을 참고하면, 면적비가 1에서 1.25로 증가함에 따라 시인성 지수가 감소하고, 투과율도 동시에 감소하는 것을 확인할 수 있다.
- [0097] 이하에서는 도 11 및 도 12를 참고하며, 본 발명의 다른 실시예에 따른 액정 표시 장치의 표시 특성에 대하여 설명하기로 한다.
- [0098] 도 11은 본 발명의 실시예에 따른 액정 표시 장치에서 기준 전압(Vref)에 따른 투과율 변화를 나타내고, 도 12는 본 발명의 실시예에 따른 액정 표시 장치에서 기준 전압(Vref)에 따른 시인성 지수 변화를 나타낸다.
- [0099] 도 11 및 도 12를 참고하면, 기준 전압(Vref)이 증가함에 따라 투과율은 증가하고, 시인성 지수는 감소하는 것을 확인할 수 있다. 이것은 기준 전압(Vref)이 증가함에 따라 하이 부화소와 로우 부화소의 전압비가 증가하기 때문이다.
- [0100] 도 13은 본 발명의 실시예에 따른 액정 표시 장치에서 하이 부화소와 로우 부화소 사이에 발생하는 공통 전압의 왜곡을 나타내는 그래프이다. 구체적으로, 도 13은 하이 부화소에 인가되는 전압 파형(High)과 로우 부화소에 인가되는 전압 파형(Low)을 나타낸다.
- [0101] 본 발명의 실시예에 따른 액정 표시 장치에서 로우 부화소는 하이 부화소에 인가되는 전압보다 작은 전압이 인가되기 때문에 공통 전압을 중심으로 작은 진폭으로 스윙(swing)한다. 여기서, 공통 전압은 상부 표시판에 형성되는 공통 전극에 인가되는 전압을 말한다. 도 13에서 보는 바와 같이 정극성에서 하이 부화소의 레벨과 로우 부화소의 레벨의 차이(h1)와 부극성에서 하이 부화소의 레벨과 로우 부화소의 레벨의 차이(h2)는 서로 다르다. 이것은 로우 부화소에서의 킥백 전압이 하이 부화소에서의 킥백 전압보다 크기 때문이다. 구체적으로, 킥백 전압이 커지면 정극성에서 전압이 떨어지는 양과 부극성에서 전압이 올라가는 킥백 전압의 양이 달라진다.
- [0102] 결국, 하이 부화소의 최적 공통 전압(High Vcom)과 로우 부화소의 최적 공통 전압(Low Vcom)이 서로 다르게 되어 공통 전압 왜곡(?Vcom)이 발생한다. 따라서, 잔상이 발생하고 플리커 현상이 심화되어 시인성이 나빠질 수 있다.
- [0103] 하지만, 본 발명의 실시예에 따른 액정 표시 장치에서 제3 박막 트랜지스터와 연결된 기준 전압선을 통해 인가되는 기준 전압을 증가시킴으로써 로우 부화소에 인가되는 전압을 상승시킬 수 있다. 여기서 기준 전압의 크기는 공통 전극에 인가되는 공통 전압보다 높을 수 있고, 공통 전압이 7V인 경우, 기준 전압은 8V 내지 11V일 수 있다. 따라서, 로우 부화소에 대응하는 공통 전압(Low Vcom)의 레벨을 상승시켜 하이 부화소에 대응하는 공통 전압(high Vcom)의 레벨과의 차이를 완화한다. 따라서, 로우 부화소와 하이 부화소의 공통 전압 왜곡에 따른 잔상 문제와 플리커(Flicker) 문제가 해소될 수 있다.
- [0104] 본 발명의 다른 실시예에 따른 액정 표시 장치에서 기준 전압선에 인가되는 전압 신호는 스윙(swing)할 수 있다. 기준 전압 신호가 스윙(swing)하게 되면 정극성에서의 로우 부화소에 인가되는 전압 레벨을 상승시키고, 부극성에서의 로우 부화소에 인가되는 전압 레벨을 하강시키기 때문에 투과율을 향상시킬 수 있다. 이 때, 기준 전압에 인가되는 전압의 레벨이 공통 전극에 인가되는 공통 전압의 레벨보다 높은 상태에서 스윙하도록 할 수 있다. 이처럼 하게 되면, 로우 부화소의 킥백 전압이 감소함으로써 플리커 현상이 개선되고, 공통 전압 왜곡에 따른 잔상을 최소화할 수 있다.
- [0105] 기준 전압은 듀티비(duty ratio)가 50% 내지 80%로 스윙하는 신호를 포함할 수 있다. 여기서, 듀티비(duty ratio)는 게이트 신호가 온(on)되는 시간 동안에 기준 전압의 오프(off) 시간과 온(on) 시간의 비율을 말한다.
- [0106] 이하에서는, 도 14 및 도 15를 참고하여, 본 발명의 다른 실시예에 따른 액정 표시 장치에 대하여 설명하기로

한다. 도 14는 본 발명의 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이고, 도 15는 도 5의 절단선 XV-XV'를 따라 자른 단면도이다.

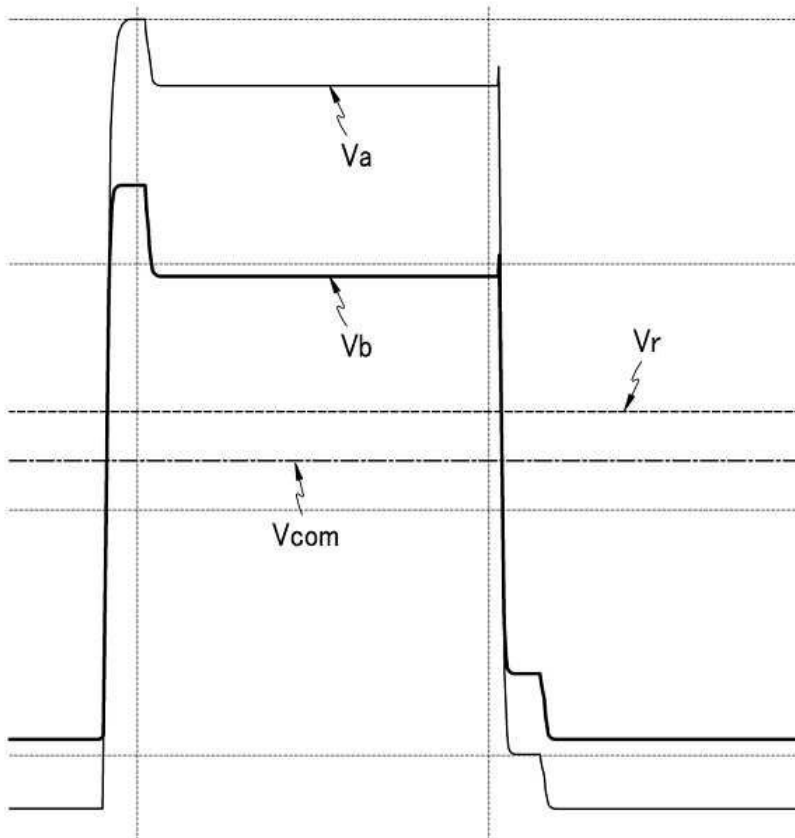
- [0107] 도 14 및 도 15를 참고하면, 본 실시예에 따른 액정 표시 장치는 도 3 및 도 4에 나타난 실시예에 따른 액정 표시 장치의 구조와 유사하다. 유사한 부분에 대한 설명은 생략한다.
- [0108] 본 실시예에 따른 액정 표시 장치는 도 3 및 도 4에 나타난 실시예에 따른 액정 표시 장치와 달리, 기준 전압선(177)의 세로부(177a) 아래에 배치되어 있으며, 게이트선(121)과 동일한 층으로 이루어진 차광부(127a)를 더 포함한다.
- [0109] 차광부(127a)는 기준 전압선(177)의 세로부(177a) 아래에 배치되어 있는 반도체(157)가 빛에 의하여 활성화되는 것을 방지하여, 기준 전압선(177)에 인가되는 전압 값을 안정하게 유지할 수 있도록 한다.
- [0110] 도 3 및 도 4에 도시한 실시예에 따른 액정 표시 장치의 많은 특징들은 도 14 및 도 15에 도시한 실시예에 따른 액정 표시 장치에 모두 적용 가능하다.
- [0111] 이하에서는, 도 16 및 도 17을 참고하여, 본 발명의 또 다른 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 16은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다. 도 17은 도 16의 절단선 XVII-XVII'을 따라 자른 단면도이다.
- [0112] 도 16 및 도 17을 참고하면, 본 실시예에 따른 액정 표시 장치는 도 3 및 도 4에 나타난 실시예에 따른 액정 표시 장치의 구조와 유사하다. 유사한 부분에 대한 설명은 생략한다.
- [0113] 본 실시예에 따른 액정 표시 장치는 도 3 및 도 4에 나타난 실시예에 따른 액정 표시 장치와 달리, 게이트선(121) 위에 배치되어 있으며, 화소 전극(191)과 동일한 층으로 이루어진 차폐 전극선(88)을 더 포함한다. 차폐 전극(88)은 게이트선(121)보다 폭이 넓어, 게이트선(121)을 완전히 덮을 수 있다.
- [0114] 차폐 전극선(88)에는 공통 전극(270)에 인가되는 전압과 거의 같은 전압이 인가될 수 있고, 이에 의하여, 게이트선(121) 주변의 액정 분자의 불규칙한 거동을 방지하여, 빛샘과 같은 표시 품질 저하를 방지할 수 있다. 도 16 및 도 17에 나타난 바와 달리, 가로 방향으로 뻗어 있는 차폐 전극선(88)으로부터 돌출되어 세로 방향으로 뻗은 차폐 전극(미도시)을 포함할 수 있다. 상기 차폐 전극은 가로 방향으로 뻗은 게이트선(121)에서 게이트 전극(124a, 124b, 124c)을 연결하는 게이트선 부분과 중첩할 수 있다.
- [0115] 도 3 및 도 4에 나타난 실시예에 따른 액정 표시 장치, 그리고 도 14 및 도 15에 나타난 실시예에 따른 액정 표시 장치의 많은 특징들은 도 16 및 도 17에 나타난 실시예에 따른 액정 표시 장치에 모두 적용 가능하다.
- [0116] 이하에서는, 도 18을 참고하여, 본 발명의 또 다른 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 18은 본 발명의 또 다른 실시예에 따른 액정 표시 장치의 한 화소에 대한 배치도이다.
- [0117] 도 18을 참고하면, 본 실시예에 따른 액정 표시 장치는 도 3 및 도 4에 나타난 실시예에 따른 액정 표시 장치의 구조와 유사하다. 따라서, 유사한 부분에 대한 설명은 생략한다.
- [0118] 본 실시예에 따른 액정 표시 장치는 도 3 및 도 4에 나타난 실시예에 따른 액정 표시 장치에서의 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 전체적인 모양에 차이가 있다. 다시 말해, 본 실시예에 따른 액정 표시 장치는 제1 절개부(91)에 의해 복수의 영역으로 분할되는 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)을 포함한다. 제1 절개부(91)에 의해 분할되는 제1 부화소 전극(191a)은 게이트선(121)에 대하여 비스듬한 방향을 따라 뻗어 있는 제1 영역(189a)과 제2 영역(189b) 및 제1 영역(189a)과 제2 영역(189b)을 연결하는 연결 다리(189c)를 포함한다. 마찬가지로, 제1 절개부(91)에 의해 분할되는 제2 부화소 전극(191b)은 게이트선(121)에 대하여 비스듬한 방향을 따라 뻗어 있는 제3 영역(190a)과 제4 영역(190b) 및 제3 영역(190a)과 제4 영역(190b)을 연결하는 연결 다리(190c)를 포함한다.
- [0119] 제1 부화소 전극(191a)은 제2 부화소 전극(191b)에 의해 둘러싸여 있다.
- [0120] 상부 표시판(200)에 형성되어 있는 공통 전극(270)은 제2 절개부(71)를 포함한다. 제2 절개부(71)는 제1 절개부(91)와 엇갈리게 배열되어 있다.
- [0121] 제1 부화소 전극(191a) 및 제2 부화소 전극(191b)은 접촉 구멍(185a, 185b)을 통하여 각각 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)과 물리적, 전기적으로 연결되어 있으며, 제1 드레인 전극(175a) 및 제2 드레인 전극(175b)으로부터 데이터 전압을 인가 받는다. 이때, 제2 드레인 전극(175b)에 인가된 데이터 전압 중 일

도면

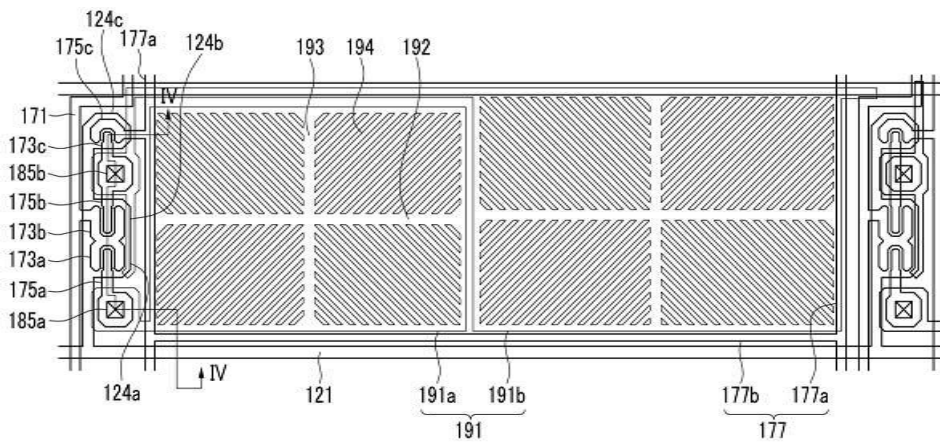
도면1



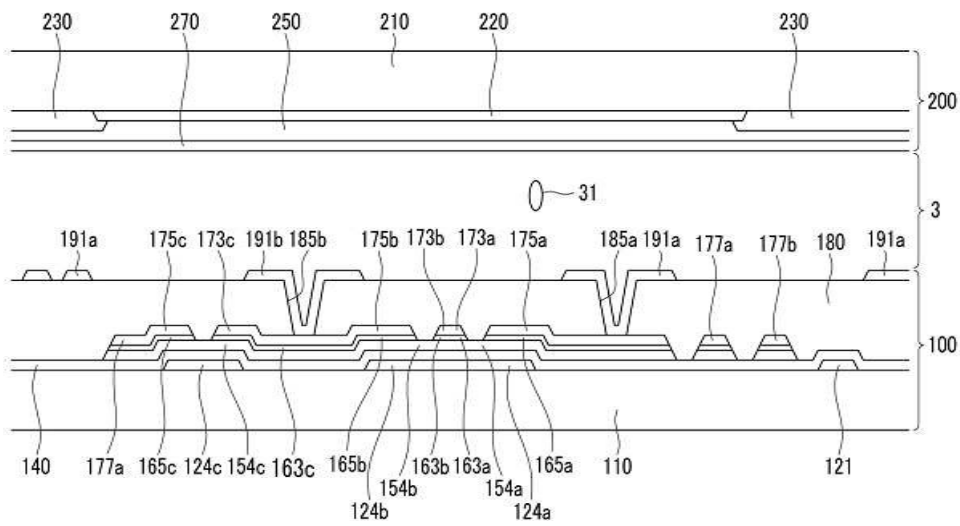
도면2



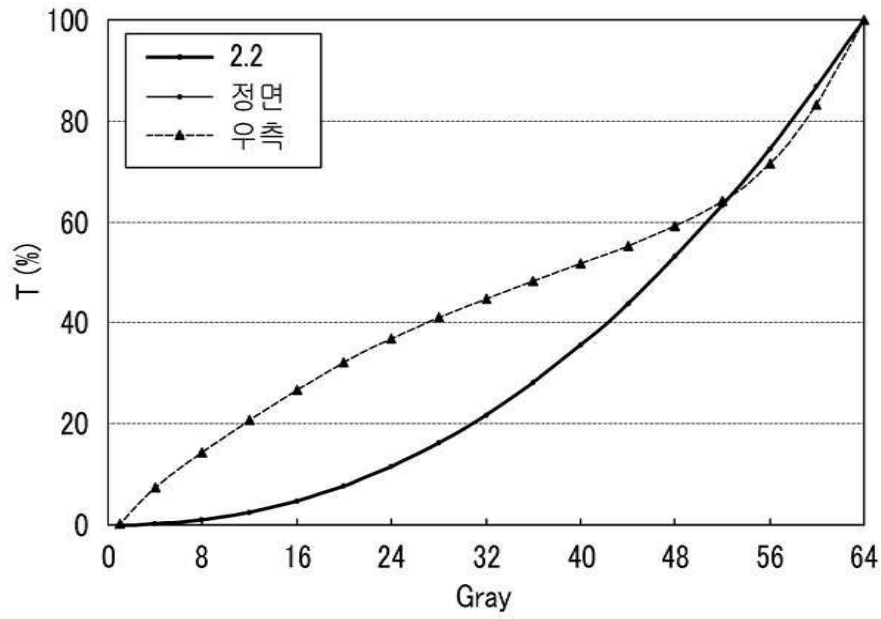
도면3



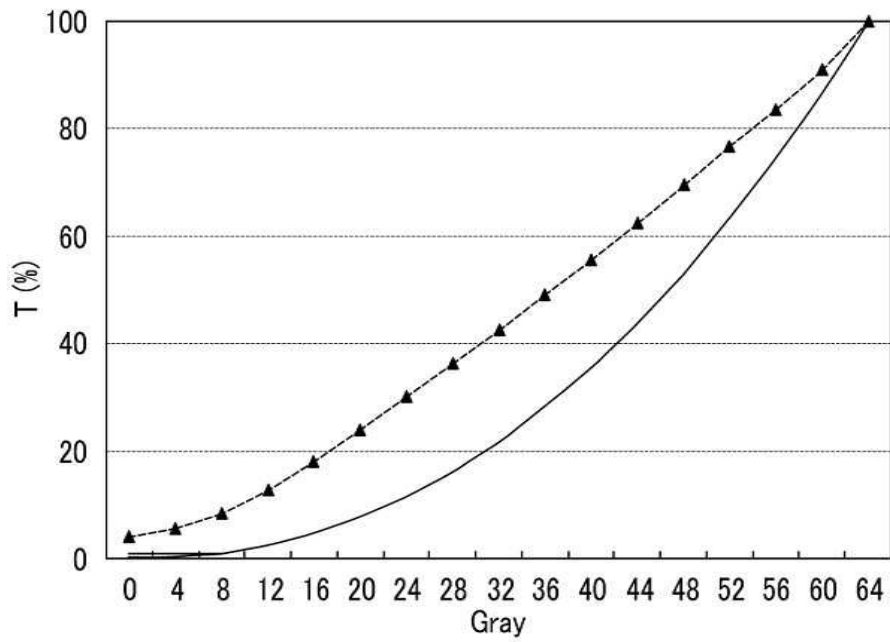
도면4



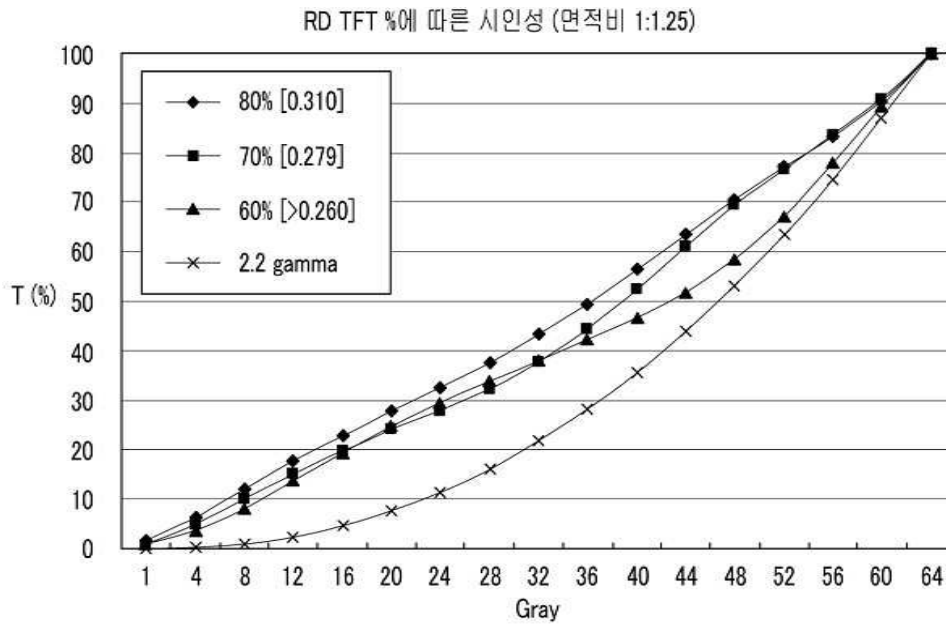
도면5



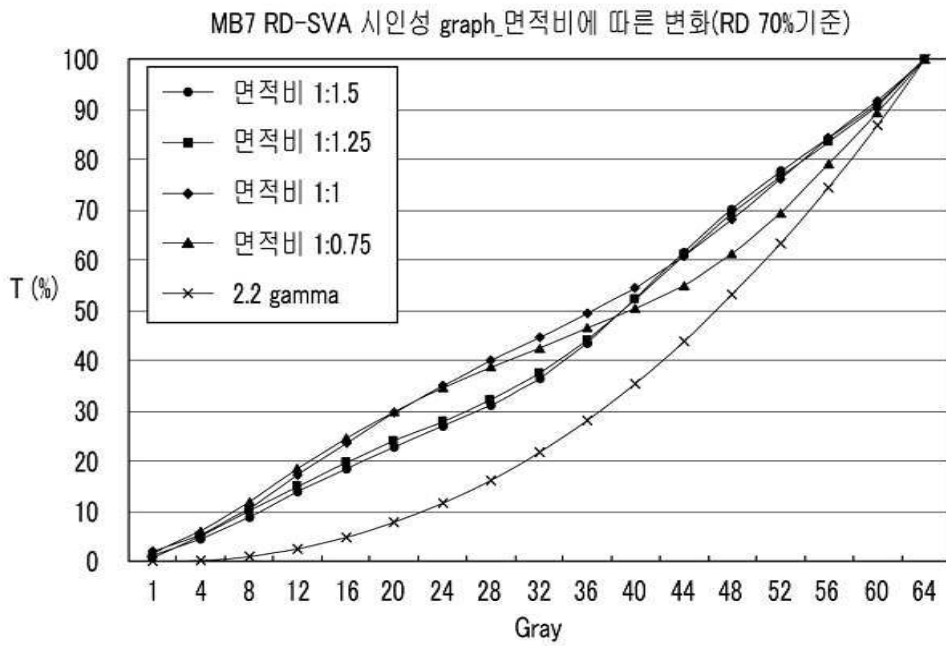
도면6



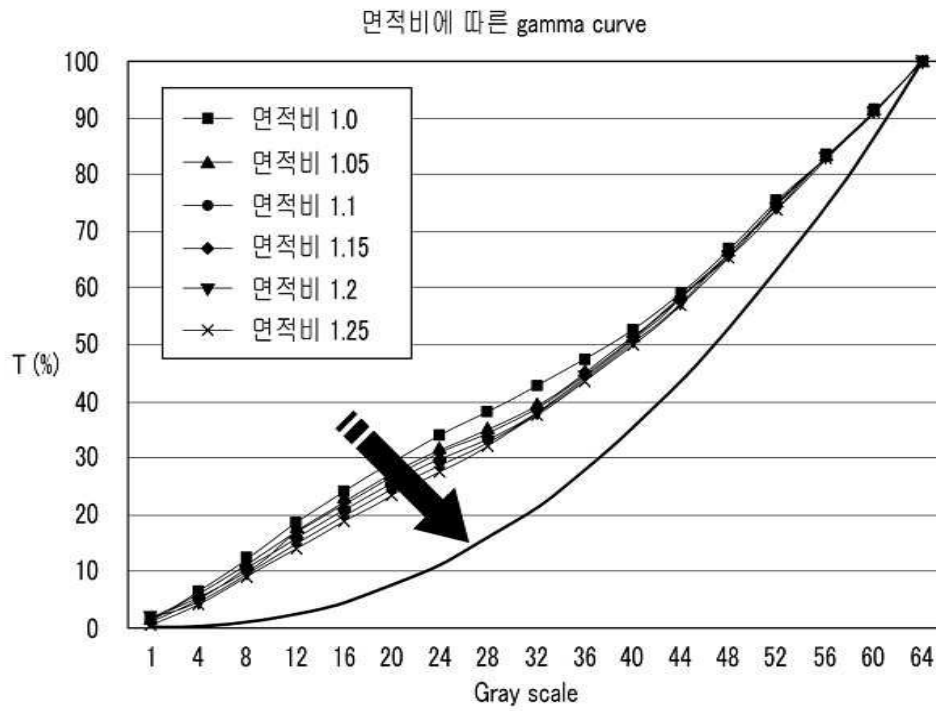
도면7



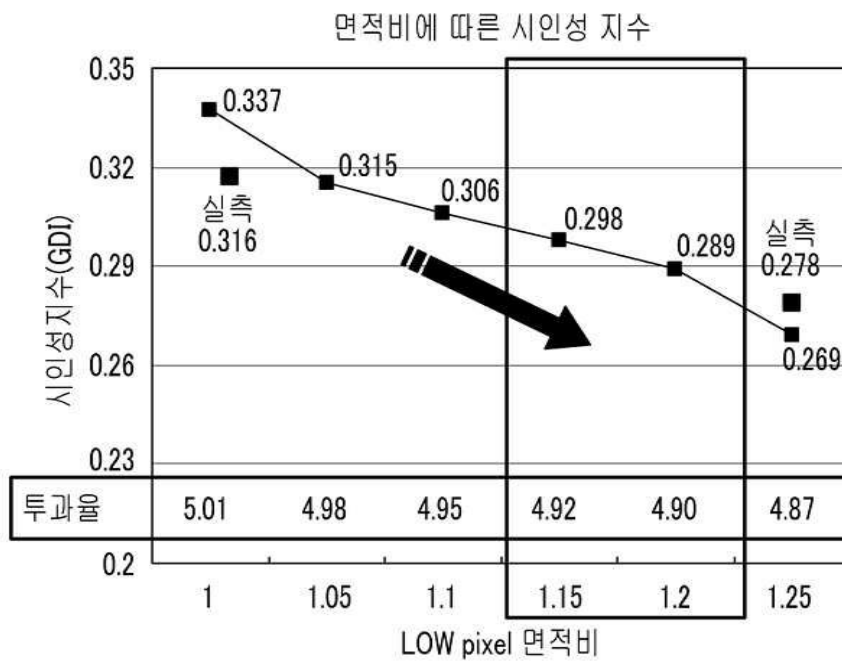
도면8



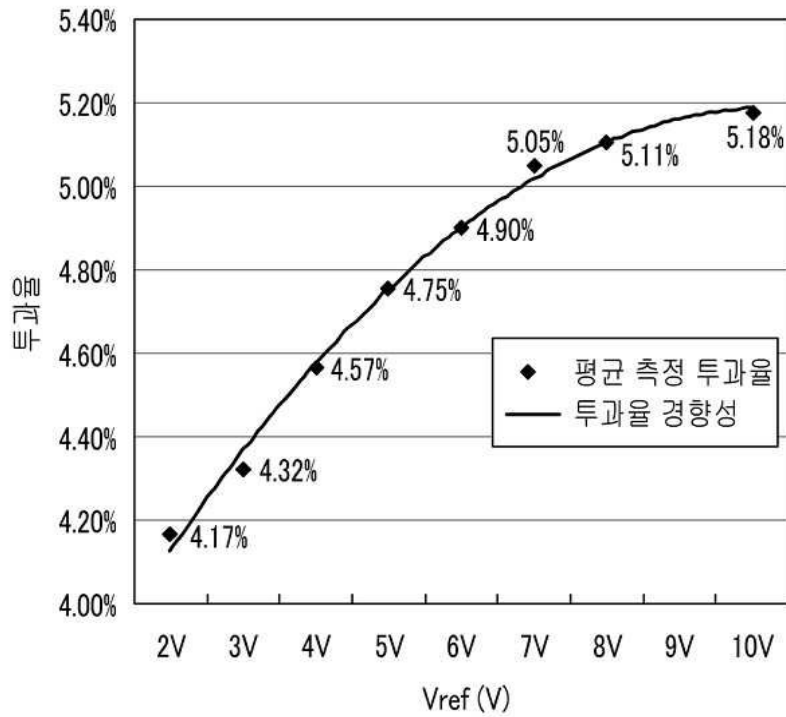
도면9



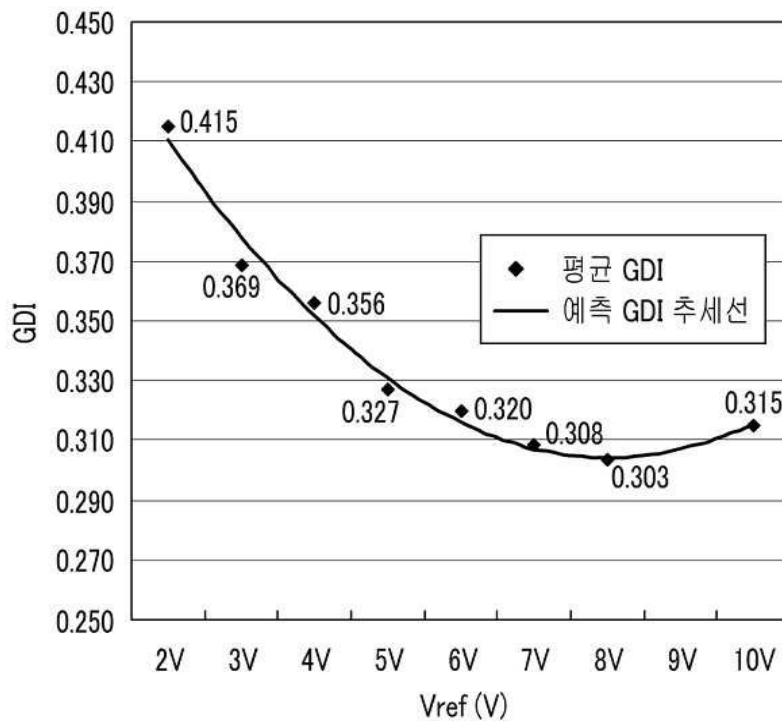
도면10



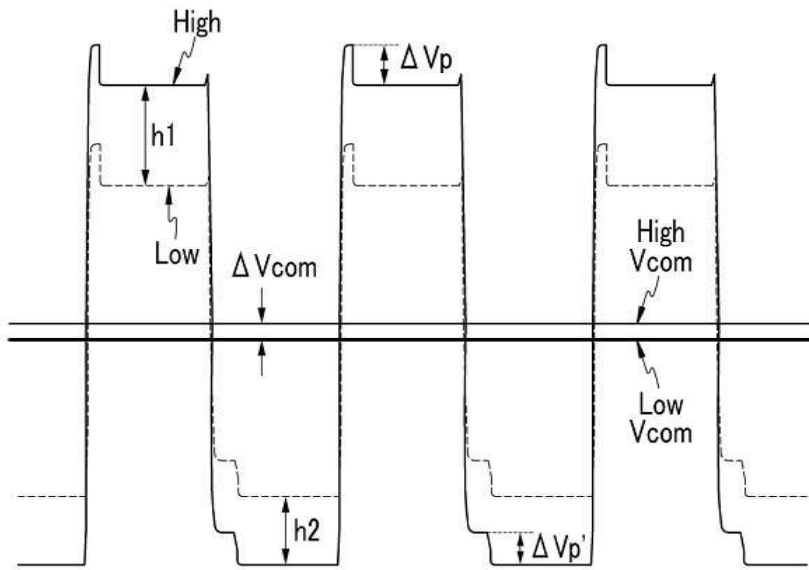
도면11



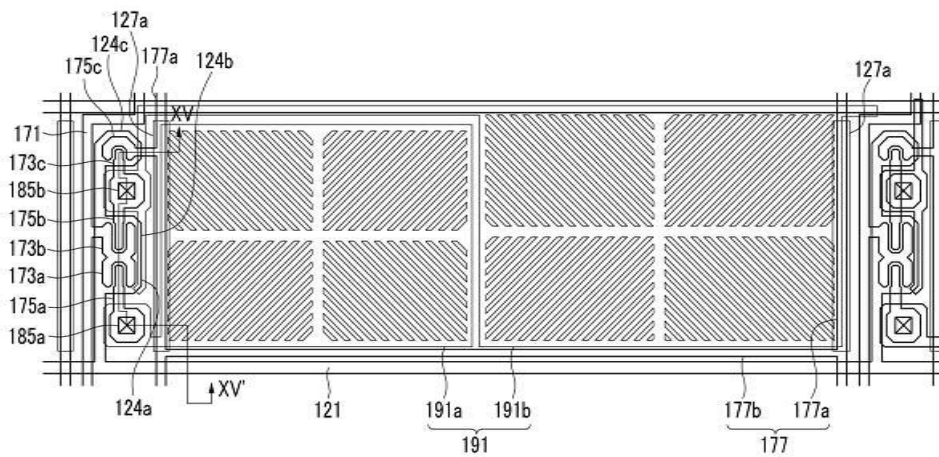
도면12



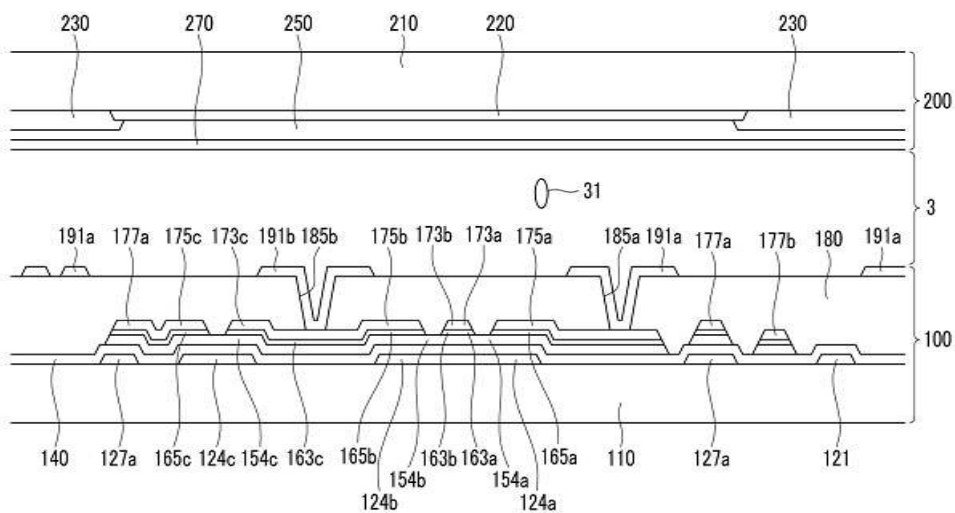
도면13



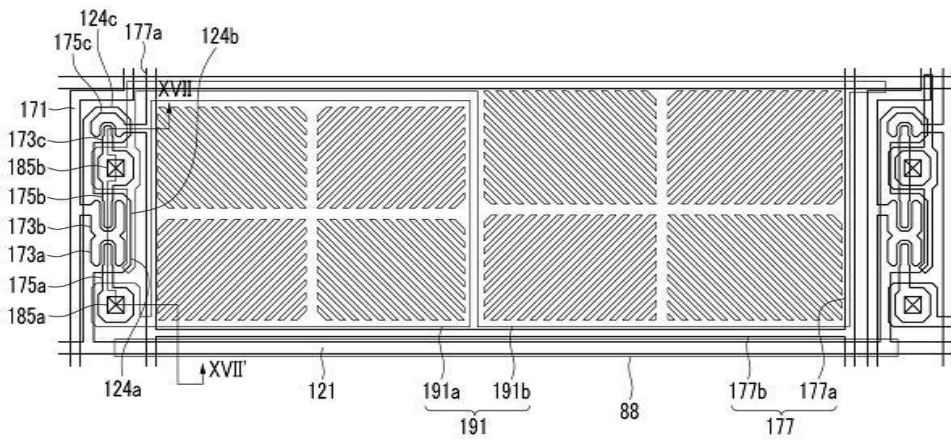
도면14



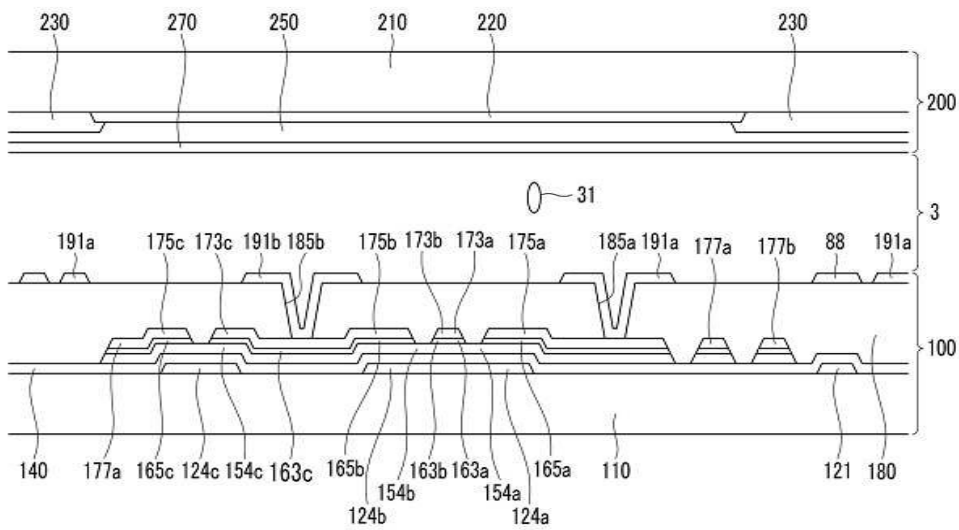
도면15



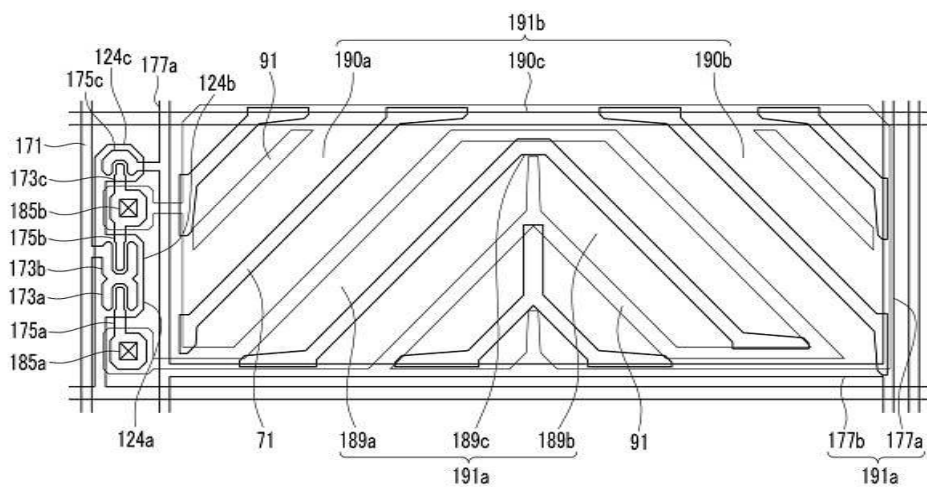
도면16



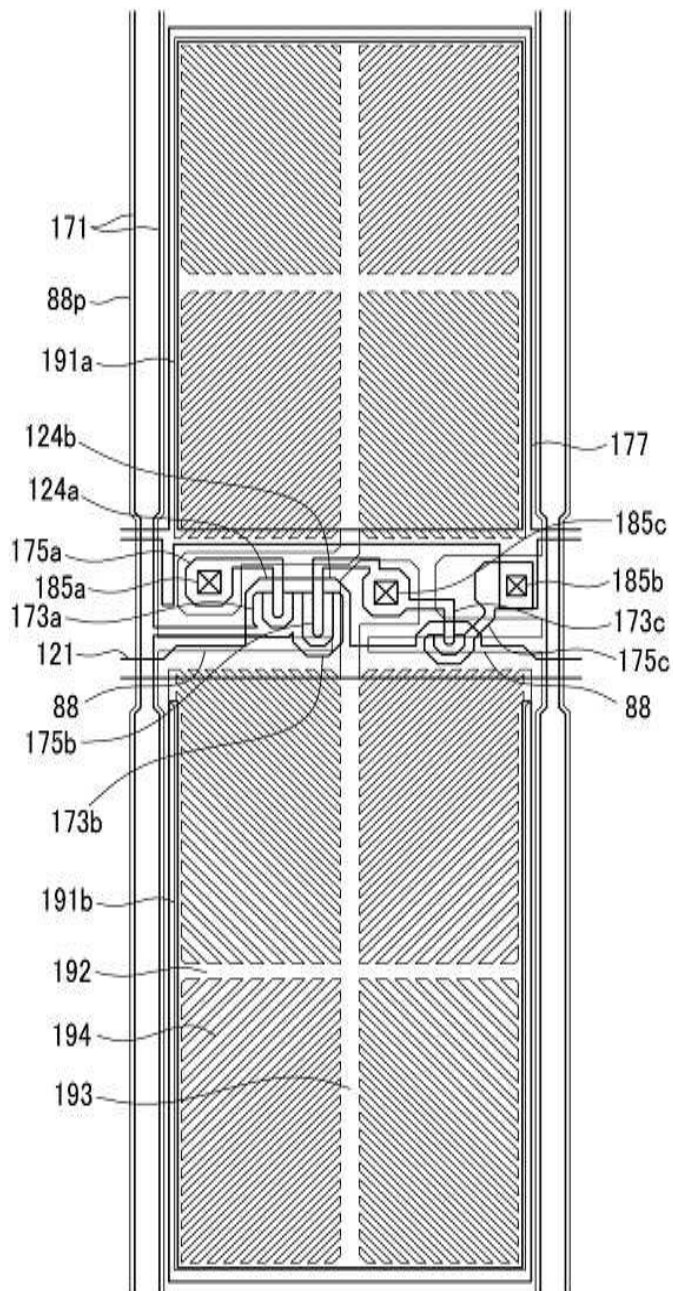
도면17



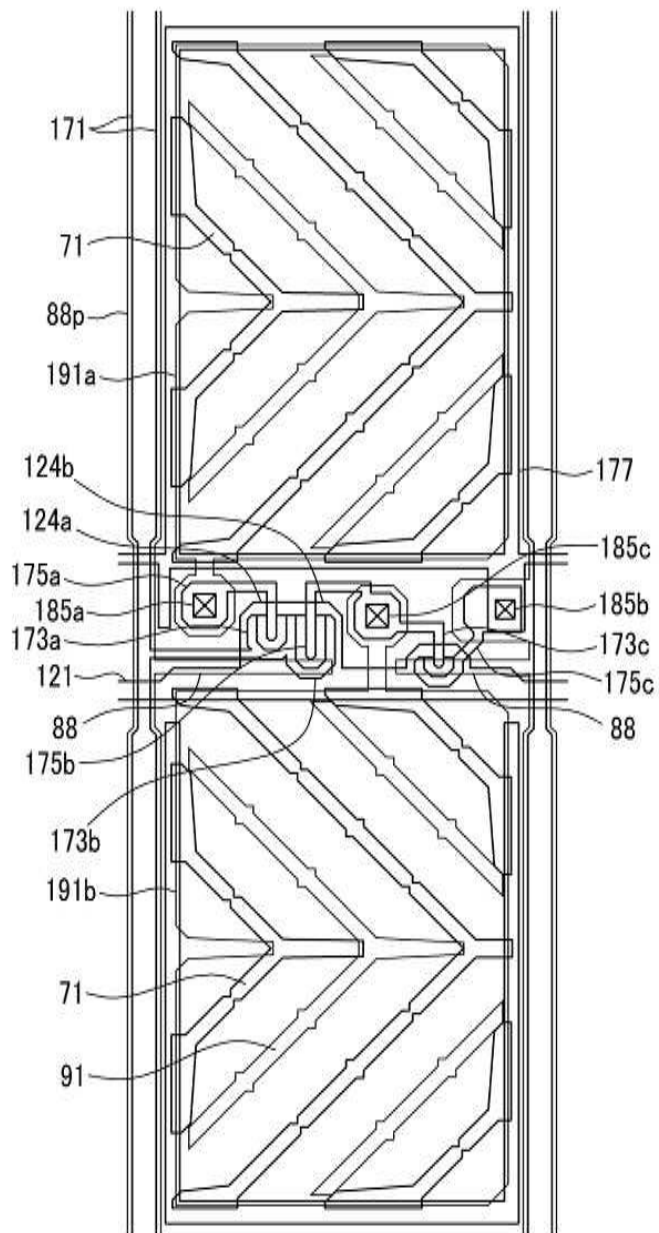
도면18



도면19



도면20



专利名称(译)	液晶显示器		
公开(公告)号	KR101833498B1	公开(公告)日	2018-03-02
申请号	KR1020100106852	申请日	2010-10-29
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM SU JEONG 김수정 SHIN KI CHUL 신기철 KIM YOON JANG 김윤장 KIM HOON 김훈 KIM HYUNG GUEL 김형걸 YEOM JOO SEOK 염주석 SONG JAE JIN 송재진 OH HO KIL 오호길 JUNG JAE HOON 정재훈 JUNG KWANG CHUL 정광철		
发明人	김수정 신기철 김윤장 김훈 김형걸 염주석 송재진 오호길 정재훈 정광철		
IPC分类号	G02F1/1368 G02F1/1343 G02F1/1362 G09G3/36		
CPC分类号	G02F1/1368 G02F1/13624 G02F1/134336 G02F1/136209 G02F1/136286 G09G3/3648 G09G2300/0447 G09G2320/028 G02F2001/134345 G02F2001/136218		
其他公开文献	KR1020120060996A		
外部链接	Espacenet		

摘要(译)

提供一种液晶显示装置。根据本发明实施例的液晶显示器包括第一基板，面向第一基板的第二基板，插入在第一基板和第二基板之间的液晶层，第一薄膜晶体管和第二薄膜晶体管连接到栅极线和数据线，栅极线和第二薄膜晶体管连接到栅极线和数据线，连接到

第二薄膜晶体管的第三薄膜晶体管，连接到第三薄膜晶体管的参考电压线，连接到第一薄膜晶体管的第一子像素电极，以及连接到第二薄膜晶体管的第二薄膜晶体管。并且像素电极具有两个子像素电极。

