



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2016년04월14일
 (11) 등록번호 10-1611923
 (24) 등록일자 2016년04월06일

(51) 국제특허분류(Int. Cl.)
 G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)
 G02F 1/1339 (2006.01)
 (21) 출원번호 10-2012-0019514
 (22) 출원일자 2012년02월27일
 심사청구일자 2013년04월03일
 (65) 공개번호 10-2013-0097879
 (43) 공개일자 2013년09월04일
 (56) 선행기술조사문헌
 KR1020030011692 A*
 KR1020050052802 A*
 KR1020020070756 A*
 KR1020110056961 A*
 *는 심사관에 의하여 인용된 문헌

(73) 특허권자
엘지디스플레이 주식회사
 서울특별시 영등포구 여의대로 128(여의도동)
 (72) 발명자
김진태
 경기 고양시 일산서구 호수로 710, 1703동 1302호
 (주엽동, 강선마을17단지아파트)
남명우
 경북 구미시 옥계북로 69, 104동 1003호 (옥계동,
 현진에버빌엠피아아파트)
 (뒷면에 계속)
 (74) 대리인
박영복

전체 청구항 수 : 총 5 항

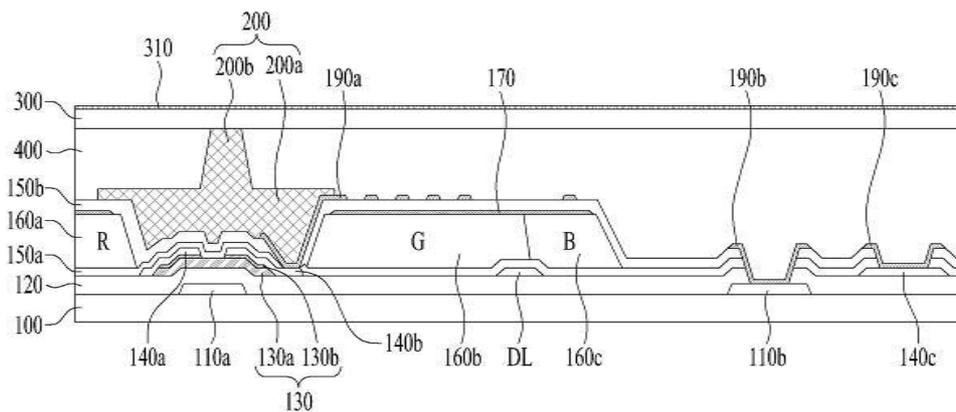
심사관 : 윤성주

(54) 발명의 명칭 액정 표시 장치 및 이의 제조 방법

(57) 요약

본 발명은 마스크 수를 절감하고 생산성을 향상시킬 수 있는 액정 표시 장치 및 이의 제조 방법에 관한 것으로, 본 발명의 액정 표시 장치는 화소 영역에 형성되는 박막 트랜지스터와 상기 박막 트랜지스터를 덮도록 형성된 제 1 무기 보호막, 상기 제 1 무기 보호막 상에 형성되며, 상기 박막 트랜지스터를 제외한 상기 화소 영역에 형성되는 컬러 필터, 상기 컬러 필터 상에 형성된 공통 전극, 상기 공통 전극을 포함하는 상기 제 1 무기 보호막 상에 형성된 제 2 무기 보호막, 상기 제 2 무기 보호막상에 형성된 화소 전극 및 상기 박막 트랜지스터와 중첩되도록 상기 제 1 무기 보호막 및 제 2 무기 보호막 상에 형성된 컬럼 스페이서를 포함하고, 상기 제1 무기 보호막과 상기 제 2 무기 보호막을 동시에 패터닝하여 드레인 콘택홀을 형성한다.

대표도 - 도3



(72) 발명자

신승목

대구 북구 서변로 72, 105동 803호 (서변동, 화성
리버파크1단지)

최수정

경기 파주시 월롱면 엘씨디로 201, 정다운마을 A동
1925호 (파주LCD산업단지)

명세서

청구범위

청구항 1

수직 교차하는 게이트 배선과 데이터 배선이 정의하는 복수 개의 화소 영역을 갖는 제 1 기관;

상기 화소 영역에 형성되는 박막 트랜지스터;

상기 박막 트랜지스터를 덮도록 형성된 제 1 무기 보호막;

상기 제 1 무기 보호막 상에 형성되며, 상기 화소 영역 중 상기 박막 트랜지스터가 형성된 영역을 제외한 영역에 상기 박막 트랜지스터와 중첩없이 형성되는 컬러 필터;

상기 컬러 필터 상에 형성된 공통 전극;

상기 제 1 무기 보호막 상에 적층된 상기 컬러 필터 및 상기 공통 전극을 덮으면서 상기 제 1 무기 보호막 상에 형성된 제 2 무기 보호막;

상기 박막 트랜지스터 상에 상기 컬러 필터없이 적층되어 상기 컬러 필터의 상면보다 낮게 위치한 상기 제 1 및 제 2 무기 보호막을 관통하여 상기 박막 트랜지스터의 드레인 전극의 일부를 노출시키는 드레인 콘택홀;

상기 제 2 무기 보호막 상에 형성되어 상기 공통 전극과 부분적으로 중첩되고, 상기 드레인 콘택홀을 경유하여 상기 드레인 전극과 접속된 화소 전극; 및

상기 박막 트랜지스터와 중첩되도록 상기 제 1 무기 보호막 및 제 2 무기 보호막 상에 형성되어 상기 컬러 필터와 인접한 컬러 필터의 사이의 홈부를 채운 제 1 차광 패턴과, 상기 제 1 차광 패턴의 일부로부터 돌출되어 제 2 기관과 접하며 상기 제 1 차광 패턴보다 단면의 폭이 작은 제 2 차광 패턴이 일체화된 컬럼 스페이서를 포함하고,

상기 제 1 무기 보호막과 상기 제 2 무기 보호막은 상기 드레인 콘택홀을 둘러싸며 서로 접하는 것을 특징으로 하는 액정 표시 장치.

청구항 2

제 1 항에 있어서,

상기 제 2 기관 전면에는 투명 전도성 물질의 정전기 방출판이 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 3

삭제

청구항 4

제 1 항에 있어서,

상기 컬럼 스페이서는 카본, 산화 티타늄, 컬러 안료 중 선택된 하나 이상의 차광성의 물질로 형성된 것을 특징으로 하는 액정 표시 장치.

청구항 5

삭제

청구항 6

삭제

청구항 7

제 1 기관 상에 게이트 절연막을 사이에 두고 수직 교차하여 화소 영역을 정의하는 게이트 배선과 데이터 배선

을 형성하고, 상기 게이트 배선과 데이터 배선과 접속되는 박막 트랜지스터를 형성하는 단계;

상기 박막 트랜지스터를 덮도록 제 1 무기 보호막을 형성하는 단계;

상기 제 1 무기 보호막 상에, 상기 화소 영역 중 상기 박막 트랜지스터가 형성된 영역을 제외한 영역에 상기 박막 트랜지스터와 중첩없이 컬러 필터를 형성하는 단계;

상기 컬러 필터 상에 공통 전극을 형성하는 단계;

상기 제 1 무기 보호막 상에 적층된 상기 컬러 필터 및 상기 공통 전극을 덮으면서 상기 제 1 무기 보호막 상에도 위치하는 제 2 무기 보호막을 형성하고, 상기 박막 트랜지스터 상에 상기 컬러 필터없이 적층되어 상기 컬러 필터의 상면보다 낮게 위치한 상기 제 1 및 제 2 무기 보호막을 동시에 제거하여 상기 박막 트랜지스터의 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 형성하는 단계;

상기 제 2 무기 보호막 상에서 상기 공통 전극과 부분적으로 중첩되고, 상기 드레인 콘택홀을 경유하여 상기 박막 트랜지스터의 드레인 전극과 접속하는 화소 전극을 형성하는 단계; 및

상기 박막 트랜지스터와 중첩되도록 상기 제 1 무기보호막 및 상기 제 2 무기 보호막 상에서 상기 컬러 필터와 인접한 컬러 필터의 사이의 홈부를 채운 제 1 차광 패턴과, 제 2 기판과 접하기 위하여 상기 제1 차광 패턴의 일부로부터 돌출되고 상기 제 1 차광 패턴보다 단면의 폭이 작은 제 2 차광 패턴이 일체화된 컬럼 스페이서를 형성하는 단계를 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 8

제 7 항에 있어서,

전면에 정전기 방출판이 형성된 상기 제 2 기판을 상기 제 1 기판과 합착하는 단계를 더 포함하는 것을 특징으로 하는 액정 표시 장치의 제조 방법.

청구항 9

삭제

청구항 10

삭제

청구항 11

삭제

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 특히, 마스크 공정을 줄이고 PAC(Photo Active Compound)을 제거하여 생산성을 향상시킬 수 있는 액정 표시 장치 및 이의 제조 방법에 관한 것이다.

배경 기술

[0002] 정보화 사회가 발전함에 따라 표시 장치에 대한 요구도 다양한 형태로 점증하고 있으며, 이에 부응하여 근래에는 LCD(Liquid Crystal Display Device), PDP(Plasma Display Panel), ELD(Electro Luminescent Display), VFD(Vacuum Fluorescent Display) 등 여러 가지 평판 표시 장치가 연구되어 왔고, 일부는 이미 여러 장비에서 표시 장치로 활용되고 있다.

[0003] 그 중에, 현재 화질이 우수하고 경량, 박형, 저소비 전력의 특징 및 장점으로 인하여 이동형 화상 표시 장치의 용도로 CRT(Cathode Ray Tube)를 대체하면서 액정 표시 장치가 가장 많이 사용되고 있으며, 노트북 컴퓨터의 모니터와 같은 이동형의 용도 이외에도 방송 신호를 수신하여 디스플레이하는 텔레비전 및 컴퓨터의 모니터 등으로 다양하게 개발되고 있다.

[0004] 이러한 액정 표시 장치는 박막 트랜지스터 어레이가 형성된 제 1 기판, 컬러 필터 어레이가 형성된 제 2 기판

및 제 1, 제 2 기판 사이에 형성된 액정층을 포함하여 이루어진다. 제 1 기판에는 수직 교차하는 게이트 배선과 데이터 배선이 정의하는 복수 개의 화소 영역, 각 화소 영역에 형성되어 데이터 신호가 개별적으로 공급되는 다수의 화소 전극 및 화소 전극을 개별적으로 구동하기 위한 박막 트랜지스터가 형성된다. 그리고, 제 2 기판에는 각 화소 영역에 형성된 컬러 필터, 빛샘 방지를 위한 블랙 매트릭스 및 제 1 기판과 제 2 기판 사이의 간격을 유지하기 위한 컬럼 스페이서가 형성된다.

- [0005] 상기와 같은 액정 표시 장치에서 가장 많이 사용되는 대표적인 구동 모드(Mode)는 액정 방향자가 90° 트위스트 되도록 배열한 후 전압을 가하여 액정 방향자를 제어하는 TN(Twisted Nematic) 모드와, 한 기판 상에 나란하게 배열된 화소 전극과 공통 전극 간의 수평 전계에 의해 액정이 구동되는 횡전계(In-Plane Switching) 모드 등이 있다.
- [0006] 특히, 횡전계 모드는 화소 전극과 공통 전극을 박막 트랜지스터 기판의 개구부에 서로 교번하도록 형성하여, 화소 전극과 공통 전극 사이에 발생하는 횡전계에 의해 액정이 배향되도록 한 것이다. 그런데, 횡전계 모드 액정 표시 장치는 시야각은 넓으나 개구율 및 투과율이 낮으므로, 상기와 같은 문제점을 개선하기 위해 프린지 전계(Fringe Field Switching; FFS) 모드 액정 표시 장치가 제안되었다.
- [0007] 프린지 전계 모드 액정 표시 장치는 화소 영역에 통전극 형태의 공통 전극을 형성하고 공통 전극 상에 슬릿 형태로 복수 개의 화소 전극을 형성하거나, 반대로 화소 전극을 통전극 형태로 형성하고 공통 전극을 복수 개의 슬릿 형태로 형성함으로써, 화소 전극과 공통 전극 사이에 형성되는 프린지 전계에 의해 액정 분자를 동작시킨다.
- [0008] 이하, 첨부된 도면을 참조하여, 일반적인 프린지 전계 모드 액정 표시 장치의 제조 방법을 설명하면 다음과 같다.
- [0009] 도 1은 일반적인 프린지 전계 모드 액정 표시 장치의 단면도이며, 도 2a 내지 도 2e는 도 1의 드레인 전극과 화소 전극을 접속시키는 단계를 나타낸 공정 단면도이다.
- [0010] 도 1을 참조하면, 일반적인 프린지 전계 모드 액정 표시 장치의 제조 방법은 제 1 기판(10)에 제 1 마스크를 이용하여 게이트 배선(미도시), 게이트 전극(10a), 게이트 패드 하부 전극(10b) 및 데이터 패드 하부 전극(10c)을 형성하고, 제 2 마스크를 이용하여 액티브층(13a)과 오믹 콘택층(13b)이 차례로 적층된 구조의 반도체층(13)을 형성한다. 그리고, 제 3 마스크를 이용하여 소스, 드레인 전극(14a, 14b)과 데이터 배선(DL)을 형성하고, 소스, 드레인 전극(14a, 14b)을 덮도록 차례로 제 1, 제 2 보호막(15a, 15b)을 형성한다.
- [0011] 그리고, 제 4 마스크를 이용하여 제 2 보호막(15b)을 선택적으로 제거하여 드레인 전극(14b), 게이트 패드 하부 전극(10b) 및 데이터 패드 하부 전극(10c)에 대응되는 제 1 보호막(15a)을 노출시킨다. 그리고, 제 5 마스크를 이용하여 제 2 보호막(15b) 상에 공통 전극(18)을 형성한다. 공통 전극(18)을 덮도록 제 3 보호막(15c)을 형성하고, 제 6 마스크를 이용하여 제 3 보호막(15c)을 선택적으로 제거하여 드레인 전극(14b), 게이트 패드 하부 전극(10b), 데이터 패드 하부 전극(10c)을 노출시킨다.
- [0012] 그리고, 제 7 마스크를 이용하여 제 3 보호막(15c) 상에 드레인 전극(14b)과 접속하는 화소 전극(16a)과, 게이트 패드 하부 전극(10b)과 접속하는 게이트 패드 상부 전극(16b) 및 데이터 패드 하부 전극(10c)과 접속하는 데이터 패드 상부 전극(16c)을 형성한다. 또한, 도시하지는 않았지만, 제 2 기판 상에 블랙 매트릭스, R, G, B 컬러 필터 및 컬럼 스페이서를 형성하는 단계까지 포함하면, 일반적인 액정 표시 장치는 총 12개의 마스크를 이용하여 형성된다. 따라서, 공정이 복잡하고 제조 비용이 증가한다.
- [0013] 한편, 일반적인 액정 표시 장치는 제 1, 제 2, 제 3 보호막(15a, 15b, 15c)을 사이에 두고 데이터 배선(DL)과 화소 전극(16a) 사이에 데이터 부하(Data Load)를 줄여 소비 전력을 저감하기 위해, PAC(Photo Active Compound)으로 제 2 보호막(15b)을 형성한다. 그런데, 일반적으로, 무기 절연막으로 형성되는 제 1, 제 3 보호막(15a, 15c)에 비해 유기 절연막인 PAC으로 형성되는 제 2 보호막(15b)의 두께가 두꺼워, 제 2 보호막(15b)을 형성하는 공정 시간이 제 1, 제 3 보호막(15a, 15c)을 형성하는 공정 시간보다 길어 수율이 저하된다.
- [0014] 더욱이, 유기 절연막과 무기 절연막은 동일한 마스크 공정으로 패터닝할 수 없으므로, 일반적인 액정 표시 장치는 도 2a와 같이, 제 1 보호막(15a)과 제 2 보호막(15b)을 차례로 형성한 후, 도 2b와 같이, 제 4 마스크 공정으로 제 1 보호막(15a)을 노출시키도록 제 2 보호막(15b)을 패터닝한다. 그리고, 제 2 보호막(15b) 상에 공통 전극(18)을 형성한다.
- [0015] 이어, 도 2c와 같이, 공통 전극(18)과 노출된 제 1 보호막(15a)을 덮도록 제 3 보호막(15c)을 형성하고, 도 2d

와 같이, 제 6 마스크 공정으로 제 2 보호막(15b)이 제거된 영역에 대응되는 제 1, 제 3 보호막(15a, 15c)을 패터닝하여 드레인 전극(14b)을 노출시킨다. 그리고, 도 2e와 같이, 노출된 드레인 전극(14b)과 접속하는 화소 전극(16a)을 제 3 보호막(15c) 상에 형성한다.

[0016] 즉, 상술한 바와 같이 일반적인 액정 표시 장치는 제 1, 제 3 보호막(15a, 15c)과 제 2 보호막(15b)의 물질이 상이하여 동시에 패터닝 할 수 없으므로, 공정이 복잡해지고 수율이 저하된다.

발명의 내용

해결하려는 과제

[0017] 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로, 10개의 마스크를 이용하여 제조할 수 있는 COT(Color Filter On TFT) 구조의 액정 표시 장치 및 이의 제조 방법을 제공하는데, 그 목적이 있다.

과제의 해결 수단

[0018] 상기와 같은 목적을 달성하기 위한 본 발명의 액정 표시 장치는 수직 교차하는 게이트 배선과 데이터 배선이 정의하는 복수 개의 화소 영역을 갖는 제 1 기판, 상기 화소 영역에 형성되는 박막 트랜지스터, 상기 박막 트랜지스터를 덮도록 형성된 제 1 무기 보호막, 상기 제 1 무기 보호막 상에 형성되며, 상기 박막 트랜지스터를 제외한 상기 화소 영역에 형성되는 컬러 필터, 상기 컬러 필터 상에 형성된 공통 전극, 상기 공통 전극을 포함하는 상기 제 1 무기 보호막 상에 형성된 제 2 무기 보호막, 상기 제 2 무기 보호막상에 형성된 화소 전극 및 상기 박막 트랜지스터와 중첩되도록 상기 제 1 무기 보호막 및 제 2 무기 보호막 상에 형성된 컬럼 스페이서를 포함하고, 상기 제1 무기 보호막은 상기 박막 트랜지스터의 드레인 전극의 일부를 노출시키는 드레인 콘택홀을 포함하며, 상기 제1 무기 보호막과 상기 제2 무기 보호막은 상기 드레인 콘택홀을 둘러싸며 서로 접하도록 한다.

[0019] 상기 제 1 기판과 합착된 제 2 기판을 더 포함하며, 상기 제 2 기판 전면에는 정전기 방출판이 형성된다.

[0020] 상기 정전기 방출판은 TO, ITO, IZO, ITZO 중 선택된 투명 전도성 물질로 형성된다.

[0021] 상기 컬럼 스페이서는 차광성의 물질로 형성된다.

[0022] 상기 차광성의 물질은 카본, 산화 티타늄, 컬러 안료 중 선택된 하나 이상의 물질이다.

상기 컬럼 스페이서는 상기 박막 트랜지스터와 중첩 형성되어, 상기 컬러 필터의 높이를 보상하는 제 1 패턴과, 상기 제 1 패턴 상에 형성되어 상기 제 2 기판과 접하여 상기 제 1 기판과 제 2 기판 사이의 셀갭을 유지하는 제 2 패턴을 포함한다.

[0023] 삭제

[0024] 또한, 동일 목적을 달성하기 위한 본 발명의 액정 표시 장치의 제조 방법은 제 1 기판 상에 게이트 절연막을 사이에 두고 수직 교차하여 화소 영역을 정의하는 게이트 배선과 데이터 배선을 형성하고, 상기 게이트 배선과 데이터 배선과 접속되는 박막 트랜지스터를 형성하는 단계, 상기 박막 트랜지스터를 덮도록 제 1 보호막을 형성하는 단계, 상기 제 1 무기 보호막 상에 상기 박막 트랜지스터를 제외한 상기 화소 영역에 컬러 필터를 형성하는 단계, 상기 컬러 필터 상에 공통 전극을 형성하는 단계, 상기 공통 전극 상에 제 2 무기 보호막을 형성하고, 상기 제 1, 제 2 무기 보호막을 동시에 제거하여 상기 박막 트랜지스터를 노출시키는 단계, 상기 제 2 무기 보호막 상에 상기 박막 트랜지스터와 접속하는 화소 전극을 형성하는 단계 및 상기 박막 트랜지스터와 중첩되도록 상기 제 1 무기 보호막 및 상기 제 2 무기 보호막 상에 컬럼 스페이서를 형성하는 단계를 포함하도록 한다.

[0025] 또한, 전면에 정전기 방출판이 형성된 제 2 기판을 상기 제 1 기판과 합착하는 단계를 더 포함한다.

[0026] 삭제

[0027] 삭제

[0028] 삭제

발명의 효과

[0029] 상기와 같은 본 발명의 액정 표시 장치 및 이의 제조 방법은 다음과 같은 효과가 있다.

[0030] 첫째, 제 1 기판에 컬러 필터와 박막 트랜지스터를 형성하여, 제 1, 제 2 기판의 합착 마진을 감소시켜 개구율을 향상시킬 수 있다. 특히, 제 1 기판 상에 형성된 컬러 필터가 화소 전극과 데이터 배선의 데이터 부하(Data Load)를 줄일 수 있으므로, PAC(Photo Active Compound)을 제거하여, 제조 비용을 절감할 수 있다.

[0031] 둘째, 제 1 보호막과 화소 전극 사이에 PAC을 제거함에 따라, 하나의 마스크 공정으로 드레인 전극과 화소 전극을 접속시키기 위한 드레인 콘택홀을 형성할 수 있다.

도면의 간단한 설명

[0032] 도 1은 일반적인 프린지 전계 모드 액정 표시 장치의 단면도.

도 2a 내지 도 2e는 도 1의 드레인 전극과 화소 전극을 접속시키는 단계를 나타낸 공정 단면도.

도 3은 본 발명의 액정 표시 장치의 단면도.

도 4는 본 발명의 액정 표시 장치의 제조 공정을 나타낸 순서도.

도 5a 내지 도 5g는 본 발명의 액정 표시 장치의 제조 방법을 나타낸 공정 단면도.

발명을 실시하기 위한 구체적인 내용

[0033] 일반적으로, 액정 표시 장치는 게이트 배선 및 데이터 배선에 의해 정의된 화소 영역에 박막 트랜지스터(Thin Film Transistor; TFT)와 화소 전극이 형성된 제 1 기판과, 컬러 필터가 형성된 제 2 기판이 서로 대향되고, 제 1, 제 2 기판 사이에 유전 이방성을 갖는 액정층이 형성된다. 그런데, 이 경우, 제 1 기판과 제 2 기판을 합착할 때, 미스-얼라인(miss-align)에 의해 빛샘이 발생하여 개구율이 현저히 저하될 수 있다.

[0034] 따라서, 본 발명의 액정 표시 장치는 제 1 기판 상에 컬러 필터와 박막 트랜지스터를 모두 형성하는 COT(Color Filter On TFT) 구조로, 총 10개의 마스크를 이용하여 제 1 기판 상에 컬러 필터와 박막 트랜지스터를 형성하여 공정을 단순화하고 제조 비용을 절감할 수 있다. 이로 인해, 제 1 기판과 제 2 기판의 합착 마진을 감소시켜 개구율을 향상시킬 수 있다.

[0035] 이하, 첨부된 도면을 참조하여, 본 발명의 액정 표시 장치를 설명하면 다음과 같다.

[0036] 도 3은 본 발명의 액정 표시 장치의 단면도이다.

[0037] 도 3과 같이, 본 발명의 액정 표시 장치는 제 1 기판(100) 상에 게이트 배선(미도시)과 데이터 배선(DL)이 수직 교차하여 정의된 화소 영역에 형성되는 박막 트랜지스터, 박막 트랜지스터를 포함하는 게이트 절연막(120) 전면 에 형성된 제 1 무기 보호막(150a), 제 1 무기 보호막(150a) 상에 형성되며, 박막 트랜지스터를 제외한 화소 영역에 형성되는 R, G, B 컬러 필터(160a, 160b, 160c), R, G, B 컬러 필터(160a, 160b, 160c) 상에 형성된 공통 전극(170), 공통 전극(170)을 포함하는 제 1 무기 보호막(150a) 전면 에 형성된 제 2 무기 보호막(150b), 제 1, 제 2 무기 보호막(150a, 150b)을 선택적으로 제거하여 노출된 박막 트랜지스터와 접속하도록 제 2 무기 보호막(150b) 상에 형성되어, 제 2 무기 보호막(150b)을 사이에 두고 공통 전극(170)과 프린지 전계를 형성하는 화소 전극(190a), 박막 트랜지스터와 중첩되도록 제 2 보호막(150a) 상에 형성된 컬럼 스페이서(200)를 포함한다.

[0038] 구체적으로, 제 1 기판(100) 상에는 복수 개의 게이트 배선(미도시)과 데이터 배선(DL)이 수직 교차하여 복수 개의 화소 영역을 정의하고, 게이트 배선(미도시)과 데이터 배선(DL)이 교차하는 교차 영역에 박막 트랜지스터가 형성된다. 그리고, 게이트 배선(미도시)과 접속된 게이트 패드와, 데이터 배선(DL)과 접속된 데이터 패드를 포함한다.

[0039] 박막 트랜지스터는 게이트 전극(110a), 서로 이격된 소스 전극(140a)과 드레인 전극(140b) 및 액티브층(130a)과 오믹 콘택층(130b)이 차례로 적층된 구조의 반도체층(130)을 포함한다. 이 때, 게이트 전극(110a)은 게이트 배선(미도시)으로부터의 스캔 신호가 공급되도록 게이트 배선(미도시)에서 돌출 형성될 수도 있고, 게이트 배선

(미도시)의 일부 영역으로 정의될 수도 있다.

- [0040] 액티브층(130a)은 산화 실리콘(SiO_x), 질화 실리콘(SiN_x) 등과 같은 무기 절연 물질로 형성된 게이트 절연막(120)을 사이에 두고 게이트 전극(110a)과 중첩된다. 액티브층(130a) 상에 형성된 오믹 콘택층(130b)은 소스, 드레인 전극(140a, 140b)과 액티브층(130a) 사이의 전기 접촉 저항을 감소시키며, 소스, 드레인 전극(140a, 140b)의 이격된 구간에 대응되는 오믹 콘택층(130b)이 제거되어 채널이 형성된다.
- [0041] 소스 전극(140a)은 데이터 배선(DL)과 접속되어 데이터 배선(DL)의 화소 신호를 인가 받으며, 드레인 전극(140b)은 채널을 사이에 두고 소스 전극(140a)과 일정 간격 이격되어 마주하도록 형성된다. 그리고, 박막 트랜지스터와 데이터 배선(DL)을 포함하는 게이트 절연막(120) 상에 제 1 무기 보호막(150a)이 형성된다. 제 1 무기 보호막(150a)은 SiN_x, SiO_x 등과 같은 무기 절연막으로 형성된다.
- [0042] 제 1 무기 보호막(150a) 상에는 각 화소 영역에 대응되도록 R, G, B 컬러 필터(160a, 160b, 160c)가 형성된다. 즉, 박막 트랜지스터와 R, G, B 컬러 필터(160a, 160b, 160c)는 제 1 기판(100) 상에 형성되므로, 제 1 기판(100)과 제 2 기판(300)을 합착할 때, 합착 마진을 최소화하여 개구율을 향상시킬 수 있다.
- [0043] 특히, R, G, B 컬러 필터(160a, 160b, 160c)는 상술한 바와 같이, 박막 트랜지스터와 중첩되지 않도록 박막 트랜지스터를 제외한 화소 영역에 형성되는 것이 바람직하다. 이는, 드레인 전극(140a) 상에서 제 1, 제 2 무기 보호막(150a, 150b)만이 중첩 형성되어, 하나의 마스크를 이용하여 화소 전극(190a)과 드레인 전극(140b)을 접속시키기 위한 드레인 콘택홀(180a)을 형성하기 위함이다.
- [0044] 그리고, R, G, B 컬러 필터(160a, 160b, 160c) 상에는 TO(Tin Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 전도성 물질로 공통 전극(170)이 형성되며, 공통 전극(170)은 통전극 형태로 형성되어 공통 신호를 바로 인가받는다.
- [0045] 공통 전극(170)을 포함하는 제 1 무기 보호막(150a) 전면에는 제 2 무기 보호막(150b)이 형성된다. 제 2 무기 보호막(150b) 역시 SiN_x 등과 같은 무기 절연막으로 형성된다. 제 1, 제 2 무기 보호막(150a, 150b)은 박막 트랜지스터의 드레인 전극(140b)을 노출시키는 드레인 콘택홀(180a)을 포함한다.
- [0046] 그리고, 제 2 무기 보호막(150b) 상에는 복수 개의 슬릿 형태의 화소 전극(190a)이 형성되며, 화소 전극(190a)은 드레인 콘택홀(180a)을 통해 노출된 드레인 전극(140b)과 접속된다. 화소 전극(190a)은 TO(Tin Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 전도성 물질로 형성된다.
- [0047] 특히, 화소 전극(190a)은 제 2 무기 보호막(150b)을 사이에 두고 공통 전극(170)과 프린지 전계를 형성한다. 그리고, 프린지 필드에 의해 액정 분자들이 유전 이방성에 의해 회전하며, 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상이 구현된다.
- [0048] 그리고, 박막 트랜지스터와 중첩되도록 제 2 무기 보호막(150b) 상에 컬럼 스페이서(200)가 형성된다. 컬럼 스페이서(200)는 도사된 바와 같이, 박막 트랜지스터와 중첩 형성되어, R, G, B 컬러 필터(160a, 160b, 160c)의 높이를 보상하며, PAC의 기능을 수행하는 제 1 패턴(200a)과, 제 1 패턴(200a) 상에 형성되어 제 2 기판(300)과 접하여 제 1 기판(100)과 제 2 기판(300) 사이의 셀갭을 유지하는 제 2 패턴(200b)을 포함하는 이중 높이로 형성될 수 있다. 또한, 컬럼 스페이서(200)는 경우에 따라, 단일 높이 또는 삼중 이상의 높이로 형성될 수 있다.
- [0049] 이 때, 컬럼 스페이서(200)는 차광성의 물질로 형성되어 블랙 매트릭스를 따로 형성하지 않아도 된다. 구체적으로, 컬럼 스페이서(200)는 빛을 흡수하는 카본(Carbon), 산화 티타늄(TiO_x), 컬러 안료(color pigment) 등을 포함하는 유기 물질 또는 블랙 계열의 유기 물질, 일 예로서 빛을 흡수하는 흑색 수지(black resin)로 형성되는 것이 바람직하다.
- [0050] 그리고, 게이트 패드는 게이트 드라이버(미도시)로부터 스캔 신호를 게이트 배선(미도시)에 공급한다. 게이트 패드는 게이트 배선(미도시)과 접속된 게이트 패드 하부 전극(110b), 게이트 절연막(120), 제 1, 제 2 무기 보호막(150a, 150b)을 관통하는 게이트 콘택홀(180b)을 통해 게이트 패드 하부 전극(110b)과 접속된 게이트 패드 상부 전극(180b)을 포함한다.
- [0051] 또한, 데이터 패드는 데이터 드라이버(미도시)로부터의 화소 신호를 데이터 배선(DL)에 공급한다. 데이터 패드는 데이터 배선(DL)과 접속된 데이터 패드 하부 전극(140c)과, 제 1, 제 2 무기 보호막(150a, 150b)을 관통하는 데이터 콘택홀(180c)을 통해 데이터 패드 하부 전극(140c)과 접속된 데이터 패드 상부 전극(180c)을 포함한다.

- [0052] 상기와 같은 본 발명의 액정 표시 장치는 제 1 기판(100)에 박막 트랜지스터와 R, G, B 컬러 필터(160a, 160b, 160c)를 동시에 형성하여, 제 1, 제 2 기판(100, 300)의 합착 마진을 감소시켜 개구율을 향상시킬 수 있다. 특히, 본 발명의 액정 표시 장치는 R, G, B 컬러 필터(160a, 160b, 160c)가 데이터 배선(DL)과 화소 전극(190a) 사이의 데이터 부하(Data Load)를 줄일 수 있으므로, PAC을 제거할 수 있다.
- [0053] 일반적인 액정 표시 장치는 제 1 보호막과 화소 전극 사이에 유기 절연막인 PAC(Photo Active Compound)을 형성하여 데이터 배선과 화소 전극 사이의 데이터 부하(Data Load)를 줄인다. 그런데, PAC은 무기 절연막에 비해 두께가 두꺼워 공정 시간이 길어 수율이 저하될 뿐만 아니라, 화소 전극과 드레인 전극을 접속시키기 위한 드레인 콘택홀을 형성할 시, PAC과 무기 절연막을 서로 다른 마스크 공정으로 패터닝해야 하므로, 공정이 복잡해지며 제조 비용이 증가한다.
- [0054] 그러나, 본 발명의 액정 표시 장치는 PAC을 제거하여도, R, G, B 컬러 필터(160a, 160b, 160c)가 데이터 배선(DL)과 화소 전극(190a) 사이의 데이터 부하(Data Load)를 줄일 수 있다. 더욱이, R, G, B 컬러 필터(160a, 160b, 160c)를 박막 트랜지스터와 중첩되지 않도록 형성함으로써, 박막 트랜지스터의 드레인 전극을 노출시키는 공정 시, 차례로 적층된 제 1, 제 2 보호막(150a, 150b)을 한번에 선택적으로 제거할 수 있다.
- [0055] 그리고, 제 1 기판(100)과 대향 합착된 제 2 기판(300) 상에는 정전기 방출을 위한 정전기 방출판(310)이 형성된다. 정전기 방출판(310)은 TO(Tin Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 전도성 물질로 제 2 기판(300) 전면에 형성되어, 모듈(Module) 공정 시 발생한 정전기를 외부로 방출시킨다.
- [0056] 즉, 정전기 방출판(310)은 제 2 기판(300) 전면에 형성되므로, 제 2 기판(300)은 마스크 공정이 필요 없다. 따라서, 제 2 기판(300)의 두께를 얇게 형성할 수 있으므로, 액정 표시 장치를 박형화할 수 있다.
- [0057] 이하, 첨부된 도면을 참조하여, 본 발명의 액정 표시 장치의 제조 방법 구체적으로 설명하면 다음과 같다.
- [0058] 도 4는 본 발명의 액정 표시 장치의 제조 공정을 나타낸 순서도이며, 도 5a 내지 도 5g 본 발명의 액정 표시 장치의 제조 방법을 나타낸 공정 단면도이다.
- [0059] 먼저, 도 4와 도 5a와 같이, 제 1 마스크를 이용하여 제 1 기판(100) 상에 게이트 전극(110a), 게이트 배선(미도시) 및 게이트 패드 하부 전극(110b)을 형성(S5)한다. 구체적으로, 제 1 기판(100) 상에 스퍼터링(Sputtering) 방법 등의 증착 방법으로 게이트 금속층을 형성한 후, 게이트 금속층을 패터닝하여 게이트 전극(110a), 게이트 배선(미도시) 및 게이트 패드 하부 전극(110b)을 형성한다. 그리고, 게이트 전극(110a), 게이트 배선(미도시) 및 게이트 패드 하부 전극(110b)을 포함한 제 1 기판(100) 전면에 게이트 절연막(120)을 형성한다.
- [0060] 이어, 도 5b와 같이, 제 2 마스크를 이용하여 액티브층(130a)과 오믹 콘택층(130b)이 차례로 적층된 구조의 반도체층(130)을 형성(S10)하고, 제 3 마스크를 이용하여 반도체층(130) 상에 일정 간격 이격된 소스, 드레인 전극(140a, 140b), 데이터 배선(DL) 및 데이터 패드 하부 전극(140c)을 형성(S15)한다. 이 때, 데이터 배선(DL)은 게이트 배선과 서로 수직 교차하도록 형성되어, 수직 교차하는 데이터 배선(DL)과 게이트 배선이 복수 개의 화소 영역을 정의한다.
- [0061] 특히, 도시하지는 않았으나, 제 2 마스크로 하프 톤(Half Tone) 마스크 또는 회절 노광 마스크를 사용하는 경우, 반도체층(130), 소스, 드레인 전극(140a, 140b), 데이터 배선(DL) 및 데이터 패드 하부 전극(140c)을 하나의 마스크로 형성함으로써, 제조 공정을 단순화할 수 있다.
- [0062] 또한, 도면에서는 데이터 패드 하부 전극(140c)이 데이터 배선(DL)과 동시에 형성되는 것을 도시하였으나, 데이터 패드 하부 전극(140c)은 게이트 패드 하부 전극(110b)과 같이 형성될 수 있으며, 이 경우, 데이터 패드 하부 전극(140c)과 데이터 배선(DL)을 접속시키기 위한 구성을 더 구비한다.
- [0063] 이로써, 게이트 전극(110a), 반도체층(130), 소스, 드레인 전극(140a, 140b)을 포함하는 박막 트랜지스터가 형성된다. 그리고, 박막 트랜지스터를 포함하는 게이트 절연막(120) 전면에 제 1 무기 보호막(150a)을 형성한다. 이 때, 제 1 무기 보호막(150a)은 SiNx 등과 같은 무기 절연막인 것이 바람직하다.
- [0064] 이어, 도 5c와 같이, 제 4, 제 5, 제 6 마스크 공정으로 제 1 무기 보호막(150a) 상의 각 화소 영역에 R, G, B 컬러 필터(160a, 160b, 160c)를 형성(S20)하고, 도 5d와 같이, 제 7 마스크 공정으로 R, G, B 컬러 필터(160a, 160b, 160c) 상에 공통 전극(170)을 형성(S25)한다. 이 때, 공통 전극(170)은 TO(Tin Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 전도성 물질로 통전극 형태로

형성된다.

- [0065] 특히, R, G, B 컬러 필터(160a, 160b, 160c)는 박막 트랜지스터와 중첩되지 않도록 박막 트랜지스터가 형성된 영역을 제외한 화소 영역에 형성되는 것이 바람직하다. 이는, 후술할 화소 전극과 드레인 전극(140b)을 접속시키기 위한 드레인 콘택홀을 하나의 마스크를 이용하여 형성하기 위함이다.
- [0066] 구체적으로, 일반적인 액정 표시 장치는 박막 트랜지스터를 덮도록 제 1, 제 2 보호막을 차례로 형성하며, 이 때, 제 1 보호막을 무기 절연막으로 형성하며, 제 2 보호막을 유기 절연막인 PAC(Photo Active Compound)으로 형성한다. 이 때, 제 2 보호막을 PAC(Photo Active Compound)으로 형성하는 것은 화소 전극과 데이터 배선 사이의 데이터 부하(Data Load)를 줄이기 위함이다.
- [0067] 그런데, 제 2 보호막 상에는 프린지 전계를 형성하기 위해 무기 절연막으로 제 3 보호막이 형성되므로, 화소 전극과 드레인 전극을 접속시키기 위한 드레인 콘택홀을 형성할 때, 총 2번의 마스크 공정이 필요하다.
- [0068] 즉, 제 1, 제 3 보호막은 무기 절연막으로 형성되는데, 제 2 보호막은 유기 절연막인 PAC으로 형성되므로, 물질이 상이한 제 1, 제 2, 제 3 보호막을 한번에 패터닝할 수 없다. 따라서, 일반적인 액정 표시 장치는 제 2 보호막을 선택적으로 제거하여 제 1 보호막을 노출시키고, 제 2 보호막이 제거되어 노출된 제 1 보호막을 덮도록 제 3 보호막을 형성한 후, 차례로 증착된 제 1, 제 3 보호막을 선택적으로 제거하여 드레인 전극을 노출시키는 것이다.
- [0069] 그러나, 본 발명의 액정 표시 장치는 상술한 바와 같이, R, G, B 컬러 필터(160a, 160b, 160c)가 후술할 화소 전극과 데이터 배선 사이의 데이터 부하를 줄이므로, PAC을 제거할 수 있다. 특히, R, G, B 컬러 필터(160a, 160b, 160c)를 박막 트랜지스터가 형성된 영역을 제외한 화소 영역에 형성하여, 하나의 마스크를 이용하여 드레인 콘택홀을 형성할 수 있다.
- [0070] 이어, 도 5e와 같이, 공통 전극(170)을 포함하는 제 1 무기 보호막(150a) 전면에 제 2 무기 보호막(150b)을 형성한다. 제 2 무기 보호막(150b) 역시 제 1 무기 보호막(150a)과 마찬가지로 SiNx 등과 같은 무기 절연막으로 형성한다. 이 때, 박막 트랜지스터 상에는 제 1 무기 보호막(150a)과 제 2 무기 보호막(150b) 만이 차례로 중첩되므로, 제 8 마스크 공정으로 제 1, 제 2 무기 보호막(150a, 150b)을 패터닝하여 드레인 전극(140b)을 노출시키는 드레인 콘택홀(180a)을 형성한다. 동시에, 게이트 패드 하부 전극(110b) 및 데이터 패드 하부 전극(140c)을 노출시키는 게이트 콘택홀(180b) 및 데이터 콘택홀(180c)을 형성한다.
- [0071] 그리고, 도 5f와 같이, 드레인 콘택홀(180a), 게이트 콘택홀(180b) 및 데이터 콘택홀(180c)을 포함하는 제 2 무기 보호막(150b) 전면에 TO(Tin Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 전도성 물질을 증착한 후, 제 9 마스크 공정으로 이를 패터닝하여 화소 전극(190a), 게이트 패드 상부 전극(190b) 및 데이터 패드 상부 전극(190c)을 형성(S35)한다.
- [0072] 이 때, 화소 전극(190a)은 복수 개의 슬릿 형태로 형성되며, 드레인 콘택홀(180a)을 통해 드레인 전극(140b)과 접속된다. 화소 전극(190a)은 제 2 무기 보호막(150b)을 사이에 두고 공통 전극(170)과 중첩되어 프린지 전계를 형성한다. 그리고, 게이트 패드 상부 전극(190b)과 데이터 패드 상부 전극(190c)은 각각 게이트 콘택홀(180b)과 데이터 콘택홀(180c)을 통해 게이트 패드 하부 전극(110b)과 데이터 패드 하부 전극(140c)에 접속된다.
- [0073] 마지막으로, 도 5g와 같이, 박막 트랜지스터와 중첩되는 제 2 무기 보호막(150b) 상에 하프 톤 마스크 또는 회절 노광 마스크를 이용하는 제 10 마스크 공정으로 컬럼 스페이서(200)를 형성(S40)한다. 이 때, 컬럼 스페이서(200)는 도시된 바와 같이, 박막 트랜지스터와 중첩 형성되어, R, G, B 컬러 필터(160a, 160b, 160c)의 높이를 보상하며, PAC의 기능을 수행하는 제 1 패턴(200a)과, 제 1 패턴(200a) 상에 형성되어 제 2 기관(300)과 접하여 제 1 기관(100)과 제 2 기관(300) 사이의 셀갭을 유지하는 제 2 패턴(200b)을 포함하는 이중 높이로 형성될 수 있다.
- [0074] 또한, 컬럼 스페이서(200)는 경우에 따라, 단일 높이 또는 삼중 이상의 높이로 형성될 수 있으며, 컬럼 스페이서(200)를 차광성의 물질로 형성하여 블랙 매트릭스를 형성하는 공정을 제거할 수 있다.
- [0075] 그리고, 제 1 기관(100)과 제 2 기관(300)을 합착한 후, 제 1 기관(100)과 제 2 기관(300) 사이에 액정을 주입하여 액정층(400)을 형성한다. 특히, 제 2 기관(300) 상에는 정전기 방출을 위한 정전기 방출판(310)이 형성된다.
- [0076] 정전기 방출판(310)은 TO(Tin Oxide), ITO(Indium Tin Oxide), IZO(Indium Zinc Oxide), ITZO(Indium Tin Zinc Oxide) 등과 같은 투명 전도성 물질로 제 2 기관(300) 전면에 형성되어, 모듈(Module) 공정 시 발생한 정

전기를 외부로 방출시킨다.

[0077] 상기와 같은 본 발명의 액정 표시 장치는 총 10개의 마스크를 이용하여 제 1 기판(100) 상에 박막 트랜지스터와 R, G, B 컬러 필터(160a, 160b, 160c)를 형성함으로써, 제조 비용을 절감하고 공정을 단순화할 수 있다. 더욱이, 반도체층(130), 소스, 드레인 전극(140a, 140b), 데이터 배선(DL) 및 데이터 패드 하부 전극(140c)을 하나의 마스크로 형성하는 경우, 총 9개의 마스크를 이용하여 액정 표시 장치를 형성할 수 있다.

[0078] 특히, 제 1 기판(100)에 박막 트랜지스터와 R, G, B 컬러 필터(160a, 160b, 160c)를 모두 형성하여, 제 1, 제 2 기판(100, 300)의 합착 마진을 감소시켜 개구율을 향상시킬 수 있다. 또한, R, G, B 컬러 필터(160a, 160b, 160c)가 데이터 배선(DL)과 화소 전극(190a) 사이의 데이터 부하(Data Load)를 감소시킬 수 있으므로, PAC(Photo Active Compound)을 제거하여, 제조 비용을 절감하고 공정 시간을 단축할 수 있다. 그리고, PAC을 제거함에 따라, 하나의 마스크를 이용하여 드레인 전극(140b)과 화소 전극(190a)을 접속시키기 위한 드레인 콘택홀(180a)을 형성할 수 있다.

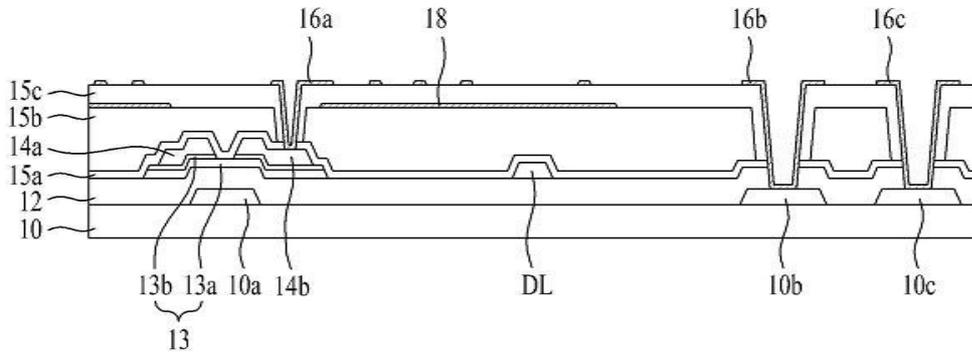
[0079] 한편, 이상에서 설명한 본 발명은 상술한 실시 예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

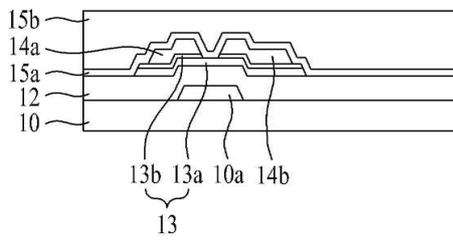
- [0080]
- | | |
|--------------------|--------------------------------|
| DL: 데이터 배선 | 100: 제 1 기판 |
| 110a: 게이트 전극 | 110b: 게이트 패드 하부 전극 |
| 120: 게이트 절연막 | 130: 반도체층 |
| 130a: 액티브층 | 130b: 오믹 콘택층 |
| 140a: 소스 전극 | 140b: 드레인 전극 |
| 140c: 데이터 패드 하부 전극 | 150a: 제 1 무기 보호막 |
| 150b: 제 2 무기 보호막 | 160a, 160b, 160c: R, G, B 컬러필터 |
| 170: 공통 전극 | 180a: 드레인 콘택홀 |
| 180b: 게이트 콘택홀 | 180c: 데이터 콘택홀 |
| 190a: 화소 전극 | 190b: 게이트 패드 상부 전극 |
| 190c: 데이터 패드 상부 전극 | 200: 컬럼 스페이서 |
| 200a: 제 2 패턴 | 200b: 제 2 패턴 |
| 300: 제 2 기판 | 310: 정전기 방출판 |
| 400: 액정층 | |

도면

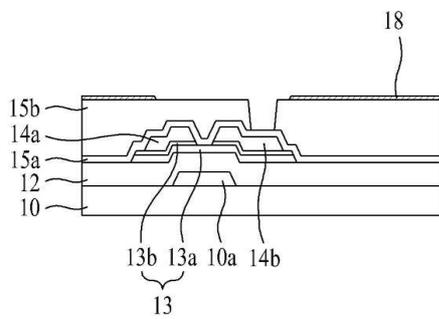
도면1



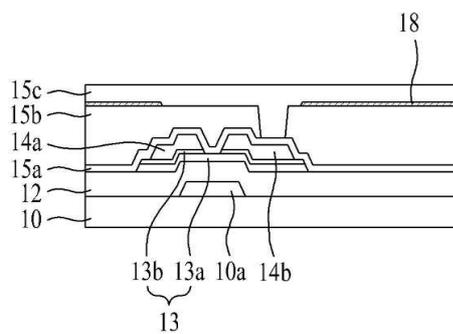
도면2a



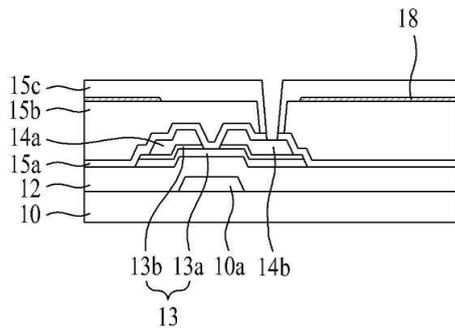
도면2b



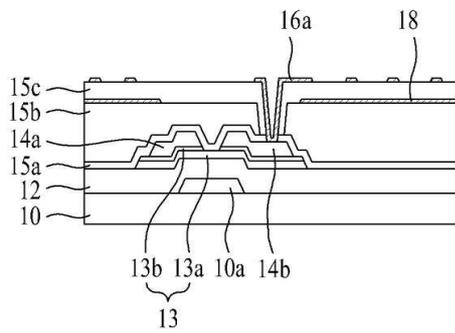
도면2c



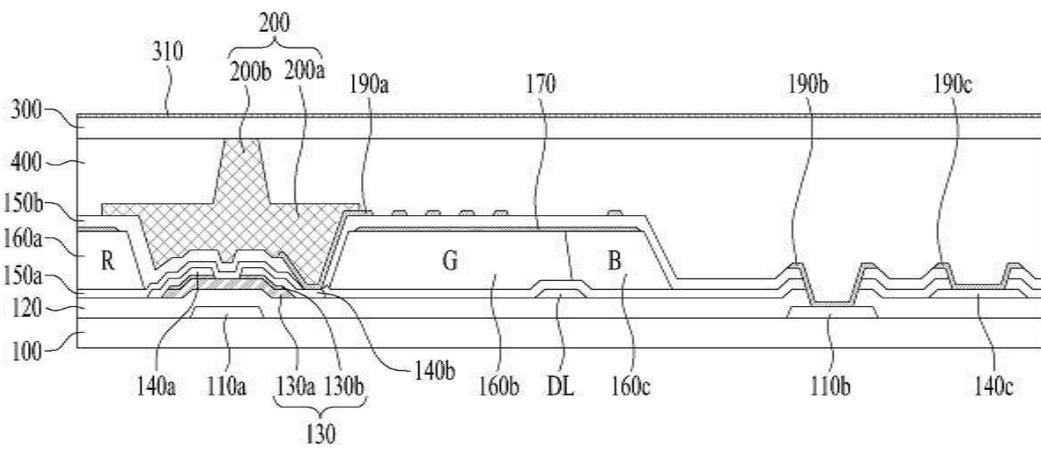
도면2d



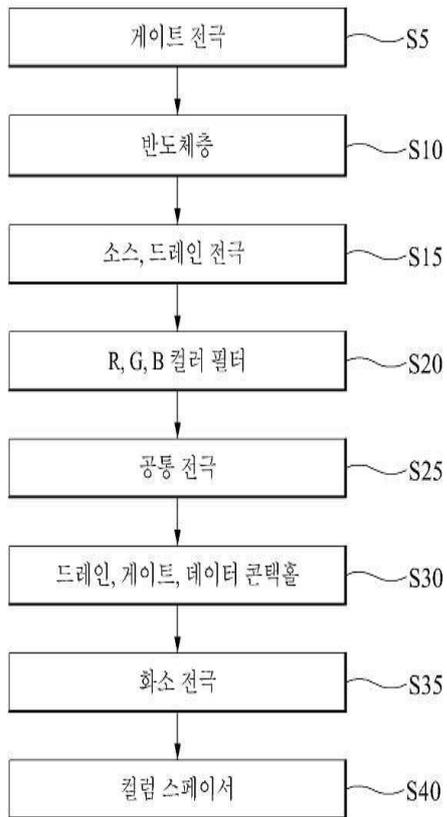
도면2e



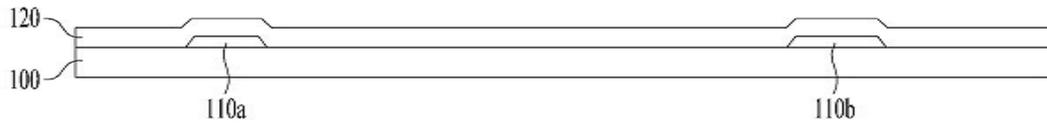
도면3



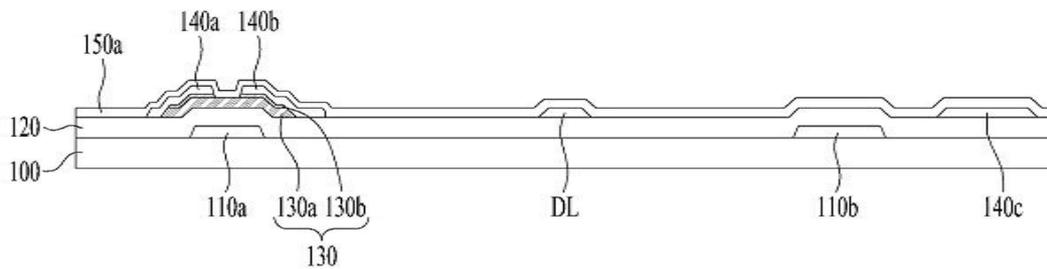
도면4



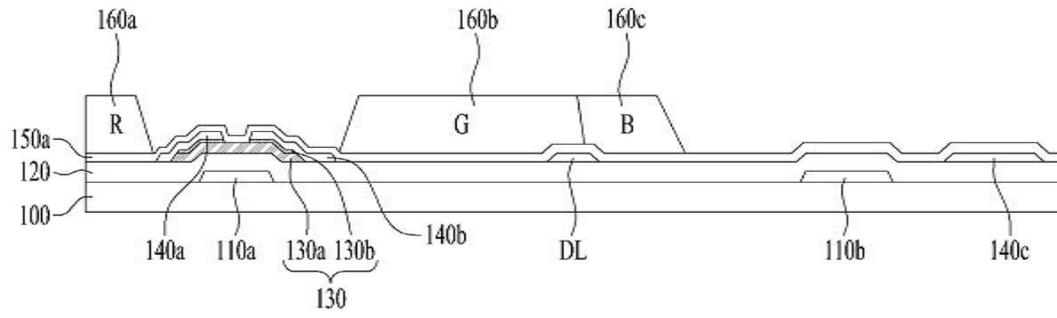
도면5a



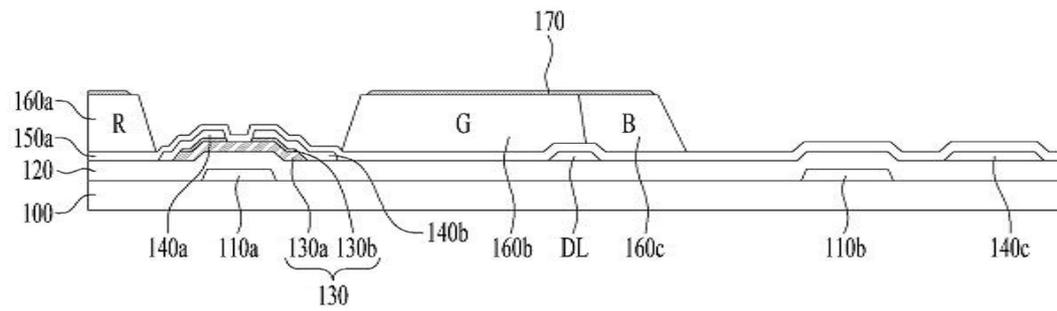
도면5b



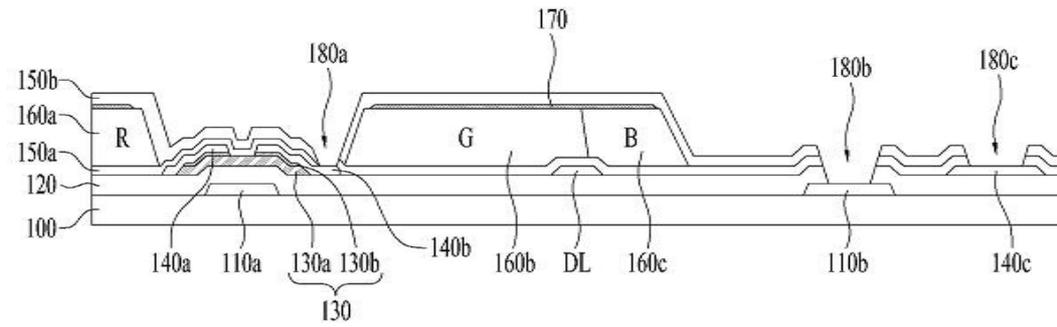
도면5c



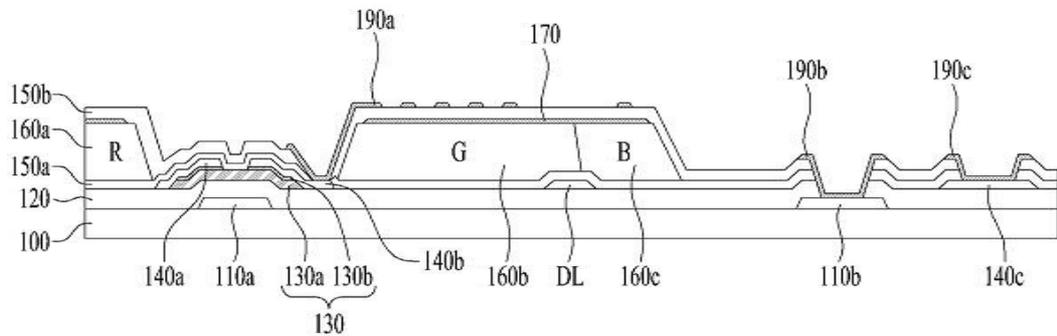
도면5d



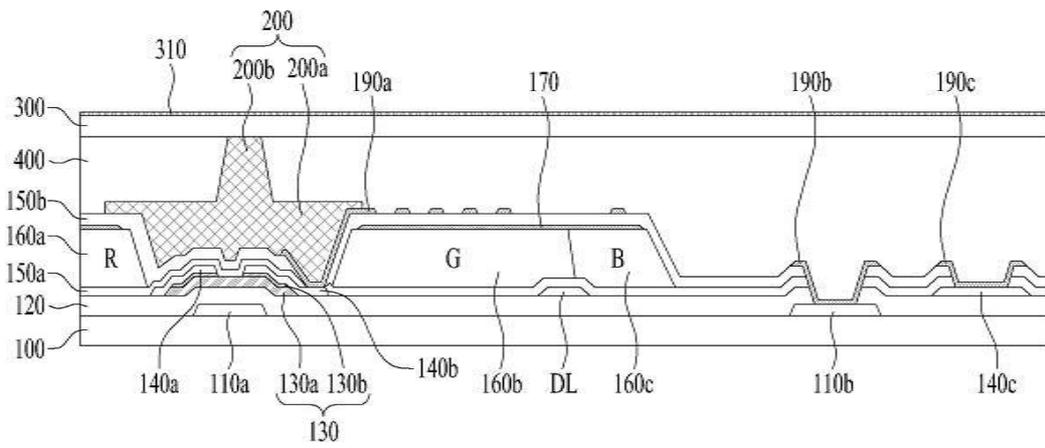
도면5e



도면5f



도면5g



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101611923B1	公开(公告)日	2016-04-14
申请号	KR1020120019514	申请日	2012-02-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM JIN TAE 김진태 NAM MYUNG WOO 남명우 SHIN SEUNG MOK 신승목 CHOI SOO JEONG 최수정		
发明人	김진태 남명우 신승목 최수정		
IPC分类号	G02F1/1343 G02F1/1339 G02F1/1335		
CPC分类号	H01L33/58 G02F1/13394 G02F1/134363 G02F1/136209 G02F1/136227 G02F2001/13398 G02F2001/136222		
代理人(译)	Bakyoungbok		
其他公开文献	KR1020130097879A		
外部链接	Espacenet		

摘要(译)

目的：提供一种液晶显示装置及其制造方法，通过降低第一基板和第二基板的结合余量来提高开口率。结构：在第一无机保护层上形成滤色器。在滤色器上形成公共电极（170）。第二保护层形成在第一无机保护层的前表面上。像素电极（190a）形成在第二无机保护层上。在第二无机保护层上形成柱状间隔物（200）。COPYRIGHT KIPO 2013

