



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2016년02월05일

(11) 등록번호 10-1592015

(24) 등록일자 2016년01월29일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/133 (2006.01)

G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0018994

(22) 출원일자 2009년03월05일

심사청구일자 2014년02월14일

(65) 공개번호 10-2010-0100227

(43) 공개일자 2010년09월15일

(56) 선행기술조사문헌

KR1020050018520 A*

KR1020080010987 A*

KR1020060121720 A*

KR1020040023535 A*

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기 용인시 기흥구 삼성로1(농서동)

(72) 발명자

허명구

충청남도 천안시 서북구 검은들2길 14, 현대아이파크 108동 1202호 (불당동)

이철곤

충청남도 천안시 서북구 두정상가1길 5, 808호 (두정동, 새아스빌)

엄윤성

경기도 용인시 수지구 상현로 30-9, 상현마을 쌍용2차아파트 216동 1702호 (상현동)

(74) 대리인

팬코리아특허법인

전체 청구항 수 : 총 21 항

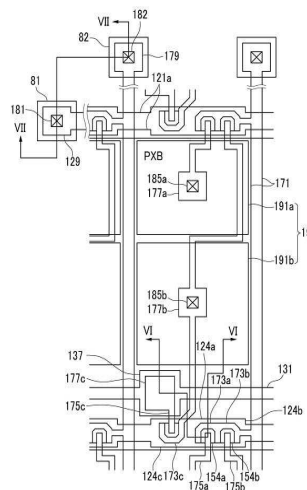
심사관 : 윤성주

(54) 발명의 명칭 액정 표시 장치

(57) 요약

본 발명은 액정 표시 장치에 관한 것이다. 본 발명의 한 실시예에 따른 액정 표시 장치는, 행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서, 제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 복수의 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 복수의 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제2 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제3 박막 트랜지스터, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 제1 게이트선, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 데이터선, 상기 제3 박막 트랜지스터에 연결되어 있는 복수의 제2 게이트선, 그리고 상기 제3 박막 트랜지스터의 드레인 전극과 중첩하는 용량 전극을 포함하는 용량 전극선을 포함하고, 상기 용량 전극선에는 상기 데이터선에 인가되는 전압의 최소 값보다 낮거나 최대 값보다 높은 전압이 인가된다.

대 표 도 - 도4



명세서

청구범위

청구항 1

행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서,
 상기 복수의 화소는 각기
 제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 화소 전극,
 상기 제1 부화소 전극에 연결되어 있는 제1 박막 트랜지스터,
 상기 제2 부화소 전극에 연결되어 있는 제2 박막 트랜지스터,
 상기 제2 부화소 전극에 연결되어 있는 제3 박막 트랜지스터,
 상기 제1 박막 트랜지스터 및 제2 박막 트랜지스터에 연결되어 있는 제1 게이트선,
 상기 제1 박막 트랜지스터 및 제2 박막 트랜지스터에 연결되어 있는 데이터선,
 상기 제3 박막 트랜지스터에 연결되어 있는 제2 게이트선, 그리고
 상기 제3 박막 트랜지스터의 드레인 전극과 중첩하는 용량 전극을 포함하는 용량 전극선,
 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선 아래에 형성되어 있는 반도체를 포함하고,
 상기 제3 박막 트랜지스터의 드레인 전극과 상기 용량 전극 사이에는 상기 반도체 중 일부가 배치되어 있고,
 상기 데이터선에 인가되는 데이터 전압이 음의 극성을 가질 경우, 상기 용량 전극선에 인가되는 전압은 상기 데이터 전압보다 낮고, 상기 데이터 전압이 양의 극성을 가질 경우, 상기 용량 전극선에 인가되는 상기 전압은 상기 데이터 전압보다 높은 액정 표시 장치.

청구항 2

제1항에서,
 상기 반도체는 상기 제1 박막 트랜지스터, 제2 박막 트랜지스터 및 제3 박막 트랜지스터의 채널부를 제외하고
 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제3 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선과 실질적으로 동일한 평면 모양을 가지는 액정 표시 장치.

청구항 3

제2항에서,
 상기 용량 전극선은 상기 제1 게이트선 및 상기 제2 게이트선과 동일한 층에 형성되어 있는 액정 표시 장치.

청구항 4

제3항에서,
 상기 용량 전극선은 상기 제1 게이트선 및 제2 게이트선과 동일한 물질로 이루어져 있는 액정 표시 장치.

청구항 5

제2항에서,
 상기 반도체는 유기 반도체를 포함하는 액정 표시 장치.

청구항 6

제1항에서,

상기 화소 전극과 상기 데이터선 사이에 형성되어 있으며, 접촉 구멍이 형성되어 있는 보호막을 더 포함하고,
상기 보호막은 유기 절연막을 포함하는 액정 표시 장치.

청구항 7

제6항에서,

상기 유기 절연막은 색필터를 포함하는 액정 표시 장치.

청구항 8

제1항에서,

상기 제1 부화소 전극 및 제2 부화소 전극 각각은 복수의 미세 가지부를 포함하며, 상기 미세 가지부의 변의 방향은 서로 다른 액정 표시 장치.

청구항 9

제8항에서,

상기 미세 가지부의 변은 상기 제1 및 제2 게이트선과 45° 또는 135° 의 각을 이루는 액정 표시 장치.

청구항 10

제1항에서,

상기 용량 전극선은 공통 전압보다 낮거나 높은 전압을 인가받는 액정 표시 장치.

청구항 11

제1항에서,

상기 화소 전극은 제1 도메인 분할 수단을 가지는 액정 표시 장치.

청구항 12

제11항에서,

상기 제1 도메인 분할 수단은 절개부인 액정 표시 장치.

청구항 13

제11항에서,

상기 화소 전극과 마주보는 공통 전극을 더 포함하고,

상기 공통 전극은 제2 도메인 분할 수단을 가지는 액정 표시 장치.

청구항 14

제13항에서,

상기 제2 도메인 분할 수단은 절개부인 액정 표시 장치.

청구항 15

행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서,

상기 복수의 화소는 각기

기관,

상기 기관 위에 형성되어 있으며 용량 전극을 포함하는 용량 전극선, 그리고 제1 게이트 전극, 제2 게이트 전극을 및 제3 게이트 전극을 포함하는 게이트 도전체,

상기 게이트 도전체 위에 형성되어 있는 게이트 절연막,
 상기 게이트 절연막 위에 형성되어 있는 반도체층,
 상기 반도체층 위에 형성되어 있는 저항성 접촉층,
 상기 저항성 접촉층 위에 형성되어 있으며, 제1 소스 전극, 제2 소스 전극 및 제3 소스 전극, 제1 드레인 전극, 제2 드레인 전극 및 제3 드레인 전극을 포함하는 데이터 도전체,
 상기 데이터 도전체 위에 형성되어 있는 보호막,
 상기 보호막 위에 형성되어 있는 화소 전극
 을 포함하고,
 상기 용량 전극은 상기 제3 드레인 전극과 중첩하고,
 상기 용량 전극과 상기 제3 드레인 전극 사이에는 상기 반도체층 중 일부가 배치되어 있고,
 상기 화소 전극에 인가되는 데이터 전압이 음의 극성을 가질 경우, 상기 용량 전극선에 인가되는 전압은 상기 데이터 전압보다 낮고, 상기 데이터 전압이 양의 극성을 가질 경우, 상기 용량 전극선에 인가되는 상기 전압은 상기 데이터 전압보다 높은 액정 표시 장치.

청구항 16

제15항에서,
 상기 제1 소스 전극 및 상기 제1 드레인 전극 사이에 드러나 있는 상기 반도체의 제1 노출부, 상기 제2 소스 전극 및 상기 제2 드레인 전극 사이에 드러나 있는 상기 반도체의 제2 노출부 및 상기 제3 소스 전극 및 상기 제3 드레인 전극 사이에 드러나 있는 상기 반도체의 제3 노출부를 제외하고, 상기 반도체는 상기 데이터 도전체와 실질적으로 동일한 평면 형태를 갖는 액정 표시 장치.

청구항 17

제16항에서,
 상기 보호막은 유기 절연막을 포함하는 액정 표시 장치.

청구항 18

제17항에서,
 상기 유기 절연막은 색필터를 포함하는 액정 표시 장치.

청구항 19

제15항에서,
 상기 화소 전극은 제1 부화소 전극 및 제2 부화소 전극을 포함하고,
 상기 제1 부화소 전극 및 상기 제2 부화소 전극 각각은 복수의 미세 가지부를 포함하며, 상기 미세 가지부의 변의 방향은 서로 다른 액정 표시 장치.

청구항 20

제15항에서,
 상기 화소 전극은 제1 도메인 분할 수단을 가지는 액정 표시 장치.

청구항 21

제20항에서,

상기 제1 도메인 분할 수단은 절개부인 액정 표시 장치.

발명의 설명

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전기장 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 들어 있는 액정층으로 이루어지며, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 액정 표시 장치는 또한 각 화소 전극에 연결되어 있는 스위칭 소자 및 스위칭 소자를 제어하여 화소 전극에 전압을 인가하기 위한 게이트선과 데이터선 등 다수의 신호선을 포함한다.

[0004] 이러한 액정 표시 장치 중에서도, 전기장이 인가되지 않은 상태에서 액정 분자의 장축을 표시판에 대하여 수직을 이루도록 배열한 수직 배향 방식(vertically aligned mode)의 액정 표시 장치가 대비비가 크고 기준 시야각이 넓어서 각광받고 있다. 여기에서 기준 시야각이란 대비비가 1:10인 시야각 또는 계조간 휘도 반전 한계 각도를 의미한다.

[0005] 이러한 방식의 액정 표시 장치의 경우에는 측면 시인성을 정면 시인성에 가깝게 하기 위하여, 하나의 화소를 두 개의 부화소로 분할하고 두 부화소의 전압을 달리 인가함으로써 투과율을 다르게 하는 방법이 제시되었다.

[0006] 이러한 방법으로는 두 부화소에 인가하는 전압을 동일하게 하고 별도의 스위칭 소자 및 축전기를 이용하여 두 부화소 중 하나의 부화소의 전압을 강하시키는 방법이 있다. 이러한 구조에서 데이터 도전체 아래에 반도체층이 존재하는 경우 반도체층 때문에 축전기의 정전 용량이 일정하지 않아 두 개의 부화소 전극 전압을 정확하게 조절하기 어렵다.

발명의 내용

해결 하고자하는 과제

[0007] 본 발명이 이루고자 하는 기술적 과제는 반도체층이 데이터 도전체 아래에 존재하는 경우에도 두 개의 부화소 전극의 전압을 정확하게 조절하는 것이다.

과제 해결수단

[0008] 본 발명의 한 실시예에 따른 액정 표시 장치는, 행렬로 배열되어 있는 복수의 화소를 포함하는 액정 표시 장치로서, 제1 부화소 전극 및 제2 부화소 전극을 각각 포함하는 복수의 화소 전극, 상기 제1 부화소 전극에 연결되어 있는 복수의 제1 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제2 박막 트랜지스터, 상기 제2 부화소 전극에 연결되어 있는 복수의 제3 박막 트랜지스터, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 제1 게이트선, 상기 제1 및 제2 박막 트랜지스터에 연결되어 있는 복수의 데이터선, 상기 제3 박막 트랜지스터에 연결되어 있는 복수의 제2 게이트선, 그리고 상기 제3 박막 트랜지스터의 드레인 전극과 중첩하는 용량 전극을 포함하는 용량 전극선을 포함하고, 상기 용량 전극선에는 상기 데이터선에 인가되는 전압의 최소 값보다 낮거나 최대 값보다 높은 전압이 인가된다.

[0009] 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선 아래에 형성되어 있는 반도체를 더 포함하고, 상기 반도체는 상기 제1, 제2 및 제3 박막 트랜지스터의 채널부를 제외하고 상기 제1 박막 트랜지스터, 상기 제2 박막 트랜지스터, 상기 제2 박막 트랜지스터의 드레인 전극, 그리고 상기 데이터선과 실질적으로 동일한 평면 모양을 가질 수 있다.

[0010] 상기 용량 전극선은 상기 제1 게이트선 및 상기 제2 게이트선과 동일한 층에 형성되어 있고, 상기 제1 및 제2

게이트선과 동일한 물질로 이루어질 수 있다.

- [0011] 상기 반도체는 유기 반도체를 포함할 수 있다.
- [0012] 상기 화소 전극과 상기 데이터선 사이에 형성되어 있으며, 접촉 구멍이 형성되어 있는 보호막을 더 포함하고, 상기 보호막은 유기 절연막을 포함할 수 있다.
- [0013] 상기 유기 절연막은 선펜터를 포함할 수 있다.
- [0014] 상기 제1 및 제2 부화소 전극 각각은 복수의 미세 가지부를 포함하며, 상기 미세 가지부의 변의 방향은 서로 다를 수 있다.
- [0015] 상기 미세 가지부의 변은 상기 제1 및 제2 게이트선과 45° 또는 135° 의 각을 이룰 수 있다.
- [0016] 상기 용량 전극선은 공통 전압보다 낮거나 높은 전압을 인가받을 수 있다.
- [0017] 상기 화소 전극은 제1 도메인 분할 수단을 가질 수 있다.
- [0018] 상기 제1 도메인 분할 수단은 절개부일 수 있다.
- [0019] 상기 화소 전극과 마주보는 공통 전극을 더 포함하고, 상기 공통 전극은 제2 도메인 분할 수단을 가질 수 있다.
- [0020] 상기 제2 도메인 분할 수단은 절개부일 수 있다.
- [0021] 본 발명의 다른 한 실시예에 따른 액정 표시 장치는 기판, 상기 기판 위에 형성되어 있으며 용량 전극을 포함하는 용량 전압선, 그리고 제1, 제2 및 제3 게이트 전극을 포함하는 게이트 도전체, 상기 게이트 도전체 위에 형성되어 있는 게이트 절연막, 상기 게이트 절연막 위에 형성되어 있는 반도체층, 상기 반도체층 위에 형성되어 있는 저항성 접촉층, 상기 저항성 접촉층 위에 형성되어 있으며, 제1, 제2 및 제3 소스 전극, 제1 제2 및 제3 드레인 전극을 포함하는 데이터 도전체, 상기 데이터 도전체 위에 형성되어 있는 보호막, 상기 보호막 위에 형성되어 있는 화소 전극을 포함하고, 상기 용량 전극은 상기 제3 드레인 전극과 중첩하고, 상기 용량 전극선에는 상기 화소 전극에 인가되는 전압의 최소 값보다 낮거나 최대 값보다 높은 전압이 인가될 수 있다.
- [0022] 상기 제1 소스 전극 및 상기 제1 드레인 전극 사이에 드러나 있는 상기 반도체의 제1 노출부, 상기 제2 소스 전극 및 상기 제2 드레인 전극 사이에 드러나 있는 상기 반도체의 제2 노출부 및 상기 제1 소스 전극 및 상기 제1 드레인 전극 사이에 드러나 있는 상기 반도체의 제3 노출부를 제외하고, 상기 반도체는 상기 데이터 도전체와 실질적으로 동일한 평면 형태를 갖을 수 있다.

효 과

- [0023] 이와 같이 하면, 감압 축전기를 게이트 도전체와 데이터 도전체를 이용하여 형성함으로써, 감압 축전기 형성을 위한 추가 공정이 필요하지 않아, 액정 표시 장치의 제조 공정을 간단하게 할 수 있고, 동시에, 감압 축전기의 한 단자인 용량 전극에 인가되는 전압을 조절함으로써, 반도체층이 감압 축전기에 존재하는 경우에도 감압 축전기의 정전 용량을 일정하게 조절할 수 있고, 이에 따라 두 개의 부화소 전극의 전압을 정확하게 조절할 수 있어, 측면 시인성을 정면 시인성에 가깝게 할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0024] 그러면 첨부한 도면을 참고로 하여 본 발명의 실시예에 대하여 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있도록 상세히 설명한다. 그러나 본 발명은 여러 가지 상이한 형태로 구현될 수 있으며 여기에서 설명하는 실시예에 한정되지 않는다.
- [0025] 도면에서 여러 층 및 영역을 명확하게 표현하기 위하여 두께를 확대하여 나타내었다. 명세서 전체를 통하여 유사한 부분에 대해서는 동일한 도면 부호를 붙였다. 층, 막, 영역, 판 등의 부분이 다른 부분 "위에" 있다고 할 때, 이는 다른 부분 "바로 위에" 있는 경우뿐 아니라 그 중간에 또 다른 부분이 있는 경우도 포함한다. 반대로 어떤 부분이 다른 부분 "바로 위에" 있다고 할 때에는 중간에 다른 부분이 없는 것을 뜻한다.
- [0026] 이제 본 발명의 한 실시예에 따른 액정 표시 장치에 대하여 도 1 내지 도 3을 참고하여 상세하게 설명한다.
- [0027] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이고, 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 두 부화소에 대한 등가 회로를 개략적으로 도시한 도면이며, 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

- [0028] 도 1에 도시한 바와 같이, 본 발명의 한 실시예에 따른 액정 표시 장치는 액정 표시판 조립체(liquid crystal panel assembly)(300), 게이트 구동부(400), 데이터 구동부(500), 제조 전압 생성부(800) 및 신호 제어부(600)를 포함한다.
- [0029] 액정 표시판 조립체(300)는 등가 회로로 볼 때 복수의 신호선(GLa, GLb, DL, CL 도 3 참고)과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 복수의 화소(pixel)(PX)를 포함한다. 반면, 도 2에 도시한 구조로 볼 때 액정 표시판 조립체(300)는 서로 마주하는 하부 표시판(100)과 상부 표시판(200) 및 그 사이에 들어 있는 액정층(3)을 포함한다.
- [0030] 도 3을 참고하면, 신호선은 게이트 신호("주사 신호"라고도 함)를 전달하는 복수의 게이트선(GLa, GLb), 데이터 전압(Vd)을 전달하는 복수의 데이터선(DL) 및 공통 전압(Vcom)을 전달하는 복수의 용량 전극선(capacitor electrode line)(CL)을 포함한다. 복수의 게이트선(GLa, GLb)과 복수의 용량 전극선(CL)은 대략 행 방향으로 뻗으며 서로가 거의 평행하고, 복수의 데이터선(DL)은 대략 열 방향으로 뻗으며 서로가 거의 평행하다.
- [0031] 본 실시예에 따른 액정 표시판 조립체는 복수의 신호선과 이에 연결된 복수의 화소(PX)를 포함한다.
- [0032] 각 화소(PX)는 한 쌍의 부화소를 포함하며, 각 부화소는 액정 축전기(liquid crystal capacitor)(Clca, Clcb)를 포함한다. 두 부화소는 게이트선(GLa, GLb), 데이터선(DL) 및 액정 축전기(Clca, Clcb)와 연결된 스위칭 소자(Qa, Qb, Qc)를 포함한다.
- [0033] 액정 축전기(Clca, Clcb)는 하부 표시판(100)의 부화소 전극(PEa/PEb)과 상부 표시판(200)의 공통 전극(CE)을 두 단자로 하며 부화소 전극(PEa/PEb)과 공통 전극(270) 사이의 액정층(3)은 유전체로서 기능한다. 한 쌍의 부화소 전극(PEa/PEb)은 서로 분리되어 있으며 하나의 화소 전극(PE)을 이룬다. 공통 전극(CE)은 상부 표시판(200)의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판의 표면에 대하여 수직을 이루도록 배향되어 있을 수 있다. 도 2에서와는 달리 공통 전극(CE)이 하부 표시판(100)에 구비되는 경우도 있으며 이때에는 두 전극(PE, CE) 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.
- [0034] 한편, 색 표시를 구현하기 위해서는 각 화소(PX)가 기본색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소(PX)가 시간에 따라 번갈아 기본색을 표시하게(시간 분할) 하여 이들 기본색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 기본색의 예로는 적색, 녹색, 청색 등 삼원색을 들 수 있다. 본 발명의 한 실시예에 따른 액정 표시 장치는 공간 분할의 한 예로서 각 화소(PX)가 하부 표시판(100)의 부화소 전극(PEa, PEb) 위 또는 아래에 형성되어 있으며, 기본색 중 하나를 나타내는 색 필터를 구비할 수 있다. 그러나, 본 발명의 다른 한 실시예에 따른 액정 표시 장치는 상부 표시판(200)의 영역에 색 필터가 형성될 수도 있다.
- [0035] 표시판(100, 200)의 바깥 면에는 편광자(polarizer)(도시하지 않음)가 구비되어 있는데, 두 편광자의 편광축은 직교할 수 있다. 반사형 액정 표시 장치의 경우에는 두 개의 편광자(12, 22) 중 하나가 생략될 수 있다. 직교 편광자인 경우 전기장이 없는 액정층(3)에 들어온 입사광을 차단한다.
- [0036] 다시 도 1을 참고하면, 제조 전압 생성부(800)는 화소(PX)의 투과율과 관련된 전체 제조 전압 또는 한정된 수효의 제조 전압(앞으로 "기준 제조 전압"이라 한다)을 생성한다. 기준 제조 전압은 공통 전압(Vcom)에 대하여 양의 값을 가지는 것과 음의 값을 가지는 것을 포함할 수 있다.
- [0037] 게이트 구동부(400)는 액정 표시판 조립체(300)의 게이트선(GLa, GLb)과 연결되어 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(GLa, GLb)에 인가한다.
- [0038] 데이터 구동부(500)는 액정 표시판 조립체(300)의 데이터선(DL)과 연결되어 있으며, 제조 전압 생성부(800)로부터의 제조 전압을 선택하고 이를 데이터 전압으로서 데이터선(DL)에 인가한다. 그러나 제조 전압 생성부(800)가 제조 전압을 모두 제공하는 것이 아니라 한정된 수효의 기준 제조 전압만을 제공하는 경우에, 데이터 구동부(500)는 기준 제조 전압을 분압하여 원하는 데이터 전압을 생성한다.
- [0039] 신호 제어부(600)는 게이트 구동부(400) 및 데이터 구동부(500) 등을 제어한다.
- [0040] 이러한 구동 장치(400, 500, 600, 800) 각각은 적어도 하나의 집적 회로 칩의 형태로 액정 표시판 조립체(300) 위에 직접 장착되거나, 가요성 인쇄 회로막(flexible printed circuit film)(도시하지 않음) 위에 장착되어 TCP(tape carrier package)의 형태로 액정 표시판 조립체(300)에 부착되거나, 별도의 인쇄 회로 기판(printed circuit board)(도시하지 않음) 위에 장착될 수도 있다. 이와는 달리, 이들 구동 장치(400, 500, 600, 800)가 신호선(GLa, GLb, DL) 및 박막 트랜지스터 스위칭 소자(Qa, Qb, Qc) 따위와 함께 액정 표시판 조립체(300)에 집

적될 수도 있다. 또한, 구동 장치(400, 500, 600, 800)는 단일 칩으로 집적될 수 있으며, 이 경우 이들 중 적어도 하나 또는 이들을 이루는 적어도 하나의 회로 소자가 단일 칩 바깥에 있을 수 있다.

[0041] 이제 도 4 내지 도 7, 그리고 도 3을 참고하여 본 발명의 한 실시예에 따른 액정 표시판 조립체에 대하여 상세하게 설명한다.

[0042] 도 3을 참고하면, 본 발명의 한 실시예에 따른 액정 표시 장치는 서로 이웃하는 제1 및 제2 게이트선(GLa, GLb), 데이터선(DL) 및 용량 전극선(CL)을 포함하는 신호선과 이에 연결된 화소(PX)를 포함한다.

[0043] 화소(PX)는 제1, 제2 및 제3 스위칭 소자(Qa, Qb, Qc), 제1 및 제2 액정 축전기(C1ca, C1cb) 및 감압 축전기(Cstd)를 포함한다.

[0044] 제1 및 제2 스위칭 소자(Qa, Qb)는 각각 제1 게이트선(GLa) 및 데이터선(DL)에 연결되어 있으며, 제3 스위칭 소자(Qc)는 제2 게이트선(GL)에 연결되어 있다.

[0045] 제1/제2 스위칭 소자(Qa/Qb)는 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 그 제어 단자는 제1 게이트선(GLa)과 연결되어 있고, 입력 단자는 데이터선(DL)과 연결되어 있으며, 출력 단자는 제1/제2 액정 축전기(C1ca/C1cb)와 연결되어 있다.

[0046] 제3 스위칭 소자(Qc) 역시 하부 표시판(100)에 구비되어 있는 박막 트랜지스터 등의 삼단자 소자로서, 제어 단자는 제2 게이트선(GLb)과 연결되어 있고, 입력 단자는 제2 액정 축전기(C1cb)와 연결되어 있으며, 출력 단자는 감압 축전기(Cstd)와 연결되어 있다.

[0047] 감압 축전기(Cstd)는 제3 스위칭 소자(Qc)의 출력 단자와 용량 전극선(CL)에 연결되어 있으며, 하부 표시판(100)에 구비된 용량 전극선(CL)과 제3 스위칭 소자(Qc)의 출력 전극이 절연체를 사이에 두고 중첩되어 이루어진다.

[0048] 본 발명의 실시예에 따른 액정 표시 장치의 용량 전극선(CL)에 인가되는 전압은 데이터선(DL)을 통해 제1/제2 액정 축전기(C1ca/C1cb)에 인가되는 전압 범위 밖의 전압일 수 있고, 구체적으로 데이터선(DL)을 통해 제1/제2 액정 축전기(C1ca/C1cb)에 인가되는 전압의 최소 값보다 낮고 최대 값보다 높을 수 있다. 예를 들어, (-) 반전 전압보다는 낮고, (+) 반전 전압보다는 높을 수 있는데, 데이터선(DL)을 통해 제1/제2 액정 축전기(C1ca/C1cb)에 충전되는 전압이 0V 에서 14V 사이에서 변화하고, 제1/제2 액정 축전기(C1ca/C1cb)의 다른 한 단자에 입력되는 전압이 7V인 경우, 용량 전극선(CL)에 인가되는 전압은 0V보다 작거나 14V보다 클 수 있다.

[0049] 이제 도 4 내지 도 7을 참고하여 도 3에 도시한 액정 표시판 조립체에 대하여 더욱 상세하게 설명한다.

[0050] 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이며, 도 5는 도 4의 액정 표시판 조립체의 화소 전극을 도시하는 배치도이며, 도 6 및 도 7은 도 4의 액정 표시판 조립체를 VI-VI 및 VII-VII 선을 따라 잘라 도시한 단면도이다.

[0051] 본 실시예에 따른 액정 표시 장치는 서로 마주하는 하부 표시판(100)과 상부 표시판(200), 이들 두 표시판(100, 200) 사이에 들어 있는 액정층(3) 및 표시판(100, 200) 바깥 면에 부착되어 있는 한 쌍의 편광자(12, 22)를 포함한다.

[0052] 먼저 하부 표시판(100)에 대하여 설명한다.

[0053] 절연 기판(110) 위에 게이트선(121) 및 용량 전압선(131)을 포함하는 복수의 게이트 도전체가 형성되어 있다. 게이트선(121)은 제1, 제2 및 제3 게이트 전극(124a, 124b, 124c)과 끝 부분(129)을 포함한다.

[0054] 용량 전압선(131)은 일정한 용량 전압을 전달하며, 위 아래로 면적이 넓은 용량 전극(137)을 포함한다.

[0055] 게이트 도전체(121, 131) 위에는 게이트 절연막(140)이 형성되어 있다. 게이트 절연막(140) 위에는 선형 반도체(도시하지 않음)가 형성되어 있다. 선형 반도체는 주로 세로 방향으로 뻗어 있는 줄기부와 제1, 제2 및 제3 게이트 전극(124a, 124b, 124c)을 향하여 뻗어 나온 복수의 제1, 제2, 제3 가지부(154a, 154b, 154c)를 포함한다. 제1, 제2, 제3 가지부(154a, 154b, 154c)는 각각 제1 내지 제3 게이트 전극(124a-c)위에 배치되어 있는 제1 내지 제3 소자부(도시하지 않음)를 포함한다. 제3 가지부(154c)는 연장되어 제4 가지부(157c)를 이룬다.

[0056] 반도체(154a, 154b, 154c, 157c)는 유기 반도체를 포함할 수 있다. 유기 반도체는 테트라센(tetracene) 또는 펜타센(pentacene)의 치환기를 포함하는 유도체를 포함할 수 있고, 또한 티오펜 링(thiophene ring)의 2, 5 위치에서 연결된 4 내지 8개의 티오펜을 포함하는 올리고티오펜(oligothiophene)을 포함할 수 있다. 유기 반도체

는 폴리티닐렌비닐렌(polythienylenevinylene), 폴리-3-헥실티오펜(poly 3-hexylthiophene), 폴리티오펜(polythiophene), 프탈로시아닌(phthalocyanine), 금속화 프탈로시아닌(metallized phthalocyanine) 또는 그의 할로겐화 유도체를 포함할 수 있다. 유기 반도체(154)는 또한 페틸렌테트라카르복실산 이무수물(perylenetetracarboxylic dianhydride, PTCDA), 나프탈렌테트라카르복실산 이무수물(naphthalenetetracarboxylic dianhydride, NTCDA) 또는 이들의 이미드(imide) 유도체를 포함할 수 있다. 유기 반도체는 페틸렌(perylene) 또는 코로넨(coronene)과 그들의 치환기를 포함하는 유도체를 포함할 수도 있다.

[0057] 반도체(154a, 154b, 154c, 157c) 위에는 선형 저항성 접촉 부재(도시하지 않음), 제1 섬형 저항성 접촉 부재(165a), 제2 섬형 저항성 접촉 부재(도시하지 않음) 및 제3 섬형 저항성 접촉 부재(도시하지 않음) 및 제4 섬형 저항성 접촉 부재(167c)가 형성되어 있다. 선형 저항성 접촉 부재는 제1 섬형 저항성 접촉 부재(165a)와 쌍을 이루어 반도체의 제1 돌출부(154a) 위에 배치되어 있는 제1 돌출부(163a), 제2 섬형 저항성 접촉 부재와 쌍을 이루어 반도체의 제2 돌출부 위에 배치되어 있는 제2 돌출부(도시하지 않음) 및 제3 섬형 저항성 접촉 부재와 쌍을 이루어 반도체의 제3 돌출부 위에 배치되어 있는 제3 돌출부(도시하지 않음)를 포함한다.

[0058] 저항성 접촉 부재(163a, 165a, 167c) 및 게이트 절연막(140) 위에는 복수의 데이터선(171)과 복수의 제1 전극 부재(175a), 제2 전극 부재(도시하지 않음), 그리고 제3 전극 부재(175c)를 포함하는 데이터 도전체가 형성되어 있다.

[0059] 데이터선(171)은 복수의 제1 및 제2 소스 전극(173a, 173b)과 다른 층 또는 외부 구동 회로와의 접속을 위한 넓은 끝 부분(179)을 포함한다.

[0060] 제1 전극 부재(175a)는 제1 드레인 전극을 이루고, 제2 전극 부재는 서로 연결되어 있는 제2 드레인 전극(175b)과 제3 소스 전극(173c)을 포함하며, 제3 전극 부재(175c)는 제3 드레인 전극(175c)을 이룬다.

[0061] 제1 내지 제3 드레인 전극(175a, 175b, 175c)은 넓은 한 쪽 끝 부분(177a, 177b, 177c)과 막대형인 다른 쪽 끝 부분을 포함한다. 제1/제2/제3 드레인 전극(175a/175b/175c)의 막대형 끝 부분은 제1/제2/제3 소스 전극(173a/173b/173c)으로 일부 둘러싸여 있다. 제3 소스 전극(173c)은 제2 드레인 전극(175b)의 넓은 끝 부분(177b)에 연결되어 있다.

[0062] 반도체(154a, 154b, 154c, 157c)는 데이터선(171), 제1 내지 제3 전극 부재(175a, 176, 175c) 및 그 아래의 저항성 접촉 부재(163a, 165a, 167c)와 실질적으로 동일한 평면 모양이다. 그러나 선형 반도체는 소스 전극(173a-c)과 드레인 전극(175a-c) 사이를 비롯하여 데이터선(171) 및 드레인 전극(175a-c)으로 가리지 않고 노출된 부분이 있다.

[0063] 이러한 하부 표시판(100)을 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터 도전체(171, 175a, 175c, 176) 및 반도체(154a-c, 157c) 및 저항성 접촉 부재(163a, 165a, 167c)를 한 번의 사진 공정으로 형성한다.

[0064] 이러한 사진 공정에서 사용하는 감광막은 위치에 따라 두께가 다르며, 특히 두께가 작아지는 순서로 제1 부분과 제2 부분을 포함한다. 제1 부분은 데이터선(171) 및 드레인 전극(175a-c)이 차지하는 배선 영역에 위치하며, 제2 부분은 박막 트랜지스터의 채널 영역에 위치한다.

[0065] 위치에 따라 감광막의 두께를 달리하는 방법으로 여러 가지가 있을 수 있는데, 예를 들면 광마스크에 투광 영역(light transmitting area) 및 차광 영역(light blocking area) 외에 반투명 영역(translucent area)을 두는 방법이 있다. 반투명 영역에는 슬릿(slit) 패턴, 격자 패턴(lattice pattern) 또는 투과율이 중간이거나 두께가 중간인 박막이 구비된다. 슬릿 패턴을 사용할 때에는, 슬릿의 폭이나 슬릿 사이의 간격이 사진 공정에 사용하는 노광기의 분해능(resolution)보다 작은 것이 바람직하다. 다른 예로는 리플로우가 가능한 감광막을 사용하는 방법이 있다. 즉, 투광 영역과 차광 영역만을 지닌 통상의 노광 마스크로 리플로우 가능한 감광막을 형성한 다음 리플로우시켜 감광막이 잔류하지 않은 영역으로 흘러내리도록 함으로써 얇은 부분을 형성하는 것이다.

[0066] 이와 같이 하면 한 번의 사진 공정을 줄일 수 있으므로 제조 방법이 간단해진다.

[0067] 제1/제2/제3 게이트 전극(124a/124b/124c), 제1/제2/제3 소스 전극(173a/173b/173c) 및 제1/제2/제3 드레인 전극(175a/175b/175c)은 제1/제2/제3 섬형 반도체(154a/154b/154cd)와 함께 하나의 제1/제2/제3 박막 트랜지스터(thin film transistor, TFT)(Qa/Qb/Qc)를 이루며, 박막 트랜지스터의 채널(channel)은 각 소스 전극(173a/173b/173c)과 각 드레인 전극(175a/175b/175c) 사이의 각 반도체(154a/154b/154c)에 형성된다.

[0068] 데이터 도전체(171, 175a, 176, 175c) 및 노출된 반도체(154a, 154b, 154c) 부분 위에는 하부 보호막(180p)이

형성되어 있다.

- [0069] 하부 보호막(180p)은 질화규소나 산화규소 따위의 무기 절연물로 만들어지고, 위에 형성되는 색필터(230)의 성분이 아래 놓인 박막 트랜지스터로 확산되는 것을 방지할 수 있다.
- [0070] 하부 보호막(180p) 위에는 복수의 색필터(230)가 형성되어 있다. 색필터(230)는 적색, 녹색 및 청색의 삼원색 등 기본색(primary color) 중 하나를 표시할 수 있고, 삼원색 중 하나를 표시하는 안료를 포함하는 유기물로 이루어질 수 있다. 도시한 실시예에서는 하부 표시판(100)에 색필터(230)가 형성되어 있지만, 본 발명의 다른 실시예에 따른 액정 표시 장치는 상부 표시판(200)에 형성되어 있는 색필터(230)를 포함할 수도 있다. 또한, 도시한 실시예에서는 사진 공정으로 형성된 색필터(230)를 포함하였지만, 본 발명의 다른 한 실시예에 따른 액정 표시 장치는 잉크젯 인쇄 방식으로 형성된 색필터(230)를 포함할 수 있으며, 이 경우 하부 표시판(100)에 색필터(230) 용 잉크가 적하되는 부분을 정의하는 격벽을 포함할 수 있고, 격벽은 검정색 안료를 포함하여 빛샘을 방지하는 차광 부재의 역할을 할 수도 있다.
- [0071] 하부 보호막(180p) 및 색필터(230) 위에는 상부 보호막(180q)이 형성되어 있다. 상부 보호막(180)은 무기 절연물 또는 유기 절연물 따위로 만들어질 수 있다. 상부 보호막(180q)은 색필터(230)가 위의 화소 전극(191)이나 액정층(3)에 유입되는 것을 방지할 수 있으며, 필요에 따라 생략될 수 있다.
- [0072] 하부 보호막(180p)과 상부 보호막(180q)을 포함하는 보호막(180)에는 데이터선(171)의 끝 부분(179), 제1 드레인 전극(175a)의 넓은 끝 부분(177a) 및 제2 드레인 전극(175b)의 넓은 끝 부분(177b)을 각각 드러내는 복수의 접촉 구멍(182, 185a, 185b)이 형성되어 있다.
- [0073] 보호막(180) 위에는 제1 및 제2 부화소 전극(191a, 191b)을 포함하는 화소 전극(191)과 접촉 보조 부재(81, 82)가 형성되어 있다. 화소 전극(191)과 접촉 보조 부재(81, 82)은 ITO 및 IZO 등의 투명 물질로 이루어질 수 있다.
- [0074] 제1 및 제2 부화소 전극(191a, 191b)은 열 방향으로 이웃하며, 각각 도 5와 같은 형태를 취한다. 도 5를 참고하면, 제1 및 제2 부화소 전극(191a, 191b) 각각은 가로 줄기부(193), 가로 줄기부(193)와 직교하는 세로 줄기부(192), 복수의 제1 내지 제4 미세 가지부(194a, 194b, 194c, 194d)를 포함한다. 또한 제1 및 제2 부화소 전극(191a, 191b) 각각은 가로 줄기부(193)와 세로 줄기부(192)에 의해 제1 부영역(Da), 제2 부영역(Db), 제3 부영역(Dc), 그리고 제4 부영역(Dd)으로 나뉘며 복수의 제1, 제2, 제3 및 제4 미세 가지부(194a, 194b, 194c, 194d)는 각각 제1, 제2, 제3 및 제4 부영역(Da, Db, Dc, Dd)에 포함된다.
- [0075] 제1 미세 가지부(194a)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 위 방향으로 비스듬하게 뻗어 있으며, 제2 미세 가지부(194b)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 위 방향으로 비스듬하게 뻗어 있다. 또한 제3 미세 가지부(194c)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 왼쪽 아래 방향으로 뻗어 있으며, 제4 미세 가지부(194d)는 가로 줄기부(193) 또는 세로 줄기부(192)에서부터 오른쪽 아래 방향으로 비스듬하게 뻗어 있다.
- [0076] 제1 내지 제4 미세 가지부(194a-194d)는 게이트선(121) 또는 가로 줄기부(193)와 대략 45° 또는 135°의 각을 이룬다. 또한 이웃하는 두 부영역(Da-Dd)의 미세 가지부(194a-194d)는 서로 직각을 이룬다.
- [0077] 제1/제2 부화소 전극(191a/191b)은 제1/제2 접촉 구멍(185a/185b)을 통하여 제1/제2 드레인 전극(175a/175b)과 연결되어 있으며 제1/제2 드레인 전극(175a/175b)으로부터 데이터 전압(Vd)을 인가 받는다. 데이터 전압(Vd)이 인가된 제1/제2 부화소 전극(191a/191b)은 공통 전극 표시판(200)의 공통 전극(270)과 함께 전기장을 생성함으로써 두 전극(191, 270) 사이의 액정층(3)의 액정 분자의 방향을 결정한다. 이와 같이 결정된 액정 분자의 방향에 따라 액정층(3)을 통과하는 빛의 휘도가 달라진다.
- [0078] 제1 내지 제4 미세 가지부(194a-194d)의 변은 전기장을 왜곡하여 액정 분자들(30)의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 제1 내지 제4 미세 가지부(194a-194d)의 변에 거의 수평하다. 따라서 도 4에 도시한 바와 같이 액정 분자(30)들은 미세 가지부(194a-194d)의 길이 방향에 평행한 방향으로 기울어진다. 한 화소 전극(191)은 미세 가지부(194a-194d)의 길이 방향이 서로 다른 네 개의 부영역(Da-Dd)를 포함하므로 액정 분자(30)가 기울어지는 방향은 대략 네 방향이 되며 액정 분자(30)의 배향 방향이 다른 네 개의 도메인이 액정층(3)에 형성된다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.
- [0079] 한편, 제2 부화소 전극(191b)은 접촉 구멍(185b)을 통하여 제3 소스 전극(173c)과 물리적, 전기적으로 연결되어

있다. 이 때 제2 부화소 전극(191b)과 연결되어 있는 제3 소스 전극(173c)은 제1 및 제2 부화소 전극(191a, 191b)이 연결되어 있는 제1 및 제2 드레인 전극(175a, 175b)의 다음 행에 배치되어 있는 제3 소스 전극(173c)이다.

[0080] 용량 전극(137)과 제3 드레인 전극(175c)의 넓은 한 쪽 끝 부분(177c)은 게이트 절연막(140)과 반도체층(157c, 167c)을 사이에 두고 서로 중첩하여 감압 축전기(Cstd)를 이룬다. 이처럼, 감압 축전기(Cstd)를 게이트 도전체와 데이터 도전체를 이용하여 형성함으로써, 감압 축전기(Cstd) 형성을 위한 추가 공정이 필요하지 않아, 액정 표시 장치의 제조 공정을 간단하게 할 수 있고, 감압 축전기(Cstd)의 두 전극 사이에 게이트 절연막(140)과 반도체층(157c, 167c)만이 존재하여, 두 전극 사이에 보호막(180)의 상부막(180q) 또는 선크터(230) 및 보호막(180)의 하부막(180p)이 모두 존재하는 경우에 비하여 감압 축전기(Cstd)의 정전 용량이 클 수 있다.

[0081] 본 발명의 실시예에 따른 액정 표시 장치의 용량 전극선(131)을 통해 용량 전극(137)에 인가되는 전압은 데이터선(171)을 통해 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압 범위 밖의 전압일 수 있고, 구체적으로 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압의 최소 값보다 낮고 최대 값보다 높을 수 있다. 예를 들어, (-) 반전 전압보다는 낮고, (+) 반전 전압보다는 높을 수 있는데, 공통 전극(270)에 인가되는 전압의 크기가 7V이고, 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압이 0V 에서 14V 사이에서 변화하는 경우, 용량 전극선(CL)에 인가되는 전압은 0V보다 작거나 14V보다 클 수 있다.

[0082] 이처럼 용량 전압선(131)을 통해 용량 전극(137)에 인가되는 전압을 조절하면, 반도체층이 감압 축전기(Cstd)에 존재하는 경우에도 감압 축전기(Cstd)의 정전 용량을 일정하게 조절할 수 있어, 두 개의 부화소 전극의 전압을 정확하게 조절할 수 있다. 이에 대하여, 아래에서 보다 상세히 설명한다.

[0083] 접촉 보조 부재(81, 82)는 각각 접촉 구멍(181, 182)을 통하여 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 연결된다. 접촉 보조 부재(81, 82)는 게이트선(121)의 끝 부분(129) 및 데이터선(171)의 끝 부분(179)과 외부 장치와의 접촉성을 보완하고 이들을 보호한다.

[0084] 화소 전극(191), 접촉 보조 부재(81, 82) 및 보호막(180) 위에는 하부 배향막(11)이 형성되어 있다. 하부 배향막(11)은 수직 배향막일 수 있다.

[0085] 이제 상부 표시판(200)에 대하여 설명한다.

[0086] 절연 기판(210) 위에 차광 부재(light blocking member)(220)가 형성되어 있다. 차광 부재(220)는 블랙 매트릭스(black matrix)라고도 하며 빛샘을 막아준다. 도시한 실시예에서는 차광 부재(220)가 상부 표시판(200)에 형성되어 있으나, 본 발명의 다른 한 실시예에 따른 액정 표시 장치는 하부 표시판(100)에 형성되어 있는 차광 부재(220)를 포함할 수 있다. 또한, 앞서 설명하였듯이, 선크터(230)를 잉크젯 인쇄 방식으로 형성하는 경우, 차광 부재(220)는 하부 표시판(100)에 형성되어 선크터(230)용 잉크가 적하되는 영역을 정의하는 격벽 역할을 할 수도 있다.

[0087] 기판(210) 및 차광 부재(220) 위에는 덮개막(overcoat)(250)이 형성되어 있다. 덮개막(250) 위에는 공통 전극(270)이 형성되어 있다. 공통 전극(270) 위에는 상부 배향막(21)이 형성되어 있다. 상부 배향막(21)은 수직 배향막일 수 있다.

[0088] 액정층(3)은 음의 유전율 이방성을 가지며, 액정층(3)의 액정 분자는 전기장이 없는 상태에서 그 장축이 두 표시판(100, 200)의 표면에 대하여 수직을 이루도록 배향되어 있다.

[0089] 그러면 도 1 내지 도 7과 함께 도 8을 참고하여 본 발명의 한 실시예에 따른 액정 표시 장치의 동작에 대하여 설명한다. 도 8은 본 발명의 실시예에 따른 액정 표시 장치의 감압 축전기(Cstd)의 정전 용량을 나타내는 그래프이다.

[0090] 먼저 도 1을 참고하면, 신호 제어부(600)는 외부의 그래픽 제어기(도시하지 않음)로부터 입력 영상 신호(R, G, B) 및 이의 표시를 제어하는 입력 제어 신호를 수신한다. 입력 영상 신호(R, G, B)는 각 화소(PX)의 휘도(luminance) 정보를 담고 있으며 휘도는 정해진 수효, 예를 들면 $1024(=2^{10})$, $256(=2^8)$ 또는 $64(=2^6)$ 개의 계조(gray)를 가지고 있다. 입력 제어 신호의 예로는 수직 동기 신호(Vsync)와 수평 동기 신호(Hsync), 메인 클럭 신호(MCLK), 데이터 인에이블 신호(DE) 등이 있다.

[0091] 신호 제어부(600)는 입력 영상 신호(R, G, B)와 입력 제어 신호를 기초로 입력 영상 신호(R, G, B)를 액정 표시판 조립체(300)의 동작 조건에 맞게 적절히 처리하고 게이트 제어 신호(CONT1) 및 데이터 제어 신호(CONT2)등을

생성한 후, 게이트 제어 신호(CONT1)를 게이트 구동부(400)로 내보내고 데이터 제어 신호(CONT2)와 처리한 영상 신호(DAT)를 데이터 구동부(500)로 내보낸다. 출력 영상 신호(DAT)는 디지털 신호로서 정해진 수효의 값(또는 계조)을 가진다.

[0092] 신호 제어부(600)로부터의 데이터 제어 신호(CONT2)에 따라, 데이터 구동부(500)는 한 행의 화소(PX)에 대한 디지털 영상 신호(DAT)를 수신하고, 각 디지털 영상 신호(DAT)에 대응하는 계조 전압을 선택함으로써 디지털 영상 신호(DAT)를 아날로그 데이터 전압으로 변환한 다음, 이를 해당 데이터선(DL)에 인가한다.

[0093] 게이트 구동부(400)는 신호 제어부(600)로부터의 게이트 제어 신호(CONT1)에 따라 게이트 온 전압(Von)을 게이트선(GLa, GLb)에 인가하여 이 게이트선(GLa, GLb)에 연결된 스위칭 소자(Qa, Qb, Qc)를 턴온시킨다. 그러면, 데이터선(DL)에 인가된 데이터 전압(Vd)은 턴온된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 해당 화소(PX)에 인가된다.

[0094] 이제부터 특정 화소 행, 예를 들면 i 번째 행에 초점을 맞추어 설명한다.

[0095] i 번째 행의 제1 게이트선(GLa)에 제1 게이트 신호가 인가되며, 제2 게이트선(GLb)에는 제2 게이트 신호가 인가된다. 제1 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면 이에 연결된 제1 및 제2 스위칭 소자(Qa, Qb)가 턴 온된다. 이에 따라 데이터선(DL)에 인가된 데이터 전압(Vd)은 턴 온된 제1 및 제2 스위칭 소자(Qa, Qb)를 통하여 제1 및 제2 부화소 전극(PEa, PEb)에 인가된다. 이 때 제1 및 제2 부화소 전극(PEa, PEb)에 인가된 데이터 전압(Vd)은 서로 동일하다. 제1 및 제2 액정 축전기(Clca, Clcb)는 공통 전압과 데이터 전압(Vd)의 차이만큼 동일한 값으로 충전된다.

[0096] 그런 후 제1 게이트 신호는 게이트 온 전압(Von)에서 게이트 오프 전압(Voff)으로 바뀌고, 동시에 제2 게이트 신호가 게이트 오프 전압(Voff)에서 게이트 온 전압(Von)으로 바뀌면, 제1 및 제2 스위칭 소자(Qa, Qb)는 턴 오프되고 제3 스위칭 소자(Qc)가 턴 온된다. 그러면 제2 부화소 전극(PEb)으로부터 제3 스위칭 소자(Qc)를 통하여 제3 드레인 전극(175c)로 전하가 이동한다. 그러면 제2 액정 축전기(Clcb)의 충전 전압은 낮아지고, 감압 축전기(Cstd)가 충전된다. 제2 액정 축전기(Cstb)의 충전 전압은 감압 축전기(Cstd)의 정전 용량만큼 낮아지므로 제2 액정 축전기(Cstb)의 충전 전압은 제1 액정 축전기(Csta)의 충전 전압보다 낮아진다.

[0097] 이 때, 두 액정 축전기(Clca, Clcb)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.

[0098] 1 수평 주기["1H"라고도 쓰며, 수평 동기 신호(Hsync) 및 데이터 인에이블 신호(DE)의 한 주기와 동일함]를 단위로 하여 이러한 과정을 되풀이함으로써, 모든 화소(PX)에 데이터 전압(Vd)을 인가하여 한 프레임(frame)의 영상을 표시한다.

[0099] 한 프레임이 끝나면 다음 프레임이 시작되고 각 화소(PX)에 인가되는 데이터 전압(Vd)의 극성이 이전 프레임에서의 극성과 반대가 되도록 데이터 구동부(500)에 인가되는 반전 신호(RVS)의 상태가 제어된다.

[0100] 이와 같이 감압 축전기(Cstd)의 정전 용량에 따라 제1 및 제2 액정 축전기(Csta, Cstb)의 충전 전압을 조절할 수 있다. 따라서 감압 축전기(Cstd)의 정전 용량을 정확하게 유지하는 것이 중요하다.

[0101] 도 8을 참고로 본 발명의 실시예에 따른 액정 표시 장치의 감압 축전기(Cstd)의 정전 용량에 대하여 설명한다. 앞서 설명한 바와 같이, 감압 축전기(Cstd)는 용량 전극(137)과 제3 드레인 전극(175c)의 넓은 한 쪽 끝 부분(177c)이 게이트 절연막(140)과 그 아래의 반도체층(157c, 167c)를 사이에 두고 서로 중첩하여 이루어진다.

[0102] 이처럼, 감압 축전기(Cstd)가 게이트 도전체와 데이터 도전체를 이용하여 이루어지기 때문에, 축전기의 양 단자(137, 177c) 사이에 반도체가 존재하게 되고 반도체는 경우에 따라 절연체 또는 도체로 기능하여 감압 축전기(Cstd)의 정전 용량이 일정하지 않고 변할 수 있다. 특히 반전 구동 시, 정전 용량이 변화하기 쉽다. 일반적으로 감압 축전기(Cstd)를 이루는 용량 전극(137)에는 화소 전극(191)에 가해지는 전압 범위 내의 전압을 인가하였다. 예를 들어, 공통 전극(270)에 인가되는 전압이 약 7V이고, 화소 전극(191)에 인가되는 데이터 전압이 0V에서 14V 사이에서 변화하는 경우, 용량 전극(131)을 통해 용량 전극(137)에 인가되는 전압은 0V에서 14V 사이의 값, 예를 들어, 공통 전극(270)에 인가되는 전압인 7V와 같았다. 이 경우, 감압 축전기(Cstd)의 효과에 의해 로우 상태인 제2 부화소 전극(191b)의 감압된 전압(Vdd)은 -7V 내지 7V가 된다. 그러나, 도 8(a)에 도시한 바와 같이, 감압된 전압(Vdd)이 -7V 내지 7V에서 변화할 때, 감압 축전기(Cstd)의 정전 용량(Cap)은 크게 변

화한다. 따라서 제2 액정 축전기(Cstb)의 충전 전압이 변화하게 되어 제1 및 제2 액정 축전기(Csta, Cstb)의 충전 전압을 의도한 바대로 정확히 조절하기 어렵다. 즉, 반전 구동 시 로우 상태인 제2 부화소 전극(191b)의 전압 크기가 크게 변화하며, 이에 따라 심각한 플리커(flicker)가 발생할 수 있다.

[0103]

도 8(a)에 도시한 바와 같이, 감압된 전압(Vdd)이 약 -3V이하인 영역은 전자 결핍(depletion) 영역이며, 감압된 전압(Vdd)이 약 3V 이상인 영역은 전자 포화 영역으로 볼 수 있어, 전압(Vdd)이 전자 결핍 영역이나 전자 포화 영역 내에서 변화하는 경우 정전 용량(Cap)은 크게 변화하지 않지만, 전압(Vdd)이 전자 결핍 영역에서부터 전자 포화 영역 사이에서 변화하는 경우, 정전 용량(Cap)은 크게 변화하게 된다. 구체적으로, 전압(Vdd) 값이 약 -3V인 영역부터 전자가 축적되기 시작하여, 약 3V의 포화 영역에 이를 때까지 전자가 축적되면서, 정전 용량(Cap)이 증가하다가 전자 포화 영역 내에서는 다시 일정하게 되는 것이다. 따라서, 전압(Vdd)이 -7V 내지 7V에서 극성이 변화할 경우, 정전 용량(Cap)의 크기도 크게 변화하게 된다.

[0104]

그러나 앞서 설명하였듯이, 본 발명의 한 실시예에 따른 액정 표시 장치의 감압 축전기(Cstd)의 용량 전극(137)에 인가되는 전압은 데이터선(DL)을 통해 제1/제2 액정 축전기(Clca/Clcb)에 인가되는 전압 범위 밖의 전압일 수 있고, 구체적으로 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압의 최소 값보다 낮고 최대 값보다 높을 수 있다. 예를 들어, (-) 반전 전압보다는 낮고, (+) 반전 전압보다는 높을 수 있는데, 공통 전극(270)에 인가되는 전압의 크기가 7V이고, 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압이 0V에서 14V 사이에서 변화하는 경우, 용량 전극선(CL)에 인가되는 전압은 0V보다 작거나 14V보다 클 수 있다. 이처럼, 감압 축전기(Cstd)의 용량 전극(137)에 인가되는 전압을 조절하면, 감압 축전기(Cstd)의 전자 결핍 영역 또는 전자 포화 영역 내에서만 변화하게 되어, 감압 축전기(Cstd)가 반도체층을 포함하더라도 반전 구동 시에도 감압 축전기(Cstd)의 정전 용량을 일정하게 유지할 수 있게 된다. 이에 따라 제1 및 제2 액정 축전기(Csta, Cstb)의 충전 전압을 정확히 조절할 수 있다. 이에 대하여, 도 8(b) 및 도 8(c)를 참고로 예를 들어 설명한다.

[0105]

예를 들어, 제1 부화소 전극(191a)과 제2 부화소 전극(191b)의 블랙 상태의 전압비를 0.7로, 화이트 상태의 전압비를 0.75로 설정한 경우에 대하여 설명한다. 하이 상태인 제1 부화소 전극(191a)에 인가되는 데이터 전압이 블랙 상태에서 1.0V이고, 화이트 상태에서 7.0V라고 가정하면, 로우 상태인 제2 부화소 전극(191b)에 인가되는 데이터 전압은 블랙 상태에서 0.7V, 화이트 상태에서 5.25V가 된다. 이때, (+) 반전 구동에서, 로우 상태인 제2 부화소 전극(191b)에 가해지는 전압은 블랙 상태에서는 $7.0V + 0.7V = 7.7V$ 이고, 화이트 상태에서는 $7.0V + 5.25V = 12.25V$ 이고, (-) 반전 구동에서, 로우 상태인 제2 부화소 전극(191b)에 가해지는 전압은 블랙 상태에서는 $7.0V - 0.7V = 6.3V$ 이고, 화이트 상태에서는 $7.0V - 5.25V = 1.75V$ 이다. 앞서 설명하였듯이, 본 발명의 실시예에 따른 액정 표시 장치의 용량 전극(137)에 인가되는 전압은 제2 부화소 전극(191b)에 가해지는 전압 범위, 위의 예에서는 1.75V 내지 12.25V의 범위 밖에 있게 된다.

[0106]

예를 들어, 용량 전극(137)에 인가되는 전압을 -2.0V라고 가정하면, (+) 반전 구동에서, 감압 축전기(Cstd)에 의한 제2 부화소 전극(191b)의 감압된 전압(Vdd)의 크기는 블랙 상태에서는 $7.7V - (-2V) = 9.7V$ 이고, 화이트 상태에서는 $12.25V - (-2V) = 14.25V$ 이고, (-) 반전 구동에서, 감압 축전기(Cstd)에 의한 제2 부화소 전극(191b)의 감압된 전압(Vdd)의 크기는 블랙 상태에서는 $6.3V - (-2V) = 8.3V$ 이고, 화이트 상태에서는 $1.75V - (-2V) = 3.75V$ 이다. 도 8(b)에서, 각기 x1, x2, x3, x4로 표시하였다. 도 8(b)를 참고하면, (+) 반전 구동인 x1 내지 x2 범위와 (-) 반전 구동인 x3 내지 x4 범위 내에서 감압 축전기(Cstd)의 정전 용량(Cap)은 거의 일정하게 유지되게 된다. 따라서, 감압 축전기(Cstd)가 반도체층을 포함하더라도 감압 축전기(Cstd)의 정전 용량을 일정하게 유지할 수 있고 이에 따라 제1 및 제2 액정 축전기(Csta, Cstb)의 충전 전압을 정확히 조절할 수 있다.

[0107]

또 다른 예로, 용량 전극(137)에 인가되는 전압을 16.0V라고 가정하면, (+) 반전 구동에서, 감압 축전기(Cstd)에 의한 제2 부화소 전극(191b)의 감압된 전압(Vdd)의 크기는 블랙 상태에서는 $7.7V - (16.0V) = -8.3V$ 이고, 화이트 상태에서는 $12.25V - (16.0V) = -3.75V$ 이고, (-) 반전 구동에서, 감압 축전기(Cstd)에 의한 제2 부화소 전극(191b)의 감압된 전압(Vdd)의 크기는 블랙 상태에서는 $6.3V - (16.0V) = -9.7V$ 이고, 화이트 상태에서는 $1.75V - (16.0V) = -14.25V$ 이다. 도 8(c)에서, 감압된 전압(Vdd) 값을 각기 x5, x6, x7, x8로 표시하였다. 도 8(c)를 참고하면, (+) 반전 구동인 x5 내지 x6 범위와 (-) 반전 구동인 x7 내지 x8 범위 내에서 감압 축전기(Cstd)의 정전 용량(Cap)은 거의 일정하게 유지되게 된다. 따라서, 감압 축전기(Cstd)가 반도체층을 포함하더라도 감압 축전기(Cstd)의 정전 용량을 일정하게 유지할 수 있고 이에 따라 제1 및 제2 액정 축전기(Csta, Cstb)의 충전 전압을 정확히 조절할 수 있다.

[0108]

이처럼, 본 발명의 한 실시예에 따른 액정 표시 장치의 감압 축전기(Cstd)의 용량 전극(137)에 인가되는 전압은 데이터선(DL)을 통해 제1/제2 액정 축전기(Clca/Clcb)에 인가되는 전압 범위 밖의 전압일 수 있고, 구체적으로

제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압의 최소 값보다 낮고 최대 값보다 높을 수 있다.

[0109] 그러면, 도 9를 참고로 하여, 본 발명의 다른 한 실시예에 따른 액정 표시 장치에 대하여 설명한다. 도 9는 본 발명의 다른 한 실시예에 따른 액정 표시 장치의 배치도이다.

[0110] 본 실시예에 따른 액정 표시 장치는 도 4 내지 도 7에 도시한 실시예와 마찬가지로, 서로 마주보는 두 표시판(100, 200)과 두 표시판(100, 200) 사이에 들어있는 액정층(3)을 포함한다. 도 9에 도시한 액정 표시 장치에서, 도 4 내지 도 7에 도시한 실시예에 따른 액정 표시 장치와 동일한 구성 요소에 대해서는 동일한 도면 부호를 붙였다.

[0111] 하부 표시판(100)에 대해 설명하면, 절연 기판(도시하지 않음) 위에 복수의 게이트선(121)과 용량 전극선(131)을 포함하는 게이트 도전체가 형성되어 있고, 게이트 도전체 위에는 게이트 절연막(도시하지 않음)이 형성되어 있고, 게이트 절연막 위에는 반도체층(154a, 154b, 154c)이 형성되어 있고, 반도체층(154a, 154b, 154c) 위에는 저항성 접촉 부재(도시하지 않음)가 형성되어 있다. 저항성 접촉 부재 및 게이트 절연막 위에는 복수의 데이터선(171)과 복수의 제1 전극 부재(175a), 제2 전극 부재(175b), 제3 전극 부재(175c), 그리고 연결 부재(176)를 포함하는 데이터 도전체가 형성되어 있다. 반도체(154a, 154b, 154c)는 데이터선(171), 제1 내지 제3 전극 부재(175a, 175b, 175c), 연결 부재(176) 및 그 아래의 저항성 접촉 부재와 실질적으로 동일한 평면 모양이다. 즉, 하부 표시판(100)을 본 발명의 한 실시예에 따라 제조하는 방법에서는 데이터 도전체(171, 175a, 175b, 175c, 176) 및 반도체(154a-c) 및 저항성 접촉 부재를 한 번의 사진 공정으로 형성한다. 데이터 도전체(171, 175a, 175b, 175c, 176) 및 노출된 반도체(154a-c) 부분 위에는 하부 보호막(도시하지 않음)이 형성되어 있고, 하부 보호막 위에는 색필터(도시하지 않음)가 형성되어 있고, 하부 보호막 및 색필터 위에는 상부 보호막(도시하지 않음)이 형성되어 있다. 보호막 위에는 제1 및 제2 부화소 전극(191a, 191b)을 포함하는 화소 전극(191)이 형성되어 있다. 제1 부화소 전극(191a)은 보호막에 형성되어 있는 접촉 구멍(185a)을 통해 제1 드레인 전극(175a)의 확장부(177a)와 연결되고, 제2 부화소 전극(191b)은 보호막에 형성되어 있는 접촉 구멍(185b)을 통해 제2 드레인 전극(175b)에 연결됨과 동시에 접촉 구멍(176)을 통해 제3 소스 전극(173c)의 확장부(176)와 연결되어 있다. 본 실시예에 따른 액정 표시 장치의 용량 전극(137)과 제3 드레인 전극(175c)의 넓은 한 쪽 끝 부분(177c)은 게이트 절연막과 반도체층을 사이에 두고 서로 중첩하여 감압 축전기(Cstd)를 이룬다. 본 발명의 실시예에 따른 액정 표시 장치의 용량 전극선(131)을 통해 용량 전극(137)에 인가되는 전압은 데이터선(171)을 통해 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 반전 전압 범위 밖의 전압일 수 있고, 구체적으로 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압의 최소 값보다 낮고 최대 값보다 높을 수 있다. 예를 들어, 제1 및 제2 부화소 전극(191a, 191b)에 인가되는 전압이 0V 에서 14V 사이에서 변화하는 경우, 용량 전극선(CL)에 인가되는 전압은 0V 이하이거나 14V 이상일 수 있다.

[0112] 상부 표시판(200)에 대해서 설명하면, 절연 기판(도시하지 않음) 위에 차광 부재(도시하지 않음)가 형성되어 있고, 차광 부재 위에는 절개막(도시하지 않음)과 공통 전극(도시하지 않음)이 차례로 형성되어 있다.

[0113] 그러나, 도 9에 도시한 바와 같이, 본 실시예에 따른 액정 표시 장치의 용량 전극선(131)의 형태와 화소 전극(191)의 형태 및 배치는 도 4 내지 도 7에 도시한 실시예에 따른 액정 표시 장치와 다르다. 또한, 본 실시예에 따른 액정 표시 장치의 공통 전극은 복수의 절개부(71, 72a, 72b)를 가진다.

[0114] 이러한 차이점에 대하여 설명한다.

[0115] 본 실시예에 따른 용량 전극선(131)은 제1 부화소 전극(191a)과 제2 부화소 전극(191b) 사이의 간극(91)과 중첩하고, 인접하는 두 데이터선(171)과 제1 부화소 전극(191a)과 제2 부화소 전극(191b) 사이의 간격(도시하지 않음)과 중첩하는 유지 용량 형성부(133a, 133b, 133c, 133d)와 감압 축전기(Cstd)의 한 단자를 이루는 용량 전극(137)을 포함한다.

[0116] 본 실시예에 따른 화소 전극(191)을 이루는 한 쌍의 제1 및 제2 부화소 전극(191a, 191b)은 간극(gap)(91)을 사이에 두고 서로 맞물려 있으며, 제2 부화소 전극(191b)은 제2 부화소 전극(191a)의 중앙에 삽입되어 있다. 즉, 제1 부화소 전극(191a)은 제2 부화소 전극(191b)을 둘러싸는 형태이고, 간극(94)으로 이격되어 있어서 서로 중첩하지 않는다. 제2 부화소 전극(191b)에는 중앙 절개부(92)가 형성되어 있다. 간극(91)과 중앙 절개부(92)에 의해 화소 전극(191)은 4 개의 영역(partition)으로 나누어진다. 이 때, 영역의 수효 또는 절개부의 수효는 화소의 크기, 화소 전극의 가로변과 세로 변의 길이 비, 액정층(3)의 종류나 특성 등 설계 요소에 따라서 달라질 수 있다.

[0117] 본 실시예에 따른 공통 전극에는 복수의 절개부(71, 72a, 72b) 집합이 형성되어 있다. 절개부(71, 72a, 72b)

각각은 화소 전극(191)의 간극(91)과 중앙 절개부(92) 사이에 위치하여, 간극(91)과 중앙 절개부(92)와 거의 평행하게 뻗는다. 절개부(71, 72a, 72b)의 수효 및 방향 또한 설계 요소에 따라 달라질 수 있다.

[0118] 화소 전극(191)의 간극(91) 및 중앙 절개부(92), 그리고 공통 전극의 절개부(71, 72a, 72b)는 화소 전극(191)과 공통 전극 사이에 형성되는 전기장을 왜곡하여 액정 분자들의 경사 방향을 결정하는 수평 성분을 만들어낸다. 전기장의 수평 성분은 간극 및 절개부(92, 71, 72a, 72b)의 빗변과 화소 전극(191)의 빗변에 수직이다.

[0119] 이러한 간극(91) 및 절개부(92, 71, 72a, 72b) 집합은 화소 전극(191)을 복수의 부영역(sub-area)으로 나누며, 각 부영역은 화소 전극(191)의 주 변과 빗각을 이루는 두 개의 주 변(major edge)을 가진다. 각 부영역 위의 액정 분자들은 대부분 주 변에 수직인 방향으로 기울어지므로, 기울어지는 방향을 추려보면 대략 네 방향이다. 이와 같이 액정 분자가 기울어지는 방향을 다양하게 하면 액정 표시 장치의 기준 시야각이 커진다.

[0120] 적어도 하나의 절개부(92, 71, 72a, 72b)는 돌기나 함몰부로 대체할 수 있으며, 절개부(92, 71, 72a, 72b)의 모양 및 배치는 변형될 수 있다.

[0121] 앞서 설명하였듯이, 제2 부화소 전극(191b)은 감압 축전기(Cstd)에 연결되어 있고, 제2 부화소 전극(191b)에 충전된 전하 중 일부는 제3 드레인 전극(175c)을 통해 감압 축전기(Cstd)로 이동하게 되어, 제2 부화소 전극(191b)에 충전된 전하의 양은 제1 부화소 전극(191a)에 충전된 전하의 양보다 적어진다. 이처럼, 두 액정 축전기(Clca, Clca)의 충전 전압은 서로 다른 감마 곡선을 나타내며 한 화소 전압의 감마 곡선은 이들을 합성한 곡선이 된다. 정면에서의 합성 감마 곡선은 가장 적합하도록 정해진 정면에서의 기준 감마 곡선과 일치하도록 하고 측면에서의 합성 감마 곡선은 정면에서의 기준 감마 곡선과 가장 가깝게 되도록 한다. 이와 같이 영상 데이터를 변환함으로써 측면 시인성이 향상된다.

[0122] 앞선 실시예와 같이, 본 실시예에 따른 액정 표시 장치의 용량 전극(137)에 인가되는 전압은 데이터선(171)을 통해 화소 전극(191)에 인가되는 전압 값의 최소 값보다 낮고, 최대 값보다 높다. 따라서, 용량 전압선(131)을 통해 용량 전극(137)에 인가되는 전압을 조절함으로써, 반도체층이 감압 축전기(Cstd)에 존재하는 경우에도 감압 축전기(Cstd)의 정전 용량을 일정하게 조절할 수 있고, 이에 따라 두 개의 부화소 전극의 전압을 정확하게 조절할 수 있다.

[0123] 도 4 내지 도 7에 도시한 액정 표시 장치의 많은 특징들은 도 9에 도시한 액정 표시 장치에도 적용될 수 있다.

[0124] 이처럼, 본 발명의 실시예에 따른 액정 표시 장치에서는, 감압 축전기(Cstd)를 게이트 도전체와 데이터 도전체를 이용하여 형성함으로써, 감압 축전기(Cstd) 형성을 위한 추가 공정이 필요하지 않아, 액정 표시 장치의 제조 공정을 간단하게 할 수 있고, 동시에, 용량 전압선(131)을 통해 용량 전극(137)에 인가되는 전압을 조절함으로써, 반도체층이 감압 축전기(Cstd)에 존재하는 경우에도 감압 축전기(Cstd)의 정전 용량을 일정하게 조절할 수 있고, 이에 따라 두 개의 부화소 전극의 전압을 정확하게 조절할 수 있다.

[0125] 이상에서 본 발명의 바람직한 실시예에 대하여 상세하게 설명하였지만 본 발명의 권리범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

도면의 간단한 설명

[0126] 도 1은 본 발명의 한 실시예에 따른 액정 표시 장치의 블록도이다.

[0127] 도 2는 본 발명의 한 실시예에 따른 액정 표시 장치의 구조와 두 부화소에 대한 등가 회로를 개략적으로 도시한 도면이다.

[0128] 도 3은 본 발명의 한 실시예에 따른 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0129] 도 4는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 배치도이다.

[0130] 도 5는 본 발명의 한 실시예에 따른 액정 표시판 조립체의 화소 전극을 도시하는 배치도이다.

[0131] 도 6 및 도 7은 각각 도 4의 액정 표시판 조립체를 VI-VI 및 VII-VII 선을 따라 잘라 도시한 단면도이다.

[0132] 도 8은 본 발명의 한 실시예에 따른 감압 축전기의 정전 용량을 나타내는 그래프이다.

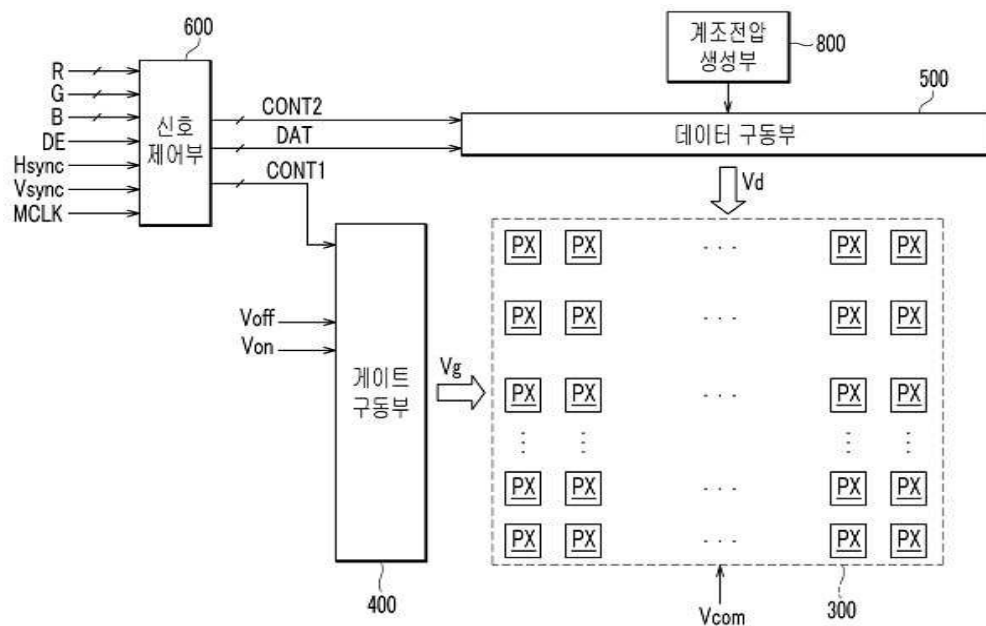
[0133] 도 9는 본 발명의 다른 한 실시예에 따른 액정 표시판 조립체의 배치도이다.

[0134] * 도면 부호의 설명 *

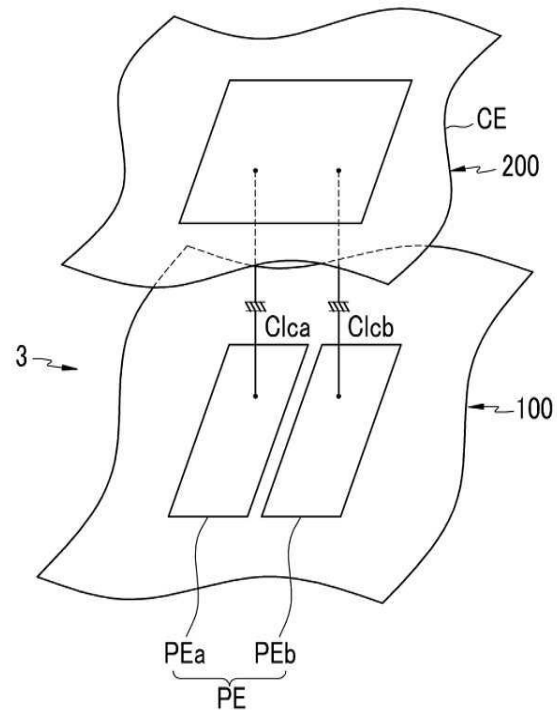
[0135]	3: 액정층	100, 200: 표시판
[0136]	121: 게이트선	124a, 124b, 124c: 게이트 전극
[0137]	131: 용량 전극선	137: 용량 전극
[0138]	154a, 154b, 154c, 157c: 반도체	
[0139]	163a, 165a, 167c: 저항성 접촉 부재	171: 데이터선
[0140]	173a, 173b, 173c: 소스 전극	175a, 175b, 175c: 드레인 전극
[0141]	180: 보호막	
[0142]	181, 182, 185a, 185b, 186: 접촉 구멍	
[0143]	191: 화소 전극	220: 차광 부재
[0144]	230: 색필터	250: 덮개막
[0145]	270: 공통 전극	300: 액정 표시판 조립체
[0146]	400: 게이트 구동부	500: 데이터 구동부
[0147]	600: 신호 제어부	800: 게조 전압 생성부

도면

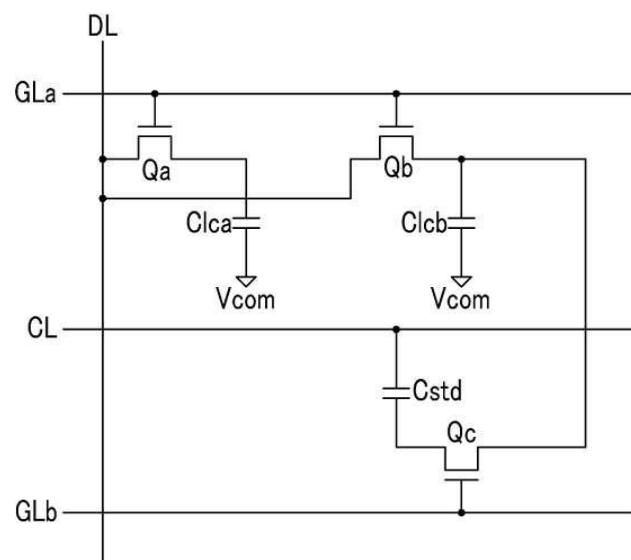
도면1



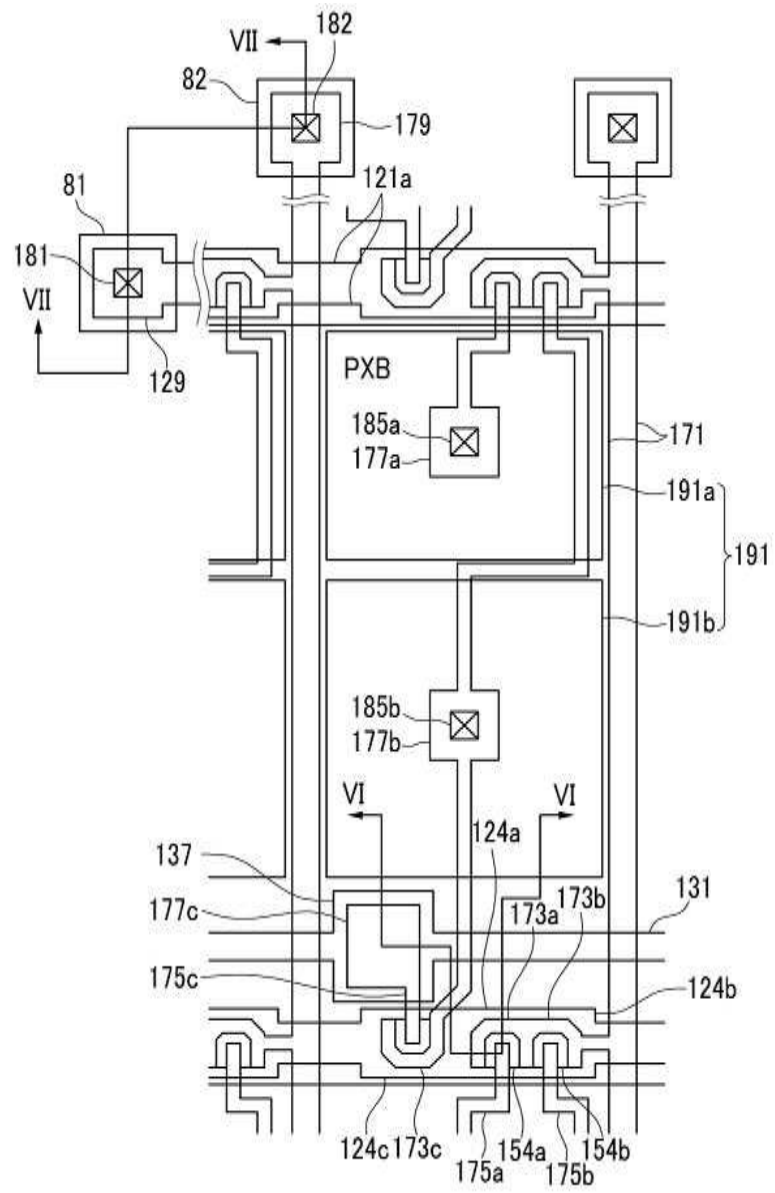
도면2



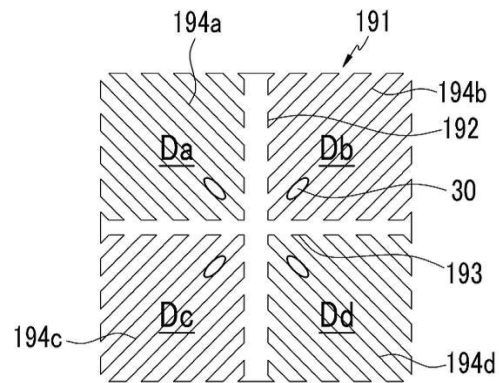
도면3



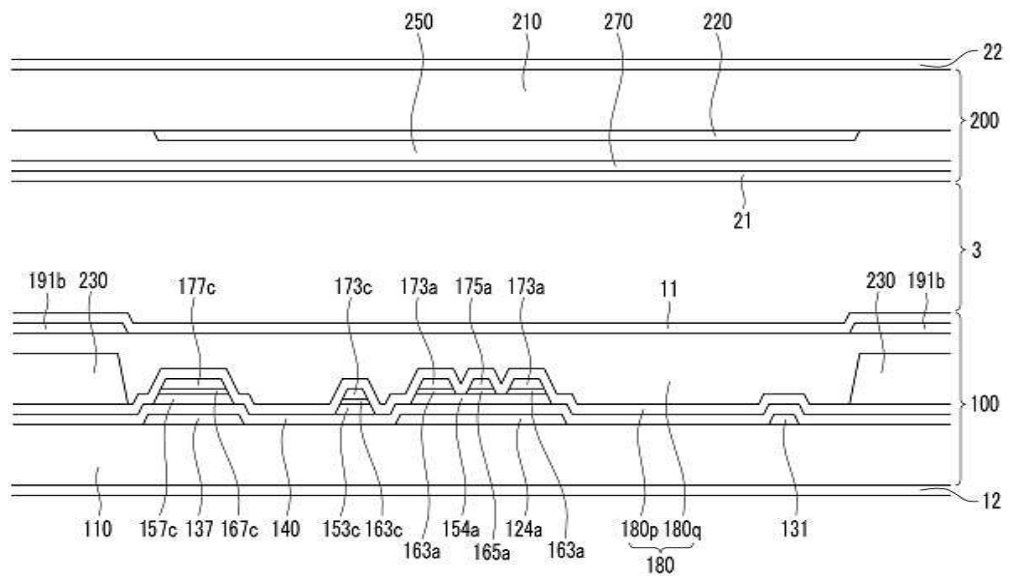
도면4



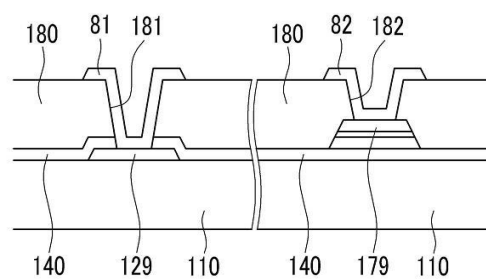
도면5



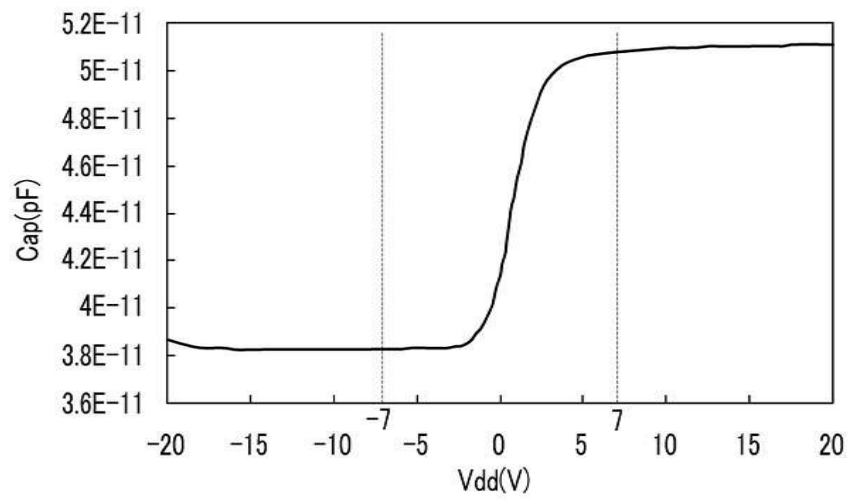
도면6



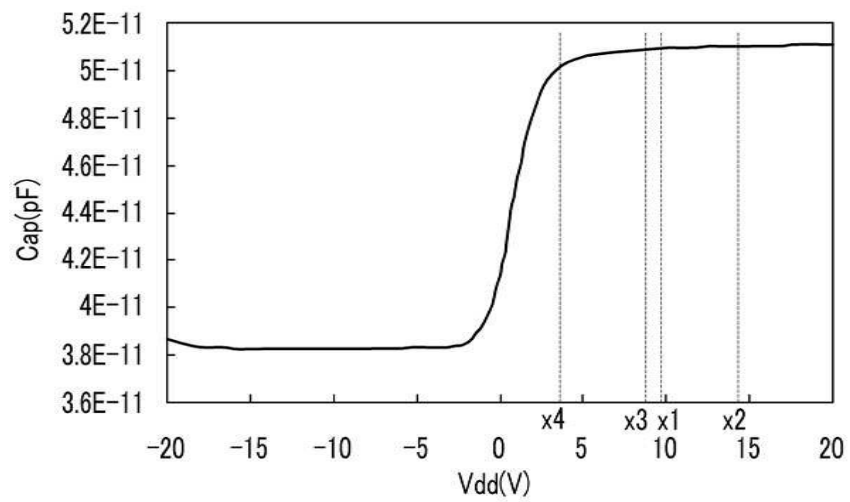
도면7



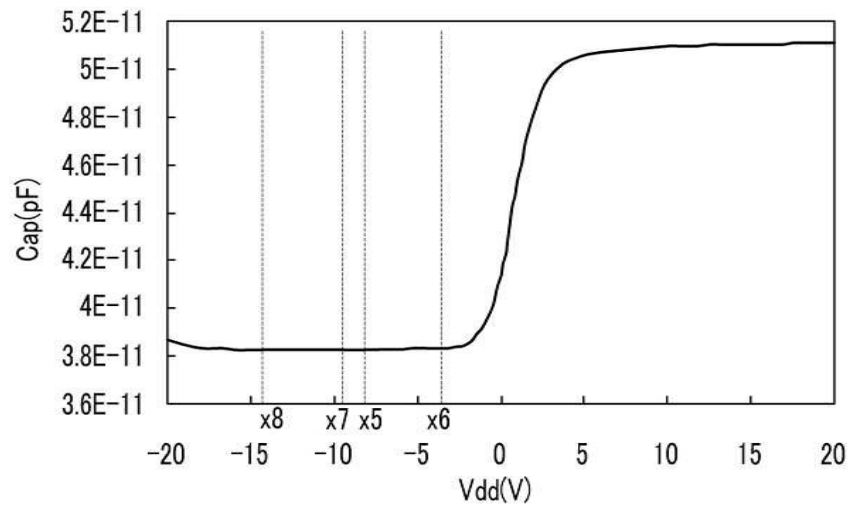
도면8a



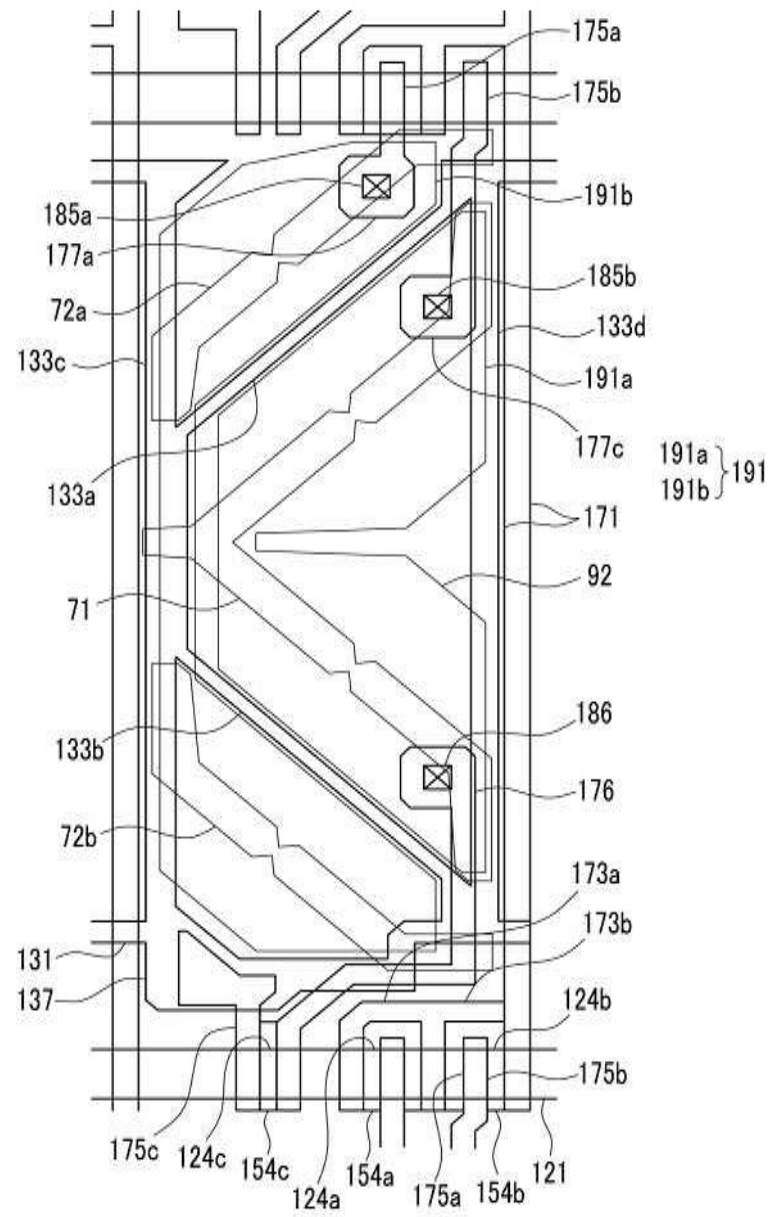
도면8b



도면8c



도면9



专利名称(译)	液晶显示器		
公开(公告)号	KR101592015B1	公开(公告)日	2016-02-05
申请号	KR1020090018994	申请日	2009-03-05
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	HUR MYUNG KOO 허명구 LEE CHEOL GON 이철곤 UM YOON SUNG 엄윤성		
发明人	허명구 이철곤 엄윤성		
IPC分类号	G02F1/1343 G02F1/133 G02F1/136		
CPC分类号	G02F1/13624 G02F1/136213 G02F2001/134345		
其他公开文献	KR1020100100227A		
外部链接	Espacenet		

摘要(译)

液晶显示装置技术领域本发明涉及液晶显示装置。根据本发明实施例的液晶显示装置包括以矩阵排列的多个像素。液晶显示装置包括多个像素电极，每个像素电极包括第一子像素电极和第二子像素电极，连接到第一子像素电极的多个第一薄膜晶体管，连接到第二子像素电极的多个第二薄膜晶体管，连接到第二子像素电极的多个第三薄膜晶体管连接到第一和第二薄膜晶体管的多条第一栅极线，连接到第一和第二薄膜晶体管的多条数据线，连接到第三薄膜晶体管的多个第二栅极，并且，与第三薄膜晶体管的漏电极重叠的电容器电极线和电容器电极线连接到数据线下面是所施加的电压或大于最大值高的电压的最小值。

