



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2015년05월15일

(11) 등록번호 10-1520588

(24) 등록일자 2015년05월08일

(51) 국제특허분류(Int. Cl.)

G02F 1/133 (2006.01) G09G 3/36 (2006.01)

(21) 출원번호 10-2014-0154587 (분할)

(22) 출원일자 2014년11월07일

심사청구일자 2014년11월07일

(65) 공개번호 10-2014-0136420

(43) 공개일자 2014년11월28일

(62) 원출원 특허 10-2010-0072333

원출원일자 2010년07월27일

심사청구일자 2011년11월03일

(56) 선행기술조사문헌

KR1020060029369 A

KR1020060070336 A

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김홍재

대구 북구 칠곡중앙대로95길 11, 101동 506호 (관음동, 동화훼미리타운)

김병훈

경북 구미시 구미대로 186-19, 202동 1103호 (광평동, 구미광평푸르지오2차)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 11 항

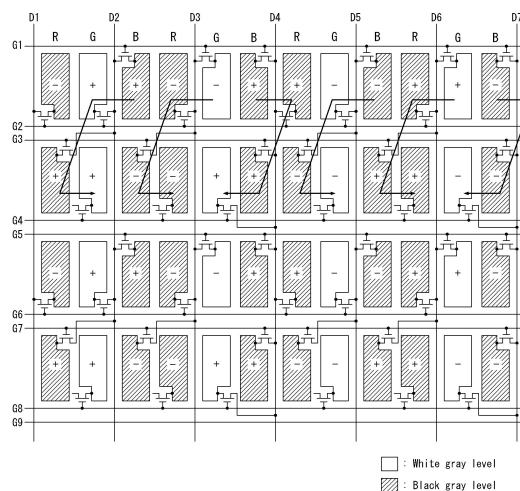
심사관 : 김민수

(54) 발명의 명칭 액정표시장치

(57) 요약

본 발명은 액정표시장치에 관한 것으로, 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 데이터 라인들에 공급하고 1 프레임기간 동안 동일한 데이터라인에 공급되는 데이터전압들의 극성을 동일하게 유지시키는 데이터 구동회로; 제j(j는 자연수) 게이트라인에 제j 게이트 펄스를 공급한 후에 제j+1 게이트라인에 제j+1 게이트 펄스를 공급한 다음, 제j+2 게이트라인에 제j+2 게이트 펄스를 공급하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로; 및 상기 데이터 구동회로에 상기 디지털 비디오 데이터를 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하는 타이밍 컨트롤러를 포함한다. 상기 서브픽셀들 각각은 TFT를 포함하고, TFT들 중 일부 TFT의 드레인이 이웃한 다른 TFT의 드레인 길이 보다 길게 연장되어 이웃한 게이트 라인들 사이의 공간을 경유하여 데이터 라인에 연결된다.

대표도 - 도4



명세서

청구범위

청구항 1

데이터라인들, 상기 데이터라인들과 교차되는 게이트라인들, 및 매트릭스 형태로 배치되어 각각 서로 다른 색의 데이터 전압들을 연속 충전하는 서브픽셀들을 포함하는 액정표시패널;

디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하고 1 프레임기간 동안 동일한 데이터라인에 공급되는 데이터전압들의 극성을 동일하게 유지시키는 데이터 구동회로;

제 j (j 는 자연수) 게이트라인에 제 j 게이트 펄스를 공급한 후에 제 $j+1$ 게이트라인에 제 $j+1$ 게이트 펄스를 공급한 다음, 제 $j+2$ 게이트라인에 제 $j+2$ 게이트 펄스를 공급하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로; 및

상기 데이터 구동회로에 상기 디지털 비디오 데이터를 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하는 타이밍 콘트롤러를 포함하고,

상기 서브픽셀들 각각은 TFT를 포함하고,

상기 TFT들 중 일부 TFT의 드레인이 이웃한 다른 TFT의 드레인 길이 보다 길게 연장되어 이웃한 게이트 라인들 사이의 공간을 경유하여 데이터 라인에 연결되고,

상기 서브픽셀들은 제 i (i 는 자연수) 데이터라인을 공유하고 서로 다른 두가지 색의 데이터 전압을 연속 충전하는 제1 및 제2 서브픽셀을 포함하는 것을 특징으로 하는 액정표시장치.

청구항 2

제 1 항에 있어서,

상기 게이트라인들은 상기 액정표시패널의 수직 해상도 보다 많은 개수의 게이트라인들을 포함하고,

상기 액정표시패널의 수평 표시라인들 사이에 한 쌍의 게이트라인들이 배치되는 것을 특징으로 하는 액정표시장치.

청구항 3

제 1 항에 있어서,

상기 제1 서브픽셀은 상기 액정표시패널의 제 k (k 는 자연수) 표시라인에서 상기 제 i 데이터라인의 우측에 배치되고, 상기 제 j 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 데이터전압들을 제1 화소전극에 공급하는 제1 TFT를 포함하고,

상기 제2 서브픽셀은 상기 액정표시패널의 제 k 표시라인에서 상기 제 i 데이터라인의 좌측에 배치되고, 상기 제 $j+1$ 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 데이터전압들을 제2 화소전극에 공급하는 제2 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 4

제 3 항에 있어서,

제 $k+1$ 표시라인에서 제 $i-1$ 데이터라인의 우측에 배치되어 제 $j+2$ 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제3 서브픽셀;

상기 제 $k+1$ 표시라인에서 제 i 데이터라인의 좌측에 배치되어 제 $j+3$ 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제4 서브픽셀;

상기 제 k 표시라인에서 제 $i+1$ 데이터라인의 우측에 배치되어 상기 제 j 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제5 서브픽셀;

상기 제k 표시라인에서 상기 제i+1 데이터라인의 좌측에 배치되어 상기 제j+1 게이트필스에 응답하여 상기 제i+1 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제6 서브픽셀;

상기 제k+1 표시라인에서 상기 제i 데이터라인의 우측에 배치되어 상기 제j+2 게이트필스에 응답하여 상기 제i+1 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제7 서브픽셀;

상기 제k+1 표시라인에서 상기 제i+1 데이터라인의 좌측에 배치되어 상기 제j+3 게이트필스에 응답하여 상기 제i+1 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제8 서브픽셀;

상기 제k 표시라인에서 제i+2 데이터라인의 좌측에 배치되어 상기 제j 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제9 서브픽셀;

상기 제k 표시라인에서 상기 제i+2 데이터라인의 우측에 배치되어 상기 제j+1 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제10 서브픽셀;

상기 제k+1 표시라인에서 상기 제i+2 데이터라인의 좌측에 배치되어 상기 제j+2 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제11 서브픽셀; 및

상기 제k+1 표시라인에서 상기 제i+1 데이터라인의 우측에 배치되어 상기 제j+3 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제12 서브픽셀을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 5

제 4 항에 있어서,

상기 제3 서브픽셀은 상기 제j+2 게이트필스에 응답하여 상기 제i 데이터라인으로부터의 데이터전압들을 연속으로 제3 화소전극에 공급하는 제3 TFT를 포함하고,

상기 제4 서브픽셀은 상기 제j+3 게이트필스에 응답하여 상기 제i 데이터라인으로부터의 데이터전압들을 연속으로 제4 화소전극에 공급하는 제4 TFT를 포함하고,

상기 제5 서브픽셀은 상기 제j 게이트필스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제5 화소전극에 공급하는 제5 TFT를 포함하고,

상기 제6 서브픽셀은 상기 제j+1 게이트필스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제6 화소전극에 공급하는 제6 TFT를 포함하고,

상기 제7 서브픽셀은 상기 제j+2 게이트필스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제7 화소전극에 공급하는 제7 TFT를 포함하고,

상기 제8 서브픽셀은 상기 제j+3 게이트필스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제8 화소전극에 공급하는 제8 TFT를 포함하고,

상기 제9 서브픽셀은 상기 제j 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연속으로 제9 화소전극에 공급하는 제9 TFT를 포함하고,

상기 제10 서브픽셀은 상기 제j+1 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연속으로 제10 화소전극에 공급하는 제10 TFT를 포함하고,

상기 제11 서브픽셀은 상기 제j+2 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연속으로 제11 화소전극에 공급하는 제11 TFT를 포함하고,

상기 제12 서브픽셀은 상기 제j+3 게이트필스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연속으로 제12 화소전극에 공급하는 제12 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 3 항에 있어서,

상기 서브픽셀들은,

제k+1 표시라인에서 제i-1 데이터라인의 우측에 배치되어 제j+2 게이트필스에 응답하여 상기 제i 데이터라인으

로부터의 두가지 색의 데이터전압들을 연속 충전하는 제3 서브픽셀;

상기 제k+1 표시라인에서 제i 데이터라인의 좌측에 배치되어 제j+3 게이트펄스에 응답하여 상기 제i 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제4 서브픽셀;

상기 제k 표시라인에서 제i+1 데이터라인의 좌측에 배치되어 상기 제j 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제5 서브픽셀;

상기 제k 표시라인에서 상기 제i+1 데이터라인의 우측에 배치되어 상기 제j+1 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제6 서브픽셀;

상기 제k+1 표시라인에서 상기 제i+1 데이터라인의 좌측에 배치되어 상기 제j+2 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제7 서브픽셀;

상기 제k+1 표시라인에서 상기 제i 데이터라인의 우측에 배치되어 상기 제j+3 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제8 서브픽셀;

상기 제k 표시라인에서 제i+2 데이터라인의 좌측에 배치되어 상기 제j 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제9 서브픽셀;

상기 제k 표시라인에서 상기 제i+2 데이터라인의 우측에 배치되어 상기 제j+1 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제10 서브픽셀;

상기 제k+1 표시라인에서 상기 제i+2 데이터라인의 좌측에 배치되어 상기 제j+2 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제11 서브픽셀; 및

상기 제k+1 표시라인에서 상기 제i+1 데이터라인의 우측에 배치되어 상기 제j+3 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제12 서브픽셀을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

제 6 항에 있어서,

상기 제3 서브픽셀은 상기 제j+2 게이트펄스에 응답하여 상기 제i 데이터라인으로부터의 데이터전압들을 연속으로 제3 화소전극에 공급하는 제3 TFT를 포함하고,

상기 제4 서브픽셀은 상기 제j+3 게이트펄스에 응답하여 상기 제i 데이터라인으로부터의 데이터전압들을 연속으로 제4 화소전극에 공급하는 제4 TFT를 포함하고,

상기 제5 서브픽셀은 상기 제j 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제5 화소전극에 공급하는 제5 TFT를 포함하고,

상기 제6 서브픽셀은 상기 제j+1 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제6 화소전극에 공급하는 제6 TFT를 포함하고,

상기 제7 서브픽셀은 상기 제j+2 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제7 화소전극에 공급하는 제7 TFT를 포함하고,

상기 제8 서브픽셀은 상기 제j+3 게이트펄스에 응답하여 상기 제i+1 데이터라인으로부터의 데이터전압들을 연속으로 제8 화소전극에 공급하는 제8 TFT를 포함하고,

상기 제9 서브픽셀은 상기 제j 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연속으로 제9 화소전극에 공급하는 제9 TFT를 포함하고,

상기 제10 서브픽셀은 상기 제j+1 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연속으로 제10 화소전극에 공급하는 제10 TFT를 포함하고,

상기 제11 서브픽셀은 상기 제j+2 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연속으로 제11 화소전극에 공급하는 제11 TFT를 포함하고,

상기 제12 서브픽셀은 상기 제j+3 게이트펄스에 응답하여 상기 제i+2 데이터라인으로부터의 데이터전압들을 연

속으로 제12 화소전극에 공급하는 제12 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 8

제 1 항에 있어서,

상기 제1 서브픽셀은 상기 액정표시패널의 제 k (k 는 자연수) 표시라인에서 상기 제 i 데이터라인의 우측에 배치되고, 상기 제 j 게이트펄스에 응답하여 두가지 색의 데이터전압들을 연속으로 제1 화소전극에 공급하는 제1 TFT를 포함하고,

상기 제2 서브픽셀은 상기 액정표시패널의 제 k 표시라인에서 제 $i+1$ 데이터라인의 좌측에 배치되고, 상기 제 $j+1$ 게이트펄스에 응답하여 두가지 색의 데이터전압들을 연속으로 제2 화소전극에 공급하는 제2 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 서브픽셀들은,

제 $k+1$ 표시라인에서 제 i 데이터라인의 좌측에 배치되어 제 $j+2$ 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제3 서브픽셀;

상기 제 $k+1$ 표시라인에서 제 $i-1$ 데이터라인의 우측에 배치되어 제 $j+3$ 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제4 서브픽셀;

상기 제 k 표시라인에서 제 $i+2$ 데이터라인의 좌측에 배치되어 상기 제 j 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제5 서브픽셀;

상기 제 k 표시라인에서 상기 제 $i+1$ 데이터라인의 우측에 배치되어 상기 제 $j+1$ 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제6 서브픽셀;

상기 제 $k+1$ 표시라인에서 상기 제 i 데이터라인의 우측에 배치되어 상기 제 $j+2$ 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제7 서브픽셀;

상기 제 $k+1$ 표시라인에서 상기 제 $i+1$ 데이터라인의 좌측에 배치되어 상기 제 $j+3$ 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제8 서브픽셀;

상기 제 k 표시라인에서 제 $i+3$ 데이터라인의 좌측에 배치되어 상기 제 j 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 상기 두가지 색의 데이터전압들을 연속 충전하는 제9 서브픽셀;

상기 제 k 표시라인에서 상기 제 $i+2$ 데이터라인의 우측에 배치되어 상기 제 $j+1$ 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 상기 두가지 색의 데이터전압들을 연속 충전하는 제10 서브픽셀;

상기 제 $k+1$ 표시라인에서 상기 제 $i+1$ 데이터라인의 우측에 배치되어 상기 제 $j+2$ 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 상기 두가지 색의 데이터전압들을 연속 충전하는 제11 서브픽셀; 및

상기 제 $k+1$ 표시라인에서 상기 제 $i+2$ 데이터라인의 좌측에 배치되어 상기 제 $j+3$ 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제12 서브픽셀을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

제 1 항에 있어서,

상기 제1 서브픽셀은 상기 액정표시패널의 제 k (k 는 자연수) 표시라인에서 제 $i+1$ 데이터라인의 좌측에 배치되고, 상기 제 j 게이트펄스에 응답하여 두가지 색의 데이터전압들을 연속으로 제1 화소전극에 공급하는 제1 TFT를 포함하고,

상기 제2 서브픽셀은 상기 액정표시패널의 제 k 표시라인에서 상기 제 i 데이터라인의 우측에 배치되고, 상기 제 $j+1$ 게이트펄스에 응답하여 두가지 색의 데이터전압들을 연속으로 제2 화소전극에 공급하는 제2 TFT를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 11

제 10 항에 있어서,

상기 서브픽셀들은,

제 $k+1$ 표시라인에서 제 $i-1$ 데이터라인의 우측에 배치되어 제 $j+2$ 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제3 서브픽셀;

상기 제 $k+1$ 표시라인에서 제 i 데이터라인의 좌측에 배치되어 제 $j+3$ 게이트펄스에 응답하여 상기 제 i 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제4 서브픽셀;

상기 제 k 표시라인에서 제 $i+2$ 데이터라인의 좌측에 배치되어 상기 제 j 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제5 서브픽셀;

상기 제 k 표시라인에서 상기 제 $i+1$ 데이터라인의 우측에 배치되어 상기 제 $j+1$ 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제6 서브픽셀;

상기 제 $k+1$ 표시라인에서 상기 제 i 데이터라인의 우측에 배치되어 상기 제 $j+2$ 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제7 서브픽셀;

상기 제 $k+1$ 표시라인에서 상기 제 $i+1$ 데이터라인의 좌측에 배치되어 상기 제 $j+3$ 게이트펄스에 응답하여 상기 제 $i+1$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제8 서브픽셀;

상기 제 k 표시라인에서 제 $i+2$ 데이터라인의 우측에 배치되어 상기 제 j 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 상기 두가지 색의 데이터전압들을 연속 충전하는 제9 서브픽셀;

상기 제 k 표시라인에서 제 $i+3$ 데이터라인의 좌측에 배치되어 상기 제 $j+1$ 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 상기 두가지 색의 데이터전압들을 연속 충전하는 제10 서브픽셀;

상기 제 $k+1$ 표시라인에서 상기 제 $i+2$ 데이터라인의 좌측에 배치되어 상기 제 $j+2$ 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 상기 두가지 색의 데이터전압들을 연속 충전하는 제11 서브픽셀; 및

상기 제 $k+1$ 표시라인에서 상기 제 $i+1$ 데이터라인의 우측에 배치되어 상기 제 $j+3$ 게이트펄스에 응답하여 상기 제 $i+2$ 데이터라인으로부터의 두가지 색의 데이터전압들을 연속 충전하는 제12 서브픽셀을 더 포함하는 것을 특징으로 하는 액정표시장치.

발명의 설명

기술 분야

[0001]

본 발명은 소스 드라이브 집적회로(Integrated Circuit, IC)의 소비전력을 최소화하고 이웃하는 액정셀들이 동일한 데이터라인을 공유하는 구동 방식에서 화질을 높일 수 있는 액정표시장치에 관한 것이다.

배경 기술

[0002]

액티브 매트릭스(Active Matrix) 구동방식의 액정표시장치는 스위칭 소자로서 박막트랜지스터(Thin Film Transistor : 이하 "TFT"라 함)를 이용하여 동영상상을 표시하고 있다. 액정표시장치는 음극선관(Cathode Ray Tube, CRT)에 비하여 소형화가 가능하여 휴대용 정보기기, 사무기기, 컴퓨터 등에서 표시기기에 응용됨은 물론, 텔레비전에도 응용되어 음극선관을 빠르게 대체하고 있다.

[0003]

액정표시장치는 액정표시패널, 액정표시패널에 빛을 조사하는 백라이트 유닛, 액정표시패널의 데이터라인들에 데이터전압을 공급하기 위한 소스 드라이브 집적회로(Integrated Circuit, IC), 액정표시패널의 게이트라인들(또는 스캔라인들)에 게이트펄스(또는 스캔펄스)를 공급하기 위한 게이트 드라이브 IC, 및 상기 IC들을 제어하는 제어회로, 백라이트 유닛의 광원을 구동하기 위한 광원 구동회로 등을 구비한다.

[0004]

액정표시장치의 공정 기술과 구동 기술의 비약적인 발전에 힘입어, 액정표시장치의 제조비용은 낮아지고, 화질이 크게 향상되고 있다. 최근에는 하나의 데이터라인들 통해 좌우로 이웃한 액정셀들에 데이터전압을 시분할 공급하여 데이터라인들의 개수와 소스 드라이브 IC들의 개수를 기존보다 1/2로 줄인 구동 방안이 적용되고

있다. 그런데, 이러한 구동 방안은 R(Red), G(Green), B(Blue) 서브픽셀들의 데이터 충전 특성이 다르거나 동일 색의 서브픽셀들에서도 패널 위치에 따라 데이터 충전 특성이 다르기 때문에 표시화상에서 가로선, 세로선, 격자 무늬 등의 노이즈가 보일 수 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명은 소스 드라이브 IC들의 소비전력을 최소화하고 이웃하는 액정셀들이 동일한 데이터라인을 공유하는 구동 방식에서 화질을 높일 수 있는 액정표시장치를 제공한다.

과제의 해결 수단

[0006] 본 발명의 액정표시장치는 데이터라인들, 상기 데이터라인들과 교차되는 게이트라인들, 및 매트릭스 형태로 배치되어 각각 서로 다른 색의 데이터 전압들을 연속 충전하는 서브픽셀들을 포함하는 액정표시패널; 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 상기 데이터라인들에 공급하고 1 프레임기간 동안 동일한 데이터라인에 공급되는 데이터전압들의 극성을 동일하게 유지시키는 데이터 구동회로; 제j(j는 자연수) 게이트라인에 제j 게이트 펄스를 공급한 후에 제j+1 게이트라인에 제j+1 게이트 펄스를 공급한 다음, 제j+2 게이트라인에 제j+2 게이트 펄스를 공급하여 상기 게이트라인들에 게이트펄스를 순차적으로 공급하는 게이트 구동회로; 및 상기 데이터 구동회로에 상기 디지털 비디오 데이터를 공급하고 상기 데이터 구동회로와 상기 게이트 구동회로의 동작 타이밍을 제어하는 타이밍 콘트롤러를 포함한다.

[0007] 상기 서브픽셀들 각각은 TFT를 포함하고, 그 TFT들 중 일부 TFT의 드레인이 이웃한 다른 TFT의 드레인 길이 보다 길게 연장되어 이웃한 게이트 라인들 사이의 공간을 점유하여 데이터 라인에 연결된다.

[0008] 상기 서브픽셀들은 제i(i는 자연수) 데이터라인을 공유하고 서로 다른 두가지 색의 데이터 전압을 연속 충전하는 제1 및 제2 서브픽셀을 포함한다.

발명의 효과

[0009] 본 발명은 좌우로 이웃하는 서브픽셀들이 동일한 데이터라인을 공유하는 구조로 화소 어레이를 설계하고 데이터 전압의 극성을 1 프레임기간 동일 극성으로 제어한다. 그리고 본 발명은 각각의 서브픽셀들에 두가지 색의 데이터전압들을 공급하여 모든 서브픽셀들의 데이터 충전 특성을 동일하게 한다. 그 결과, 본 발명은 소스 드라이브 IC들의 소비전력을 최소화하고 화질을 높일 수 있다.

도면의 간단한 설명

[0010] 도 1은 본 발명의 실시예에 따른 액정표시장치를 보여 주는 블록도이다.
 도 2는 본 발명의 제1 실시예에 따른 화소 어레이를 보여 주는 회로도이다.
 도 3 내지 도 7은 다양한 테스트 영상을 도 2에 도시된 화소 어레이에 표시한 예들을 보여 주는 도면들이다.
 도 8은 본 발명의 실시예에 따른 액정표시장치의 구동 파형을 보여 주는 파형도이다.
 도 9는 도 2에 도시된 제2 내지 제4 서브픽셀들의 데이터 충전 특성을 보여 주는 도면이다.
 도 10은 본 발명의 제2 실시예에 따른 화소 어레이를 보여 주는 회로도이다.
 도 11은 본 발명의 제3 실시예에 따른 화소 어레이를 보여 주는 회로도이다.
 도 12는 본 발명의 제4 실시예에 따른 화소 어레이를 보여 주는 회로도이다.

발명을 실시하기 위한 구체적인 내용

- [0011] 이하 첨부된 도면을 참조하여 본 발명에 따른 바람직한 실시예들을 상세히 설명한다. 명세서 전체에 걸쳐서 동일한 참조번호들은 실질적으로 동일한 구성요소들을 의미한다. 이하의 설명에서, 본 발명과 관련된 공지 기능 혹은 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우, 그 상세한 설명을 생략한다.
- [0012] 이하의 설명에서 사용되는 구성요소들의 명칭은 명세서 작성의 용이함을 고려하여 선택된 것으로서, 실제 제품의 명칭과는 상이할 수 있다.
- [0013] 도 1을 참조하면, 본 발명의 실시예에 따른 액정표시장치는 액정표시패널(100), 데이터 구동회로(102), 게이트 구동회로(103), 및 타이밍 콘트롤러(101)를 구비한다. 액정표시패널의 아래에는 액정표시패널에 빛을 균일하게 조사하기 위한 백라이트 유닛이 배치될 수 있다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0014] 액정표시패널(100)은 액정층을 사이에 두고 대향하는 TFT 어레이 기관(또는 제1 기관)과 컬러필터 어레이 기관(또는 제2 기관)을 포함한다. 액정표시패널(100)에는 비디오 데이터를 표시하기 위한 화소 어레이가 형성된다. 화소 어레이는 도 2~도 7, 도 10~도 12와 같이 데이터라인들과 게이트라인들의 교차 구조에 의해 매트릭스 형태로 배열되는 픽셀들을 포함하여 비디오 데이터를 표시한다. 픽셀들 각각은 R 서브픽셀, G 서브픽셀, 및 B 서브픽셀을 포함한다. 이웃하는 서브픽셀들은 동일한 데이터라인을 공유한다. 픽셀들의 액정셀들은 화소전극에 인가되는 데이터전압과 공통전극에 인가되는 공통전압의 전계차에 의해 빛의 투과량을 조정함으로써 비디오 데이터의 화상을 표시한다. 공통전극은 TN(Twisted Nematic) 모드와 VA(Vertical Alignment) 모드와 같은 수직전계 구동방식에서 컬러필터 어레이 기관 상에 형성되며, IPS(In Plane Switching) 모드와 FFS(Fringe Field Switching) 모드와 같은 수평전계 구동방식에서 화소전극과 함께 TFT 어레이 기관 상에 형성된다.
- [0015] TFT 어레이 기관에는 데이터라인들, 게이트라인들, TFT들, TFT들에 1:1로 접속된 화소전극들, 화소전극들에 1:1로 접속된 도시하지 않은 스토리지 커패시터(Storage Capacitor, Cst) 등을 포함한다. 액정표시패널(100)의 컬러필터 어레이 기관 상에는 블랙매트릭스, 컬러필터 및 상판 공통전극이 형성된다. 상판 공통전극(COMU)에는 제2 공통전압(Vcom2)이 공급된다. 액정표시패널(100)의 컬러필터 어레이 기관과 TFT 어레이 기관 각각에는 편광판이 부착되고 액정의 프리틸트각(pre-tilt angle)을 설정하기 위한 배향막이 형성된다.
- [0016] 본 발명에서 적용 가능한 액정표시패널(100)은 TN 모드, VA 모드, IPS 모드, FFS 모드뿐 아니라 어떠한 액정모드으로도 구현될 수 있다. 본 발명의 액정표시장치는 투과형 액정표시장치, 반투과형 액정표시장치, 반사형 액정표시장치 등 어떠한 형태로도 구현될 수 있다. 투과형 액정표시장치와 반투과형 액정표시장치에서는 백라이트 유닛이 필요하다. 백라이트 유닛은 직하형(direct type) 백라이트 유닛 또는, 에지형(edge type) 백라이트 유닛으로 구현될 수 있다.
- [0017] 데이터 구동회로(102)는 다수의 소스 드라이브 IC들을 포함한다. 소스 드라이브 IC들의 출력 채널들은 화소 어레이의 데이터라인들에 1:1로 접속된다. 소스 드라이브 IC들 각각은 타이밍 콘트롤러(101)로부터 디지털 비디오 데이터를 입력받는다. 소스 드라이브 IC들은 타이밍 콘트롤러(101)로부터의 소스 타이밍 제어신호에 응답하여 디지털 비디오 데이터를 정극성/부극성 데이터전압으로 변환하여 출력채널들을 통해 화소 어레이의 데이터라인들에 공급한다. 소스 드라이브 IC들은 타이밍 콘트롤러(101)의 제어 하에 이웃한 데이터라인들에 서로 상반된 극성의 데이터전압들을 공급하고, 각각의 데이터라인들에 공급되는 데이터전압의 극성을 1 프레임기간 동안 동일하게 유지한 후, 다음 프레임기간에 데이터전압의 극성을 반전시킨다. 따라서, 소스 드라이브 IC들은 도 8과 같이 컬럼 인버전 방식과 실질적으로 동일하게 데이터전압들의 극성을 1 프레임기간 동안 동일하게 유지하고, 1 프레임기간 주기로 데이터전압의 극성을 반전시킨다.
- [0018] 게이트 구동회로(103)는 타이밍 콘트롤러(101)로부터의 게이트 타이밍 제어신호에 응답하여 화소 어레이의 게이트라인들에 게이트펄스를 순차적으로 공급한다.
- [0019] 타이밍 콘트롤러(101)는 외부의 시스템 보드(104)로부터 입력되는 디지털 비디오 데이터를 데이터 구동회로(102)의 소스 드라이브 IC들에 공급한다. 그리고 타이밍 콘트롤러(101)는 데이터 구동회로(102)의 동작 타이밍을 제어하기 위한 소스 타이밍 제어신호와 게이트 구동회로(103)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호를 발생한다.
- [0020] 도 2는 화소 어레이의 제1 실시예로서 TFT 어레이 기관에 형성된 화소 어레이(10)의 일부를 나타내는 회로도이다.

- [0021] 도 2를 참조하면, 화소 어레이는 $2m \times n$ (m 과 n 각각은 양의 정수) 해상도에서 $m+1$ 개의 데이터라인들과 $2n$ 개의 게이트라인들을 포함한다. $2m$ 은 수평 해상도이고, n 은 수직 해상도이다. 화소 어레이(10)의 수평 표시라인들(LINE#1, LINE#2) 각각에는 $2m$ 개의 서브픽셀들을 포함한다.
- [0022] 제1 데이터라인(D1)은 화소 어레이의 좌측 끝단에 형성되며, 제 $m+1$ 데이터라인은 화소 어레이의 우측 끝단에 형성되는 더미 데이터라인이다. 제 $m+1$ 데이터라인은 제1 데이터라인(D1)과 연결될 수 있고, 다른 방법으로 소스 드라이브 IC의 출력 채널에 직접 접속될 수 있다.
- [0023] 화소 어레이의 수평 표시라인들(LINE#1, LINE#2) 사이에는 2 개의 게이트라인들이 나란히 형성된다. 동일한 데이터라인을 사이에 두고 좌우로 이웃하는 서브픽셀들의 액정셀들은 그 데이터라인으로부터 데이터전압들을 순차적으로 충전한다.
- [0024] 화소 어레이는 제1 내지 제12 서브픽셀들을 포함한다. 화소 어레이의 모든 서브픽셀들은 동일한 극성을 갖는 두가지 색의 데이터전압들을 연속 충전하고, 그 중 앞선 제1 색의 데이터전압을 선충전한 후에 표시하고자 하는 제두가지 색의 데이터전압을 충전한다. 이하에서, R 서브픽셀은 적색 데이터전압이 충전되는 액정셀이고, G 서브픽셀은 녹색 데이터전압이 충전되는 액정셀이다. 그리고 B 서브픽셀은 청색 데이터전압이 충전되는 액정셀이다. 도 2에서 화살표는 데이터전압의 충전순서이다.
- [0025] 제1 내지 제4 서브픽셀들은 제 i (i 는 2 이상 m 보다 작은 자연수) 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제1 서브픽셀의 액정셀은 제 j (j 는 n 이하의 자연수) 게이트펄스에 응답하여 제 i 데이터라인으로부터의 데이터전압을 충전하고, 제2 서브픽셀의 액정셀은 제 $j+1$ 게이트펄스에 응답하여 제 i 데이터라인으로부터의 데이터전압을 충전한다. 제3 서브픽셀의 액정셀은 제 $j+2$ 게이트펄스에 응답하여 제 i 데이터라인으로부터의 데이터전압을 충전하고, 제4 서브픽셀의 액정셀은 제 $j+4$ 게이트펄스에 응답하여 제 i 데이터라인으로부터의 데이터전압을 충전한다. 제1 및 제2 서브픽셀은 제 k (k 는 자연수) 표시라인에서 제 i 데이터라인을 사이에 두고 좌우에 이웃하는 서브픽셀들이다. 도 2의 예에서, 제1 서브픽셀은 제1 표시라인(LINE#1)에서 제2 데이터라인(D2)의 우측에 배치된 B 서브픽셀로서, 제1 TFT(T11)와 제1 화소전극(P11)을 포함한다. 제1 TFT(T11)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제1 화소전극(P11)에 공급한다. 제1 TFT(T11)는 제1 게이트라인(G1)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제1 화소전극(P11)에 접속된 소스전극을 포함한다. 제2 서브픽셀은 제1 표시라인(LINE#1)에서 제2 데이터라인(D2)의 좌측에 배치된 G 서브픽셀로서, 제2 TFT(T12)와 제2 화소전극(P12)을 포함한다. 제2 TFT(T12)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제2 화소전극(P12)에 공급한다. 제2 TFT(T12)는 제2 게이트라인(G2)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제2 화소전극(P12)에 접속된 소스전극을 포함한다. 제3 및 제4 서브픽셀은 제 $k+1$ 표시라인에서 제 $i-1$ 데이터라인과 제 i 데이터라인 사이에 배치된 서브픽셀들이다. 도 2의 예에서, 제3 서브픽셀은 제2 표시라인(LINE#2)에서 제1 데이터라인(D1)의 우측에 배치된 R 서브픽셀로서, 제3 TFT(T13)와 제3 화소전극(P13)을 포함한다. 제3 TFT(T13)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제3 화소전극(P13)에 공급한다. 제3 TFT(T13)는 제3 게이트라인(G3)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제3 화소전극(P13)에 접속된 소스전극을 포함한다. 제3 TFT(T13)의 드레인전극은 개구를 저하를 줄이기 위하여 제2 및 제3 게이트라인들(G2, G3) 사이를 경유하여 제2 데이터라인(D2)으로 연장된다. 제4 서브픽셀은 제2 표시라인(LINE#2)에서 제2 데이터라인(D2)의 좌측에 배치된 G 서브픽셀로서, 제4 TFT(T14)와 제4 화소전극(P14)을 포함한다. 제4 TFT(T14)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제4 화소전극(P14)에 공급한다. 제4 TFT(T14)는 제4 게이트라인(G4)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제4 화소전극(P14)에 접속된 소스전극을 포함한다.
- [0026] 제5 내지 제8 서브픽셀들은 제 $i+1$ 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제5 및 제6 서브픽셀은 제1 표시라인(LINE#1)에서 제 $i+1$ 데이터라인을 사이에 두고 좌우에 이웃하는 서브픽셀들이다. 도 2의 예에서, 제5 서브픽셀은 제1 표시라인(LINE#1)에서 제3 데이터라인(D3)의 우측에 배치된 G 서브픽셀로서, 제5 TFT(T15)와 제5 화소전극(P15)을 포함한다. 제5 TFT(T15)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제5 화소전극(P15)에 공급한다. 제5 TFT(T15)는 제1 게이트라인(G1)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제5 화소전극(P15)에 접속된 소스전극을 포함한다. 제6 서브픽셀은 제1 표시라인(LINE#1)에서 제3 데이터라인(D3)의 좌측에 배치된 R 서브픽셀로서, 제6 TFT(T16)와 제6 화소전극(P16)을 포함한다. 제6 TFT(T16)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제6 화소전극

(P16)에 공급한다. 제6 TFT(T16)는 제2 게이트라인(G2)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제6 화소전극(P16)에 접속된 소스전극을 포함한다. 제7 및 제8 서브픽셀은 제2 표시라인(LINE#2)에서 제i 데이터라인과 제i+1 데이터라인 사이에 배치된 서브픽셀들이다. 제7 서브픽셀은 제2 표시라인(LINE#2)에서 제2 데이터라인(D2)의 우측에 배치된 B 서브픽셀로서, 제7 TFT(T17)와 제7 화소전극(P17)을 포함한다. 제7 TFT(T17)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제7 화소전극(P17)에 공급한다. 제7 TFT(T17)는 제3 게이트라인(G3)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제7 화소전극(P17)에 접속된 소스전극을 포함한다. 제7 TFT(T17)의 드레인전극은 개구율 저하를 줄이기 위하여 제2 및 제3 게이트라인들(G2, G3) 사이를 경유하여 제3 데이터라인(D3)으로 연장된다. 제8 서브픽셀은 제2 표시라인(LINE#2)에서 제3 데이터라인(D3)의 좌측에 배치된 R 서브픽셀로서, 제8 TFT(T18)와 제8 화소전극(P18)을 포함한다. 제8 TFT(T18)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제8 화소전극(P18)에 공급한다. 제8 TFT(T18)는 제4 게이트라인(G4)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제8 화소전극(P18)에 접속된 소스전극을 포함한다.

[0027]

제9 내지 제12 서브픽셀들은 제i+2 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제9 및 제10 서브픽셀은 제1 표시라인(LINE#1)에서 제i+2 데이터라인을 사이에 두고 좌우에 이웃하는 서브픽셀들이다. 도 2의 예에서, 제9 서브픽셀은 제1 표시라인(LINE#1)에서 제4 데이터라인(D4)의 좌측에 배치된 B 서브픽셀로서, 제9 TFT(T19)와 제9 화소전극(P19)을 포함한다. 제9 TFT(T19)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제9 화소전극(P19)에 공급한다. 제9 TFT(T19)는 제1 게이트라인(G1)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제9 화소전극(P19)에 접속된 소스전극을 포함한다. 제10 서브픽셀은 제1 표시라인(LINE#1)에서 제4 데이터라인(D4)의 우측에 배치된 R 서브픽셀로서, 제10 TFT(T20)와 제10 화소전극(P20)을 포함한다. 제10 TFT(T20)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제10 화소전극(P20)에 공급한다. 제10 TFT(T20)는 제2 게이트라인(G2)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제10 화소전극(P20)에 접속된 소스전극을 포함한다. 제11 및 제12 서브픽셀은 제2 표시라인(LINE#2)에서 제i+1 데이터라인과 제i+2 데이터라인 사이에 배치된 서브픽셀들이다. 제11 서브픽셀은 제2 표시라인(LINE#2)에서 제4 데이터라인(D4)의 좌측에 배치된 B 서브픽셀로서, 제11 TFT(T21)와 제11 화소전극(P21)을 포함한다. 제11 TFT(T21)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제11 화소전극(P21)에 공급한다. 제11 TFT(T21)는 제3 게이트라인(G3)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제11 화소전극(P21)에 접속된 소스전극을 포함한다. 제12 서브픽셀은 제2 표시라인(LINE#2)에서 제3 데이터라인(D4)의 우측에 배치된 G 서브픽셀로서, 제12 TFT(T22)와 제12 화소전극(P22)을 포함한다. 제12 TFT(T22)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제12 화소전극(P22)에 공급한다. 제12 TFT(T22)는 제4 게이트라인(G4)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제12 화소전극(P22)에 접속된 소스전극을 포함한다. 제12 TFT(T22)의 드레인전극은 개구율 저하를 줄이기 위하여 제4 및 제5 게이트라인들(G4, G5) 사이의 공간을 경유하여 제4 데이터라인(D4)으로 연장된다.

[0028]

기수 번째 데이터라인들(D1, D3, D5)에 부극성 데이터전압이 공급되고, 우수 번째 데이터라인들(D2, D4)에 정극성 데이터전압이 공급되는 프레임 기간 동안, 제1 내지 제4 서브픽셀들은 제2 데이터라인(D2)으로부터의 정극성 데이터전압을 순차적으로 충전한다. 제5 내지 제8 서브픽셀들은 제3 데이터라인(D3)으로부터의 부극성 데이터전압을 순차적으로 충전한다. 제9 내지 제12 서브픽셀들은 제4 데이터라인(D4)으로부터의 정극성 데이터전압을 순차적으로 충전한다.

[0029]

도 3 내지 도 7은 도 2에 도시된 화소 어레이의 다양한 충전 특성을 보여 주는 도면들이다.

[0030]

도 3은 R 서브픽셀들에 화이트 계조의 데이터전압을 공급하는 반면 G 및 B 서브픽셀들에 블랙 계조의 데이터전압을 공급하여 화소 어레이에 적색 테스트 이미지를 표시한 예이다. 도 4는 G 서브픽셀들에 화이트 계조의 데이터전압을 공급하는 반면 R 및 B 서브픽셀들에 블랙 계조의 데이터전압을 공급하여 화소 어레이에 녹색 테스트 이미지를 표시한 예이다. 도 5는 B 서브픽셀들에 화이트 계조의 데이터전압을 공급하는 반면 R 및 G 서브픽셀들에 블랙 계조의 데이터전압을 공급하여 화소 어레이에 청색 테스트 이미지를 표시한 예이다. 도 6은 R 및 G 서브픽셀들에 화이트 계조의 데이터전압을 공급하는 반면 B 서브픽셀들에 블랙 계조의 데이터전압을 공급하여 화소 어레이에 황색(Yellow) 테스트 이미지를 표시한 예이다. 도 7은 B 및 G 서브픽셀들에 화이트 계조의 데이터전압을 공급하는 반면 R 서브픽셀들에 블랙 계조의 데이터전압을 공급하여 화소 어레이에 청록색(Cyan)을 테

스트 이미지를 표시한 예이다.

- [0031] 도 3 내지 도 7과 같이, 본 발명의 액정표시장치는 어떠한 경우든 동일한 색의 데이터전압이 연속되지 않고 다른 색의 데이터전압들을 화소 어레이에 순차적으로 공급하여 R, G 및 B 서브픽셀들의 충전 특성을 동일하게 한다. 또한, 도 8 및 도 9와 같이, R, G 및 B 서브픽셀들은 어떠한 경우든 다른 색의 데이터전압을 선 충전(pre-charging)한 후에 표시하고자 하는 색의 데이터전압을 충전한다.
- [0032] 도 8에서, D1~D4는 제1 내지 제4 데이터라인들(D1~D4)에 공급되는 데이터전압들이고, G1~G4는 제1 내지 제4 게이트라인들(G1~G4)에 순차적으로 공급되는 게이트펄스들이다. 게이트펄스들은 액정셀들의 충전 시간을 충분히 확보하기 위하여, 앞선 게이트펄스와 그 뒤에 발생하는 게이트펄스가 소정 시간만큼 중첩된다. 예컨대, 제2 게이트펄스의 앞 부분은 제1 게이트펄스의 후미와 중첩되고, 제3 게이트펄스의 앞 부분은 제2 게이트펄스의 후미와 중첩된다.
- [0033] 도 9에서, (A)는 도 2에 도시된 제2 서브픽셀의 액정셀에 충전되는 데이터전압이고, (B)는 도 2에 도시된 제3 서브픽셀의 액정셀에 충전되는 데이터전압이다. 그리고 (C)는 도 2에 도시된 제4 서브픽셀의 액정셀에 충전되는 데이터전압이다. 제2 서브픽셀은 제1 서브픽셀이 B 데이터전압을 충전할 때, 이와 동시에 그 B 데이터전압을 선충전한 후, 표시하고자 하는 R 데이터전압을 충전한다. 제3 서브픽셀은 제2 서브픽셀이 G 데이터전압을 충전할 때, 이와 동시에 그 G 데이터전압을 선충전한 후, 표시하고자 하는 R 데이터전압을 충전한다. 제3 서브픽셀은 제2 서브픽셀이 R 데이터전압을 충전할 때, 이와 동시에 그 R 데이터전압을 선충전한 후, 표시하고자 하는 G 데이터전압을 충전한다. 도 9와 같이 모든 서브픽셀들은 동일한 극성의 데이터전압들을 연속으로 충전하여 데이터전압을 충분히 충전할 수 있고, 어떠한 경우든 표시하고자 하는 색과 다른 색의 데이터전압을 선충전한 후에 표시하고자 하는 색의 데이터전압을 충전한다. 따라서, 화소 어레이의 서브픽셀들은 어떠한 입력 영상에서도 동일한 충전특성으로 데이터전압을 충전한다.
- [0034] 본 발명의 소스 드라이브 IC들은 1 프레임기간 동안 동일한 극성의 데이터전압만을 출력하여 그 출력 전압이 도 8과 같이 3~4V 정도로 작다. 이에 비하여, 기존의 소스 드라이브 IC들은 1 프레임기간 내에서 정극성 데이터전압과 부극성 데이터전압을 반복 출력하여 그 출력 전압이 본 발명에 비하여 2 배 이상 높다. 또한, 본 발명은 동일한 해상도에서 데이터라인들의 개수와 소스 드라이브 IC들의 출력 채널 개수를 종래 기술보다 1/2 정도로 줄인다. 따라서, 소비 전력을 정의하는 수학적 1에서 소스 드라이브 IC들의 출력 채널 개수 N과 데이터전압 V_{eff} 을 줄일 수 있다. 그 결과, 본 발명의 소스 드라이브 IC들의 소비전력은 종래 기술의 소스 드라이브 IC보다 1/2 정도로 줄일 수 있다.

수학적 1

$$P = 2\pi f \times N \times C \times V_{eff}^2$$

- [0035]
- [0036] 여기서, P는 소스 드라이브 IC들의 소비전력이고, f는 데이터전압의 주파수이다. 또한, C는 데이터라인들의 기생 용량(capacitance)을 의미한다.
- [0037] 도 2에 도시된 화소 어레이는 도 10 내지 도 12와 같이 다양하게 변형될 수 있으며, 도 10 내지 도 12에 도시된 화소 어레이는 도 2와 실질적으로 동일한 효과를 얻을 수 있다.
- [0038] 도 10은 본 발명의 제2 실시예에 따른 화소 어레이를 보여 주는 회로도이다.
- [0039] 도 10을 참조하면, 본 발명의 화소 어레이는 제1 내지 제12 서브픽셀들을 포함한다.
- [0040] 제1 내지 제4 서브픽셀들은 제i 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제1 내지 제4 서브픽셀들과, 제9 내지 제12 서브픽셀들은 도 2에 도시된 그 것들과 실질적으로 동일하다. 도 10에서, 도면 부호 T31~T41은 TFT이고, P31~P42는 화소전극이다.
- [0041] 제5 내지 제8 서브픽셀들은 제i+1 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제5 및 제6 서브픽셀은 제1 표시라인(LINE#1)에서 제i+1 데이터라인을 사이에 두고 좌우에 이웃하는 서브픽셀들이다. 도 10의 예에서, 제5 서브픽셀은 제1 표시라인(LINE#1)에서 제3 데이터라인(D3)의 좌측에 배치된 R 서브픽셀로서, 제5 TFT(T35)와 제5 화소전극(P35)을 포함한다. 제5 TFT(T35)는 제1 게이트라인(G1)을 통해

공급되는 제1 게이트필스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제5 화소전극(P35)에 공급한다. 제5 TFT(T15)는 제1 게이트라인(G1)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제5 화소전극(P35)에 접속된 소스전극을 포함한다. 제6 서브픽셀은 제1 표시라인(LINE#1)에서 제3 데이터라인(D3)의 우측에 배치된 G 서브픽셀로서, 제6 TFT(T36)와 제6 화소전극(P36)을 포함한다. 제6 TFT(T36)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트필스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제6 화소전극(P36)에 공급한다. 제6 TFT(T36)는 제2 게이트라인(G2)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제6 화소전극(P36)에 접속된 소스전극을 포함한다. 제7 및 제8 서브픽셀은 제2 표시라인(LINE#2)에서 제i 데이터라인과 제i+1 데이터라인 사이에 배치된 서브픽셀들이다. 제7 서브픽셀은 제2 표시라인(LINE#2)에서 제3 데이터라인(D3)의 좌측에 배치된 R 서브픽셀로서, 제7 TFT(T37)와 제7 화소전극(P37)을 포함한다. 제7 TFT(T37)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트필스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제7 화소전극(P37)에 공급한다. 제7 TFT(T17)는 제3 게이트라인(G3)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제7 화소전극(P37)에 접속된 소스전극을 포함한다. 제8 서브픽셀은 제2 표시라인(LINE#2)에서 제2 데이터라인(D2)의 우측에 배치된 B 서브픽셀로서, 제8 TFT(T38)와 제8 화소전극(P38)을 포함한다. 제8 TFT(T38)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트필스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제8 화소전극(P38)에 공급한다. 제8 TFT(T38)는 제4 게이트라인(G4)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제8 화소전극(P38)에 접속된 소스전극을 포함한다. 제8 TFT(T38)의 드레인전극은 게이트라인들(G4, G5) 사이를 경유하여 제3 데이터라인(D3)으로 연장된다.

[0042] 기수 번째 데이터라인들(D1, D3, D5)에 부극성 데이터전압이 공급되고, 우수 번째 데이터라인들(D2, D4)에 정극성 데이터전압이 공급되는 프레임 기간 동안, 제1 내지 제4 서브픽셀들은 제2 데이터라인(D2)으로부터의 정극성 데이터전압을 순차적으로 충전한다. 제5 내지 제8 서브픽셀들은 제3 데이터라인(D3)으로부터의 부극성 데이터전압을 순차적으로 충전한다. 제9 내지 제12 서브픽셀들은 제4 데이터라인(D4)으로부터의 정극성 데이터전압을 순차적으로 충전한다.

[0043] 도 11은 본 발명의 제3 실시예에 따른 화소 어레이를 보여 주는 회로도이다.

[0044] 도 11을 참조하면, 본 발명의 화소 어레이는 제1 내지 제12 서브픽셀들을 포함한다.

[0045] 제1 내지 제4 서브픽셀들은 제i 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제1 및 제2 서브픽셀은 제1 표시라인(LINE#1)에서 제i 데이터라인과 제i+1 데이터라인 사이에서 좌우에 이웃하는 서브픽셀들이다. 도 11의 예에서, 제1 서브픽셀은 제1 표시라인(LINE#1)에서 제2 데이터라인(D2)의 우측에 배치된 B 서브픽셀로서, 제1 TFT(T51)와 제1 화소전극(P51)을 포함한다. 제1 TFT(T51)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트필스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제1 화소전극(P51)에 공급한다. 제1 TFT(T51)는 제1 게이트라인(G1)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제1 화소전극(P51)에 접속된 소스전극을 포함한다. 제2 서브픽셀은 제1 표시라인(LINE#1)에서 제3 데이터라인(D3)의 좌측에 배치된 R 서브픽셀로서, 제2 TFT(T52)와 제2 화소전극(P52)을 포함한다. 제2 TFT(T52)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트필스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제2 화소전극(P52)에 공급한다. 제2 TFT(T52)는 제2 게이트라인(G2)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제2 화소전극(P52)에 접속된 소스전극을 포함한다. 제3 및 제4 서브픽셀은 제2 표시라인(LINE#2)에서 제i-1 데이터라인과 제i 데이터라인 사이에 배치된 서브픽셀들이다. 제3 서브픽셀은 제2 표시라인(LINE#2)에서 제2 데이터라인(D2)의 좌측에 배치된 G 서브픽셀로서, 제3 TFT(T53)와 제3 화소전극(P53)을 포함한다. 제3 TFT(T53)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트필스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제3 화소전극(P53)에 공급한다. 제3 TFT(T53)는 제3 게이트라인(G3)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제3 화소전극(P53)에 접속된 소스전극을 포함한다. 제4 서브픽셀은 제2 표시라인(LINE#2)에서 제1 데이터라인(D1)의 우측에 배치된 R 서브픽셀로서, 제4 TFT(T54)와 제4 화소전극(P54)을 포함한다. 제4 TFT(T54)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트필스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제4 화소전극(P54)에 공급한다. 제4 TFT(T54)는 제4 게이트라인(G4)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제4 화소전극(P54)에 접속된 소스전극을 포함한다.

[0046] 제5 내지 제8 서브픽셀들은 제i+1 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제5 및 제6 서브픽셀은 제1 표시라인(LINE#1)에서 제i+1 데이터라인과 제i+2 데이터라인 사이에서 좌우에 이웃하는 서브픽셀들이다. 도 11의 예에서, 제5 서브픽셀은 제1 표시라인(LINE#1)에서 제4 데이터라인(D4)의

좌측에 배치된 B 서브픽셀로서, 제5 TFT(T55)와 제5 화소전극(P55)을 포함한다. 제5 TFT(T55)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제5 화소전극(P55)에 공급한다. 제5 TFT(T55)는 제1 게이트라인(G1)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제5 화소전극(P55)에 접속된 소스전극을 포함한다. 제6 서브픽셀은 제1 표시라인(LINE#1)에서 제3 데이터라인(D3)의 우측에 배치된 G 서브픽셀로서, 제6 TFT(T56)와 제6 화소전극(P56)을 포함한다. 제6 TFT(T56)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제6 화소전극(P56)에 공급한다. 제6 TFT(T56)는 제2 게이트라인(G2)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제6 화소전극(P56)에 접속된 소스전극을 포함한다. 제7 및 제8 서브픽셀은 제2 표시라인(LINE#2)에서 제i 데이터라인과 제i+1 데이터라인 사이에 배치된 서브픽셀들이다. 제7 서브픽셀은 제2 표시라인(LINE#2)에서 제2 데이터라인(D2)의 우측에 배치된 B 서브픽셀로서, 제7 TFT(T57)와 제7 화소전극(P57)을 포함한다. 제7 TFT(T57)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제7 화소전극(P57)에 공급한다. 제7 TFT(T57)는 제3 게이트라인(G3)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제7 화소전극(P57)에 접속된 소스전극을 포함한다. 제8 서브픽셀은 제2 표시라인(LINE#2)에서 제3 데이터라인(D3)의 좌측에 배치된 R 서브픽셀로서, 제8 TFT(T58)와 제8 화소전극(P58)을 포함한다. 제8 TFT(T58)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트펄스에 응답하여 제3 데이터라인(D3)으로부터의 데이터전압을 제8 화소전극(P58)에 공급한다. 제8 TFT(T58)는 제4 게이트라인(G4)에 접속된 게이트전극, 제3 데이터라인(D3)에 접속된 드레인전극, 및 제8 화소전극(P58)에 접속된 소스전극을 포함한다.

[0047] 제9 내지 제12 서브픽셀들은 제i+2 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제9 및 제10 서브픽셀은 제1 표시라인(LINE#1)에서 제i+2 데이터라인과 제i+3 데이터라인 사이에서 좌우에 이웃하는 서브픽셀들이다. 도 11의 예에서, 제9 서브픽셀은 제1 표시라인(LINE#1)에서 제5 데이터라인(D5)의 좌측에 배치된 G 서브픽셀로서, 제9 TFT(T59)와 제9 화소전극(P59)을 포함한다. 제9 TFT(T59)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제9 화소전극(P59)에 공급한다. 제9 TFT(T59)는 제1 게이트라인(G1)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제9 화소전극(P59)에 접속된 소스전극을 포함한다. 제10 서브픽셀은 제1 표시라인(LINE#1)에서 제4 데이터라인(D4)의 우측에 배치된 R 서브픽셀로서, 제10 TFT(T60)와 제10 화소전극(P60)을 포함한다. 제10 TFT(T60)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제10 화소전극(P60)에 공급한다. 제10 TFT(T60)는 제2 게이트라인(G2)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제10 화소전극(P60)에 접속된 소스전극을 포함한다. 제11 및 제12 서브픽셀은 제2 표시라인(LINE#2)에서 제i+1 데이터라인과 제i+2 데이터라인 사이에 배치된 서브픽셀들이다. 제11 서브픽셀은 제2 표시라인(LINE#2)에서 제3 데이터라인(D3)의 우측에 배치된 G 서브픽셀로서, 제11 TFT(T61)와 제11 화소전극(P61)을 포함한다. 제11 TFT(T61)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제11 화소전극(P61)에 공급한다. 제11 TFT(T61)는 제3 게이트라인(G3)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제11 화소전극(P61)에 접속된 소스전극을 포함한다. 제12 서브픽셀은 제2 표시라인(LINE#2)에서 제4 데이터라인(D4)의 좌측에 배치된 B 서브픽셀로서, 제12 TFT(T62)와 제12 화소전극(P62)을 포함한다. 제12 TFT(T62)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제12 화소전극(P62)에 공급한다. 제12 TFT(T62)는 제4 게이트라인(G4)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제12 화소전극(P62)에 접속된 소스전극을 포함한다.

[0048] 기수 번째 데이터라인들(D1, D3, D5)에 부극성 데이터전압이 공급되고, 우수 번째 데이터라인들(D2, D4)에 정극성 데이터전압이 공급되는 프레임 기간 동안, 제1 내지 제4 서브픽셀들은 제2 데이터라인(D2)으로부터의 정극성 데이터전압을 순차적으로 충전한다. 제5 내지 제8 서브픽셀들은 제3 데이터라인(D3)으로부터의 부극성 데이터전압을 순차적으로 충전한다. 제9 내지 제12 서브픽셀들은 제4 데이터라인(D4)으로부터의 정극성 데이터전압을 순차적으로 충전한다.

[0049] 도 12는 본 발명의 제4 실시예에 따른 화소 어레이를 보여 주는 회로도이다.

[0050] 도 12를 참조하면, 본 발명의 화소 어레이는 제1 내지 제12 서브픽셀들을 포함한다.

[0051] 제5 내지 제8 서브픽셀들은 전술한 제3 실시예와 실질적으로 동일하므로 그에 대한 상세한 설명을 생략하기로 한다.

[0052]

제1 내지 제4 서브픽셀들은 제 i 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제1 및 제2 서브픽셀은 제1 표시라인(LINE#1)에서 제 i 데이터라인과 제 $i+1$ 데이터라인 사이에서 좌우에 이웃하는 서브픽셀들이다. 도 12의 예에서, 제1 서브픽셀은 제1 표시라인(LINE#1)에서 제3 데이터라인(D3)의 좌측에 배치된 R 서브픽셀로서, 제1 TFT(T71)와 제1 화소전극(P71)을 포함한다. 제1 TFT(T71)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제1 화소전극(P71)에 공급한다. 제1 TFT(T71)는 제1 게이트라인(G1)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제1 화소전극(P71)에 접속된 소스전극을 포함한다. 제2 서브픽셀은 제1 표시라인(LINE#1)에서 제2 데이터라인(D2)의 우측에 배치된 B 서브픽셀로서, 제2 TFT(T72)와 제2 화소전극(P72)을 포함한다. 제2 TFT(T72)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제2 화소전극(P72)에 공급한다. 제2 TFT(T72)는 제2 게이트라인(G2)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제2 화소전극(P72)에 접속된 소스전극을 포함한다. 제3 및 제4 서브픽셀은 제2 표시라인(LINE#2)에서 제 $i-1$ 데이터라인과 제 i 데이터라인 사이에 배치된 서브픽셀들이다. 제3 서브픽셀은 제2 표시라인(LINE#2)에서 제1 데이터라인(D1)의 우측에 배치된 R 서브픽셀로서, 제3 TFT(T73)와 제3 화소전극(P73)을 포함한다. 제3 TFT(T73)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제3 화소전극(P73)에 공급한다. 제3 TFT(T73)는 제3 게이트라인(G3)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제3 화소전극(P73)에 접속된 소스전극을 포함한다. 제4 서브픽셀은 제2 표시라인(LINE#2)에서 제2 데이터라인(D1)의 좌측에 배치된 G 서브픽셀로서, 제4 TFT(T74)와 제4 화소전극(P74)을 포함한다. 제4 TFT(T74)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트펄스에 응답하여 제2 데이터라인(D2)으로부터의 데이터전압을 제4 화소전극(P74)에 공급한다. 제4 TFT(T74)는 제4 게이트라인(G4)에 접속된 게이트전극, 제2 데이터라인(D2)에 접속된 드레인전극, 및 제4 화소전극(P74)에 접속된 소스전극을 포함한다.

[0053]

제9 내지 제12 서브픽셀들은 제 $i+2$ 데이터라인을 통해 공급되는 동일 극성의 데이터전압들을 순차적으로 충전한다. 제9 및 제10 서브픽셀은 제1 표시라인(LINE#1)에서 제 $i+2$ 데이터라인과 제 $i+3$ 데이터라인 사이에서 좌우에 이웃하는 서브픽셀들이다. 도 12의 예에서, 제9 서브픽셀은 제1 표시라인(LINE#1)에서 제4 데이터라인(D4)의 우측에 배치된 R 서브픽셀로서, 제9 TFT(T79)와 제9 화소전극(P79)을 포함한다. 제9 TFT(T79)는 제1 게이트라인(G1)을 통해 공급되는 제1 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제9 화소전극(P79)에 공급한다. 제9 TFT(T79)는 제1 게이트라인(G1)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제9 화소전극(P79)에 접속된 소스전극을 포함한다. 제10 서브픽셀은 제1 표시라인(LINE#1)에서 제5 데이터라인(D5)의 좌측에 배치된 G 서브픽셀로서, 제10 TFT(T80)와 제10 화소전극(P80)을 포함한다. 제10 TFT(T80)는 제2 게이트라인(G2)을 통해 공급되는 제2 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제10 화소전극(P80)에 공급한다. 제10 TFT(T80)는 제2 게이트라인(G2)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제10 화소전극(P80)에 접속된 소스전극을 포함한다. 제11 및 제12 서브픽셀은 제2 표시라인(LINE#2)에서 제 $i+1$ 데이터라인과 제 $i+2$ 데이터라인 사이에 배치된 서브픽셀들이다. 제11 서브픽셀은 제2 표시라인(LINE#2)에서 제4 데이터라인(D4)의 좌측에 배치된 B 서브픽셀로서, 제11 TFT(T81)와 제11 화소전극(P81)을 포함한다. 제11 TFT(T81)는 제3 게이트라인(G3)을 통해 공급되는 제3 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제11 화소전극(P81)에 공급한다. 제11 TFT(T81)는 제3 게이트라인(G3)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제11 화소전극(P81)에 접속된 소스전극을 포함한다. 제12 서브픽셀은 제2 표시라인(LINE#2)에서 제3 데이터라인(D3)의 우측에 배치된 G 서브픽셀로서, 제12 TFT(T82)와 제12 화소전극(P82)을 포함한다. 제12 TFT(T82)는 제4 게이트라인(G4)을 통해 공급되는 제4 게이트펄스에 응답하여 제4 데이터라인(D4)으로부터의 데이터전압을 제12 화소전극(P82)에 공급한다. 제12 TFT(T82)는 제4 게이트라인(G4)에 접속된 게이트전극, 제4 데이터라인(D4)에 접속된 드레인전극, 및 제12 화소전극(P82)에 접속된 소스전극을 포함한다.

[0054]

기수 번째 데이터라인들(D1, D3, D5)에 부극성 데이터전압이 공급되고, 우수 번째 데이터라인들(D2, D4)에 정극성 데이터전압이 공급되는 프레임 기간 동안, 제1 내지 제4 서브픽셀들은 제2 데이터라인(D2)으로부터의 정극성 데이터전압을 순차적으로 충전한다. 제5 내지 제8 서브픽셀들은 제3 데이터라인(D3)으로부터의 부극성 데이터전압을 순차적으로 충전한다. 제9 내지 제12 서브픽셀들은 제4 데이터라인(D4)으로부터의 정극성 데이터전압을 순차적으로 충전한다.

[0055]

이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정

되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

부호의 설명

[0056]

100 : 액정표시패널

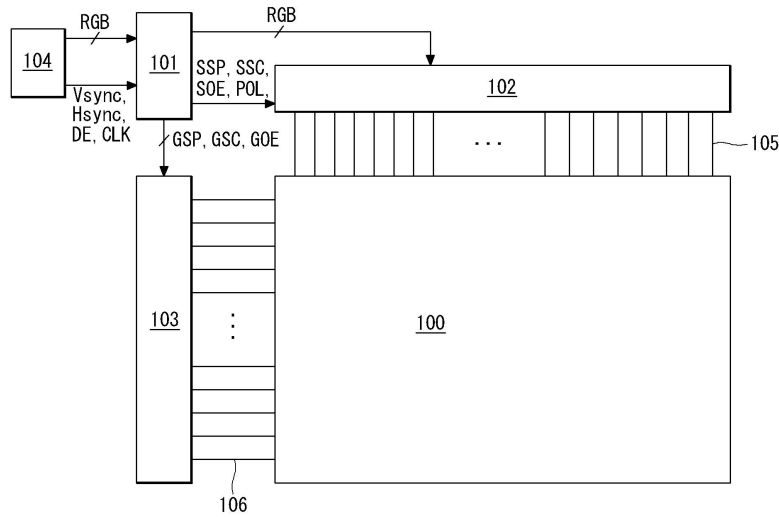
101 : 타이밍 콘트롤러

102 : 데이터 구동회로

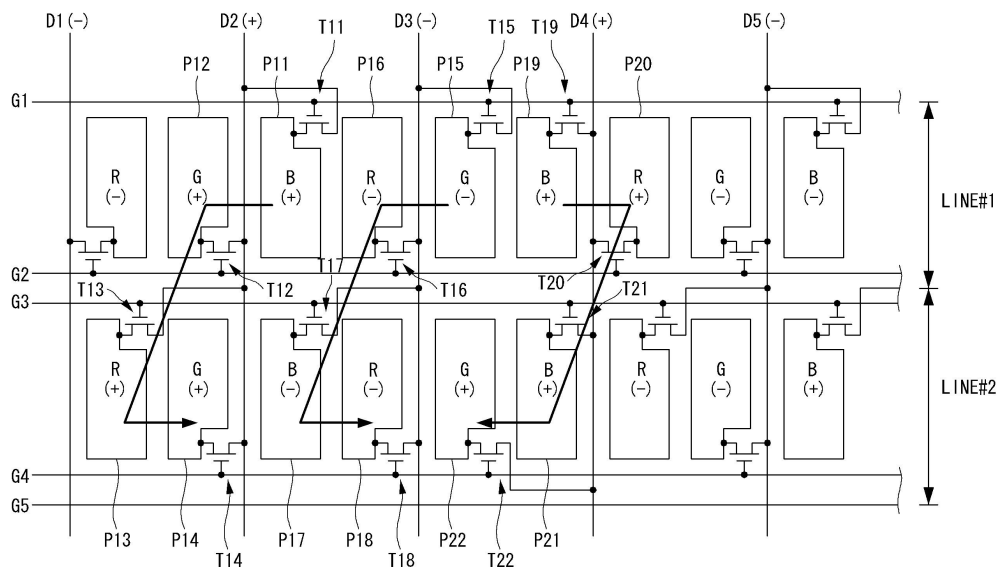
103 : 게이트 구동회로

도면

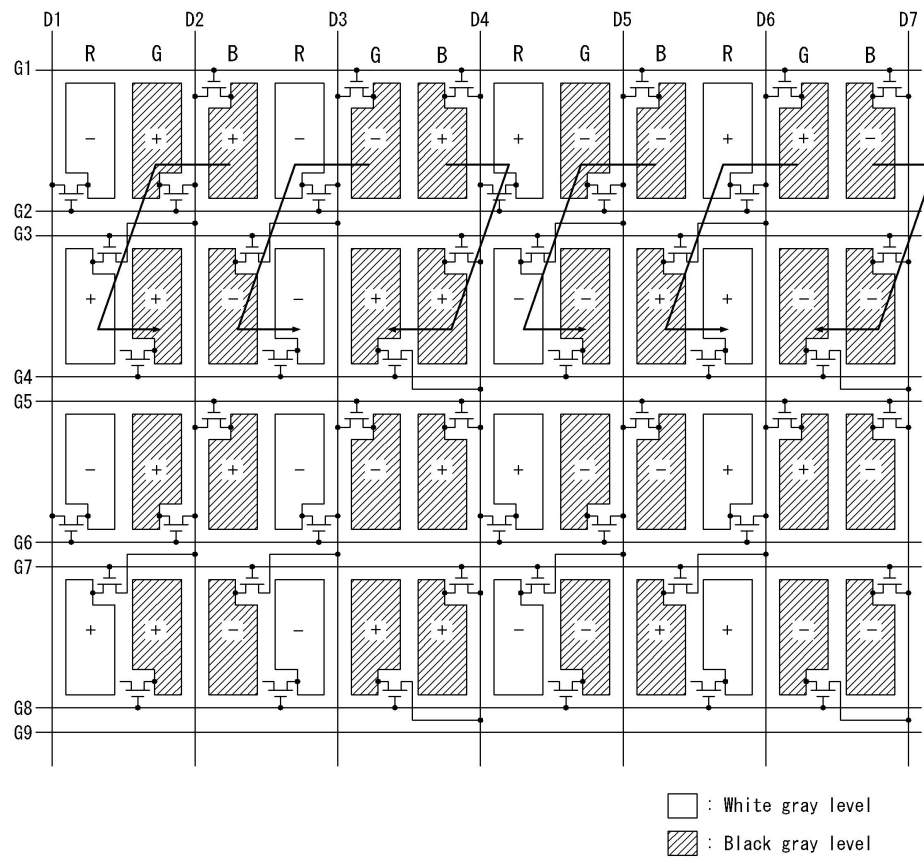
도면1



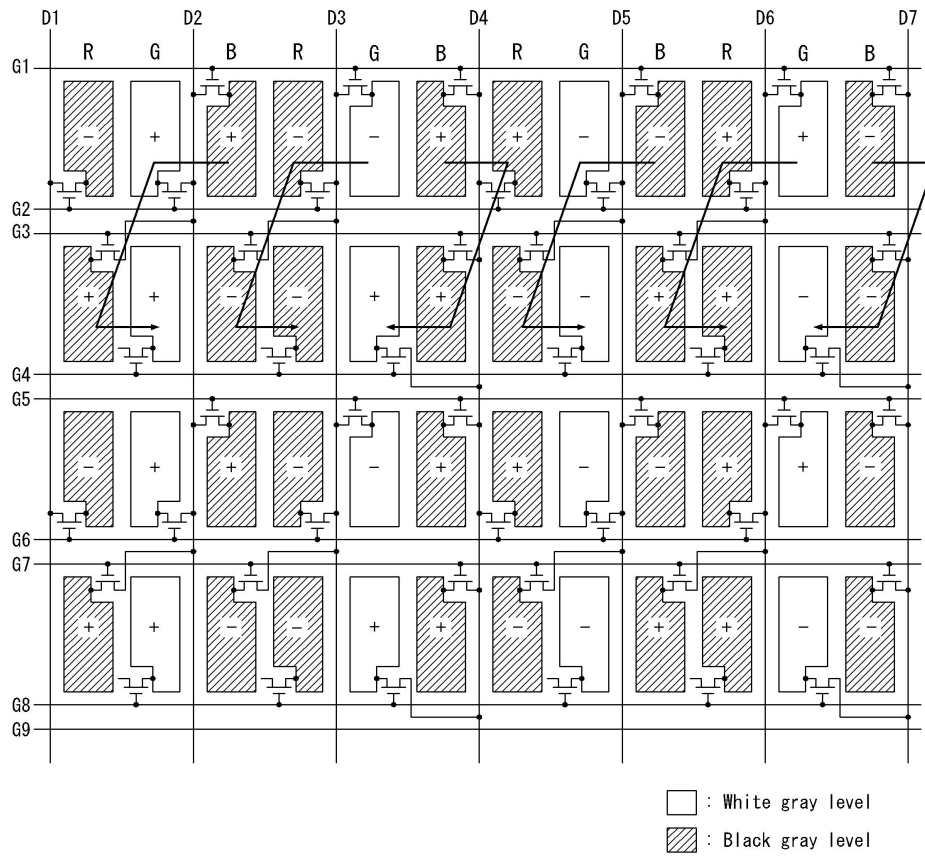
도면2



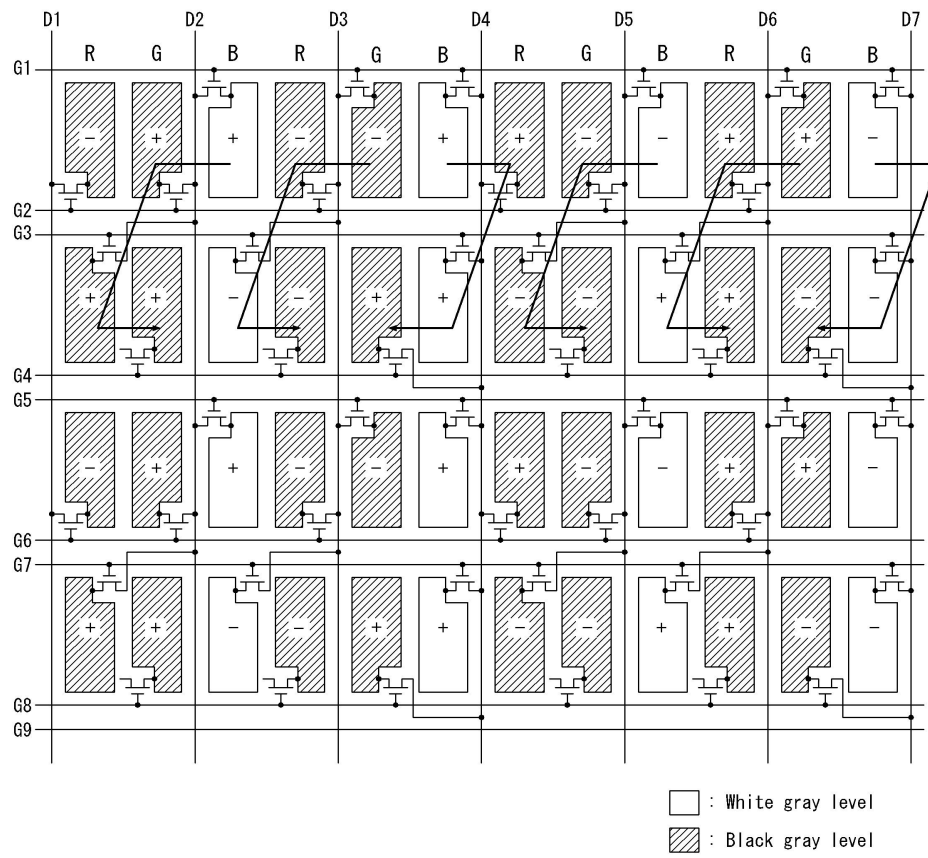
도면3



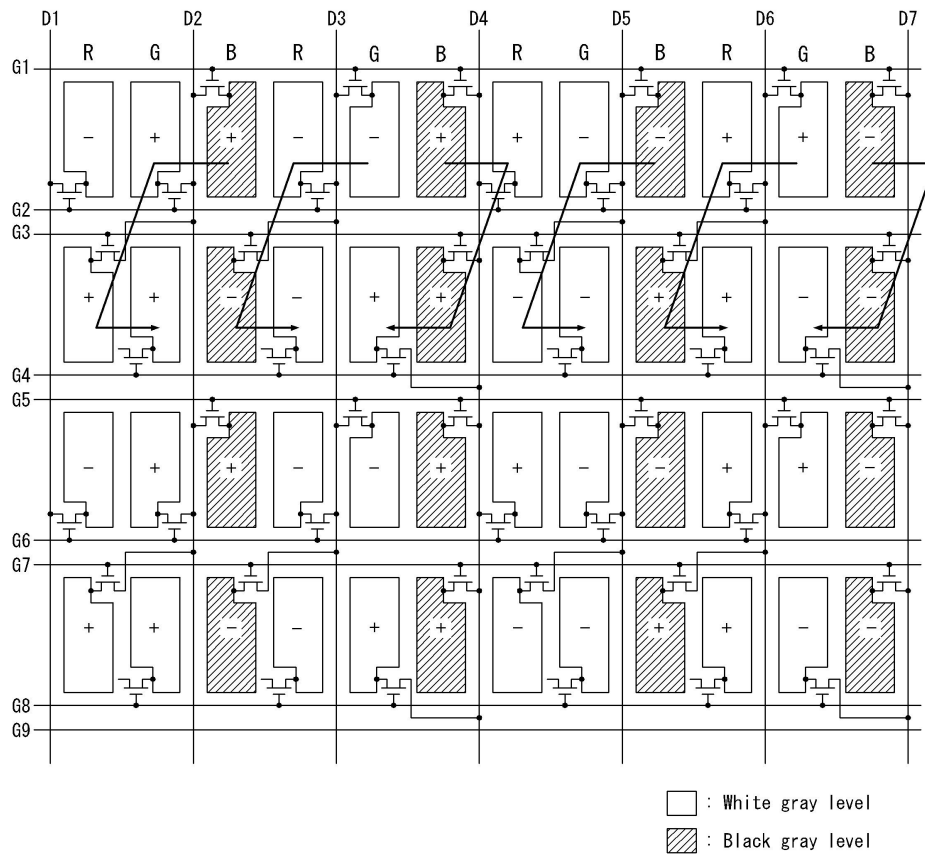
도면4



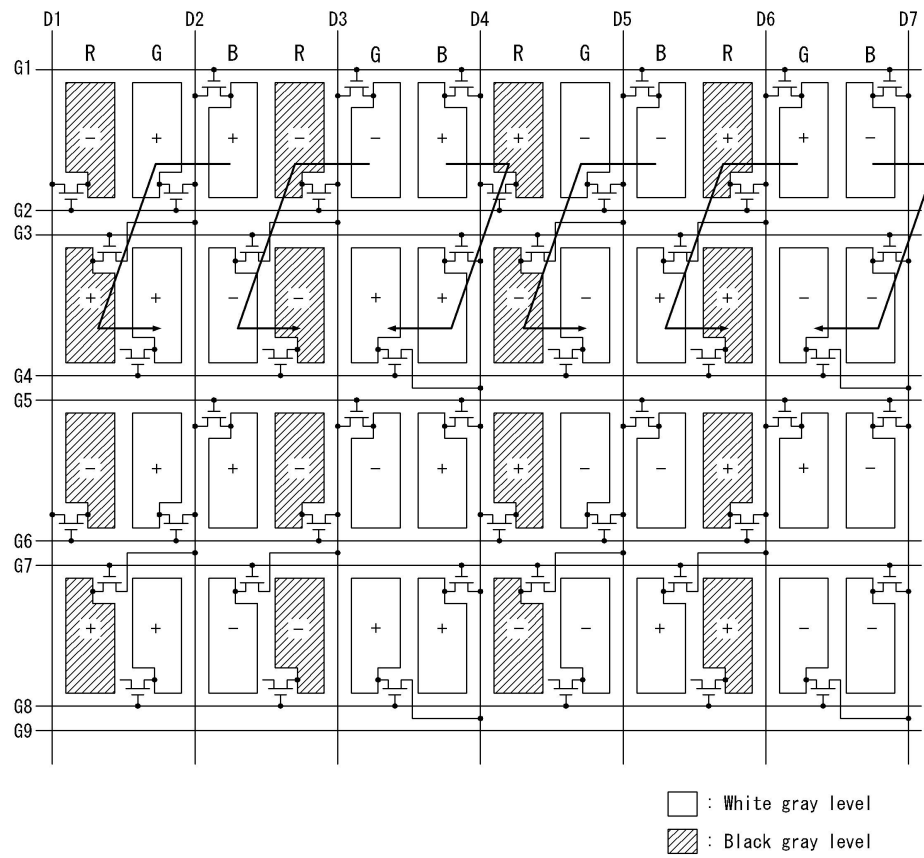
도면5



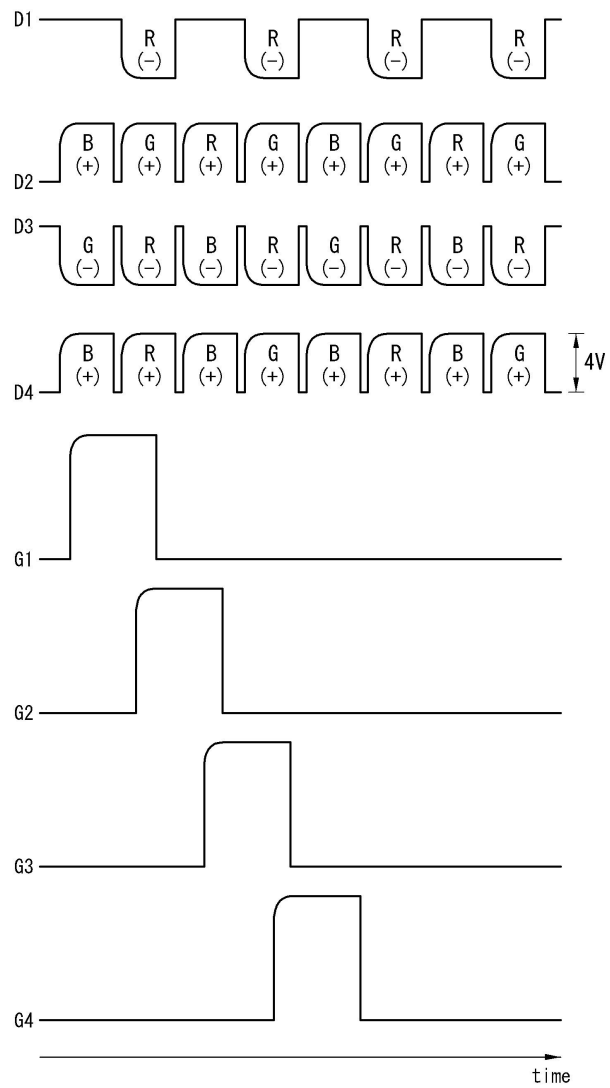
도면6



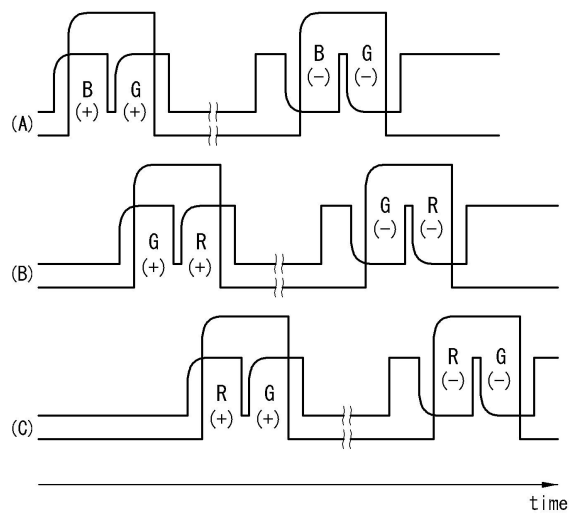
도면7



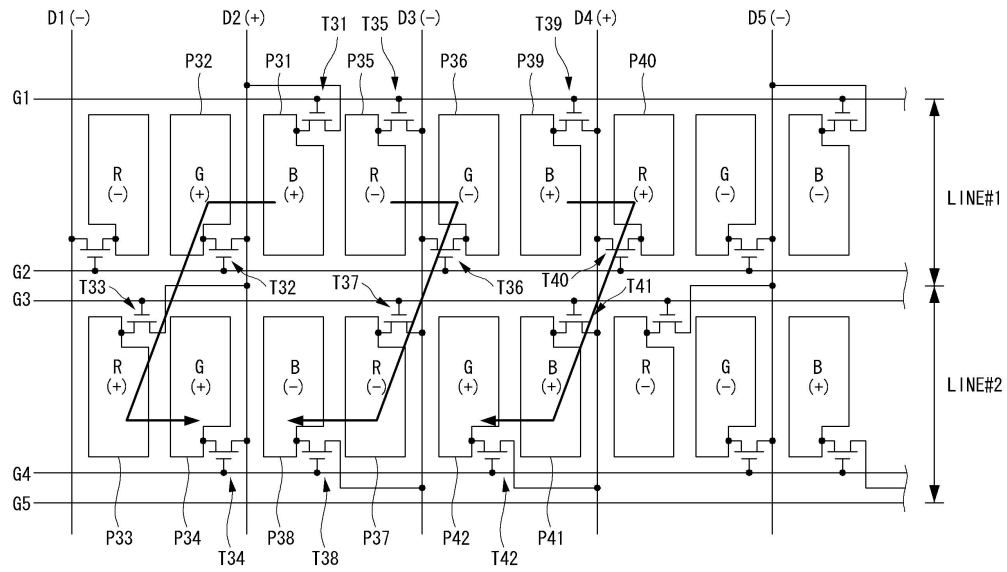
도면8



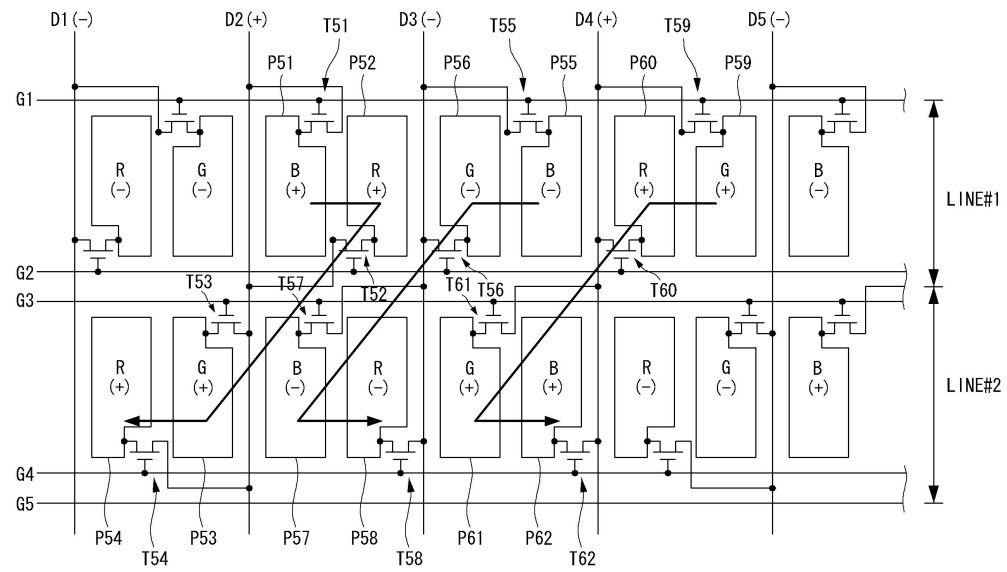
도면9



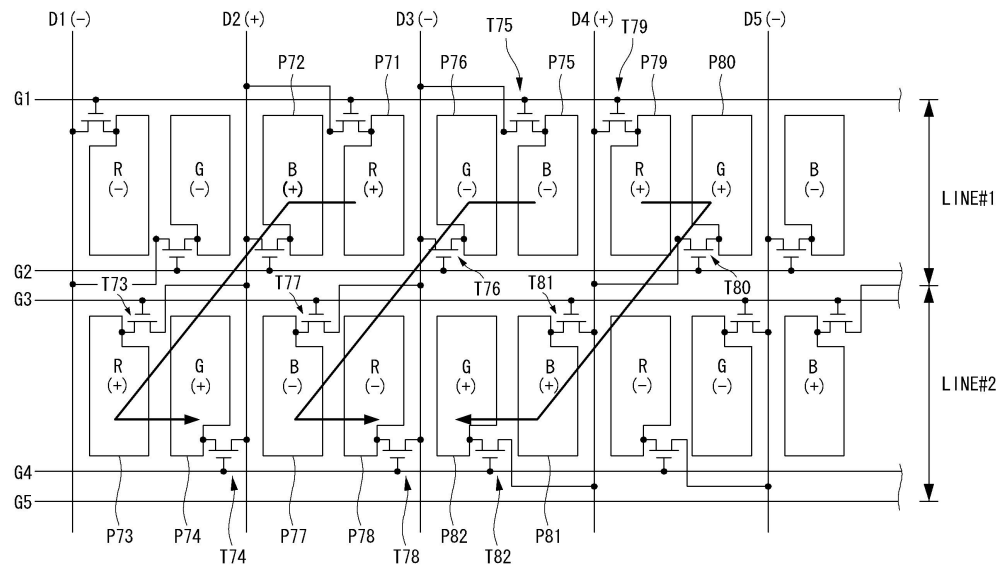
도면10



도면11



도면12



专利名称(译)	液晶显示器		
公开(公告)号	KR101520588B1	公开(公告)日	2015-05-15
申请号	KR1020140154587	申请日	2014-11-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM HONG JAE 김홍재 KIM PYUNG HUN 김병훈		
发明人	김홍재 김병훈		
IPC分类号	G02F1/133 G09G3/36		
其他公开文献	KR1020140136420A		

摘要(译)

数据本发明，其涉及一种液晶显示装置，将通过提供给数据线极性/负极性数据电压所定义的数字视频数据，并保持在一周期间提供到相同的数据线的数据电压的极性相同。驱动电路;第j个门(j是自然数)通过提供第j+1个的门脉冲到栅极线提供脉冲的第j+1，和在此之后，第j+2，第j+至栅极线2，栅为了供应一个脉冲到栅极线提供栅极脉冲栅极驱动电路，用于驱动栅极驱动电路;并将数字视频数据提供给数据驱动电路，以及用于控制驱动电路和栅极驱动电路的操作时序的时序控制器。每个子像素包括TFT，和一些TFT的延伸比通过邻近所述数据线与栅极线之间的空间中的其它相邻TFT的漏极的长度长的TFT的漏极的它连接。

