



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년12월23일

(11) 등록번호 10-1475297

(24) 등록일자 2014년12월16일

(51) 국제특허분류(Int. Cl.)

G02F 1/1343 (2006.01) G02F 1/136 (2006.01)

(21) 출원번호 10-2008-0027419

(22) 출원일자 2008년03월25일

심사청구일자 2013년03월04일

(65) 공개번호 10-2009-0102147

(43) 공개일자 2009년09월30일

(56) 선행기술조사문헌

JP2008026870 A*

KR1020060044418 A*

JP2001033820 A*

KR1020020088272 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

삼성디스플레이 주식회사

경기도 용인시 기흥구 삼성로 95 (농서동)

(72) 발명자

김장일

충청남도 아산시 탕정면 삼성로 261, 삼성크리스탈 청옥동 406호

박현

충청남도 천안시 서북구 천안천4길 18-10, 109동 1505호 (와촌동, 신동아파밀리에)

(뒷면에 계속)

(74) 대리인

특허법인가산

전체 청구항 수 : 총 19 항

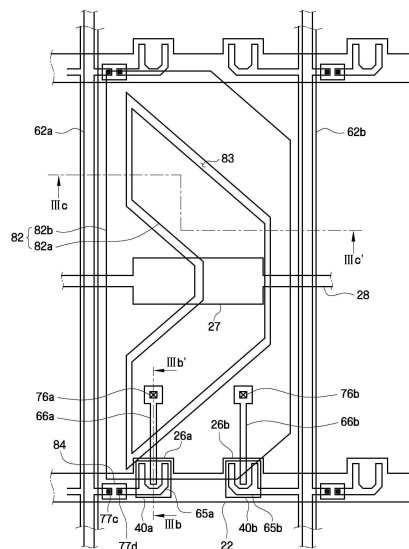
심사관 : 윤성주

(54) 발명의 명칭 박막 트랜지스터 기관, 액정 표시 장치, 및 액정 표시장치의 제조 방법

(57) 요약

표시 품질을 향상시킬 수 있는 박막 트랜지스터 기관, 액정 표시 장치, 및 액정 표시 장치의 제조 방법이 제공된다. 액정 표시 장치는, 제1 절연 기관과, 제1 절연 기관 상에 형성되고 제1 방향으로 뻗은 게이트선과, 게이트선과 절연되어 교차하고 제2 방향으로 뻗은 제1 및 제2 데이터선과, 제1 및 제2 데이터선으로부터 서로 다른 데이터 전압이 각각 인가되는 제1 및 제2 부화소 전극을 구비하는 화소 전극을 포함한다. 여기서, 제1 데이터선의 적어도 일부는 제2 데이터선과 중첩한다.

대표도 - 도3a



(72) 발명자

정유현

충청남도 천안시 서북구 두정역동5길 11, 304호 (두정동, 유진빌)

양승석

충청남도 천안시 서북구 선영10길 12, 1202호 (성정동, 활림1차아파트)

박정은

충남 아산시 탕정면 삼성로 261, 비취동 405호 (삼성크리스탈기숙사)

특허청구의 범위

청구항 1

제1 절연 기관;

상기 제1 절연 기관 상에 형성되고 제1 방향으로 뻗은 게이트선;

상기 게이트선과 절연되어 교차하고 제2 방향으로 뻗은 제1 및 제2 데이터선;

상기 제1 및 제2 데이터선으로부터 서로 다른 데이터 전압이 각각 인가되는 제1 및 제2 부화소 전극을 구비하는 화소 전극; 및

상기 제1 데이터선 및 상기 제1 부화소 전극을 전기적으로 연결하는 브리지 전극을 포함하되,

상기 제1 데이터선의 적어도 일부는 상기 제2 데이터선과 중첩하고,

상기 제1 데이터선의 폭과 상기 제2 데이터선의 폭은 서로 상이하고,

상기 브리지 전극의 적어도 일부가 상기 게이트선과 중첩하고,

상기 제1 데이터선 및 상기 제2 데이터선으로부터 각각 제1 및 제2 부화소 전극으로 인가되는 서로 다른 데이터 전압은 공통 전압에 대하여 서로 반대의 극성을 갖는 액정 표시 장치.

청구항 2

제1 항에 있어서,

상기 제1 데이터선과 상기 제2 데이터선 사이에 개재된 절연층을 더 포함하는 액정 표시 장치.

청구항 3

제2 항에 있어서,

상기 절연층은 질화규소 또는 유기물로 이루어진 액정 표시 장치.

청구항 4

제3 항에 있어서,

상기 제1 절연 기관과 대향하는 제2 절연 기관;

상기 제2 절연 기관 상에 형성된 공통 전극; 및

상기 제1 및 제2 절연 기관 사이에 개재된 액정 분자로 이루어진 액정층을 더 포함하는 액정 표시 장치.

청구항 5

제4 항에 있어서,

상기 제1 절연 기관 상에 형성되어 상기 게이트선과 평행하게 뻗은 스토리지선 및 스토리지 전극을 더 포함하는 액정 표시 장치.

청구항 6

삭제

청구항 7

제1 항에 있어서,

상기 화소 전극은 상기 제1 및 제2 데이터선과 중첩하지 않는 액정 표시 장치.

청구항 8

제1 항에 있어서,

상기 각 화소 전극에 대하여 상기 제1 부화소 전극에 인가되는 데이터 전압은 상기 제2 부화소 전극에 인가되는 데이터 전압보다 큰 액정 표시 장치.

청구항 9

제1 항에 있어서,

상기 제2 부화소 전극은 상기 제1 부화소 전극을 감싸도록 형성된 액정 표시 장치.

청구항 10

제1 항에 있어서,

상기 제1 데이터선으로부터 상기 제1 부화소 전극에 데이터 전압이 인가되는 제1 형 화소와, 상기 제2 데이터선으로부터 상기 제1 부화소 전극에 데이터 전압이 인가되는 제2 형 화소가 상기 제1 및 제2 방향으로 교대로 배치된 액정 표시 장치.

청구항 11

절연 기판 상에 서로 절연되어 교차하는 게이트선, 및 제1 및 제2 데이터선;

상기 게이트선 및 상기 제1 데이터선과 연결된 제1 박막 트랜지스터;

상기 게이트선 및 상기 제2 데이터선과 연결된 제2 박막 트랜지스터;

상기 제1 박막 트랜지스터와 연결된 제1 부화소 전극;

상기 제2 박막 트랜지스터와 연결되고, 간극에 의해 상기 제1 부화소 전극과 분리된 제2 부화소 전극;

상기 제1 및 제2 부화소 전극 중 적어도 하나와 중첩하고 제1 스토리지 전압을 인가받는 스토리지선; 및

상기 제1 데이터선 및 상기 제1 박막 트랜지스터를 전기적으로 연결하는 브리지 전극을 포함하되,

상기 제1 데이터선의 적어도 일부는 상기 제2 데이터선과 중첩하고,

상기 제1 데이터선의 폭과 상기 제2 데이터선의 폭은 서로 상이하고,

상기 브리지 전극의 적어도 일부가 상기 게이트선과 중첩하고,

상기 제1 데이터선 및 상기 제2 데이터선으로부터 각각 제1 및 제2 부화소 전극으로 인가되는 서로 다른 데이터 전압은 공통 전압에 대하여 서로 반대의 극성을 갖는 박막 트랜지스터 기판.

청구항 12

제11 항에 있어서,

상기 제1 데이터선과 상기 제2 데이터선 사이에 개재된 절연층을 더 포함하는 박막 트랜지스터 기판.

청구항 13

제12 항에 있어서,

상기 절연층은 질화규소 또는 유기물로 이루어진 박막 트랜지스터 기판.

청구항 14

제12 항에 있어서,

상기 절연 기판 상에 형성되어 상기 게이트선과 평행하게 뻗은 스토리지선 및 스토리지 전극을 더 포함하는 박막 트랜지스터 기판.

청구항 15

삭제

청구항 16

제11 항에 있어서,

상기 화소 전극은 상기 제1 및 제2 데이터선과 중첩하지 않고, 상기 제2 부화소 전극은 상기 제1 부화소 전극을 감싸도록 형성된 박막 트랜지스터 기관.

청구항 17

절연 기관 상에 제1 방향으로 뺀 게이트선을 형성하는 단계;

상기 게이트선과 절연되어 상기 제1 방향과 직교하는 제2 방향으로 뺀며, 폭이 서로 상이한 제1 및 제2 데이터선을 형성하는 단계;

상기 제1 및 제2 데이터선에 각각 연결되고, 간극에 의해 분리된 제1 및 제2 부화소 전극을 화소마다 형성하는 단계;

상기 제1 데이터선 및 상기 제1 부화소 전극을 전기적으로 연결하는 브리지 전극을 형성하는 단계; 및

상기 제1 및 제2 부화소 전극 중 적어도 하나와 중첩되고 제1 스토리지 전압을 인가받는 스토리지선을 형성하는 단계를 포함하되,

상기 제1 데이터선의 적어도 일부는 상기 제2 데이터선과 중첩하고,

상기 브리지 전극의 적어도 일부가 상기 게이트선과 중첩하고,

상기 제1 데이터선 및 상기 제2 데이터선으로부터 각각 제1 및 제2 부화소 전극으로 인가되는 서로 다른 데이터 전압은 공통 전압에 대하여 서로 반대의 극성을 갖는 액정 표시 장치의 제조 방법.

청구항 18

제17 항에 있어서,

상기 제1 데이터선과 상기 제2 데이터선 사이에 개재된 절연층을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 19

제18 항에 있어서,

상기 절연층은 질화규소 또는 유기물로 이루어진 액정 표시 장치의 제조 방법.

청구항 20

제19 항에 있어서,

상기 제2 부화소 전극은 상기 제1 부화소 전극을 적어도 일부 감싸도록 형성되고, 상기 제1 부화소 전극보다 넓은 면적을 가진 액정 표시 장치의 제조 방법.

청구항 21

제20 항에 있어서,

상기 절연 기관 상에 형성되어 상기 게이트선과 평행하게 뺀 스토리지선 및 스토리지 전극을 형성하는 단계를 더 포함하는 액정 표시 장치의 제조 방법.

청구항 22

삭제

청구항 23

삭제

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 박막 트랜지스터 기관, 액정 표시 장치, 및 액정 표시 장치의 제조 방법에 관한 것으로, 더욱 상세하게는 향상된 표시 품질을 가지는 박막 트랜지스터 기관, 액정 표시 장치, 및 액정 표시 장치의 표시 품질을 향상시키는 방법에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 현재 가장 널리 사용되고 있는 평판 표시 장치 중 하나로서, 화소 전극과 공통 전극 등 전계 생성 전극이 형성되어 있는 두 장의 표시판과 그 사이에 삽입되어 있는 액정층으로 이루어지며, 전계 생성 전극에 전압을 인가하여 액정층에 전계를 생성하고 이를 통하여 액정층의 액정 분자들의 배향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0003] 그 중에서도 전계가 인가되지 않은 상태에서 액정 분자의 주 방향자가 상하 표시판에 대하여 수직을 이루도록 배열한 수직 배향 모드 액정 표시 장치는 대비비(contrast ratio)가 크고 넓은 기준 시야각 구현이 용이하여 각광받고 있다. 이러한 수직 배향 방식의 액정 표시 장치는 전면 시인성에 비하여 측면 시인성이 떨어지는 문제점이 있는데, 이러한 문제점을 개선하기 위하여 하나의 화소(pixel)를 한 쌍의 부화소(sub-pixel)로 분할하고 각 부화소에 스위칭 소자를 형성하여 각 부화소마다 별도의 전압을 인가하는 방법이 제시되었다.

[0004] 다만 이와 같은 종래 기술에 따른 액정 표시 장치에 있어서, 데이터선 상부에 위치하는 액정은 화소 전극에 가인한 전계에 의해 그 움직임이 정확하게 제어되지 못하기 때문에 빛샘이 발생하여 액정 표시 장치의 표시 특성을 저하시키게 된다.

[0005] 또한 이러한 구조의 액정 표시 장치에 있어서 상대적으로 높은 데이터 전압이 인가되는 부화소 전극과 이의 양쪽에 위치하는 한 쌍의 데이터선과의 커플링 커패시턴스(coupling capacitance)가 불일치하는 경우 표시 특성이 저하된다.

발명의 내용

해결 하고자 하는 과제

[0006] 본 발명이 해결하고자 하는 과제는, 표시 품질을 향상시킬 수 있는 박막 트랜지스터 기관을 제공하고자 하는 것이다.

[0007] 본 발명이 해결하고자 하는 다른 과제는, 이러한 박막 트랜지스터 기관을 포함하는 액정 표시 장치를 제공하고자 하는 것이다.

[0008] 본 발명이 해결하고자 하는 또 다른 과제는, 액정 표시 장치의 표시 품질을 향상시키는 방법을 제공하고자 하는 것이다.

[0009] 본 발명이 해결하고자 하는 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제 해결수단

[0010] 상기 과제를 달성하기 위한 본 발명의 일 실시예에 따른 액정 표시 장치는, 제1 절연 기판과, 상기 제1 절연 기판 상에 형성되고 제1 방향으로 뻗은 게이트선과, 상기 게이트선과 절연되어 교차하고 제2 방향으로 뻗은 제1 및 제2 데이터선과, 상기 제1 및 제2 데이터선으로부터 서로 다른 데이터 전압이 각각 인가되는 제1 및 제2 부화소 전극을 구비하는 화소 전극을 포함한다. 여기서, 상기 제1 데이터선의 적어도 일부는 상기 제2 데이터선과 중첩할 수 있다.

[0011] 상기 다른 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 박막 트랜지스터 기관은, 절연 기판 상에 서로 절연되어 교차하는 게이트선, 및 제1 및 제2 데이터선과, 상기 게이트선 및 상기 제1 데이터선과 연결된 제1 박막 트랜지스터와, 상기 게이트선 및 상기 제2 데이터선과 연결된 제2 박막 트랜지스터와, 상기 제1 박막 트랜지

스터와 연결된 제1 부화소 전극과, 상기 제2 박막 트랜지스터와 연결되고, 간극에 의해 상기 제1 부화소 전극과 분리된 제2 부화소 전극과, 상기 제1 및 제2 부화소 전극 중 적어도 하나와 중첩하고 제1 스토리지 전압을 인가받는 스토리지선을 포함한다. 여기서, 상기 제1 데이터선의 적어도 일부는 상기 제2 데이터선과 중첩할 수 있다.

[0012] 상기 또 다른 과제를 달성하기 위한 본 발명의 다른 실시예에 따른 액정 표시 장치의 제조 방법은, 절연 기판 상에 제1 방향으로 뻗은 게이트선을 형성하는 단계와, 상기 게이트선과 절연되어 상기 제1 방향과 직교하는 제2 방향으로 뻗은 제1 및 제2 데이터선을 형성하는 단계와, 상기 제1 및 제2 데이터선에 각각 연결되고, 간극에 의해 분리된 제1 및 제2 부화소 전극을 화소마다 형성하는 단계와, 상기 제1 및 제2 부화소 전극 중 적어도 하나와 중첩되고 제1 스토리지 전압을 인가받는 스토리지선을 형성하는 단계를 포함한다. 여기서, 상기 제1 데이터선의 적어도 일부는 상기 제2 데이터선과 중첩할 수 있다.

[0013] 기타 실시예들의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 실시를 위한 구체적인 내용

[0014] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다. 도면에서 층 및 영역들의 크기 및 상대적인 크기는 설명의 명료성을 위해 과장된 것일 수 있다.

[0015] 소자(elements) 또는 층이 다른 소자 또는 층의 "위(on)" 또는 "상(on)"으로 지칭되는 것은 다른 소자 또는 층의 바로 위뿐만 아니라 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다. 반면, 소자가 "직접 위(directly on)" 또는 "바로 위"로 지칭되는 것은 중간에 다른 소자 또는 층을 개재하지 않은 것을 나타낸다. 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다. "및/또는"은 언급된 아이템들의 각각 및 하나 이상의 모든 조합을 포함한다.

[0016] 공간적으로 상대적인 용어인 "아래(below)", "아래(beneath)", "하부(lower)", "위(above)", "상부(upper)" 등은 도면에 도시되어 있는 바와 같이 하나의 소자 또는 구성 요소들과 다른 소자 또는 구성 요소들과의 상관관계를 용이하게 기술하기 위해 사용될 수 있다. 공간적으로 상대적인 용어는 도면에 도시되어 있는 방향에 더하여 사용시 또는 동작시 소자의 서로 다른 방향을 포함하는 용어로 이해되어야 한다.

[0017] 본 명세서에서 기술하는 실시예들은 본 발명의 이상적인 개략도인 평면도 및 단면도를 참고하여 설명될 것이다. 따라서, 제조 기술 및/또는 허용 오차 등에 의해 예시도의 형태가 변형될 수 있다. 따라서, 본 발명의 실시예들은 도시된 특정 형태로 제한되는 것이 아니라 제조 공정에 따라 생성되는 형태의 변화도 포함하는 것이다. 따라서, 도면에서 예시된 영역들은 개략적인 속성을 가지며, 도면에서 예시된 영역들의 모양은 소자의 영역의 특정 형태를 예시하기 위한 것이고, 발명의 범주를 제한하기 위한 것은 아니다.

[0018] 이하 첨부된 도면들을 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치에 대하여 상세히 설명한다.

[0019] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 어레이를 개략적으로 나타낸 도면이고, 도 2는 도 1의 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0020] 본 발명의 일 실시예에 따른 액정 표시 장치(도 6의 300 참조)는 액정 패널 어셈블리와, 이에 연결된 게이트 구동부 및 데이터 구동부와, 데이터 구동부에 연결된 게조 전압 생성부와, 이들을 제어하는 신호 제어부를 포함한다.

[0021] 액정 패널 어셈블리는 다수의 표시 신호선과 이에 연결되어 있으며 대략 행렬의 형태로 배열된 다수의 화소(PX)를 포함한다. 여기서, 액정 패널 어셈블리는 서로 마주 보는 하부 표시판과 상부 표시판, 그리고 이들 사이에 개재된 액정층을 포함한다. 여기서, 하부 표시판을 박막 트랜지스터 기관이라 한다.

[0022] 도 1 및 도 2를 참조하면, 표시 신호선은 하부 표시판에 구비되어 있으며, 게이트 신호를 전달하는 다수의 게이트선(GL)과 데이터 신호를 전달하는 데이터선(Da, Db)을 포함한다. 게이트선(GL)은 대략 행 방향으로 뻗어 있으며 서로가 거의 평행하고, 데이터선(Da, Db)은 대략 열 방향으로 뻗어 있으며 서로가 거의 평행하다.

[0023] 각 화소(PX)는 한 쌍의 부화소(PXa, PXb)를 포함하며, 각 부화소(PXa, PXb)는 해당 데이터선(Da, Db) 및 하나의

게이트선(GL)에 연결되어 있는 스위칭 소자(Qa, Qb)와, 이에 연결된 액정 커패시터(liquid crystal capacitor)(Clca, Clcb)와, 이에 연결된 스토리지 커패시터(storage capacitor)(Csta, Cstb)를 포함한다. 즉, 한 쌍의 부화소(PXa, PXb)에는 두 개의 데이터선(Da, Db)과 한 개의 게이트선(GL)이 할당된다. 스토리지 커패시터(Csta, Cstb)는 필요에 따라 생략될 수 있다.

[0024] 각 부화소(PXa, PXb)의 스위칭 소자(Qa, Qb)는 하부 표시판에 구비되어 있는 박막 트랜지스터 등으로 이루어지며, 게이트 신호가 인가되는 게이트선(GL)에 연결되어 있는 제어 단자(이하, 게이트 전극), 데이터선(Da, Db)에 연결되어 있는 입력 단자(이하, 소스 전극), 그리고 액정 커패시터(Clca, Clcb) 및 스토리지 커패시터(Csta, Cstb)에 연결되어 있는 출력 단자(이하, 드레인 전극)를 가지는 삼단자 소자이다.

[0025] 액정 커패시터(Clca, Clcb)는 하부 표시판의 부화소 전극과 상부 표시판의 공통 전극을 두 단자로 하며, 부화소 전극과 공통 전극 사이의 액정층은 유전체로서 기능을 한다. 각 부화소 전극(Pa, Pb)은 각 스위칭 소자(Qa, Qb)에 연결되며 공통 전극은 상부 표시판의 전면에 형성되어 있고 공통 전압(Vcom)을 인가 받는다. 여기서, 공통 전극이 하부 표시판에 구비되는 경우도 있으며 이때에는 부화소 전극과 공통 전극 중 적어도 하나가 선형 또는 막대형으로 만들어질 수 있다.

[0026] 한편, 색 표시를 구현하기 위해서는 각 화소가 원색(primary color) 중 하나를 고유하게 표시하거나(공간 분할) 각 화소가 시간에 따라 번갈아 삼원색을 표시하게(시간 분할) 하여 이들 삼원색의 공간적, 시간적 합으로 원하는 색상이 인식되도록 한다. 원색의 예로는 적색, 녹색 및 청색을 들 수 있다. 공간 분할의 한 예로서 각 화소가 상부 표시판의 영역에 원색 중 하나를 나타내는 컬러필터를 구비할 수 있다. 또한, 컬러필터는 하부 표시판의 부화소 전극 위 또는 아래에 형성할 수도 있다.

[0027] 게이트 구동부는 게이트선(GL)에 연결되어 외부로부터의 게이트 온 전압(Von)과 게이트 오프 전압(Voff)의 조합으로 이루어진 게이트 신호를 게이트선(GL)에 인가한다.

[0028] 계조 전압 생성부(gray voltage generator)는 화소의 투과율과 관련된 두 개의 계조 전압 집합(또는 기준 계조 전압 집합)을 생성하여, 데이터 구동부에 제공할 수 있다. 즉, 두 개의 계조 전압 집합은 하나의 화소를 이루는 한 쌍의 부화소에 독립적으로 제공될 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 두 개의 계조 전압 집합 대신 하나의 계조 전압 집합만을 생성할 수도 있다.

[0029] 데이터 구동부는 한 쌍의 데이터선(Da, Db)에 각각 연결되어 있다. 데이터 구동부는 데이터선(Da)을 통하여 하나의 화소를 구성하는 한 쌍의 부화소 중 어느 하나의 부화소에 데이터 전압을 전달하고, 데이터선(Db)을 통하여 하나의 화소를 구성하는 한 쌍의 부화소 중 다른 하나의 부화소에 별도의 데이터 전압을 전달한다.

[0030] 이러한 게이트 구동부 또는 데이터 구동부는 다수의 구동 집적 회로 칩의 형태로 액정 패널 어셈블리 위에 직접 장착되거나, 가요성 인쇄 회로 필름(flexible printed circuit film) 위에 장착되어 테이프 캐리어 패키지(tape carrier package)의 형태로 액정 패널 어셈블리에 부착될 수도 있다. 이와는 달리, 게이트 구동부 또는 데이터 구동부는 표시 신호선(GL, Da, Db)과 박막 트랜지스터 스위칭 소자(Qa, Qb) 등과 함께 액정 패널 어셈블리에 집적(integration)될 수도 있다.

[0031] 신호 제어부는 게이트 구동부 및 데이터 구동부 등의 동작을 제어한다.

[0032] 다시 도 1을 참조하면, 하나의 화소는 두 개의 스위칭 소자와, 각 스위칭 소자에 연결된 부화소 전극(Pa, Pb)을 포함한다. 여기서 제1 부화소 전극(Pa)에 상대적으로 높은 데이터 전압이 인가되고, 제2 부화소 전극(Pb)에 상대적으로 낮은 데이터 전압이 인가되는 경우를 가정한다. 이하, 데이터 전압의 높고 낮음은 공통 전압과 데이터 전압의 차이의 높고 낮음을 의미한다. 또한, 제1 데이터선(Da)을 통해 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 화소를 A형 화소라고 하고, 제2 데이터선(Db)을 통해 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 화소를 B형 화소라고 한다.

[0033] 도 1에 도시된 바와 같이 A형 화소와 B형 화소를 가로 방향 및 세로 방향으로 교대로 배치함으로써, 액정 표시 장치에서 세로줄무늬 또는 가로줄무늬가 시인되는 것을 방지할 수 있다.

[0034] 만약 모든 화소에 대하여 제1 데이터선(Da)을 통하여 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 경우, 즉 화소 어레이가 모두 A형 화소로 이루어진 경우, 액정 표시 장치가 컬럼 반전(column inversion)에 의해 구동되면 프레임당 한 화소만큼 수평방향으로 이동하는 검사 패턴에 대하여 수평방향으로 이동하는 세로줄무늬가 시인될 수 있다.

[0035] 또한 만약 하나의 화소 행(row)에 대해서는 제1 데이터선(Da)을 통하여 제1 부화소 전극(Pa)에 데이터 전압이

인가되고, 다음 화소 행을 이루는 화소에 대하여 제2 데이터선(Db)을 통하여 제1 부화소 전극(Pa)에 데이터 전압이 인가되는 경우, 즉 A형 화소의 행과 B형 화소의 행이 교대로 배치되는 경우, 앞서 언급한 수평방향으로 이동하는 세로줄무늬가 시인되는 것을 방지할 수 있다. 다만 제1 부화소 전극(Pa)은 그 양쪽에 위치하는 제1 및 제2 데이터선(Da, Db)과 커플링(coupling)이 일어나는데, 제1 부화소 전극(Pa)과 제1 및 제2 데이터선(Da, Db)의 커플링 커패시턴스가 A형 화소 및 B형 화소에 따라 다르기 때문에 가로줄무늬가 시인될 수 있다.

[0036] 따라서 도 1에 도시된 본 발명의 일 실시예에 따른 액정 표시 장치와 같이 A형 화소와 B형 화소를 가로 방향 및 세로 방향으로 교대로 배치함으로써 앞서 언급한 수평방향으로 이동하는 세로줄무늬 또는 가로줄무늬를 방지할 수 있다. 다만 이러한 구조의 액정 표시 장치가 낮은 계조(gray scale)에서 동작하는 경우 상대적으로 높은 데이터 전압이 인가되는 제1 부화소 전극(Pa)에 의해서만 액정이 실질적으로 동작하기 때문에, A형 화소 및 B형 화소 각각에 대하여 제1 부화소 전극(Pa)과 제1 데이터선(Da)의 커플링 커패시턴스와 제1 부화소 전극(Pa)과 제2 데이터선(Db)의 커플링 커패시턴스의 차이를 줄임으로써 크로스 토크에 의한 표시 품질의 저하를 개선할 수 있다.

[0037] 나아가 본 발명의 일 실시예에서와 같이 제1 및 제2 데이터선(Da, Db)을 제2 부화소 전극(Pb)과 중첩하도록 배치하고 제2 부화소 전극(Pb)이 제1 부화소 전극(Pa)을 감싸도록 함으로써, A형 화소와 B형 화소를 가로 방향 및 세로 방향으로 교대로 배치하지 않더라도 세로줄 무늬 또는 가로줄 무늬가 인식되는 것을 방지할 수 있다. 즉 제1 및 제2 데이터선(Da, Db)과 제1 부화소 전극(Pa)의 커플링 커패시턴스를 최소화함으로써 표시 특성이 저하되는 것을 방지할 수 있다. 이에 대해서는 후에 자세히 설명한다.

[0038] 이하, 도 3a 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치를 상세하게 설명한다. 본 실시예에 따른 액정 표시 장치는 박막 트랜지스터 어레이(thin film transistor array)가 형성된 하부 표시판, 이와 마주보고 있는 상부 표시판 및 이들 사이에 들어 있는 액정층을 포함한다.

[0039] 먼저 도 3a 내지 도 3c를 참조하여 본 발명의 일 실시예에 의한 액정 표시 장치의 하부 표시판에 대하여 상세하게 설명한다. 여기서 도 3a는 도 1의 A형 화소를 포함한 하부 표시판의 배치도이고, 도 3b는 도 3a의 하부 표시판을 IIIb-IIIb'선으로 자른 단면도이고, 도 3c는 도 3a의 하부 표시판을 IIIc-IIIc'선으로 자른 단면도이다.

[0040] 투명한 유리 등으로 이루어진 절연 기판(10) 위에 주로 가로 방향으로 뻗어 있고 게이트 신호를 전달하는 게이트선(22)이 형성되어 있다. 게이트선(22)은 하나의 화소에 대하여 하나씩 할당되어 있다. 그리고, 게이트선(22)에는 돌출한 한 쌍의 제1 및 제2 게이트 전극(26a, 26b)이 형성되어 있다. 이러한 게이트선(22)과 제1 및 제2 게이트 전극(26a, 26b)을 게이트 배선이라 한다.

[0041] 또한 절연 기판(10) 위에는 화소 영역을 가로질러 게이트선(22)과 실질적으로 평행하게 가로 방향으로 뻗어 있는 스토리지선(storage line)(28)이 형성되어 있고, 스토리지선(28)에 연결되어 넓은 너비를 가지는 스토리지 전극(27)이 형성되어 있다. 스토리지 전극(27)은 화소 전극(82)과 중첩되어 화소의 전하 보존 능력을 향상시키는 스토리지 커패시터(storage capacitor)를 형성한다. 이러한 스토리지 전극(27) 및 스토리지선(28)을 스토리지 배선이라고 한다. 본 실시예에서 스토리지 배선(27, 28)은 화소 영역의 중심과 중첩되도록 형성되어 있으나 본 발명은 이에 한정되지 않으며 스토리지 배선(27, 28)의 모양 및 배치는 여러 형태로 변형될 수 있다. 나아가 화소 전극(82)과 게이트선(22)의 중첩으로 발생하는 스토리지 커패시턴스가 충분할 경우 스토리지 배선(27, 28)이 형성되지 않을 수도 있다.

[0042] 게이트 배선(22, 26a, 26b)과 스토리지 배선(27, 28)은 알루미늄(Al)과 알루미늄 합금 등 알루미늄 계열의 금속, 은(Ag)과 은 합금 등 은 계열의 금속, 구리(Cu)와 구리 합금 등 구리 계열의 금속, 몰리브덴(Mo)과 몰리브덴 합금 등 몰리브덴 계열의 금속, 크롬(Cr), 티타늄(Ti), 탄탈륨(Ta) 따위로 이루어질 수 있다. 또한, 게이트 배선(22, 26a, 26b)과 스토리지 배선(27, 28)은 물리적 성질이 다른 두 개의 도전막(도시하지 않음)을 포함하는 다중막 구조를 가질 수 있다. 이 중 한 도전막은 게이트 배선(22, 26a, 26b)과 스토리지 배선(27, 28)의 신호 지연이나 전압 강하를 줄일 수 있도록 낮은 비저항(resistivity)의 금속, 예를 들면 알루미늄 계열 금속, 은 계열 금속, 구리 계열 금속 등으로 이루어진다. 이와는 달리, 다른 도전막은 다른 물질, 특히 ITO(indium tin oxide) 및 IZO(indium zinc oxide)와의 접촉 특성이 우수한 물질, 이를테면 몰리브덴 계열 금속, 크롬, 티타늄, 탄탈륨 등으로 이루어진다. 이러한 조합의 좋은 예로는 크롬 하부막과 알루미늄 상부막 및 알루미늄 하부막과 몰리브덴 상부막을 들 수 있다. 다만, 본 발명은 이에 한정되지 않으며, 게이트 배선(22, 26a, 26b)과 스토리지 배선(27, 28)은 다양한 여러 가지 금속과 도전체로 만들어질 수 있다.

[0043] 게이트선(22) 및 스토리지 배선(27, 28) 위에는 질화규소(SiNx) 등으로 이루어진 게이트 절연막(30)이 형성되어

있다.

- [0044] 게이트 절연막(30) 위에는 수소화 비정질 규소(hydrogenated amorphous silicon) 또는 다결정 규소 등으로 이루어진 한 쌍의 반도체층(40a, 40b)이 형성되어 있다. 반도체층(40a, 40b)은 섬모양, 선형 등과 같이 다양한 형상을 가질 수 있으며, 예를 들어 본 실시예에서와 같이 섬모양으로 형성될 수 있다.
- [0045] 각 반도체층(40a, 40b)의 상부에는 실리사이드(silicide) 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 규소 등의 물질로 만들어진 옴릭 콘택층(ohmic contact layer)(55a, 56a)이 형성되어 있다. 옴릭 콘택층(55a, 56a)은 쌍(pair)을 이루어 반도체층(40a, 40b) 위에 위치한다.
- [0046] 옴릭 콘택층(55a, 56a) 및 게이트 절연막(30) 위에는 제2 데이터선(62b)과, 제1 및 제2 드레인 전극(66a, 66b)과, 제1 및 제2 소스 전극(65a, 65b)이 형성되어 있다. 제2 데이터선(62b)과, 제1 및 제2 드레인 전극(66a, 66b)과, 제1 및 제2 소스 전극(65a, 65b) 위에는 절연층(70a)이 형성되어 있다. 절연층(70a) 위에는 제1 데이터선(62a)이 형성되어 있다. 제1 및 제2 드레인 전극(66a, 66b)은 제1 및 제2 데이터선(62a, 62b)에 대응한다.
- [0047] 제1 및 제2 데이터선(62a, 62b)은 주로 세로 방향으로 뻗어 게이트선(22) 및 스토리지선(28)과 교차하며 데이터 전압을 전달한다. 제2 데이터선(62b)에는 제2 드레인 전극(66b)을 향하여 각각 뻗은 제2 소스 전극(65b)이 형성되어 있다. 제1 데이터선(62a)은 제3 콘택홀(77c), 제4 콘택홀(77d) 및 브리지 전극(84)을 통하여 제1 드레인 전극(66a)을 향하여 뻗은 제1 소스 전극(65a)과 전기적으로 연결되어 있다. 도 3a에 도시된 바와 같이, 하나의 화소가 한 쌍의 부화소로 분할되고, 제1 데이터선(62a)은 하나의 부화소에 데이터 신호를 전달하고 제2 데이터선(62b)은 다른 부화소에 별도의 데이터 신호를 전달한다.
- [0048] 이러한 제1 및 제2 데이터선(62a, 62b)과, 제1 및 제2 소스 전극(65a, 65b)과, 제1 및 제2 드레인 전극(66a, 66b)을 데이터 배선이라고 한다. 제1 데이터선(62a)는 제2 데이터선(62b) 상에 중첩되어 배치된다. 제1 데이터선(62a) 및 제2 데이터선(62b)은 이들 사이에 개재된 절연층(70a)에 의해 절연된다. 제1 데이터선(62a)과 제2 데이터선(62b)는 서로 폭이 다르다. 그리고 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)은 제1 데이터선(62a) 및 제2 데이터선(62b)과 중첩하지 않는다. 이와 같이 제1 데이터선(62a)이 제2 데이터선(62b)과 중첩할 때, 이웃하는 화소 사이의 경계 면적이 줄어들고 따라서 액정 표시 장치의 개구율이 높아진다.
- [0049] 데이터 배선(62a, 62b, 65a, 65b, 66a, 66b)은 크롬, 몰리브덴 계열의 금속, 탄탈륨 및 티타늄 등 내화성 금속으로 이루어지는 것이 바람직하며, 내화성 금속 따위의 하부막(미도시)과 그 위에 위치한 저저항 물질 상부막(미도시)으로 이루어진 다층막 구조를 가질 수 있다. 다층막 구조의 예로는 앞서 설명한 크롬 하부막과 알루미늄 상부막 또는 알루미늄 하부막과 몰리브덴 상부막의 이중막 외에도 몰리브덴막-알루미늄막-몰리브덴막의 삼중막을 들 수 있다.
- [0050] 제1 및 제2 소스 전극(65a, 65b)은 각각 반도체층(40a, 40b)과 적어도 일부분이 중첩되고, 제1 및 제2 드레인 전극(66a, 66b)은 각각 게이트 전극(26a, 26b)을 중심으로 제1 및 제2 소스 전극(65a, 65b)과 대향하며 반도체층(40a, 40b)과 적어도 일부분이 중첩된다. 여기서, 앞서 언급한 옴릭 콘택층(55a, 56a)은 반도체층(40a, 40b)과 제1 및 제2 소스 전극(65a, 65b) 사이, 및 반도체층(40a, 40b)과 제1 및 제2 드레인 전극(66a, 66b) 사이에 존재하며 접촉 저항을 낮추어 주는 역할을 한다.
- [0051] 절연층(70a) 및 제1 데이터선(62a) 위에는 보호막(passivation layer)(70b)이 형성되어 있다. 절연층(70a) 및 보호막(70b)은 질화규소 또는 산화규소로 이루어진 무기물, 평탄화 특성이 우수하며 감광성(photosensitivity)을 가지는 유기물 또는 플라즈마 화학 기상 증착(plasma enhanced chemical vapor deposition, PECVD)으로 형성되는 a-Si:C:O, a-Si:O:F 등의 저유전율 절연 물질 등으로 이루어진다. 또한, 절연층(70a) 및 보호막(70b)은 유기막의 우수한 특성을 살리면서도 노출된 반도체층(40a, 40b) 부분을 보호하기 위하여 하부 무기막과 상부 유기막의 이중막 구조를 가질 수 있다. 나아가 절연층(70a) 및 보호막(70b)으로는 적색, 녹색 또는 청색의 컬러필터층이 사용될 수도 있다.
- [0052] 보호막(70b) 위에는 제1 및 제2 콘택홀(contact hole)(76a, 76b)을 통하여 각각 제1 및 제2 드레인 전극(66a, 66b)과 전기적으로 연결되어 있으며 화소 영역에 위치하는 제1 및 제2 부화소 전극(82a, 82b)이 형성되어 있다. 제2 부화소 전극(82b)은 제1 부화소 전극(82a)을 적어도 일부 감싸도록 형성되고, 제1 부화소 전극(82a)보다 넓은 면적을 가진다. 또한, 보호막(70b) 위에는 제3 및 제4 콘택홀(76c, 76d)을 통하여 제1 데이터선(62a)과 제1 소스 전극(65a)을 전기적으로 연결하는 브리지 전극(84)이 형성되어 있다. 여기서, 제1 및 제2 부화소 전극(82a, 82b) 및 브리지 전극(84)은 ITO 또는 IZO 따위의 투명 도전체 또는 알루미늄 따위의 반사성 도전체로 이루어진다. 본 실시예에서는 제1 데이터선(62a)과 제1 소스 전극(65a)이 브리지 전극(84)을 통해 전기적으로 연

결된 경우를 예로 들어 설명하고 있으나, 본 발명은 이에 제한되지 않으며 절연층(70a)에 제1 소스 전극(65a)과 중첩하는 콘택홀을 형성하고 상기 콘택홀을 통하여 제1 데이터선(62a)이 직접 제1 소스 전극(65a)과 접속할 수도 있다.

[0053] 제1 및 제2 부화소 전극(82a, 82b)은 각각 제1 및 제2 콘택홀(76a, 76b)을 통하여 제1 및 제2 드레인 전극(66a, 66b)과 물리적·전기적으로 연결되어 제1 및 제2 드레인 전극(66a, 66b)으로부터 서로 다른 데이터 전압을 인가 받는다.

[0054] 데이터 전압이 인가된 제1 및 제2 부화소 전극(82a, 82b)은 상부 표시판의 공통 전극과 함께 전기장을 생성함으로써 제1 및 제2 부화소 전극(82a, 82b)과 공통 전극 사이의 액정 분자들의 배열을 결정한다.

[0055] 또한 앞서 설명하였듯이 도 2 및 도 3a를 참조하면, 각 부화소 전극(82a, 82b)과 공통 전극은 액정 커패시터(C1ca, C1cb)를 이루어 박막 트랜지스터(Qa, Qb)가 턴 오프된 후에도 인가된 전압을 유지하며, 전압 유지 능력을 강화하기 위하여 액정 커패시터(C1ca, C1cb)와 병렬로 연결된 스토리지 커패시터(Csta, Cstb)는 제1 및 제2 부화소 전극(82a, 82b) 또는 이에 연결되어 있는 제1 및 제2 드레인 전극(66a, 66b)과 스토리지 배선(27, 28)의 중첩으로 만들어진다.

[0056] 다시 도 3a 내지 도 3c를 참조하면, 하나의 화소 전극(82)은 소정의 간극(gap)(83)을 사이에 두고 서로 맞물려 있으며 전기적으로 분리된 제1 및 제2 부화소 전극(82a, 82b)으로 이루어진다. 제1 부화소 전극(82a)은 대략 옆으로 누운 V자 형상을 가지며, 제2 부화소 전극(82b)은 화소 내에서 제1 부화소 전극(82a) 이외의 영역에 형성되어 있다. 구체적으로 제2 부화소 전극(82b)은 제1 부화소 전극(82a)을 감싸도록 형성되어 있다.

[0057] 이러한 간극(83)은 게이트선(22)과 약 45도 또는 -45도를 이루는 사선부와, 사선부 사이를 연결하며 제1 및 제2 데이터선(62a, 62b)을 따라 배열된 세로부를 포함한다.

[0058] 도시되지는 않았으나 제1 부화소 전극(82a) 및 제2 부화소 전극(82b)에는 게이트선(22)과 약 45도 또는 -45도를 이루는 도메인 분할 수단(미도시), 예를 들어 절개부(cutout) 또는 돌출부(protrusion)가 형성될 수도 있다. 화소 전극(82)의 표시 영역은 액정층에 포함된 액정 분자의 주 방향자가 전계 인가시 배열되는 방향에 따라 다수의 도메인으로 분할된다. 간극(83) 및 도메인 분할 수단은 화소 전극(82)을 많은 도메인으로 분할하는 역할을 한다. 여기서 도메인이란 화소 전극(82)과 공통 전극(도 4의 도면부호 90 참조) 사이에 형성된 전계에 의해 액정 분자의 방향자가 특정 방향으로 무리를 지어 기울어지는 액정 분자들로 이루어진 영역을 의미한다.

[0059] 앞서 언급한 바와 같이, 제1 부화소 전극(82a)은 전체적으로 V자 형상을 가지며, 제2 부화소 전극(82b)은 제1 부화소 전극(82a)을 감싸도록 형성되어 있다. 구체적으로 제2 부화소 전극(82b)은, 간극(83)의 사선부와 인접하고 전체적으로 게이트선(22)과 약 45도 또는 -45도를 이루며 액정 분자의 움직임을 제어하는 메인 영역과, 간극(83)의 세로부와 인접하고 제1 및 제2 데이터선(62a, 62b)을 따라 배열되어 메인 영역들을 연결하는 브릿지 영역으로 이루어진다.

[0060] 이와 같은 제1 및 제2 부화소 전극(82a, 82b), 및 보호막(70b) 위에는 액정층을 배향할 수 있는 배향막(미도시)이 도포될 수 있다.

[0061] 다음, 도 4 및 도 5를 참조로 하여, 상부 표시판 및 액정 표시 장치에 대하여 설명한다. 여기서 도 4는 도 3a의 하부 표시판과 결합하는 상부 표시판의 배치도이고, 도 5는 도 3a의 하부 표시판과 도 4의 상부 표시판을 포함하는 액정 표시 장치의 배치도이다.

[0062] 투명한 유리 등으로 이루어진 절연 기판(미도시) 위에 빛샘을 방지하고 화소 영역을 정의하는 블랙 매트릭스(94)가 형성되어 있다. 블랙 매트릭스(94)는 게이트선(22)과 제1 및 제2 데이터선(62a, 62b)에 대응하는 부분과 박막 트랜지스터에 대응하는 부분에 형성될 수 있다. 또한, 블랙 매트릭스(94)는 제1 및 제2 부화소 전극(82a, 82b)과 박막 트랜지스터 부근에서의 빛샘을 차단하기 위하여 다양한 모양을 가질 수 있다. 블랙 매트릭스(94)는 크롬, 크롬 산화물 등의 금속(금속 산화물), 또는 유기 블랙 레지스트 등으로 이루어질 수 있다.

[0063] 그리고 블랙 매트릭스(94) 사이의 화소 영역에는 적색, 녹색, 청색의 컬러필터(미도시)가 순차적으로 배열될 수 있다.

[0064] 이러한 컬러필터 위에는 이들의 단차를 평탄화 하기 위한 오버코트층(overcoat layer)(미도시)이 형성될 수 있다.

[0065] 오버코트층 위에는 ITO 또는 IZO 등의 투명한 도전 물질로 이루어져 있는 공통 전극(90)이 형성되어 있다. 공통

전극(90)은 제1 및 제2 부화소 전극(82a, 82b)과 마주보며, 게이트선(22)에 대하여 약 45도 또는 -45도를 이루는 도메인 분할 수단(92), 예를 들어 절개부 또는 돌출부를 포함할 수 있다.

[0066] 공통 전극(90) 위에는 액정 분자들을 배향하는 배향막(미도시)이 도포될 수 있다.

[0067] 이와 같은 구조의 하부 표시판과 상부 표시판을 정렬하여 결합하고 그 사이에 액정 물질을 주입하여 수직 배향하면 본 발명의 일 실시예에 따른 액정 표시 장치의 기본 구조가 이루어진다.

[0068] 액정층에 포함되어 있는 액정 분자는 화소 전극(82)과 공통 전극(90) 사이에 전계가 인가되지 않은 상태에서 그 방향자(director)가 하부 표시판과 상부 표시판에 대하여 수직을 이루도록 배향되어 있고, 음의 유전율을 이방성을 가진다.

[0069] 액정 표시 장치는 이러한 기본 구조에 편광판, 백라이트 등의 요소들을 배치하여 이루어진다. 이 때 편광판은 기본 구조 양측에 각각 하나씩 배치되며 그 투과축은 게이트선(22)에 대하여 둘 중 하나는 나란하고 나머지 하나는 이에 수직을 이루도록 배치한다.

[0070] 하부 표시판과 상부 표시판 사이에 전계를 인가하면 대부분의 영역에서는 두 표시판에 수직인 전계가 형성되지만 화소 전극(82)의 간극(83) 및 공통 전극(90)의 도메인 분할 수단(92) 근처에서는 수평 전계가 형성된다. 이러한 수평 전계는 각 도메인의 액정 분자의 배향을 도와주는 역할을 한다.

[0071] 본 실시예의 액정 분자는 음의 유전율을 이방성을 가지므로, 액정 분자에 전계가 인가되는 경우 각 도메인 내의 액정 분자는 상기 도메인을 구획하는 간극(83) 또는 도메인 분할 수단(92)에 대하여 수직을 이루는 방향으로 기울어지게 된다. 따라서 간극(83) 또는 도메인 분할 수단(92)을 중심으로 양쪽에서 액정 분자의 기울어지는 방향이 반대로 되고, 간극(83)의 사선부 또는 도메인 분할 수단(92)의 사선부가 화소의 중심에 대하여 대칭적으로 형성되어 있으므로, 액정 분자는 게이트선(22)과 실질적으로 45도 또는 -45도를 이루며 4 방향으로 기울어지게 된다. 이와 같이 4 방향으로 기울어지는 액정 분자에 의해 광학적 특성이 서로 보상되어 시야각이 넓어지게 된다.

[0072] 이하 도 3a 내지 도 5를 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치의 작용에 대하여 구체적으로 설명한다.

[0073] 제1 데이터선(62a)과 연결된 제1 부화소 전극(82a)에 상대적으로 높은 데이터 전압이 인가되고, 제2 데이터선(62b)과 연결된 제2 부화소 전극(82b)에 상대적으로 낮은 데이터 전압이 인가됨으로써 액정 표시 장치의 측면 시인성을 향상시킬 수 있다.

[0074] 특히 낮은 계조에서 액정 표시 장치가 동작하는 경우, 상대적으로 높은 데이터 전압이 인가되는 제1 부화소 전극(82a)에 의해서만 액정이 실질적으로 동작하고 제2 부화소 전극(82b)에는 전압이 인가되지 않는다. 이 경우 제2 부화소 전극(82b)에는 상부 표시판의 공통 전극(90)과 실질적으로 동일한 전압이 인가되기 때문에, 제2 부화소 전극(82b) 위에 배치된 액정 분자는 그 방향자가 하부 표시판에 대하여 수직을 이루도록 배향된다. 따라서 백라이트로부터 방출된 빛은 제2 부화소 전극(82b)을 통과하지 못하고 차폐된다.

[0075] 이하 도 6 및 도 7을 참조하여 본 발명의 일 실시예에 따른 액정 표시 장치의 동작에 대하여 설명한다. 여기서, 도 6은 도 1의 액정 표시 장치의 블록도이다.

[0076] 도 6에 도시된 액정 표시 장치(300)는 액정 패널 어셈블리(310), 신호 제어부(320), 계조 전압 생성부(330), 데이터 구동부(340), 및 게이트 구동부(350)를 포함한다. 여기서 액정 패널 어셈블리(310)은 도 1 내지 도 5에 도시된 하부 표시판 및 이에 대향하는 상부 표시판을 포함한다.

[0077] 신호 제어부(320)는 데이터 구동부(340) 및 게이트 구동부(350)에서 요구되는 타이밍에 맞도록 영상 데이터 신호들(R, G, B)을 조절하여 영상 신호(DAT)를 출력한다. 또한, 신호 제어부(320)는 데이터 구동부(340) 및 게이트 구동부(350)를 제어하는 제 1 및 제 2 제어 신호들(CNTL1, CNTL2)을 출력한다. 상기 제 1 제어 신호(CNTL1)에는 수평 동기 시작 신호(STH), 데이터 출력 신호(TP) 등이 있다. 제 2 제어 신호(CNTL2)에는 주사 시작 신호(STV), 게이트 클럭 신호(CPV), 출력 인에이블 신호(OE) 등이 있다.

[0078] 계조 전압 생성부(330)는 화소 전극(PX)의 투과율과 관련된 다수의 계조전압을 생성하여 하기에 기술되는 데이터 구동부(340)에 제공한다.

[0079] 상기 데이터 구동부(340)는 신호 제어부(320)로부터 인가되는 제 1 제어 신호(CNTL1)와, 계조 전압 생성부(330)로부터 인가되는 계조전압에 응답하여, 액정 패널 어셈블리(310)의 데이터선 쌍들(Da1/Db1, Da2/Db2, ...,

Dam/Dbm)을 구동한다.

[0080] 데이터 구동부(340)는 신호 제어부(320)로부터 제 1 제어 신호(CNTL1)와 한 화소 행에 대한 영상 신호(DAT)를 입력받아, 계조 전압 생성부(330)에서 생성한 계조전압 중 각 영상 신호(DAT)에 대응하는 계조전압을 선택한다. 이후, 데이터 구동부(340)는 선택된 계조전압을 대응하는 데이터 전압으로 변환한 후, 이를 해당하는 데이터선 쌍들(Da1/Db1, Da2/Db2, ..., Dam/Dbm)에 인가한다. 전술한 바와 같이, 각 데이터선 쌍들에는 서로 반대의 위상차와 서로 다른 크기의 전압 레벨을 갖는 데이터 전압이 인가된다.

[0081] 게이트 구동부(350)는 신호 제어부(320)로부터 입력된 제 2 제어 신호(CNTL2)와 구동 전압 생성부(도시되지 않음)로부터 출력된 게이트 온 전압(VON) 및 게이트 오프 전압(VOFF)에 응답하여, 액정 패널 어셈블리(310)의 게이트선들(GL1-GLn)을 구동한다. 게이트 구동부(350)는 게이트선들(GL1-GLn)을 통해 각 화소 전극(PX)으로 게이트 전압을 인가하여, 각 화소 전극(PX)에 연결된 제1 및 제2 스위칭 소자(도 2에 도시된 Qa, Qb)를 '턴 온' 또는 '턴 오프' 시킨다.

[0082] 도 7는 화이트 패턴과 그레이 패턴으로 이루어진 화상패턴을 구현하기 위해 각 화소 전극에 인가되는 데이터 전압의 파형도이다.

[0083] 도 7을 참조하면, 제1 데이터선(Da2)의 전압 파형은 데이터 구동부(340)로부터 제1 부화소 전극(도 1의 Pa)에 인가되는 전압 파형이고, 제2 데이터선(Db2)의 전압 파형은 데이터 구동부(340)로부터 제2 부화소 전극(도 1의 Pb)에 인가되는 전압 파형이다.

[0084] 도 7에 도시된 바와 같이, 제2 데이터선(Da2)과 제2 데이터선(Db2)의 전압 파형은 화소 전극(PX)과의 커플링을 정확히 상쇄하는 방향으로 스윙한다. 따라서, 화소 전극(PX)과 데이터선쌍(Da2/Db2) 간의 발생하는 커플링을 완벽히 제거할 수 있다.

[0085] 이와 같이, 본 발명의 일 실시예에 따른 액정 표시 장치에 따르면, 개구율 및 시인성을 높일 수 있다.

[0086] 이상 첨부된 도면을 참조하여 본 발명의 실시예를 설명하였지만, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자는 본 발명이 그 기술적 사상이나 필수적인 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다.

도면의 간단한 설명

[0087] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 어레이를 개략적으로 나타낸 도면이다.

[0088] 도 2는 도 1의 액정 표시 장치의 한 화소에 대한 등가 회로도이다.

[0089] 도 3a는 도 1의 A형 화소를 포함한 하부 표시판의 배치도이다.

[0090] 도 3b는 도 3a의 하부 표시판을 IIIb-IIIb'선으로 자른 단면도이다.

[0091] 도 3c는 도 3a의 하부 표시판을 IIIc-IIIc'선으로 자른 단면도이다.

[0092] 도 4는 도 3a의 하부 표시판과 결합하는 상부 표시판의 배치도이다.

[0093] 도 5는 도 3a의 하부 표시판과 도 4의 상부 표시판을 포함하는 액정 표시 장치의 배치도이다.

[0094] 도 6은 도 1의 액정 표시 장치의 블록도이다.

[0095] 도 7은 화이트 패턴과 그레이 패턴으로 이루어진 화상패턴을 구현하기 위해 각 화소 전극에 인가되는 데이터 전압의 파형도이다.

[0096] (도면의 주요부분에 대한 부호의 설명)

[0097] 10: 절연 기판 22: 게이트선

[0098] 26a, 26b: 게이트 전극 27: 스토리지 전극

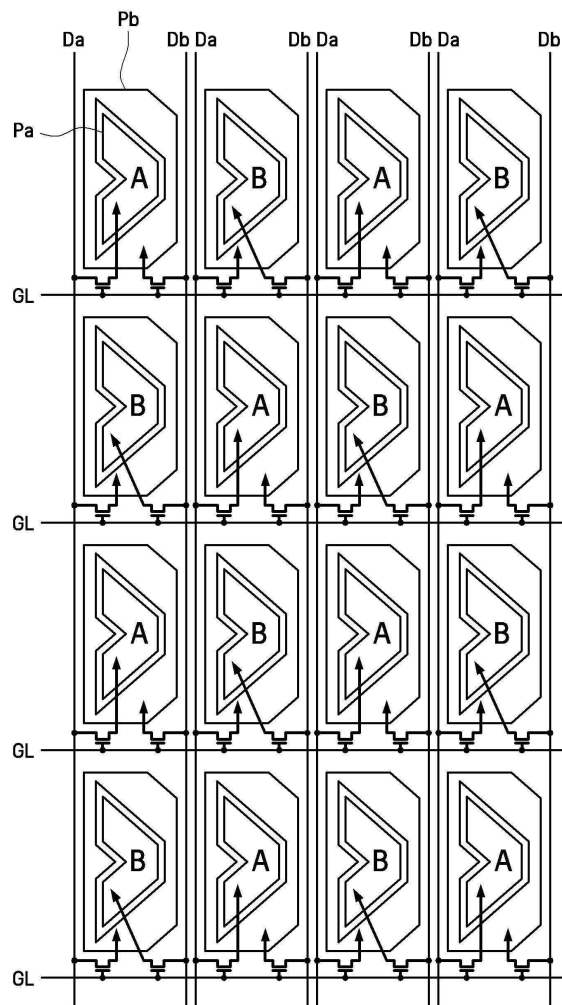
[0099] 28: 스토리지선 30: 게이트 절연막

[0100] 40a, 40b: 반도체층 55a, 56a: 오믹 콘택층

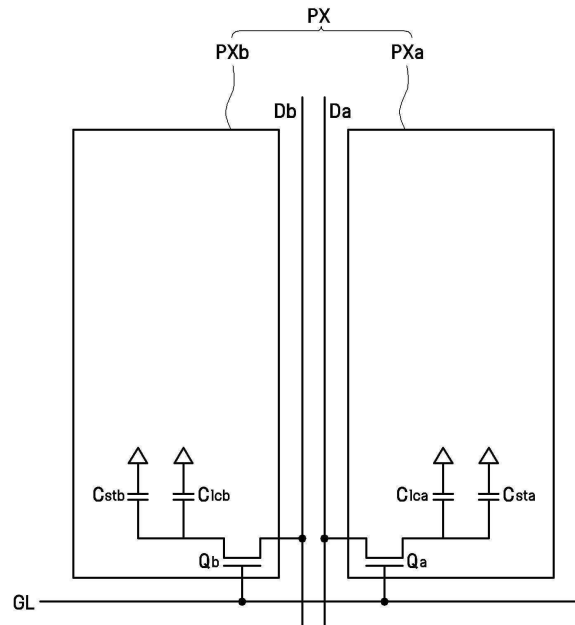
[0101]	62a, 62b: 데이터선	65a, 65b: 소스 전극
[0102]	66a, 66b: 드레인 전극	70a: 절연층
[0103]	70b: 보호막	76a, 76b, 76c, 76d: 콘택홀
[0104]	82: 화소 전극	82a, 82b: 부화소 전극
[0105]	83: 간극	90: 공통 전극
[0106]	92: 도메인 분할 수단	94: 블랙 매트릭스

도면

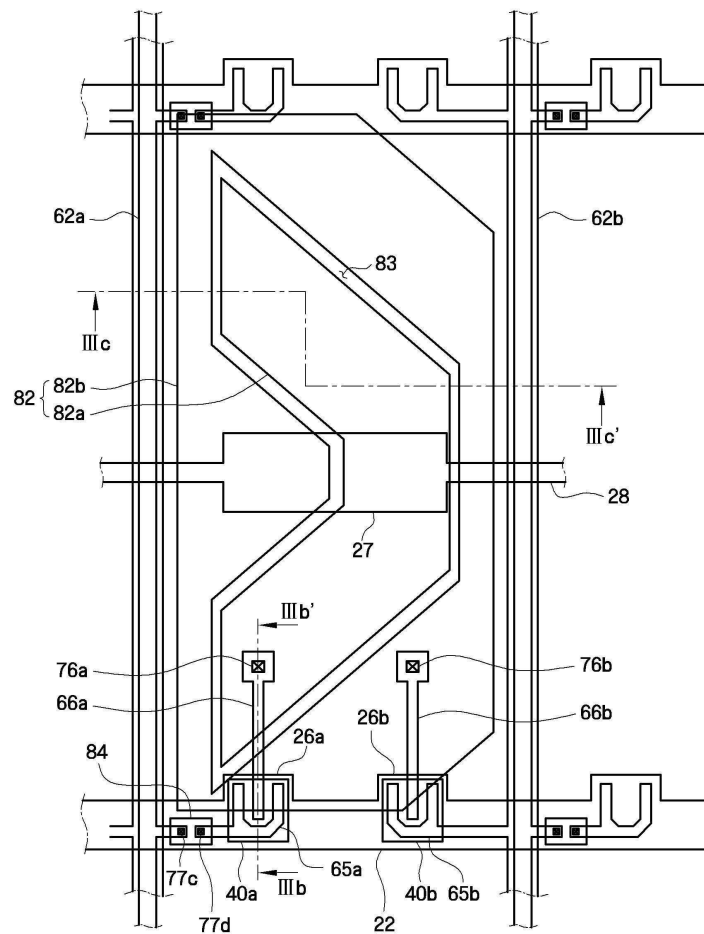
도면1



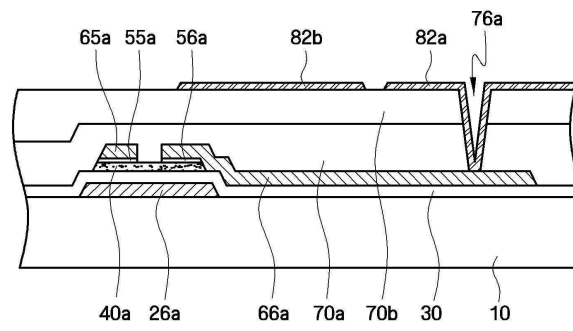
도면2



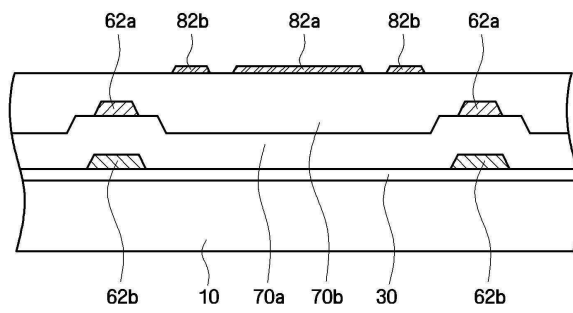
도면3a



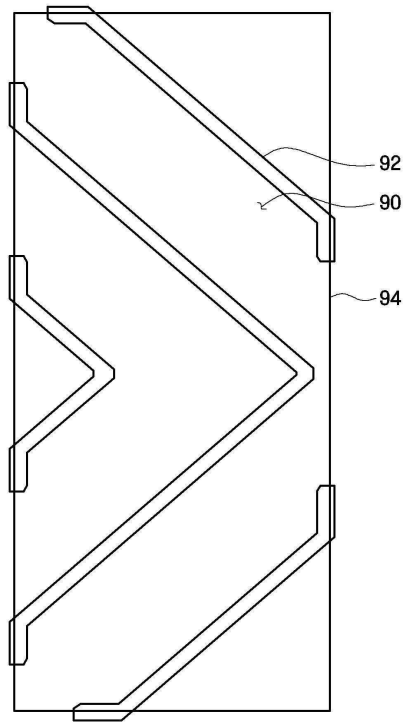
도면3b



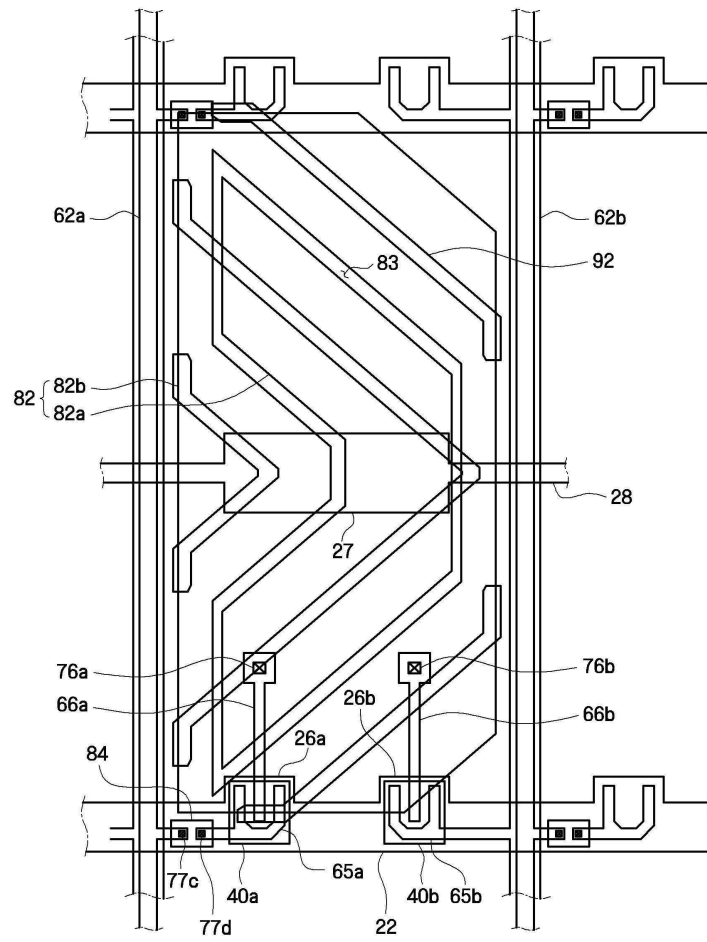
도면3c



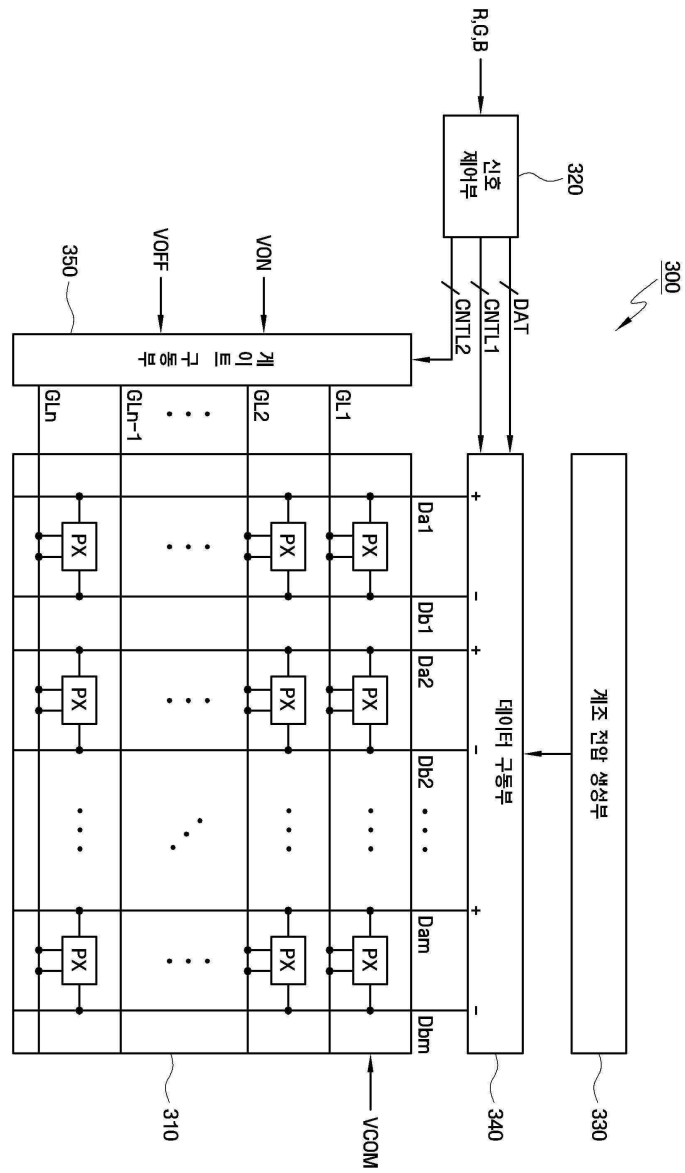
도면4



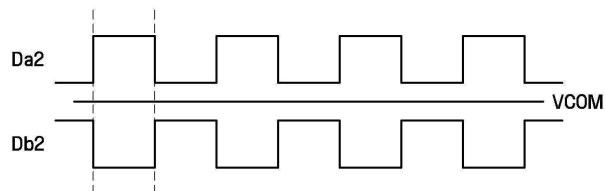
도면5



도면6



도면7



专利名称(译)	标题：薄膜晶体管基板，液晶显示装置和液晶显示装置的制造方法		
公开(公告)号	KR101475297B1	公开(公告)日	2014-12-23
申请号	KR1020080027419	申请日	2008-03-25
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	KIM JANG IL 김장일 PARK HYUN 박현 JEONG YOU HYUN 정유현 YANG SEUNG SUK 양승석 PARK JEONG EUN 박정은		
发明人	김장일 박현 정유현 양승석 박정은		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/133707 G02F1/13624 G02F2001/134345 G02F2001/13629 G02F2001/13712 G09G3/3648 G09G2300/0443 G09G2300/0465		
其他公开文献	KR1020090102147A		
外部链接	Espacenet		

摘要(译)

本发明提供一种薄膜晶体管基板，液晶显示装置以及能够提高显示品质的液晶显示装置的制造方法。液晶显示装置包括第一绝缘基板，在第一绝缘基板上形成的沿第一方向延伸的栅极线，与栅极线交叉并绝缘并沿第二方向延伸的第一和第二数据线，并且像素电极具有分别从两条数据线施加不同数据电压的第一和第二子像素电极。这里，第一数据线的至少一部分与第二数据线重叠。

