



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년10월17일
(11) 등록번호 10-1451938
(24) 등록일자 2014년10월10일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1339 (2006.01)
(21) 출원번호 10-2008-0024467
(22) 출원일자 2008년03월17일
심사청구일자 2013년03월04일
(65) 공개번호 10-2009-0099303
(43) 공개일자 2009년09월22일
(56) 선행기술조사문헌
KR1020070033744 A*
KR1020060020497 A*
KR1020070047956 A*
KR1020070082644 A*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
이상현
경기도 수원시 영통구 봉영로1482번길 18, 풍림아
이원아파트 101동 1701호 (영통동)
김병주
경기 안양시 동안구 관평로 88, 803동 102호 (평
촌동, 꿈마을금호아파트)
(74) 대리인
(뒷면에 계속)
특허법인가산

전체 청구항 수 : 총 14 항

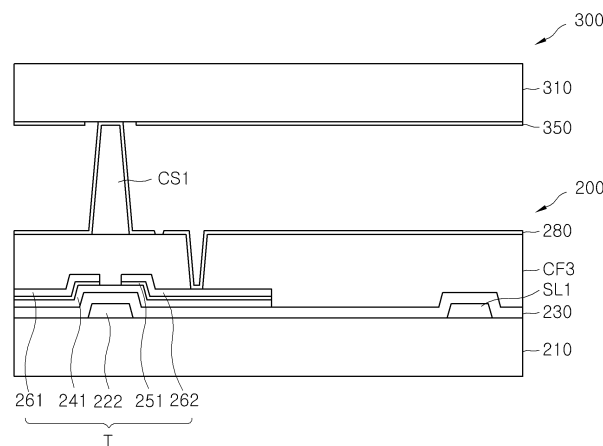
심사관 : 윤성주

(54) 발명의 명칭 터치스크린 내장형 표시 패널

(57) 요약

본 발명은 액정 표시 패널과 이를 포함하는 액정 표시 장치에 관한 것으로, 특히 셀갭 스페이서와 도전성 스페이서가 동일층에 형성된 터치스크린 내장형 액정 표시 패널과 이를 포함하는 액정 표시 장치에 관한 것이다. 본 발명은 셀갭 스페이서와 도전성 스페이서를 동일한 층에 동시에 형성하여 제조공정 및 제조비용을 감소시킬 수 있는 터치스크린 내장형 액정 표시 패널과 이의 제조방법을 제공할 수 있다. 또한, 본 발명은 셀갭 스페이서와 도전성 스페이서를 동일한 층에 형성하되 셀갭 스페이서가 형성된 영역에 대응되는 공통 전극 영역을 절개 패턴 형성 시 동시에 식각하여 공정의 추가 없이 상부 기판을 제작할 수 있는 터치스크린 내장형 액정 표시 패널과 이의 제조방법을 제공할 수 있다.

대표도 - 도15



(72) 발명자

허철

경기도 용인시 수지구 죽전로 87, 꽃메마을 현대
홈타운 4차 3단지 436동 2002호 (죽전동)

김관수

서울특별시 노원구 동일로207길 18, 105동 307호
(중계동, 중계그린아파트)

장선영

경기도 부천시 오정구 상오정로182번길 53, 101동
501호 (원종동, 영화아파트)

특허청구의 범위

청구항 1

제1 절연기관;

상기 제1절연기관의 일면 상에 위치하는 박막 트랜지스터, 제1센싱 라인 및 제2센싱 라인;

상기 박막 트랜지스터, 상기 제1센싱 라인 및 상기 제2센싱 라인 상에 위치하고 상기 박막 트랜지스터, 상기 제1센싱 라인 및 상기 제2센싱 라인을 커버하는 보호막;

상기 보호막 상에 위치하는 센싱 스페이서 및 셀갭 스페이서;

상기 보호막 상에 위치하고 상기 보호막에 형성된 제1콘택홀을 통해 상기 박막 트랜지스터와 전기적으로 연결된 화소전극;

상기 센싱 스페이서 상에 위치하고, 상기 보호막에 형성된 콘택홀을 통해 상기 제1센싱 라인 및 상기 제2센싱 라인과 전기적으로 연결된 센싱 전극;

상기 셀갭 스페이서 상에 위치하는 도전층;

상기 제1절연기관과 대향 배치된 제2절연기관;

상기 제1절연기관과 대향하는 상기 제2절연기관의 일면 상에 위치하는 공통전극; 을 포함하고,

상기 공통전극은, 개구부가 형성된 제1영역 및 상기 제1영역을 제외한 제2영역을 포함하고,

상기 셀갭 스페이서는, 상기 제1영역과 중첩하도록 배치되고,

상기 센싱 스페이서는, 상기 제2영역과 중첩하도록 배치된 터치스크린 내장형 표시 패널.

청구항 2

제1항에 있어서,

상기 화소전극, 상기 센싱 전극 및 상기 도전층은, 동일층 상에 위치하는 터치스크린 내장형 표시 패널.

청구항 3

제1항에 있어서,

상기 화소전극, 상기 센싱 전극 및 상기 도전층은, 동일한 물질로 이루어진 터치스크린 내장형 표시 패널.

청구항 4

제1항에 있어서,

상기 화소전극, 상기 센싱 전극 및 상기 도전층은 서로 이격된 터치스크린 내장형 표시 패널.

청구항 5

제1항에 있어서,

상기 제1절연기관의 일면과 대향하는 상기 제1절연기관의 타면으로부터 상기 셀갭 스페이서의 상부까지의 높이는,

상기 제1절연기관의 타면으로부터 상기 센싱 스페이서의 상부까지의 높이보다 큰 터치스크린 내장형 표시 패널.

청구항 6

제5항에 있어서,

상기 제1절연기관의 타면으로부터 상기 셀갭 스페이서의 상부까지의 높이와 상기 제1절연기관의 타면으로부터 상기 센싱 스페이서의 상부까지의 높이의 차는,

0.3 μ m 내지 1 μ m인 터치스크린 내장형 표시 패널.

청구항 7

제1항에 있어서,

상기 셀갭 스페이서와 상기 센싱 스페이서는 동일한 물질로 이루어진 터치스크린 내장형 표시 패널.

청구항 8

제7항에 있어서,

상기 셀갭 스페이서와 상기 센싱 스페이서는 도전성 물질로 이루어진 터치스크린 내장형 표시 패널.

청구항 9

제1항에 있어서,

상기 제2절연기관의 일면 상에 위치하는 블랙 매트릭스;

상기 블랙 매트릭스 상에 위치하는 컬러 필터; 를 더 포함하고,

상기 공통 전극은, 상기 컬러 필터 상에 위치하는 터치스크린 내장형 표시 패널.

청구항 10

제9항에 있어서,

상기 컬러 필터 상에 위치하는 오버코트층을 더 포함하고,

상기 공통전극은, 상기 오버코트층 상에 위치하고,

상기 도전층은 상기 개구부를 통해 상기 오버코트층과 접촉하는 터치스크린 내장형 표시 패널.

청구항 11

제1항에 있어서,

상기 보호막은 컬러 필터인 터치스크린 내장형 표시 패널.

청구항 12

제11항에 있어서,

상기 컬러 필터는 서로 두께가 상이한 적색 컬러 필터와 녹색 컬러 필터 및 청색 컬러 필터를 포함하는 터치스크린 내장형 표시 패널.

청구항 13

제12항에 있어서,

상기 셀갭 스페이서는 상기 적색 컬러 필터, 상기 녹색 컬러 필터 및 상기 청색 컬러 필터 중 두께가 가장 큰 컬러 필터 상에 위치하고,

상기 센싱 스페이서는 상기 셀갭 스페이서가 위치하는 컬러 필터와 상이한 색상의 컬러 필터 상에 위치하는 터치스크린 내장형 표시 패널.

청구항 14

제11항에 있어서,

상기 도전층은 상기 개구부를 통해 상기 제2절연기관과 접촉하는 터치스크린 내장형 표시 패널.

청구항 15

삭제

청구항 16

삭제

청구항 17

삭제

청구항 18

삭제

청구항 19

삭제

청구항 20

삭제

명세서

발명의 상세한 설명

기술분야

[0001] 본 발명은 액정 표시 패널과 이의 제조방법에 관한 것으로, 특히 셀갭 스페이서와 도전성 스페이서가 동일층에 형성된 터치스크린을 내장한 액정 표시 패널과 이의 제조방법에 관한 것이다.

배경기술

[0002] 터치스크린(Touch Screen)은 마우스나 키보드 등의 입력 방식을 대체할 수 있는 새로운 입력 방식으로, 손이나 펜을 이용하여 스크린에 직접 정보를 입력할 수 있는 새로운 입력 방식이다. 특히, 터치스크린은 사용자가 스크린을 보면서 원하는 작업을 직접 수행할 수 있고, 누구나 쉽게 조작할 수 있기 때문에 GUI(Graphical User Interface) 환경 하에서 가장 이상적인 입력 방식으로 평가받고 있으며, 현재 휴대폰, PDA, 은행이나 관공서의 단말기, 각종 의료장비, 관광 및 주요 기관의 안내 표시 장치 등 여러 분야에서 널리 사용되고 있다.

[0003] 터치스크린이 사용되는 제품 중 액정 표시 장치는 터치스크린이 주로 외장형으로 설계되어 있으며, 완성된 액정 표시 패널 상부에 외장형 터치스크린을 별도로 부착해야 한다. 하지만 이는 복잡한 공정과 액정 표시 장치의 두께가 증가되는 문제가 있다. 따라서, 최근에는 액정 표시 장치와 같은 경소 박막형을 요구하는 평판 패널 디스플레이에는 내장형 터치스크린 패널이 개발되고 있다. 이러한 내장형 터치스크린은 용도에 따라 광학식, 초음파식, 정전용량식 및 저항막 방식 등이 있다. 이때, 이러한 방식 중 센싱 소자로 도전성 스페이서를 이용하는 방식은 일반적으로 셀갭을 유지하기 위한 셀갭 스페이서와 센싱 소자를 형성하고, 셀갭 스페이서와 다른 층에 도전성 스페이서를 형성하는 두 번의 공정이 필요하다. 하지만, 이와 같이 서로 다른 층에 두 번의 공정으로 셀갭 스페이서와 도전성 스페이서를 각각 형성함에 따라 제조공정이 늘어나며, 제조공정이 늘어남에 따라 제조비용 역시 상승하는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

[0004] 본 발명의 목적은 셀갭 스페이서와 도전성 스페이서를 동일한 층에 동시에 형성하여 제조공정 및 제조비용을 감소시킬 수 있는 터치스크린 내장형 액정 표시 패널과 이를 포함하는 액정 표시 장치를 제공하는 것이다.

과제 해결수단

[0005] 상술한 목적을 달성하기 위해 본 발명은 투명한 일 기판과, 상기 일 기판과 대향하는 타 기판과, 상기 일 기판에 형성된 도전성 스페이서 및 셀갭 스페이서와, 상기 타 기판에 형성되되 상기 셀갭 스페이서가 접하는 영역에 개구부가 형성된 공통 전극을 포함하는 것을 특징으로 하는 표시 패널을 제공한다. 이때, 상기 제 1 및 제 2 센

싱 라인과 도전성 스페이서 및 셀갭 스페이서는 동일 층 상에 형성되는 것이 효과적이다.

[0006] 상기 일 기관은 상부에 도전성 스페이서와 셀갭 스페이서가 형성되는 제 1 구조물을 포함한다. 또한, 상기 타 기관은 상부에 공통 전극이 형성되는 제 2 구조물을 포함할 수 있다. 상기 제 1 구조물은 박막 트랜지스터와 제 1 및 제 2 센싱 라인과, 상기 박막 트랜지스터와 제 1 및 제 2 센싱 라인 상에 형성된 절연막을 포함할 수 있다. 상기 도전성 스페이서는 상부에 센싱 전극이 형성되고, 상기 센싱 전극은 상기 절연막에 형성된 콘택홀을 통해 제 1 및 제 2 센싱 라인과 접할 수 있다. 상기 제 2 구조물은 블랙 매트릭스와, 상기 블랙 매트릭스 상에 형성된 컬러 필터와, 상기 컬러 필터 상에 형성된 공통 전극을 포함할 수 있다. 하지만 이에 한정되는 것은 아니며, 상기 제 1 구조물은 박막 트랜지스터와 제 1 및 제 2 센싱 라인과, 상기 박막 트랜지스터와 제 1 및 제 2 센싱 라인 상에 형성된 컬러 필터를 포함할 수 있다. 상기 도전성 스페이서는 상부에 센싱 전극이 형성되고, 상기 센싱 전극은 상기 컬러 필터에 형성된 콘택홀을 통해 제 1 및 제 2 센싱 라인과 접할 수 있다. 이때, 상기 컬러 필터는 서로 두께가 상이한 적색 컬러 필터와 녹색 컬러 필터 및 청색 컬러 필터를 포함할 수 있다. 상기 셀갭 스페이서는 상기 컬러 필터 중 가장 두꺼운 컬러 필터 상에 형성되고, 상기 도전성 스페이서는 상기 셀갭 스페이서가 형성된 컬러 필터와 상이한 색상의 컬러 필터 상에 형성되는 것이 바람직하다.

[0007] 또한, 본 발명은 일 기관 상에 제 1 센싱 라인과 제 2 센싱 라인을 포함하는 제 1 구조물을 형성하는 단계; 상기 제 1 구조물 상에 셀갭 스페이서와 도전성 스페이서를 형성하는 단계; 상기 도전성 스페이서를 상기 제 1 센싱 라인 및 제 2 센싱 라인과 연결하는 단계; 타 기관 상에 공통 전극을 포함하는 제 2 구조물을 형성하는 단계; 상기 공통 전극에 패턴을 형성하는 단계; 상기 일 기관과 타 기관을 합착하는 단계를 포함하는 것을 특징으로 하는 표시 패널의 제조방법을 제공한다.

[0008] 상기 일 기관 상에 제 1 센싱 라인과 제 2 센싱 라인을 포함하는 제 1 구조물을 형성하는 단계는, 일 기관 상에 일 방향으로 각각 연장되는 제 1 센싱 라인과, 게이트 전극을 포함하는 게이트 라인을 형성하는 단계; 상기 게이트 라인 상에 게이트 절연막과 활성층 및 오믹 접촉층을 순차적으로 형성한 후 박막 트랜지스터의 활성 영역을 형성하는 단계; 상기 게이트 라인과 교차하는 방향으로 연장되는 제 2 센싱 라인과, 소스 전극 및 드레인 전극을 포함한 데이터 라인을 형성하는 단계; 상기 박막 트랜지스터와 게이트 라인과 데이터 라인과 제 1 및 제 2 센싱 라인 상에 절연막을 형성하는 단계를 포함할 수 있다. 이때, 상기 도전성 스페이서를 상기 제 1 센싱 라인 및 제 2 센싱 라인과 연결하는 단계는, 상기 보호막에 콘택홀을 형성하여 제 1 센싱 라인 및 제 2 센싱 라인의 일부를 노출시키는 단계; 상기 도전성 스페이서와 상기 노출된 제 1 센싱 라인 및 제 2 센싱 라인 상에 센싱 전극을 형성하는 단계를 포함할 수 있다. 또한, 상기 타 기관 상에 공통 전극을 포함하는 제 2 구조물을 형성하는 단계는, 타 기관 상에 블랙 매트릭스를 형성하는 단계; 상기 타 기관 상에 컬러 필터를 형성하는 단계를 포함할 수 있다. 상기 공통 전극을 형성하는 단계는, 상기 컬러 필터 상에 도전층을 형성하는 단계; 상기 셀갭 스페이서가 형성된 위치에 대응되는 도전층 영역을 식각하여 공통 전극을 형성하는 단계를 포함할 수 있다.

[0009] 하지만 이에 한정되는 것은 아니며, 상기 일 기관 상에 제 1 센싱 라인과 제 2 센싱 라인을 포함하는 제 1 구조물을 형성하는 단계는, 일 기관 상에 일 방향으로 각각 연장되는 제 1 센싱 라인과, 게이트 전극을 포함하는 게이트 라인을 형성하는 단계; 상기 게이트 라인 상에 게이트 절연막과 활성층 및 오믹 접촉층을 순차적으로 형성한 후 박막 트랜지스터의 활성 영역을 형성하는 단계; 상기 게이트 라인과 교차하는 방향으로 연장되는 제 2 센싱 라인과, 소스 전극 및 드레인 전극을 포함한 데이터 라인을 형성하는 단계; 상기 박막 트랜지스터와 게이트 라인과 데이터 라인과 제 1 및 제 2 센싱 라인 상에 컬러 필터를 형성하는 단계를 포함할 수 있다. 이때, 상기 박막 트랜지스터와 게이트 라인과 데이터 라인과 제 1 및 제 2 센싱 라인 상에 서로 두께가 상이한 적색 컬러 필터와 녹색 컬러 필터 및 청색 컬러 필터를 형성하는 단계를 포함할 수 있다. 상기 제 1 구조물 상에 셀갭 스페이서와 도전성 스페이서를 형성하는 단계는, 상기 컬러 필터 중 가장 두꺼운 컬러 필터 상에 셀갭 스페이서를 형성하고 상기 셀갭 스페이서가 형성된 컬러 필터와 상이한 색상의 컬러 필터 상에 도전성 스페이서를 형성하는 단계를 포함할 수 있다. 상기 공통 전극을 형성하는 단계는, 상기 타 기관 상에 도전층을 형성하는 단계; 상기 셀갭 스페이서가 형성된 위치에 대응되는 도전층 영역을 식각하여 공통 전극을 형성하는 단계를 포함할 수 있다.

효 과

[0010] 본 발명은 셀갭 스페이서와 도전성 스페이서를 동일한 층에 동시에 형성하여 제조공정 및 제조비용을 감소시킬 수 있는 터치스크린 내장형 액정 표시 패널과 이의 제조방법을 제공할 수 있다.

[0011] 또한, 본 발명은 셀갭 스페이서와 도전성 스페이서를 동일한 층에 형성하되 셀갭 스페이서가 형성된 영역에 대

응되는 공통 전극 영역을 절개 패턴 형성 시 동시에 식각하여 공정의 추가 없이 상부 기판을 제작할 수 있는 터치스크린 내장형 액정 표시 패널과 이의 제조방법을 제공할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0012] 이하, 도면을 참조하여 본 발명의 실시예를 상세히 설명하기로 한다.
- [0013] 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 본 발명의 상세한 설명에서 층, 막, 영역, 판 등의 부분이 다른 부분의 상 부에 또는 위에 있다고 표현되는 경우는 각 부분이 다른 부분의 바로 상부 또는 바로 위에 있는 경우뿐만 아니라 각 부분과 다른 부분의 사이에 또 다른 부분이 있는 경우도 포함한다. 또한, 도면상의 동일 부호는 동일한 요소를 지칭한다.
- [0014] 도 1은 본 발명의 제 1 실시예에 따른 터치스크린 내장형 액정 표시 장치의 개략 블록도이다.
- [0015] 본 발명의 제 1 실시예에 따른 터치스크린 내장형 액정 표시 장치는 도 1에 도시된 바와 같이, 액정 표시 패널(100), 패널 구동부(400), 터치 위치 검출부(500) 및 위치 결정부(600)를 포함한다.
- [0016] 액정 표시 패널(100)은 박막 트랜지스터와 화소 전극과 센싱 전극과 도전성 스페이서(또는 센싱 스페이서) 및 셀갭 스페이서가 형성된 하부 기판(200)과, 컬러 필터와 블랙 매트릭스 및 공통 전극이 형성된 상부 기판(300)과, 하부 기판(200)과 상부 기판(300) 사이에 형성된 액정층(미도시)을 포함한다.
- [0017] 하부 기판(200)에는 일 방향으로 연장된 복수의 게이트 라인(GL1 내지 GLn)과 타 방향으로 연장된 복수의 데이터 라인(DL1 내지 DLm)이 형성된다. 복수의 게이트 라인(GL1 내지 GLn)과 복수의 데이터 라인(DL1 내지 DLm)이 교차하는 영역마다 화소들이 형성된다. 또한, 화소들에는 각각 스위칭 소자인 박막 트랜지스터(T)와 화소 전극(280)이 형성된다. 박막 트랜지스터(T)는 게이트 전극, 소스 전극 및 드레인 전극으로 구성되어 게이트 전극이 게이트 라인(GL)에 연결되고, 소스 전극이 데이터 라인(DL)에 연결되며, 드레인 전극이 화소 전극(280)에 연결된다. 또한, 하부 기판(200)에는 터치스크린 패널 기능을 수행하기 위한 복수의 제 1 센싱 라인(미도시) 및 복수의 제 2 센싱 라인(미도시)이 형성되고, 제 1 및 제 2 센싱 라인과 연결되는 센싱 전극(미도시)이 형성된다. 제 1 센싱 라인은 게이트 라인(GL)과 동일 방향으로 연장될 수 있고, 제 2 센싱 라인은 데이터 라인(DL)과 동일 방향으로 연장될 수 있으며, 서로 전기적으로 절연되어 교차한다. 여기서, 제 1 및 제 2 센싱 라인에는 소정 전위의 초기 구동 전압(Vid)이 인가되고, 제 1 및 제 2 센싱 라인은 터치 위치 검출부(500)에 연결된다. 또한, 제 1 및 제 2 센싱 라인은 적색(R), 녹색(G) 및 청색(B) 화소 각각마다 형성될 수 있고, 소정 개수의 화소마다 형성할 수도 있다. 예를 들어, 제 1 및 제 2 센싱 라인은 3개의 화소들마다 하나씩 형성될 수 있다.
- [0018] 또한, 하부 기판(200)에는 터치스크린 패널 기능을 수행하기 위한 복수의 도전성 스페이서(미도시)가 형성된다. 도전성 스페이서는 제 1 및 제 2 센싱 라인과 접속된 센싱 전극과 연결되며, 상부에 인가되는 외부 압력에 의해 상부 기판(300) 상에 형성되는 공통 전극과 전기적으로 접촉된다. 도전성 스페이서는 적색(R), 녹색(G) 및 청색(B) 화소 각각마다 하나씩 형성될 수 있고, 3개의 화소들마다 하나씩 형성될 수도 있다. 또한, 본 실시예에서는 도전성 스페이서가 센싱 전극에 의해 제 1 및 제 2 센싱 라인과 접속되는 것을 예시하였으나, 이에 한정되는 것은 아니며, 도전성 스페이서는 제 1 및 제 2 센싱 라인과 직접적으로 연결될 수도 있다.
- [0019] 상부 기판(300)은 컬러 필터, 공통 전극 등이 형성되고, 하부 기판(200)과 대향 배치되어 하부 기판(200)과 체결됨으로써 액정층(미도시)을 수용한다. 상부 기판(300)은 각각의 화소들에 대응하는 컬러 필터들이 형성된 컬러 필터 기판으로 형성할 수 있다. 그러나, 컬러 필터는 하부 기판(200) 상에 형성할 수도 있다.
- [0020] 하부 기판(200)에 형성되는 센싱 전극과 연결되도록 형성된 도전성 스페이서가 외부 압력에 의해 상부 기판(300)에 형성된 공통 전극과 전기적으로 접촉함에 따라 제 1 및 제 2 센싱 라인에 인가된 초기 구동 전압(Vid)의 전위 레벨이 변동되는 것을 이용하여 외부 압력이 인가되는 위치의 X축 및 Y축 좌표를 판단한다.
- [0021] 패널 구동부(400)는 타이밍 제어부(410), 전원 공급부(420), 계조 전압 발생부(430), 데이터 구동부(440) 및 게이트 구동부(450)를 포함한다.
- [0022] 타이밍 제어부(410)는 표시 장치의 전반적인 동작을 제어한다. 타이밍 제어부(410)는 그래픽 컨트롤러(미도시)와 같은 호스트 시스템으로부터 R, G 및 B의 원시 데이터 신호(DATA_0)와 제 1 제어 신호(CNTL1)가 제공됨에 따라 표시 패널(100)에 영상을 표시하기 위한 제 1 데이터 신호(DATA1), 제 2 제어 신호(CNTL1), 제 3 제어 신호

(CNTL3) 및 제 4 제어 신호(CNTL4)를 출력한다. 구체적으로, 제 1 제어 신호(CNTL1)는 메인 클록 신호(MCLK), 수평 동기 신호(HSYNC) 및 수직 동기 신호(VSYNC)를 포함한다. 제 2 제어 신호(CNTL2)는 데이터 구동부(420)를 제어하는 수평 시작 신호(STH), 반전 신호(REV) 및 데이터 로드 신호(TP)를 포함한다. 제 3 제어 신호(CNTL3)는 게이트 구동부(430)를 제어하는 개시 신호(STV), 클록 신호(CK) 및 출력 인에이블 신호(OE)등을 포함한다. 제 4 제어 신호(CNTL4)는 전원 공급부(450)를 제어하는 클록 신호(CLK) 및 반전 신호(REV)등을 포함한다. 또한, 타이밍 제어부(410)는 원시 데이터 신호(DATA_0)의 출력 타이밍이 제어된 R', G', B'의 제 1 데이터 신호(DATA1)를 데이터 구동부(440)로 제공한다. 그리고, 타이밍 제어부(410)는 터치 위치 검출부(500)를 제어하는 제 5 제어 신호(CNTL5)를 더 출력한다. 제 5 제어 신호(CNTL5)는 전원 공급부(420)에서 출력되는 초기 구동 전압(Vid)이 제1 및 제 2 센싱 라인들에 제공되도록 제어하는 클록 신호를 포함한다.

- [0023] 전원 공급부(420)는 타이밍 제어부(410)로부터 출력되는 제 4 제어 신호(CNTL4)에 응답하여 표시 패널(100)로 제공되는 공통 전압들(Vcom, Vcst), 터치스크린 기능을 수행하기 위해 하부 기관(200)에 제공되는 초기 구동 전압(Vid), 계조 전압 발생부(430)로 제공되는 아날로그 구동 전압(AVDD) 및 게이트 구동부(450)로 제공되는 게이트 온/오프 전압(Von, Voff)등을 출력한다.
- [0024] 계조 전압 발생부(430)는 전원 공급부(420)에서 제공되는 아날로그 구동 전압(AVDD)을 기준 전압으로 사용하여 감마 커브가 적용된 저항비를 갖는 분배 저항을 기초로 계조 레벨수에 대응하는 복수개의 기준 계조 전압(VGMA_R)을 출력한다.
- [0025] 데이터 구동부(440)는 계조 전압 발생부(430)로부터 출력되는 기준 계조 전압(VGMA_R)에 기초하여 계조 전압(VGMA)을 생성한다. 또한, 데이터 구동부(440)는 타이밍 제어부(410)로부터 입력되는 제 2 제어 신호(CNTL2)와 계조 전압(VGMA)에 기초하여 라인 단위로 제공되는 디지털 형태의 제 1 데이터 신호(DATA1)를 데이터 신호로 변환하며, 데이터 신호의 출력 타이밍을 제어하여 데이터 라인들(DL1 내지 DLm)에 출력한다.
- [0026] 게이트 구동부(450)는 타이밍 제어부(410)에서 출력되는 제 3 제어 신호(CNTL3)와 전원 공급부(420)에서 출력되는 게이트 온/오프 전압(Von, Voff)에 따라 게이트 신호를 생성하고, 게이트 라인들(GL1 내지 GLn)에 순차적으로 출력한다.
- [0027] 터치 위치 검출부(500)는 외부 압력이 가해진 지점의 위치 좌표를 검출한다. 즉, 외부 압력에 의해 하부 기관(300)에 형성된 도전성 스페이서가 상부 기관(200)의 공통 전극과 접촉하여 도전성 스페이서와 전기적으로 접속된 제 1 및 제 2 센싱 라인에 인가되는 초기 구동 전압(Vid)이 변동되는 것을 검출함으로써 X축 및 Y축의 위치 좌표를 판단한다. 이를 위해, 터치 위치 검출부(500)는 제 1 및 제 2 센싱 라인에 제 5 제어 신호(CNTL5)에 따라 초기 구동 전압(Vid)을 제공하는 전압 공급 제어부(미도시)와, 제 1 및 제 2 센싱 라인 각각에서 초기 구동 전압(Vid)이 변동되는 것을 검출하여 각각 제 1 검출 신호(DS1) 및 제 2 검출 신호(DS2)를 출력하는 데이터 샘플링부(미도시)를 포함한다. 여기서, 터치 위치 검출부(500)는 데이터 구동부(440)에 형성될 수도 있다.
- [0028] 위치 결정부(600)는 터치 위치 검출부(500)에서 출력되는 제 1 및 제 2 검출 신호(DS1 및 DS2)에 의해 판단된 각각의 X축 및 Y축의 위치 좌표를 조합하여 외부 압력이 표시 패널(100)에 인가되는 위치를 판단한다.
- [0029] 도 2는 본 발명의 제 1 실시예에 따른 터치스크린 내장형 액정 표시 패널의 개략 평면도이고, 도 3 및 도 4는 도 2의 I-I' 라인 및 II-II' 라인을 따라 절취한 상태의 단면도로서, 본 실시예는 3개의 화소마다 센싱 전극 및 도전성 스페이서가 형성되는 경우를 예로 들어 설명한다.
- [0030] 도 2와 도 3 및 도 4를 참조하면, 본 발명의 제 1 실시예에 따른 터치스크린 내장형 액정 표시 패널(100)은 서로 대면하도록 배치된 하부 기관(200) 및 상부 기관(300), 하부 기관(200)과 상부 기관(300) 사이에 형성된 액정층(미도시)을 포함한다.
- [0031] 하부 기관(200)은 제 1 절연 기판(210) 상부에 일 방향으로 연장되는 복수의 게이트 라인(221)과, 게이트 라인(221)과 교차되어 연장된 복수의 데이터 라인(260)과, 게이트 라인(221)과 데이터 라인(260)에 의해 정의된 화소 영역에 형성된 화소 전극(280)과, 게이트 라인(221), 데이터 라인(260) 및 화소 전극(280)에 접속된 박막 트랜지스터(T)를 포함한다. 또한, 게이트 라인(221)과 이격되어 일 방향으로 연장된 제 1 센싱 라인(SL1)과, 데이터 라인(260)과 이격되어 타 방향으로 연장된 제 2 센싱 라인(SL2)과, 제 1 및 제 2 센싱 라인(SL1, SL2)과 연결된 센싱 전극(281)과, 셀갭 스페이서(CS1) 및 도전성 스페이서(CS2)를 더 포함한다.
- [0032] 게이트 라인(221)은 예를 들어, 가로 방향으로 연장되어 형성되며, 게이트 라인(221)의 일부가 돌출되어 게이트 전극(222)이 형성된다. 게이트 라인(221)을 포함한 전체 상부에 게이트 절연막(230)이 형성된다. 게이트 절연막

(230)은 산화 실리콘(SiO_2) 또는 질화 실리콘(SiN_x) 등을 이용하여 단일층 또는 다층으로 형성될 수 있다.

- [0033] 게이트 절연막(230) 상부에는 비정질 실리콘 등의 반도체로 이루어진 활성층(241)이 각각 형성되며, 활성층(241)의 상부에는 실리사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘 등의 반도체로 이루어진 오믹 접촉층(251)이 형성된다. 오믹 접촉층(251)은 각각 소스 전극(261)과 드레인 전극(262) 사이의 채널부에서는 제거될 수 있다.
- [0034] 게이트 절연막(230) 상부에는 데이터 라인(260)이 형성된다. 데이터 라인(260)은 게이트 라인(221)과 교차되는 방향, 즉 세로 방향으로 연장 형성되며, 데이터 라인(260)이 게이트 라인(221)과 교차되는 영역이 화소 영역으로 정의된다. 데이터 라인(260)으로부터 오믹 접촉층(251) 상부까지 연장 돌출되어 소스 전극(261)이 형성된다. 소스 전극(261)과 이격되어 오믹 접촉층(251) 상부에 드레인 전극(262)이 형성된다.
- [0035] 게이트 라인(221)과 데이터 라인(260)을 포함한 전체 상부에 보호막(270)이 형성된다. 보호막(270)은 무기 절연막 또는 유기 절연막 등으로 형성될 수 있다. 또한, 보호막(270)의 소정 영역에는 드레인 전극(262)의 소정 영역을 노출시키는 제 1 콘택홀(271)과 제 1 센싱 라인(SL1)의 일부를 노출시키는 제 2 콘택홀(272)과 제 2 센싱 라인(SL2)의 일부를 노출시키는 제 3 콘택홀(273)이 형성된다.
- [0036] 보호막(270) 상부에는 화소 전극(280)이 형성된다. 화소 전극(280)은 인듐 틴 옥사이드(indium tin oxide; ITO) 또는 인듐 징크 옥사이드(indium zinc oxide; IZO)등의 투명한 도전 물질로 형성된다. 화소 전극(280)은 제 1 콘택홀(271)을 통해 드레인 전극(262)과 연결된다.
- [0037] 제 1 센싱 라인(SL1)은 게이트 라인(221)과 소정 간격 이격되어 형성되며, 게이트 라인(221)과 동시에 형성될 수 있다. 또한, 제 2 센싱 라인(SL2)은 데이터 라인(260)과 소정 간격 이격되어 형성되는데, 소정 갯수의 화소마다 하나의 제 2 센싱 라인(SL2)이 형성된다. 예를 들어 제 2 센싱 라인(SL2)은 청색 화소와 적색 화소 사이에 형성될 수 있다. 또한, 제 2 센싱 라인(SL2)은 데이터 라인(260)과 동시에 형성될 수 있다.
- [0038] 센싱 전극(281)은 제 2 및 제 3 콘택홀(272, 273)을 통해 제 1 및 제 2 센싱 라인(SL1)과 연결되도록 형성된다. 또한, 센싱 전극(281)은 화소 전극(280) 형성 시 화소 전극(280)과 이격되어 동시에 형성될 수 있으며, 서로 소정 간격 이격되어 형성된다.
- [0039] 셀갭 스페이서(CS1)는 하부 기관과 상부 기관 사이의 간격을 유지하기 위한 것으로서, 하나의 화소 또는 소정 갯수의 화소마다 하나씩 배치될 수 있다. 예를 들어, 셀갭 스페이서(CS1)는 세 개의 화소마다 하나씩 배치되며, 하부 기관의 박막 트랜지스터 상부에 형성되며 청색 컬러 필터와 적색 컬러 필터 사이의 블랙 매트릭스가 형성된 위치에 형성될 수 있다.
- [0040] 도전성 스페이서(CS2)는 소정 갯수의 화소마다 하나씩 배치될 수 있다. 예를 들어, 도전성 스페이서(CS2)는 하부 기관의 제 1 및 제 2 센싱 전극 상에 형성되며, 순서대로 배열된 적색, 녹색, 청색 화소에서 적색 화소와 청색 화소 사이의 블랙 매트릭스에 대응되도록 형성될 수 있다. 이때, 도전성 스페이서(CS2)는 화면에서 사용자에게 시인되지 않고, 사용자가 터치하는 화면의 위치를 어려움 없이 감지할 수 있다면 그 형성 위치는 적절히 변경될 수 있다.
- [0041] 본 발명에 따른 셀갭 스페이서(CS1)와 도전성 스페이서(CS2)는 하부 기관의 동일한 층, 즉, 보호막(270) 상에 각각 서로 이격되어 형성될 수 있으며, 셀갭 스페이서(CS1)와 도전성 스페이서(CS2) 상에는 화소 전극과 동일한 도전층이 형성된다. 이때, 셀갭 스페이서(CS1)는 상부 기관과 접하여 상부 기관과 하부 기관을 지지하며, 도전성 스페이서(CS2)는 제 1 및 제 2 센싱 전극과 접하여 상부 기관과는 소정 간격 이격되는 것이 바람직하다. 또한, 상부 기관과 소정 간격 이격된 도전성 스페이서(CS2)는 사용자의 터치에 의해 상부 기관에 형성된 공통 전극과 접속되어 사용자의 터치 위치를 검출할 수 있다. 물론, 본 실시예에서는 제 1 및 제 2 센싱 전극과 접하는 하나의 도전성 스페이서(CS2)를 예시하였으나, 이에 한정되는 것은 아니며, 제 1 및 제 2 센싱 전극 각각과 접하는 두 개의 도전성 스페이서(CS2)를 형성할 수도 있다.
- [0042] 상부 기관(300)은 제 2 절연 기관(310) 상에 형성된 블랙 매트릭스(320)와, 컬러 필터(330)와, 공통 전극(350)을 포함한다.
- [0043] 블랙 매트릭스(320)는 서브 픽셀 이외의 영역, 예를 들어, 하부 기관(200)의 게이트 라인(221), 데이터 라인(260), 박막 트랜지스터(T), 제 1 및 제 2 센싱 라인(SL1 및 SL2)에 대응되는 상부 기관(300) 상에 형성되며, 화소 영역 이외의 영역으로 빛이 새는 것과 인접한 화소 영역들 사이의 광 간섭을 방지한다. 또한, 블랙 매트릭스(320)는 검은색 안료가 첨가된 감광성 유기 물질로 이루어진다. 검은색 안료로는 카본 블랙이나 티타늄 옥사

이드 등을 이용한다.

- [0044] 컬러 필터(330)는 블랙 매트릭스(320)를 경계로 하여 적색(R), 녹색(G) 및 청색(B) 필터가 반복되어 형성된다. 컬러 필터(330)는 광원으로부터 조사되어 액정층(미도시)을 통과한 빛에 색상을 부여하는 역할을 하며, 감광성 유기 물질로 형성될 수 있다.
- [0045] 한편, 본 실시예에서는 상부 기판에 컬러 필터와 블랙 매트릭스가 형성된 것을 예로 하여 설명하였으나, 이에 한정되는 것은 아니며, 컬러 필터와 블랙 매트릭스는 하부 기판에 형성될 수도 있다. 이에 대한 설명은 후술할 실시예에서 설명하기로 한다.
- [0046] 공통 전극(350)은 인듐 틴 옥사이드(indium tin oxide; ITO) 또는 인듐 징크 옥사이드(indium zinc oxide; IZO)등의 투명한 도전 물질로 형성되며, 블랙 매트릭스(320) 및 컬러 필터(330)를 포함한 절연 기판(310) 상부에 형성된다. 이때, 본 실시예에서는 셀갭 스페이서(CS1)가 형성되는 영역의 공통 전극(350)을 식각하여 하부 기판의 셀갭 스페이서(CS1) 상에 형성된 도전층이 상부 기판의 공통 전극(350)과 전기적으로 접속되지 않도록 하는 것이 바람직하다. 이 경우, 공통 전극(350)의 식각은 일반적인 공통 전극(350)의 패턴 형성 시 동시에 형성하므로 별도의 공정이 필요하지 않다.
- [0047] 상기와 같이 본 발명의 제 1 실시예에 따른 액정 표시 장치는 셀갭 스페이서와 도전성 스페이서가 하부 기판의 동일한 층 상에 형성되어 공정수를 줄일 수 있다. 또한, 일반적으로 공통 전극에는 화소의 액정 분자들을 복수의 도메인으로 분할 배향하기 위한 절개 패턴이 형성될 수 있으며, 이 경우 셀갭 스페이서가 형성된 영역에 대응되는 공통 전극 영역을 절개 패턴 형성 시 동시에 식각하여 공정의 추가 없이 상부 기판을 제조할 수 있다. 물론, 공통 전극에 절개 패턴이 형성되지 않을 경우에도 셀갭 스페이서가 형성된 영역에 대응되는 공통 전극 영역을 식각할 수 있으며, 이 경우 하부 기판에 형성된 셀갭 스페이서 상의 도전층을 제거하는 것보다 평탄한 공통 전극을 식각하는 것이 제조 공정에 있어서 간단하다.
- [0048] 도 5 내지 도 10은 본 발명의 제 1 실시예에 따른 터치스크린 내장형 액정 표시 장치의 하부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도로서, 각도의 (a)는 도 2의 I-I' 라인을 따라 절취한 상태의 공정 단면도이고, 각도의 (b)는 도 2의 II-II' 라인을 절취한 상태의 공정 단면도이다.
- [0049] 우선 본 발명의 제 1 실시예에 따른 터치스크린 내장형 액정 표시 장치는 도 5(a) 및 도 5(b)를 참조하면, 유리, 석영, 세라믹 또는 플라스틱 등의 절연성 투명 기판(210) 상부에 제 1 도전층을 형성한다. 그리고, 제 1 마스크를 이용한 사진 및 식각 공정으로 제 1 도전층을 패터닝한다. 이에 의해 소정 간격으로 일 방향으로 연장되는 복수의 게이트 라인과 게이트 라인으로부터 돌출된 게이트 전극(222)이 형성된다. 또한, 게이트 라인과 소정 간격 이격되어 제 1 센싱 라인이 형성된다.
- [0050] 도 6(a) 및 도 6(b)를 참조하면, 기판(210) 전체 상부에 게이트 절연막(230), 제 1 반도체층 및 제 2 반도체층을 순차적으로 형성한다. 그리고, 제 2 마스크를 이용한 사진 및 식각 공정으로 제 2 반도체층 및 제 1 반도체층을 패터닝한다. 이에 의해 활성층(241) 및 오믹 접촉층(251)이 형성된다. 활성층(241) 및 오믹 접촉층(251)은 게이트 전극(222)을 덮도록 형성된다. 여기서, 게이트 절연막(230)은 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 이용하여 형성하는 것이 바람직하다. 또한, 제 1 반도체층은 비정질 실리콘층을 이용할 수 있고, 제 2 반도체층은 실리콘사이드 또는 n형 불순물이 고농도로 도핑되어 있는 n+ 수소화 비정질 실리콘을 이용할 수 있다.
- [0051] 도 7(a) 및 도 7(b)를 참조하면, 기판(210) 전체 상부에 제 2 도전층을 형성한 후 제 3 마스크를 이용한 사진 및 식각 공정으로 제 2 도전층을 패터닝한다. 이에 의해 소스 전극(261) 및 드레인 전극(262)을 포함하며 게이트 라인(221)과 직교하는 방향으로 연장되는 데이터 라인(260)이 형성된다. 또한, 이와 동시에 데이터 라인(260)과 소정 간격 이격된 제 2 센싱 라인(SL2)이 형성되는데, 제 2 센싱 라인(SL2)은 예를 들어 세 개의 화소마다 하나씩 형성된다.
- [0052] 도 8(a) 및 도 8(b)를 참조하면, 기판(210) 전체 상부에 보호막(270)을 형성한 후 제 4 마스크를 이용한 사진 및 식각 공정으로 보호막(270)의 일부를 식각한다. 이에 의해 드레인 전극(262)을 노출시키는 제 1 콘택홀(171), 제 1 센싱 라인(SL1)을 노출시키는 제 2 콘택홀(272) 및 제 2 센싱 라인(SL2)을 노출시키는 제 3 콘택홀(273)이 형성된다.
- [0053] 도 9(a) 및 도 9(b)를 참조하면, 보호막(270) 상부에 제 3 도전층을 형성한 후 제 5 마스크를 이용한 사진 및 식각 공정으로 제 3 도전층을 패터닝한다. 이에 의해 셀갭 스페이서(CS1) 및 도전성 스페이서(CS2)가 형성된다. 이때, 셀갭 스페이서(CS1)와 도전성 스페이서(CS2)는 서로 높이가 상이하도록 형성한다. 즉, 셀갭 스페이서

(CS1)가 도전성 스페이서(CS2)보다 높이가 크도록 형성하여, 화면에 사용자의 터치가 없을 시 셀갭 스페이서가 (CS1)는 상부 기판과 접하도록 하고 도전성 스페이서(CS2)는 상부 기판과 소정 간격 이격되도록 할 수 있다. 물론, 본 실시예에서는 제 3 도전층을 이용하여 셀갭 스페이서와 도전성 스페이서를 형성하였으나, 셀갭 스페이서와 도전성 스페이서는 절연물질로 형성될 수도 있다.

[0054] 도 10(a) 및 도 10(b)를 참조하면, 기판(210) 전체 상부에 제 4 도전층을 형성한 후 제 6 마스크를 이용한 사진 및 식각 공정으로 제 4 도전층을 패터닝한다. 이에 의해 화소 전극(270)과 센싱 전극(281)이 형성된다. 화소 전극(270)은 게이트 라인(221)과 데이터 라인(260)이 교차하는 영역으로 정의된 화소 영역에 형성되며, 제 1 콘택홀(271)을 통해 드레인 전극(262)과 연결된다. 또한, 센싱 전극(281)은 제 2 및 제 3 콘택홀(272 및 273)을 통해 제 1 및 제 2 센싱 라인(SL1 및 SL2)과 전기적으로 연결되도록 형성된다. 센싱 전극(281)은 화소 영역 이외의 영역에 형성되므로 화소 전극(270)과 전기적으로 연결되지 않는다. 여기서, 제 4 도전층은 ITO 또는 IZO를 포함하는 투명 도전막을 이용하여 형성하는 것이 바람직하다.

[0055] 도 11 내지 13은 본 발명의 제 1 실시예에 따른 터치스크린 내장형 액정 표시 장치의 상부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도로서, 각도의 (a)는 도 2의 I-I' 라인을 따라 절취한 상태의 공정 단면도이고, 각도의 (b)는 도 2의 II-II' 라인을 절취한 상태의 공정 단면도이다.

[0056] 도 11(a) 및 도 11(b)를 참조하면, 유리, 석영, 세라믹 또는 플라스틱 등의 절연성 투명 기판(310)상의 소정 영역에 블랙 매트릭스(320)를 형성한다. 블랙 매트릭스(320)는 카본 블랙이나 티타늄 옥사이드 등의 검은색 안료가 첨가된 감광성 유기 물질을 투명 기판(310) 상부에 형성한 후 제 1 마스크를 이용한 노광 및 현상 공정으로 형성할 수 있다. 블랙 매트릭스(320)는 화소 영역 이외의 영역, 즉 하부 기판(200)의 게이트 라인(221), 데이터 라인(260), 제 1 및 제 2 센싱 라인(SL1 및 SL2)에 대응되는 영역에 형성된다. 블랙 매트릭스(320)는 컬러 필터를 분리하는 동시에 하부 기판(200)의 화소 전극(270)이 제어하지 못하는 영역의 액정 셀을 통과해 나오는 광을 차단하여 표시 장치의 콘트라스트비를 향상시킨다.

[0057] 도 12(a) 및 도 12(b)를 참조하면, 블랙 매트릭스(320)가 형성된 기판(310) 상부에 다수의 컬러 필터(330), 예를 들어 적색(R), 청색(B) 및 녹색(G) 컬러 필터를 형성한다. 컬러 필터(330)를 형성하는 공정을 살펴보면, 기판(310) 상부에 적색 성분의 안료가 분산된 네거티브 컬러 레지스트를 도포한 후 적색 컬러 필터가 형성될 영역을 개방하는 제 2 마스크를 이용하여 노광한다. 그리고, 현상액을 이용하여 네거티브 컬러 레지스트를 현상하면 노광된 영역은 제거되지 않고 패턴으로 남게 되며, 노광되지 않은 영역만이 제거된다. 따라서, 기판(310) 상에는 적색 컬러 필터(330)가 형성된다. 청색 컬러 필터 및 녹색 컬러 필터도 상기와 같은 과정을 통해 형성할 수 있다. 이때, 공통 전극(350) 형성 시 양호한 스텝 커버리지를 위하여 다수의 컬러 필터(230) 상부에 오버코트막(340)이 형성될 수도 있다.

[0058] 도 13(a) 및 도 13(b)를 참조하면, 다수의 컬러 필터(330)가 형성된 기판(310)의 전체 상부에 도전층을 형성한다. 도전층은 ITO 또는 IZO를 포함하는 투명 도전층을 이용하여 형성하며, 스퍼터링 등의 방법으로 형성한다. 이에 의해 공통 전극(350)이 기판(310) 전체면에 형성된다. 여기서, 제 3 마스크를 이용한 사진 및 식각 공정을 실시하여 공통 전극(350)에 패턴을 형성할 수 있다. 이 경우, 일반적인 공통 전극(350) 패턴(미도시)뿐만 아니라, 하부 기판에 형성된 셀갭 스페이서(CS1)에 대응되는 영역이 절개(351)되도록 하여 셀갭 스페이서(CS1)와 공통 전극(350)이 전기적으로 접속되지 않도록 할 수 있다. 이후, 하부 기판(200)과 상부 기판(300)을 합착하여 본 실시예에 따른 액정 표시 패널을 완성한다.

[0059] 다음은 컬러 필터 및 블랙 매트릭스가 하부 기판에 형성된 본 발명의 제 2 실시예에 따른 터치스크린 내장형 액정 표시 장치에 대해 도면을 참조하여 설명하고자 한다.

[0060] 도 14는 본 발명의 제 2 실시예에 따른 터치스크린 내장형 액정 표시 패널의 개략 평면도이고, 도 15 및 도 16은 도 14의 III-III' 라인 및 IV-IV' 라인을 따라 절취한 상태의 단면도로서, 본 실시예 역시 전술된 실시예와 동일하게 3개의 화소마다 센싱 전극 및 도전성 스페이서가 형성되는 경우를 예로 들어 설명한다.

[0061] 도 14와 도 15 및 도 16을 참조하면, 본 발명의 제 2 실시예에 따른 터치스크린 내장형 액정 표시 패널(100)은 서로 대면하도록 배치된 하부 기판(200) 및 상부 기판(300), 하부 기판(200)과 상부 기판(300) 사이에 형성된 액정층(미도시)을 포함한다.

[0062] 하부 기판(200)은 제 1 절연 기판(210) 상에 형성된 블랙 매트릭스(211)와, 제 1 절연 기판(210) 상에서 일 방향으로 연장되는 복수의 게이트 라인(221)과, 게이트 라인(221)과 교차되어 연장된 복수의 데이터 라인(260)과, 게이트 라인(221)과 데이터 라인(260)에 의해 정의된 화소 영역에 형성되며 제 1 콘택홀(271)에 의해 드레인 전

극(262)과 접속된 화소 전극(280)과, 게이트 라인(221), 데이터 라인(260) 및 화소 전극(280)에 접속된 박막 트랜지스터(T)를 포함한다. 또한, 게이트 라인(221)과 이격되어 일 방향으로 연장된 제 1 센싱 라인(SL1)과, 데이터 라인(260)과 이격되어 타 방향으로 연장된 제 2 센싱 라인(SL2)과, 제 1 및 제 2 센싱 라인(SL1, SL2)의 상부에 형성된 컬러 필터와, 컬러 필터 상에 형성된 셀갭 스페이서(CS1) 및 도전성 스페이서(CS2)와, 도전성 스페이서(CS2) 상에 형성되되 컬러 필터에 형성된 제 2 및 제 3 콘택홀을 통해 제 1 및 제 2 센싱 라인(SL1, SL2)과 연결된 센싱 전극(281)을 더 포함한다. 또한, 상부 기판(300)은 제 2 절연 기판(310)과, 제 2 절연 기판(310) 상부에 형성된 공통 전극(350)을 포함한다.

[0063] 박막 트랜지스터(T)와 데이터 라인(260)이 형성된 게이트 절연막(230) 상에는 적색 컬러 필터(CF1), 녹색 컬러 필터(CF2) 및 청색 컬러 필터(CF3)로 구성된 컬러 필터가 형성된다. 또한, 컬러 필터에는 드레인 전극(262)의 일부를 노출시키는 제 1 콘택홀(271)과 제 1 및 제 2 센싱 라인(SL1, SL2)의 일부를 노출시키는 제 2 및 제 3 콘택홀(272, 273)이 형성된다. 이때, 화소 전극(280)은 컬러 필터 상에 형성되고, 제 1 콘택홀(271)을 통하여 박막 트랜지스터의 드레인 전극(262)과 연결된다. 이러한, 화소 전극(280)은 투명 도전성 재료, 예를 들면, 인듐 틴 옥사이드(Indium Tin Oxide; ITO) 또는 인듐 징크 옥사이드(Indium Zinc Oxide; IZO)로 이루어질 수 있다.

[0064] 이때, 컬러 필터는 예를 들어, 적색 컬러 필터(CF1), 녹색 컬러 필터(CF2) 및 청색 컬러 필터(CF3)로 구성되며, 각 컬러 필터의 두께는 서로 상이하게 형성된다. 즉, 예를 들어, 적색 컬러 필터(CF1)의 두께는 가장 얇게, 녹색 컬러 필터(CF2)의 두께는 중간 정도로, 청색 컬러 필터(CF3)의 두께는 가장 두껍게 형성될 수 있다. 하지만 이에 한정되는 것은 아니며, 각각의 컬러 필터의 두께는 서로 상이하나, 그 색상은 달라질 수 있다. 또한, 이러한 컬러 필터의 두께 차이에 의해 전술된 실시예와는 달리 셀갭 스페이서(CS1)와 도전성 스페이서(CS2)의 높이가 같도록 형성할 수 있다. 즉, 가장 두꺼운 컬러 필터, 예를 들어, 청색 컬러 필터(CF3) 상에 셀갭 스페이서(CS1)를 형성하고, 셀갭 스페이서(CS1)가 형성되지 않은 컬러 필터, 예를 들어, 적색 컬러 필터(CF1) 상에 도전성 스페이서(CS2)를 형성하여 셀갭 스페이서(CS1)는 상부 기판과 접하고 도전성 스페이서(CS2)는 상부 기판과 접하지 않도록 할 수 있다. 이때, 셀갭 스페이서(CS1)와 도전성 스페이서(CS2)의 높이차는 터치 패널의 동작이 양호한 정도, 예를 들어, 0.3 내지 1.0 μ m 또는 0.5 내지 0.8 μ m가 되도록 형성할 수 있으나, 이에 한정되는 것은 아니다.

[0065] 상기에서 살펴본 바와 같이, 하부 기판에 컬러 필터를 형성하고 각 컬러 필터의 두께를 상이하게 형성함으로써 박막 트랜지스터 기판(100)과 공통 전극 기판(200) 사이의 셀 갭 크기는 영역 별로 상이한 크기를 갖게 되며 양 기판 사이의 셀 갭은 다중 셀 갭으로 형성된다. 또한, 이에 따라, 서로 상이한 색상의 컬러 필터 상에 각각 형성된 셀갭 스페이서(CS1)와 도전성 스페이서(CS2)의 높이 역시 상이하게 형성될 수 있다. 물론, 셀갭 스페이서(CS1)가 형성된 컬러 필터가 도전성 스페이서(CS2)가 형성된 컬러 필터보다 두께가 두꺼워야 한다.

[0066] 본 실시예는 하부 기판에 두께와 색상이 서로 상이한 컬러 필터를 형성하고, 서로 상이한 두께의 컬러 필터 상에 셀갭 스페이서와 도전성 스페이서를 형성하여 별도의 추가 공정없이 동일 층 상에 셀갭 스페이서와 도전성 스페이서의 높이를 상이하게 형성할 수 있다.

[0067] 도 17 내지 도 23은 본 발명의 제 2 실시예에 따른 터치스크린 내장형 액정 표시 장치의 하부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도로서, 각도의 (a)는 도 15의 III-III' 라인을 따라 절취한 상태의 공정 단면도이고, 각도의 (b)는 도 15의 IV-IV' 라인을 절취한 상태의 공정 단면도이다.

[0068] 도 17(a) 및 도 17(b)를 참조하면, 투명 절연성 기판(210) 상에 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제 1 도전성 막을 형성한다. 이때, 제 1 도전성 막으로는 Cr, MoW, Cr/Al, Cu, Al(Nd), Mo/Al, Mo/Al(Nd) 및 Cr/Al(Nd) 중 적어도 어느 하나를 사용하는 것이 바람직하며, 이러한 제 1 도전성막은 다층막으로 형성할 수도 있다. 이후, 감광막을 도포한 다음, 제 1 마스크(미도시)를 이용한 포토리소그래피 공정을 실시하여 제 1 감광막 마스크 패턴(미도시)을 형성한다. 제 1 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 게이트 전극(222)을 포함한 게이트 라인과 제 1 센싱 라인 및 블랙 매트릭스(211)를 형성한다. 이후, 스트립 공정을 실시하여 제 1 감광막 마스크 패턴을 제거한다.

[0069] 도 18(a) 및 도 18(b)를 참조하면, 기판(210) 상에 게이트 절연막(230), 활성층(241) 및 오믹 접촉층(251)을 순차적으로 형성한 다음, 제 2 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 박막 트랜지스터의 활성영역을 형성한다.

[0070] 기판(210) 상에 PECVD법, 스퍼터링법 등을 이용한 증착 방법을 통해 게이트 절연막(230)을 형성한다. 이때, 게

이트 절연막(230)으로는 산화 실리콘 또는 질화 실리콘을 포함하는 무기 절연 물질을 사용할 수 있다. 게이트 절연막(230) 상에 상술한 증착 방법을 통해 활성층(241) 및 오믹 접촉층(251)을 순차적으로 형성한다. 활성층(241)으로는 비정질 실리콘층을 사용하고, 오믹 접촉층(251)으로는 실리사이드 또는 N형 불순물이 고농도로 도핑된 비정질 실리콘층을 사용한다. 이후, 오믹 접촉층(251) 상에 감광막을 도포한 다음, 제 2 마스크(미도시)를 이용한 포토리소그래피 공정을 통해 제 2 감광막 마스크 패턴(미도시)을 형성한다. 상기 제 2 감광막 마스크 패턴을 식각 마스크로 하고, 게이트 절연막(230)을 식각 정지막으로 하는 식각 공정을 실시하여 오믹 접촉층(251) 및 활성층(241)을 제거하여 게이트 전극(222) 상부에 소정 형태의 활성영역을 형성한다. 이후, 소정의 스트립 공정을 실시하여 잔류하는 제2 감광막 마스크 패턴을 제거한다.

[0071] 도 19(a) 및 19(b)를 참조하면, 박막 트랜지스터의 활성 영역이 형성된 기판 전면에서 제 2 도전성막을 형성한 다음, 이를 제 3 감광막 마스크 패턴(미도시)을 이용한 식각공정을 실시하여 데이터 라인과, 제 2 센싱 라인과, 소스 전극(261) 및 드레인 전극(262)을 형성한다.

[0072] 기판 상에 제 2 도전성막을 CVD법, PVD법 및 스퍼터링법 등을 이용한 증착 방법을 통해 제 2 도전성 막을 형성한다. 이때, 제 2 도전성막으로는 Mo, Al, Cr, Ti 중 적어도 하나의 금속 단일층 또는 다중층을 사용하는 것이 바람직하다. 물론 제 2 도전성막은 제 1 도전성막과 동일한 물질을 사용할 수도 있다. 제2 도전성막 상에 감광막을 도포한 다음, 마스크를 이용한 리소그래피 공정을 실시하여 제3 감광막 마스크 패턴을 형성한다. 제 3 감광막 마스크 패턴을 식각 마스크로 하는 식각공정을 실시하여 제 2 도전성막을 식각한 다음, 제 3 감광막 마스크 패턴을 제거한 후, 식각된 제 2 도전성막을 식각마스크로 하는 식각을 실시하여 제 2 도전성막 사이의 노출된 영역의 오믹 접촉층(251)을 제거하여 소스 전극(261)과 드레인 전극(262) 사이에는 활성층(241)으로 이루어진 채널을 형성한다.

[0073] 상기 도 20(a) 내지 20(b)를 참조하면, 박막 트랜지스터(T)와 데이터 라인(221)이 형성된 기판 전면에서 적색 컬러 필터(CF1), 녹색 컬러 필터(CF2) 및 청색 컬러 필터(CF3)로 구성된 컬러 필터를 형성하며, 이때 각 컬러 필터의 두께는 서로 상이하게, 예를 들어, 적색 컬러 필터의 두께 < 녹색 컬러 필터의 두께 < 청색 컬러 필터의 두께가 되도록 형성할 수 있다. 이후, 도 21(a) 및 도 21(b)에 도시된 바와 같이, 제 4 감광막 마스크 패턴을 이용한 식각공정을 통해 컬러 필터의 일부를 제거하여 제 1 내지 제 3 콘택홀(271, 272, 273)을 형성한다.

[0074] 도 22(a) 및 도 22(b)를 참조하면, 컬러 필터 전면에서 제 3 도전성막을 형성한 다음 제 5 감광막 마스크 패턴(미도시)으로 제 3 도전성막을 패터닝하여 셀갭 스페이서(CS1) 및 도전성 스페이서(CS2)를 형성한다. 이때, 셀갭 스페이서(CS1)는 박막 트랜지스터(T) 상에 형성될 수 있으며, 도전성 스페이서(CS2)는 제 1 및 제 2 센싱 라인(SL1, SL2) 상에 형성될 수 있다.

[0075] 도 23(a) 및 도 23(b)를 참조하면, 컬러 필터와 셀갭 스페이서(CS1) 및 도전성 스페이서(CS2) 상에 제 4 도전성막을 형성한 다음, 제 6 감광막 마스크 패턴(미도시)을 이용하여 제 4 도전성막을 패터닝하여 화소 전극(280) 및 센싱 전극(281)을 형성한다. 이때, 화소 전극(280)은 제 1 콘택홀(271)을 통해 드레인 전극(262)과 접속될 수 있으며, 센싱 전극(281)은 제 2 및 제 3 콘택홀(272, 273)을 통해 제 1 및 제 2 센싱 라인(SL1, SL2)과 접속될 수 있다. 이러한, 제 4 도전성막은 ITO나 IZO를 포함하는 투명 도전막을 사용하는 것이 바람직하다.

[0076] 도 24 내지 도 25는 본 발명의 제 2 실시예에 따른 터치스크린 내장형 액정 표시 장치의 상부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도로서, 각도의 (a)는 도 15의 III-III' 라인을 따라 절취한 상태의 공정 단면도이고, 각도의 (b)는 도 15의 IV-IV' 라인을 절취한 상태의 공정 단면도이다.

[0077] 도 24(a) 및 도 24(b)를 참조하면, 유리, 석영, 세라믹 또는 플라스틱 등의 절연성 투명 기판(310)상에 제 1 도전성막, 즉, 공통 전극(350)을 형성한다. 이때, 제 1 도전성막은 CVD법, PVD법 및 스퍼터링법 등의 방법을 이용하여 ITO 또는 IZO를 포함하는 투명 도전층으로 형성할 수 있다.

[0078] 도 25(a) 및 도 25(b)를 참조하면, 셀갭 스페이서와 공통 전극(350)이 전기적으로 접속되지 않도록 하부 기판의 셀갭 스페이서가 형성되는 영역과 대응되는 공통 전극 영역(351)을 마스크를 이용한 사진 및 식각 공정을 실시하여 제거한다. 이때, 셀갭 스페이서에 대응되는 영역뿐만 아니라, 일반적인 공통 전극(350)의 패턴(미도시)형성 역시 동시에 실시될 수 있다. 이후, 하부 기판(200)과 상부 기판(300)을 합착하여 본 실시예에 따른 액정 표시 패널을 완성한다.

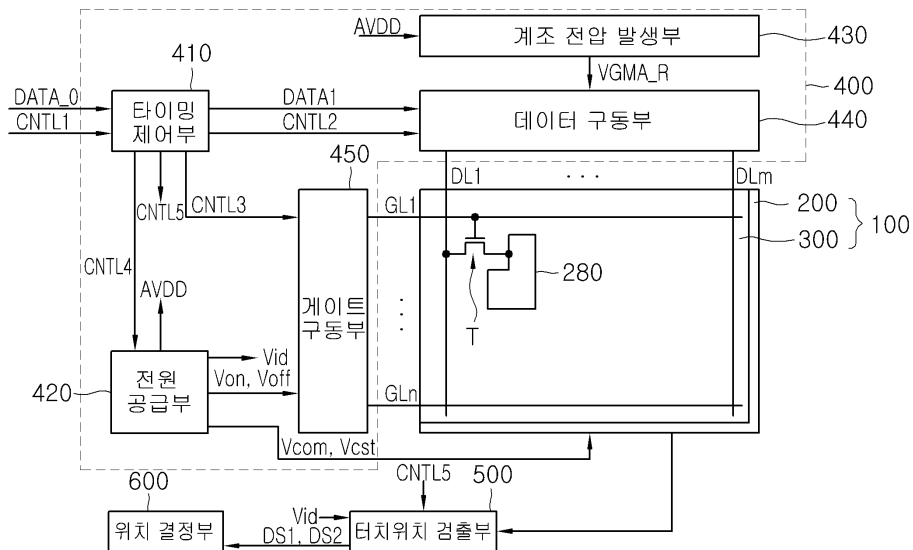
[0079] 이상에서는 도면 및 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허청구범위에 기재된 본 발명의 기술적 사상으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

도면의 간단한 설명

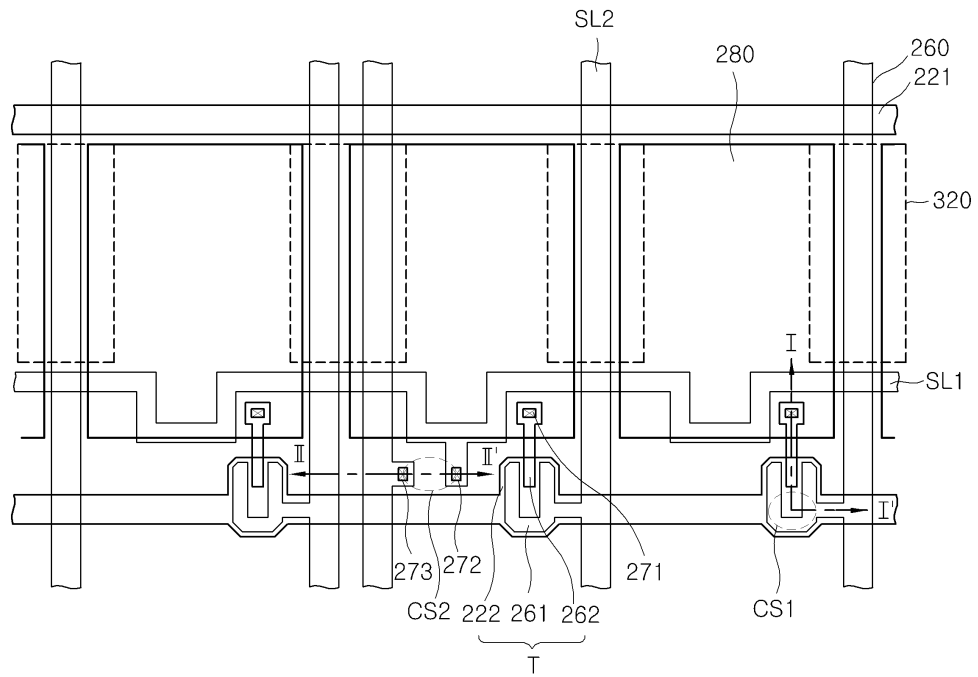
- [0080] 도 1은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 개략 블록도.
- [0081] 도 2는 본 발명의 제 1 실시예에 따른 액정 표시 패널의 개략 평면도
- [0082] 도 3 및 도 4는 도 2의 I-I 라인 및 II-II 라인을 따라 절취한 상태의 단면도.
- [0083] 도 5 내지 도 10은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 하부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.
- [0084] 도 11 내지 도 13은 본 발명의 제 1 실시예에 따른 액정 표시 장치의 상부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.
- [0085] 도 14는 본 발명의 제 2 실시예에 따른 액정 표시 패널의 개략 평면도.
- [0086] 도 15 및 도 16은 도 14의 III-III 라인 및 IV-IV 라인을 따라 절취한 상태의 단면도.
- [0087] 도 17 내지 도 23은 본 발명의 제 2 실시예에 따른 액정 표시 장치의 하부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.
- [0088] 도 24 내지 도 25는 본 발명의 제 2 실시예에 따른 액정 표시 장치의 상부 기판 제조 방법을 설명하기 위해 순서적으로 도시한 소자의 단면도.

도면

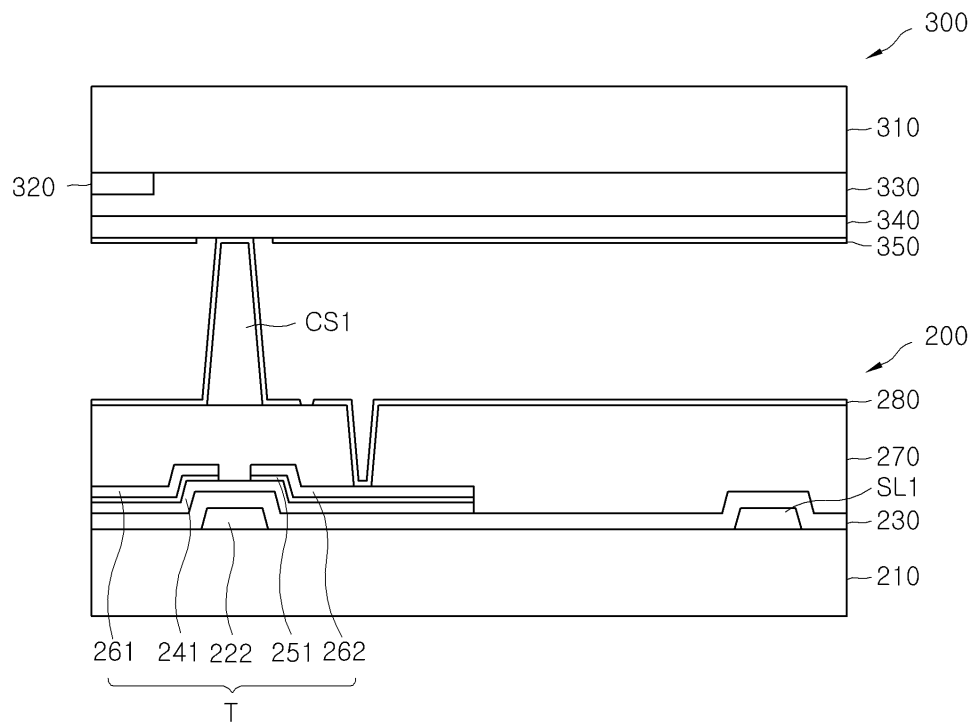
도면1



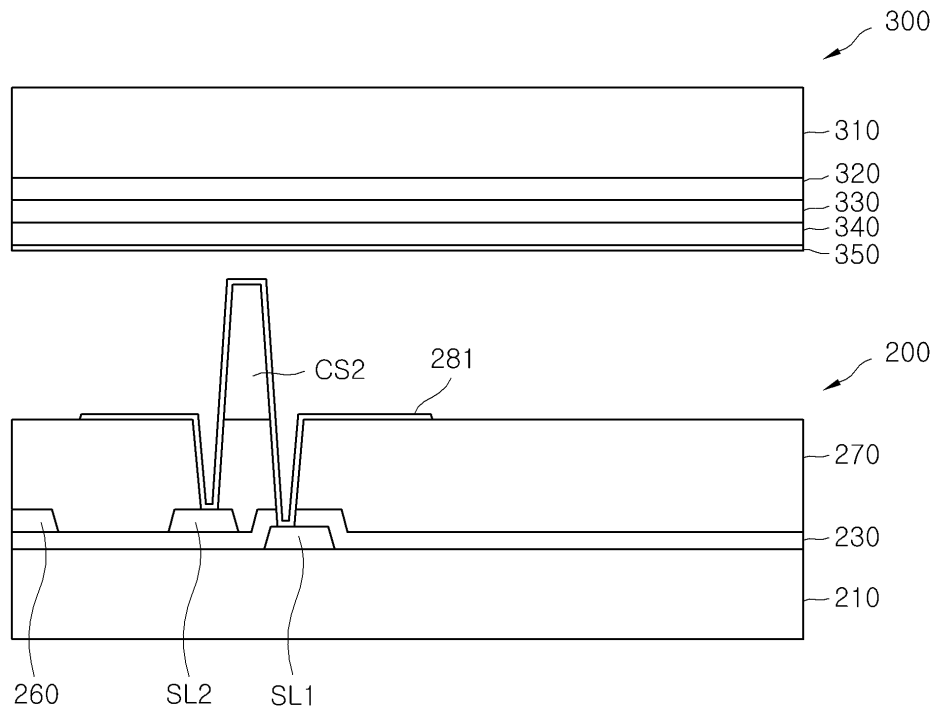
도면2



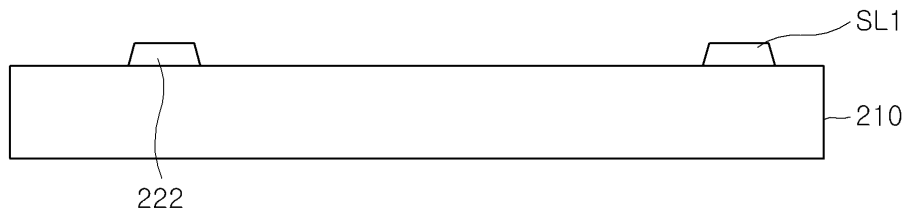
도면3



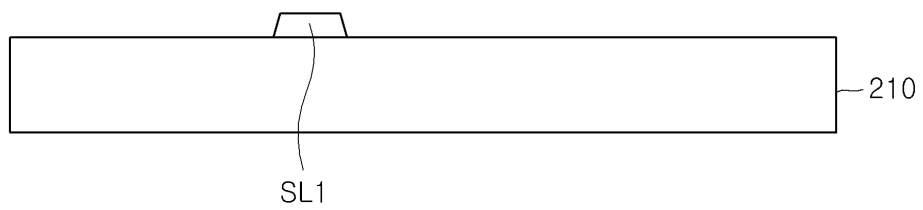
도면4



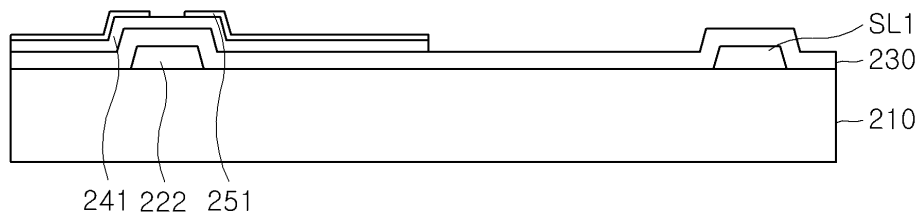
도면5a



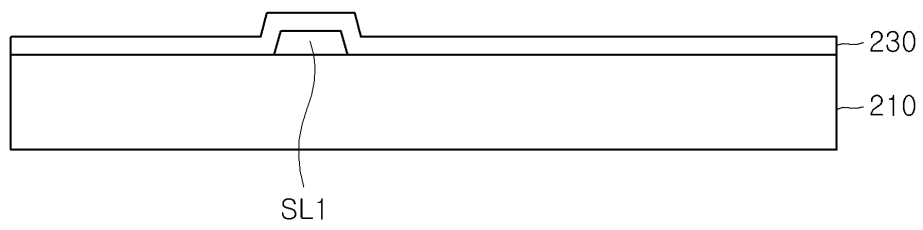
도면5b



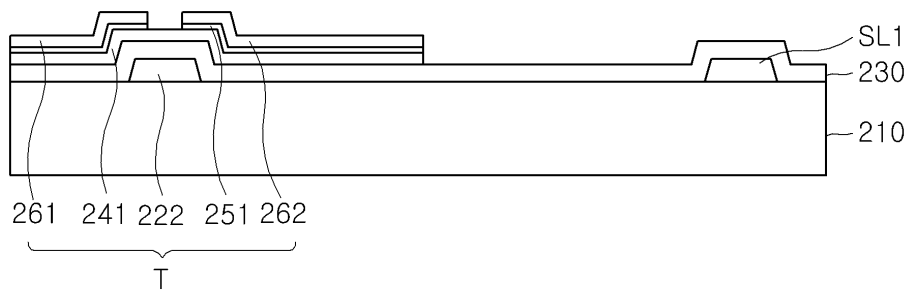
도면6a



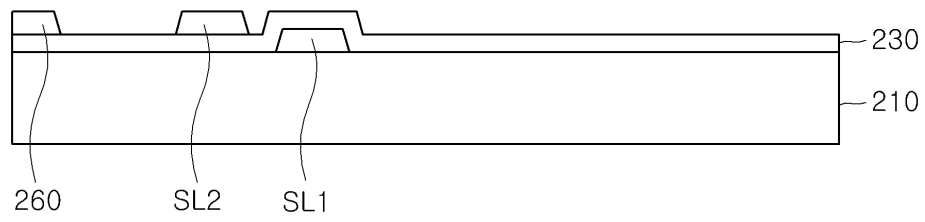
도면6b



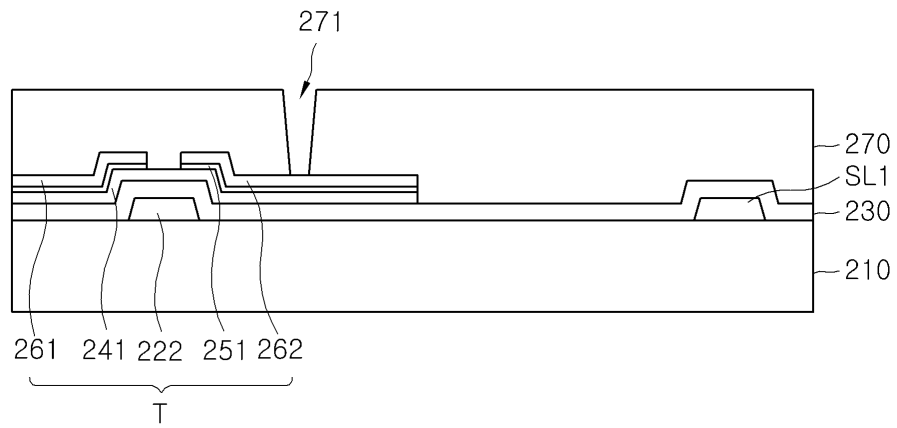
도면7a



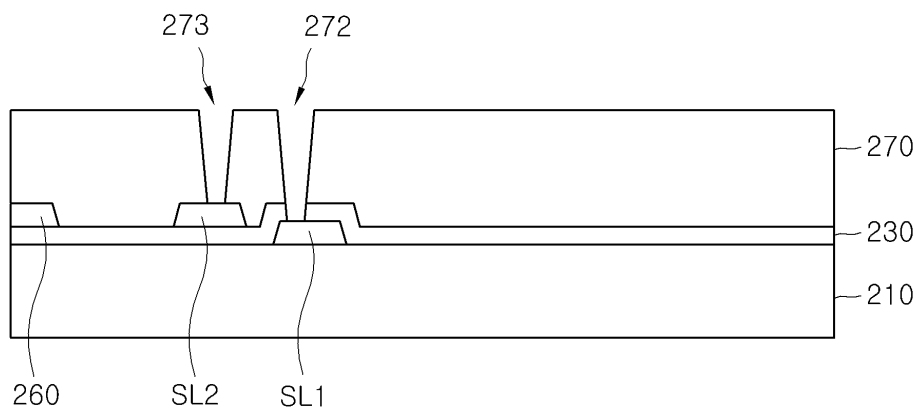
도면7b



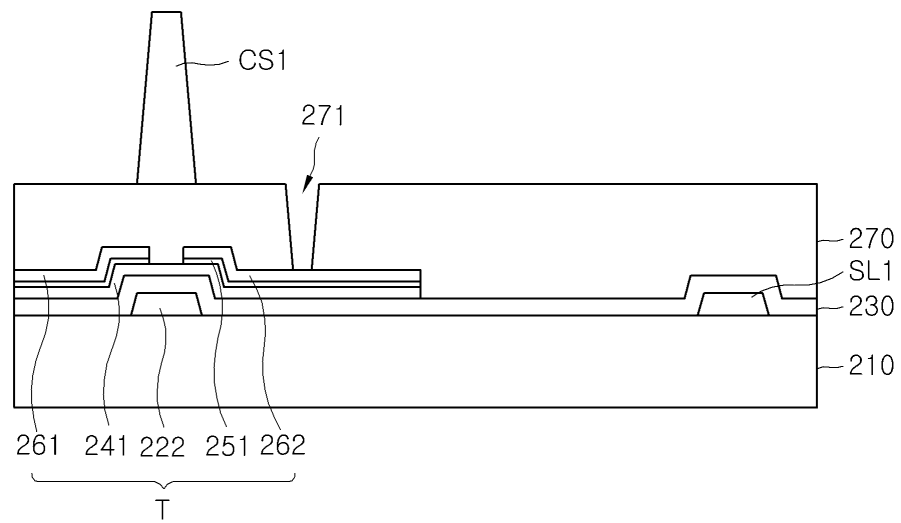
도면8a



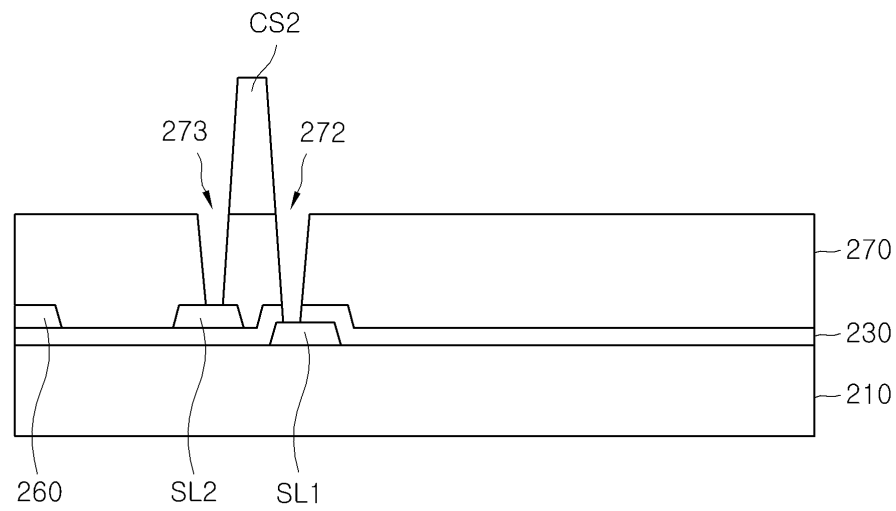
도면8b



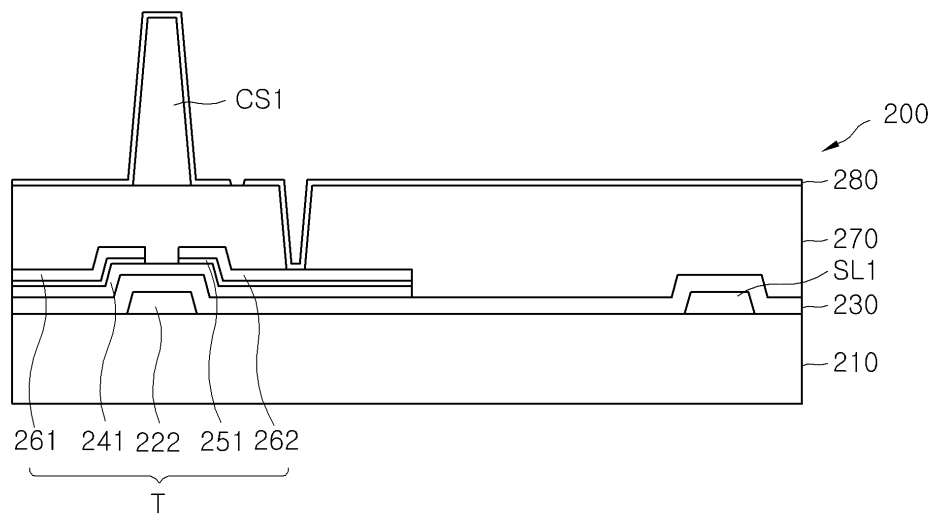
도면9a



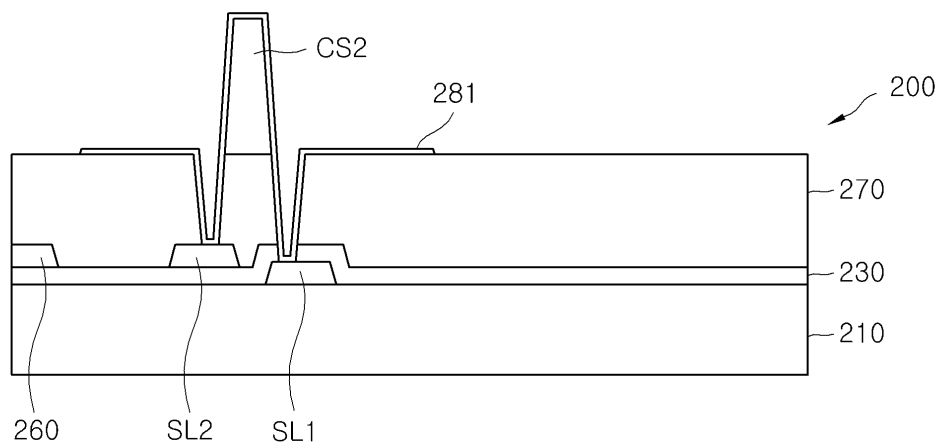
도면9b



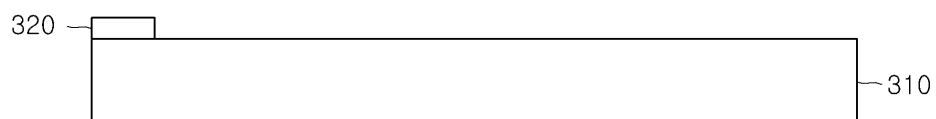
도면10a



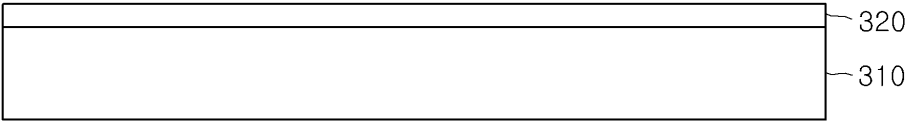
도면10b



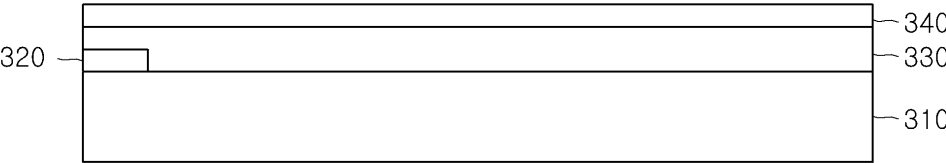
도면11a



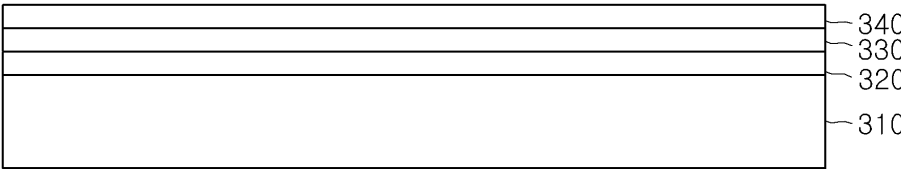
도면11b



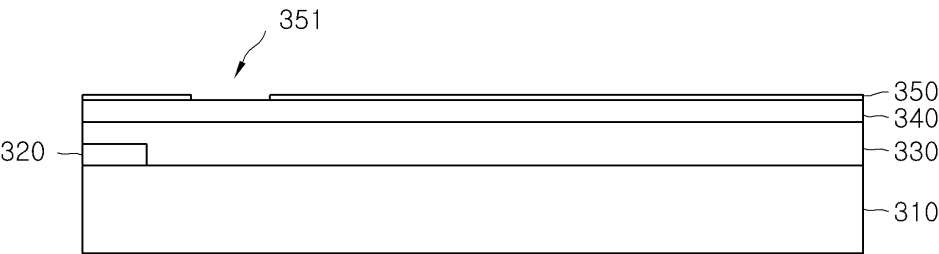
도면12a



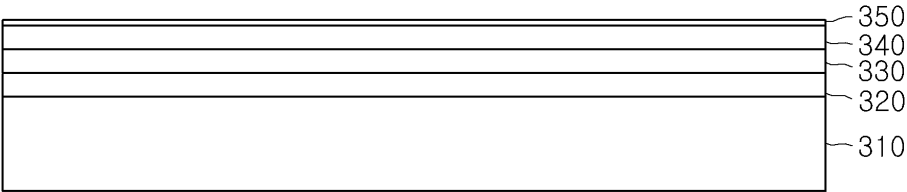
도면12b



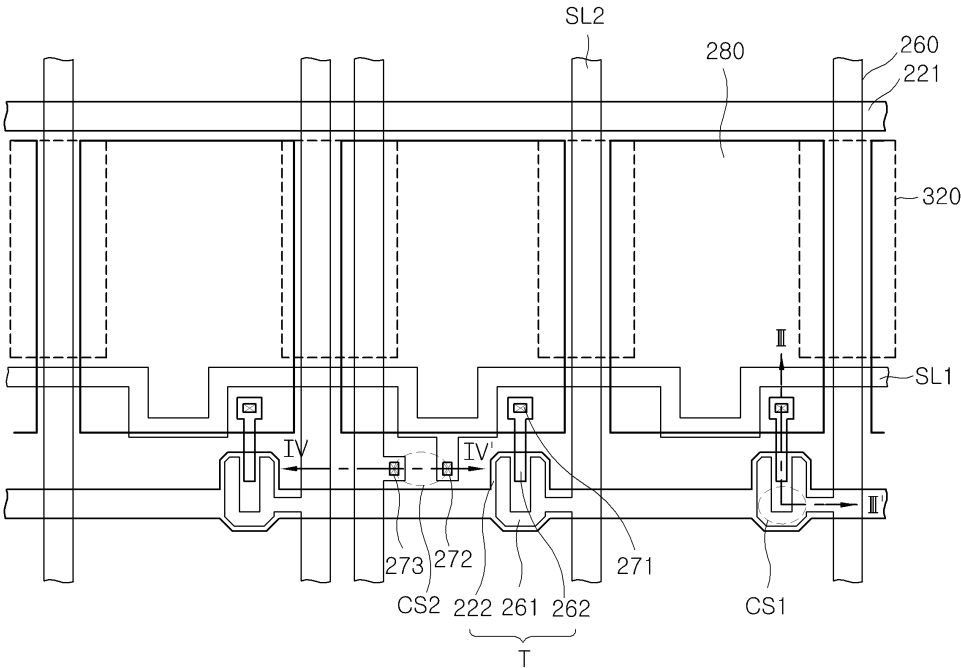
도면13a



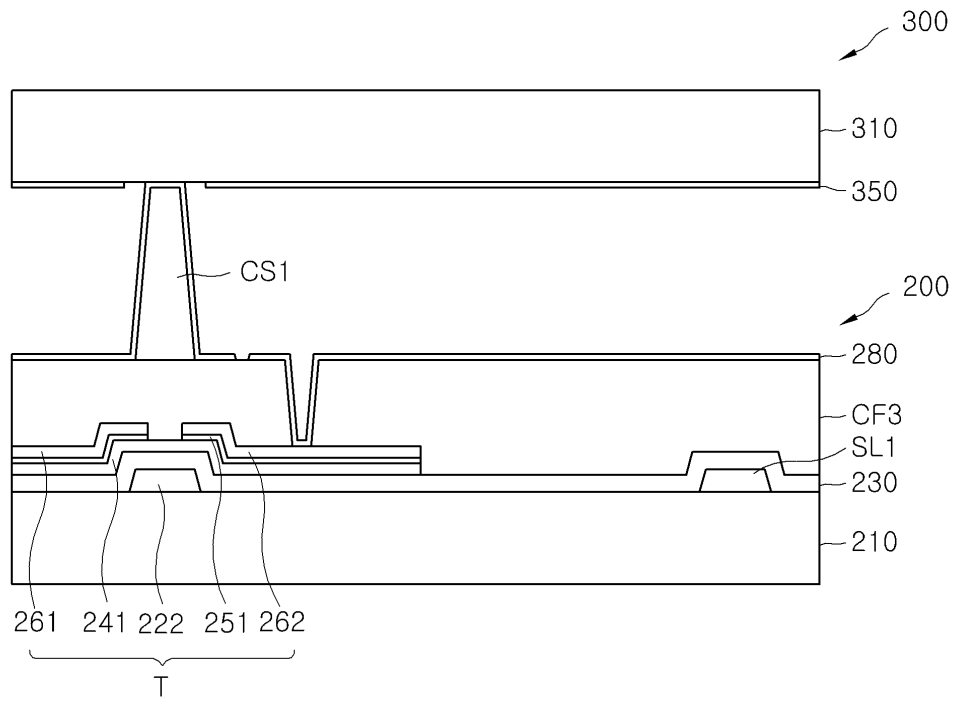
도면13b



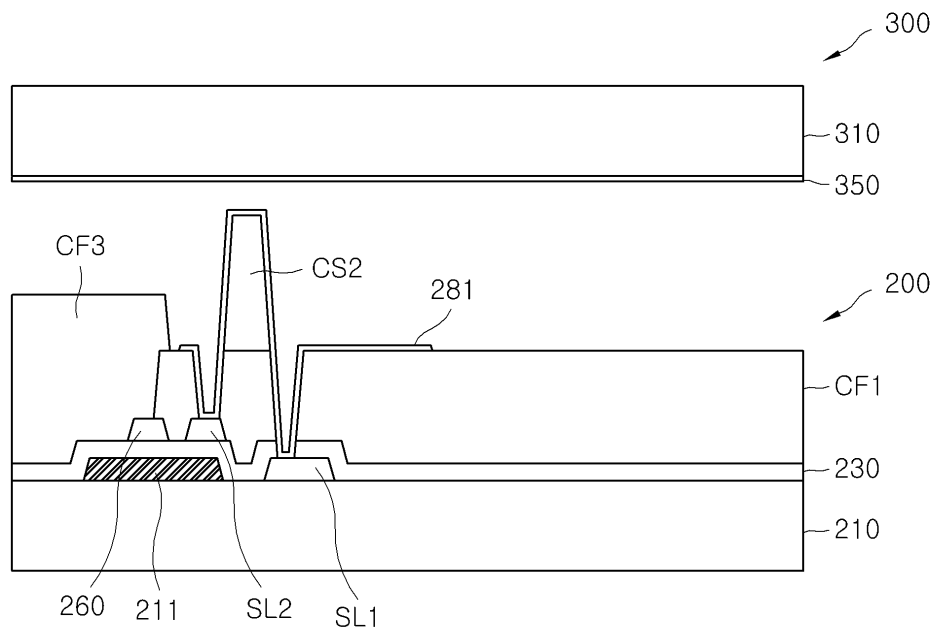
도면14



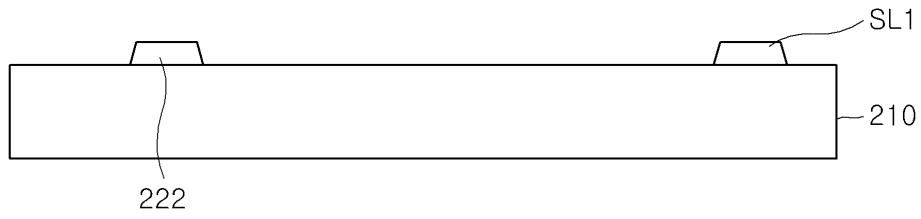
도면15



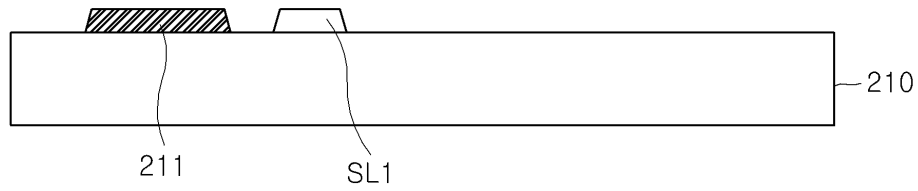
도면16



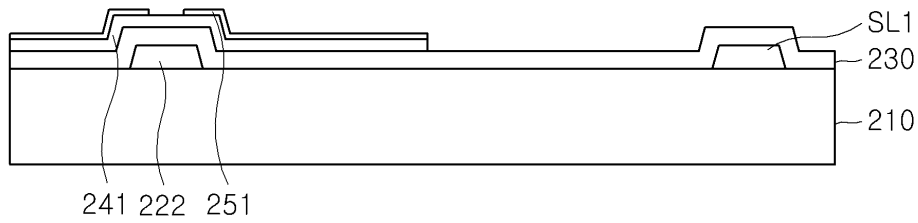
도면17a



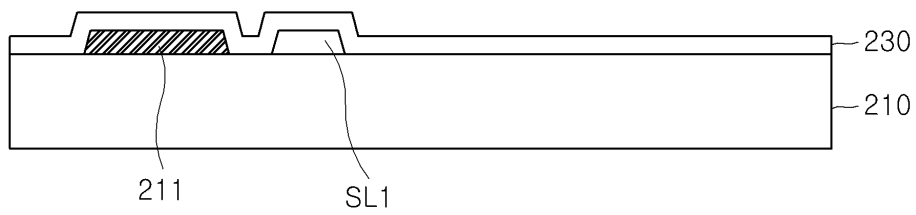
도면17b



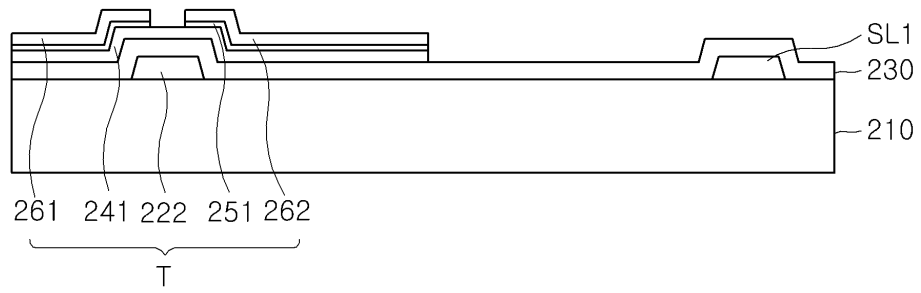
도면18a



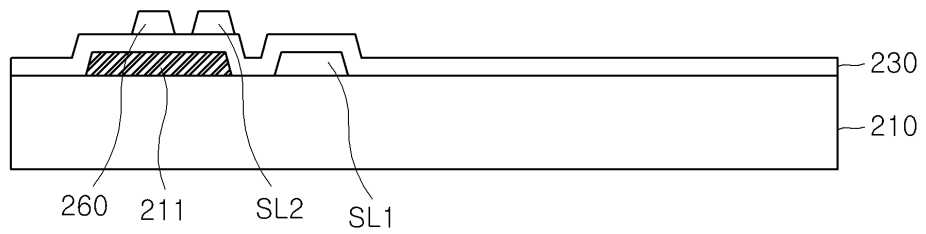
도면18b



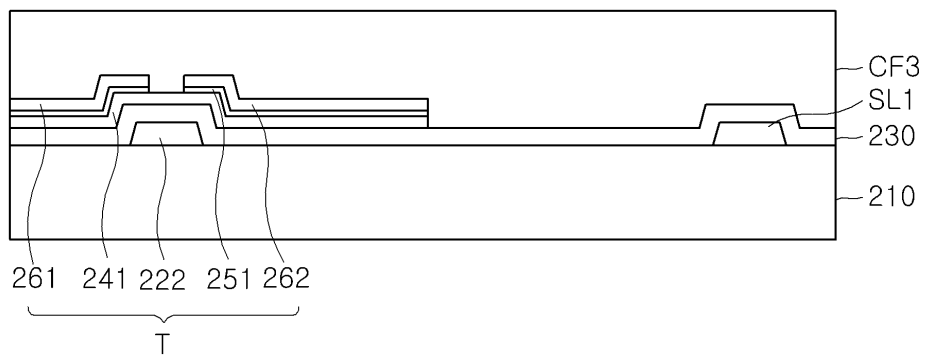
도면19a



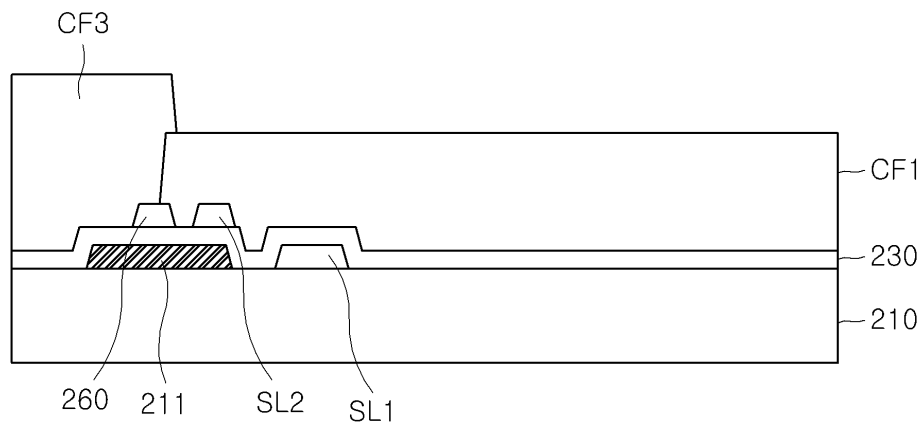
도면19b



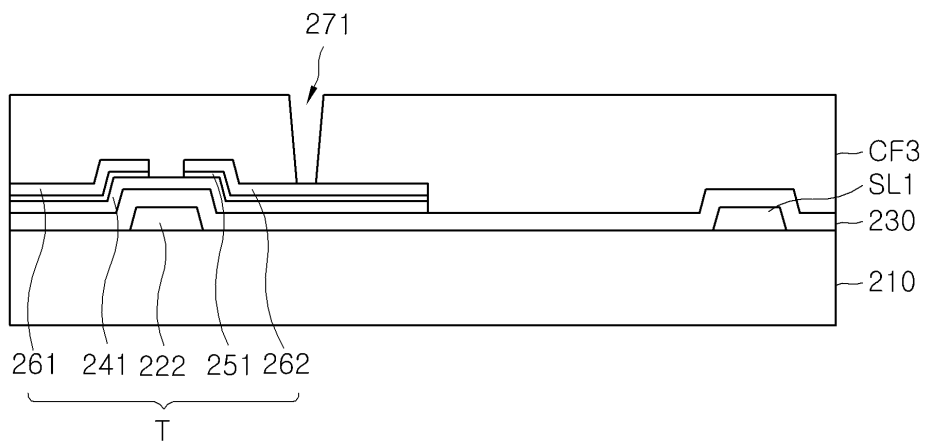
도면20a



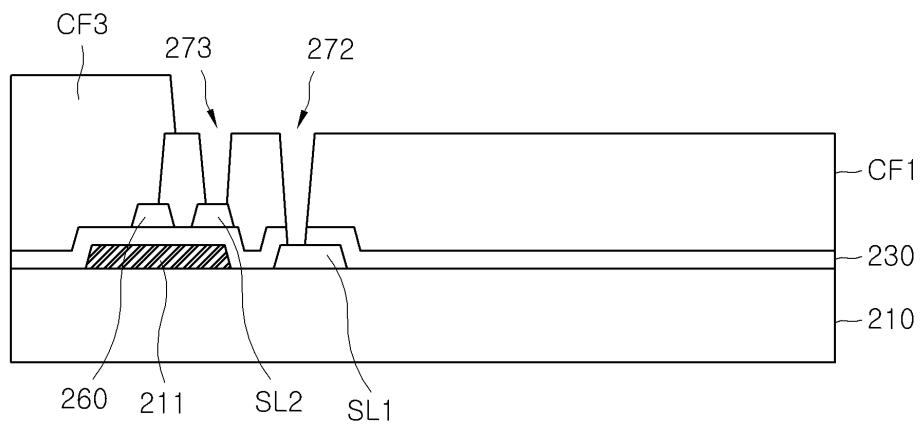
도면20b



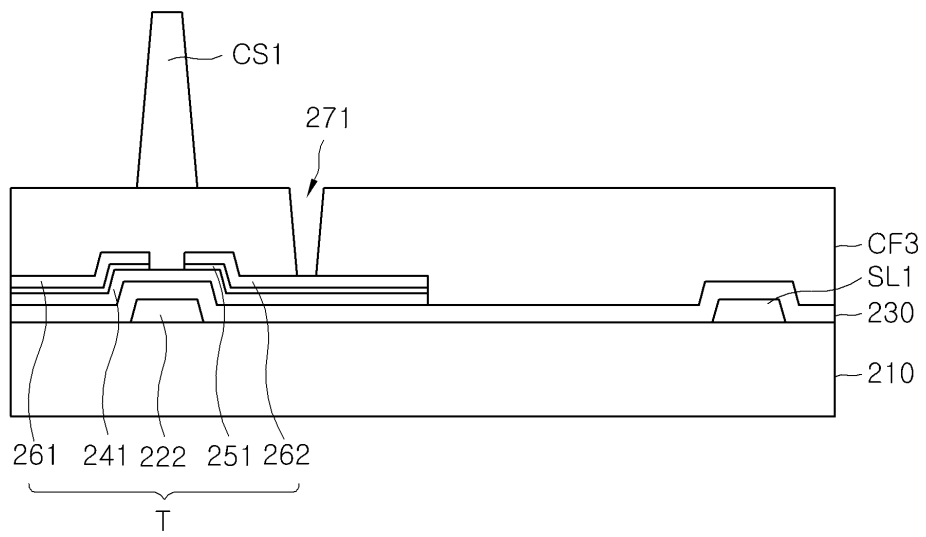
도면21a



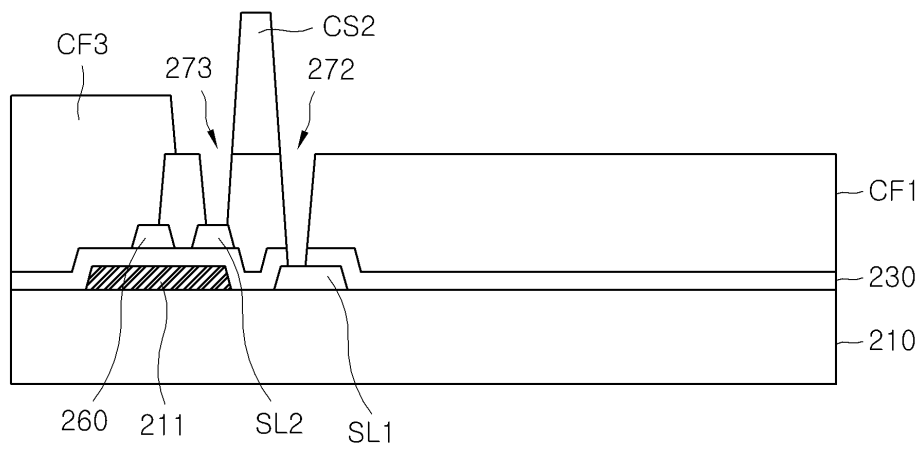
도면21b



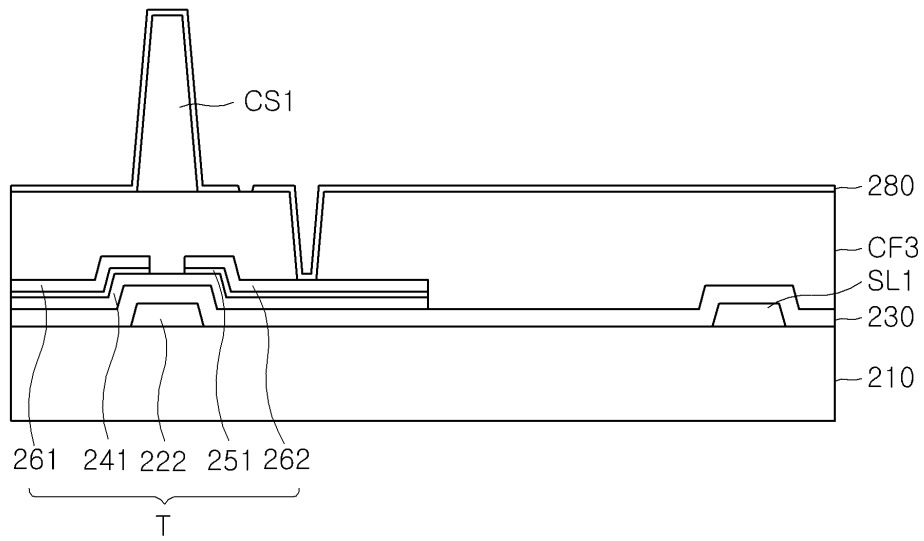
도면22a



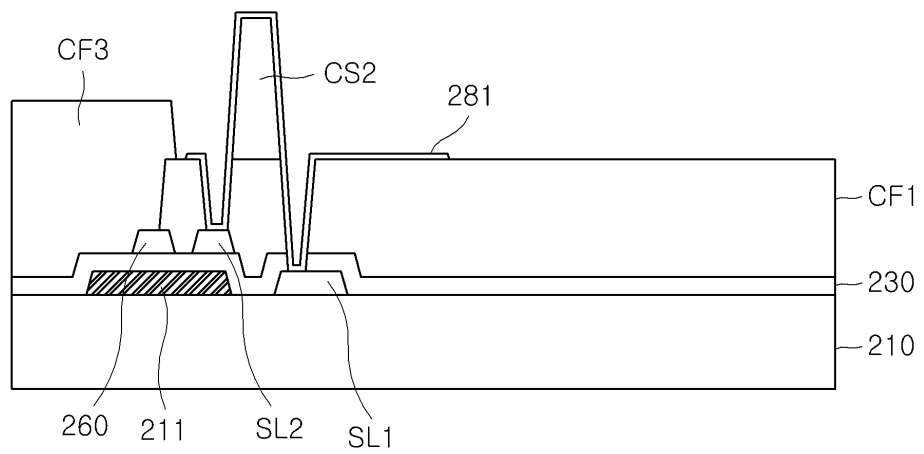
도면22b



도면23a



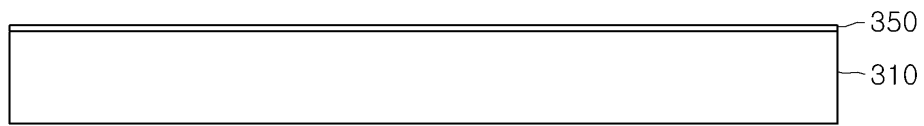
도면23b



도면24a



도면24b



도면25a



도면25b



专利名称(译)	具有内置触摸屏的显示面板		
公开(公告)号	KR101451938B1	公开(公告)日	2014-10-17
申请号	KR1020080024467	申请日	2008-03-17
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	LEE SANG HUN 이상헌 KIM BYOUNG JOO 김병주 HUH CHUL 허철 KIM GWAN SOO 김관수 CHANG SUN YOUNG 장선영		
发明人	이상헌 김병주 허철 김관수 장선영		
IPC分类号	G02F1/1343 G02F1/1339		
CPC分类号	G02F1/13338		
其他公开文献	KR1020090099303A		
外部链接	Espacenet		

摘要(译)

提供了一种嵌入触摸屏的液晶显示面板及其制造方法，其包括一个或多个实施例。嵌入触摸屏的液晶显示面板可包括例如透明的第一基板;第二基板，其面对第一基板;导电垫片和单元间隙垫片，形成在第一基板上;公共电极形成在第二基板上并且在与第一基板上的单元间隙间隔物接触的区域中具有孔。

