



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년10월29일
(11) 등록번호 10-1323412
(24) 등록일자 2013년10월23일

(51) 국제특허분류(Int. Cl.)

G02F 1/136 (2006.01)

(21) 출원번호 10-2009-0133559

(22) 출원일자 2009년12월30일

심사청구일자 2011년11월04일

(65) 공개번호 10-2011-0077097

(43) 공개일자 2011년07월07일

(56) 선행기술조사문헌

KR1020030010023 A*

KR1020090009613 A

KR1019980025517 A

*는 심사관에 의하여 인용된 문헌

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김영훈

경기도 고양시 일산서구 고양대로 633, 동양아파트 107동 1704호 (일산동)

윤중민

경기도 파주시 청암로 28, 월드메르디앙2차아파트 205동 404호 (다율동)

(74) 대리인

특허법인로얄

전체 청구항 수 : 총 12 항

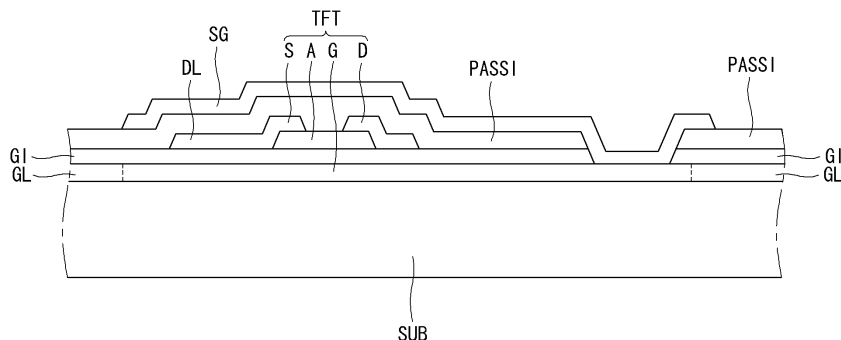
심사관 : 김효욱

(54) 발명의 명칭 액정표시장치 및 그 제조 방법

(57) 요약

본 발명은 액정표시장치 및 그 제조 방법에 관한 것이다. 본 발명에 의한 액정표시장치는, 기판; 상기 기판 위에서 서로 직교하는 데이터 라인 및 게이트 라인; 상기 데이터 라인과 상기 게이트 라인의 교차부에 형성된 박막 트랜지스터; 상기 박막트랜지스터를 덮는 보호막; 상기 보호막 위에 형성되어 상기 박막트랜지스터를 덮는 불투명 보호층을 포함한다. 본 발명에 의한 액정표시장치는 박막트랜지스터의 반도체 층으로의 광 유입을 근본적으로 차단하여 소자의 신뢰성과 전자 이동성(mobility)를 향상하는 효과가 있다.

대표도 - 도6



특허청구의 범위

청구항 1

기관;

상기 기관 위에서 서로 직교하는 데이터 라인 및 게이트 라인;

상기 데이터 라인과 상기 게이트 라인의 교차부에 형성된 박막트랜지스터;

상기 박막트랜지스터를 덮는 보호막;

상기 보호막 위에 형성되어 상기 박막트랜지스터를 덮는 불투명 보호층을 포함하고, 상기 박막트랜지스터는,

상기 게이트 라인에 연결된 게이트 전극과;

상기 게이트 전극을 덮는 게이트 절연막 위에서 상기 게이트 전극 영역 내에 형성된 반도체 층과;

상기 데이터 라인에서 분기하고, 상기 반도체 층의 일측부에 접촉하는 소스 전극과;

상기 소스 전극과 대향하며 상기 반도체 층의 타측부에 접촉하는 드레인 전극을 포함하고,

상기 반도체층은 상기 불투명 보호층과 상기 게이트 전극 보다 작은 크기를 갖고,

상기 불투명 보호층은 불투명 도전물질을 포함하고, 상기 불투명 보호층은 상기 게이트 전극과 접속된 것을 특징으로 하는 액정표시장치.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 게이트 전극과 상기 불투명 보호층은 크기가 동일하고, 서로 완전히 중첩되도록 형성된 것을 특징으로 하는 액정표시장치.

청구항 4

삭제

청구항 5

제 1 항에 있어서,

상기 불투명 도전물질은 몰리브덴 및 티타늄 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제 1 항에 있어서,

상기 불투명 도전물질은 임계 두께 이상의 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 7

삭제

청구항 8

제 1 항에 있어서,

상기 보호막 위에서 상기 박막트랜지스터에 접속하는 투명 도전체를 포함하는 화소전극을 더 포함하는 것을 특

징으로 하는 액정표시장치.

청구항 9

제 8 항에 있어서,

상기 투명 도전체는 임계 두께 이하의 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 적어도 어느 하나를 포함하는 것을 특징으로 하는 액정표시장치.

청구항 10

기관 위에 서로 직교하는 데이터 라인 및 게이트 라인, 상기 데이터 라인 및 상기 게이트 라인과 접속하는 박막 트랜지스터를 형성하는 단계;

상기 박막트랜지스터 위에 보호막을 증착하는 단계; 그리고

상기 보호막 위에 상기 박막트랜지스터를 덮는 불투명 보호층을 형성하는 단계를 포함하고,

상기 박막트랜지스터를 형성하는 단계는,

상기 기관 위에 상기 게이트 라인 및 상기 게이트 라인에 연결된 게이트 전극을 형성하는 단계와;

상기 게이트 라인 및 상기 게이트 전극을 덮는 게이트 절연막을 형성하는 단계와;

상기 게이트 절연막 위에서 상기 게이트 전극 영역 내에 반도체 층을 형성하는 단계와; 그리고

상기 데이터 라인에서 분기하고, 상기 반도체 층의 일측부에 접촉하는 소스 전극과, 상기 소스 전극과 대향하며 상기 반도체 층의 타측부에 접촉하는 드레인 전극을 형성하는 단계를 포함하고,

상기 반도체층은 상기 불투명 보호층과 상기 게이트 전극 보다 작은 크기를 갖고,

상기 보호막을 형성하는 단계는,

상기 보호막을 증착하는 단계; 그리고

상기 게이트 전극의 일부를 노출하도록 상기 보호막 및 상기 게이트 절연막을 관통하는 게이트 콘택홀을 형성하는 단계를 포함하고;

상기 불투명 보호층을 형성하는 단계는,

상기 게이트 콘택홀을 통해 상기 게이트 전극과 접속하는 상기 불투명 보호층을 형성하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 11

삭제

청구항 12

제 10 항에 있어서,

상기 불투명 보호층을 형성하는 단계는,

상기 게이트 전극과 상기 불투명 보호층은 크기가 동일하고, 서로 완전히 중첩되도록 형성하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 13

제 10 항에 있어서,

상기 불투명 보호층을 형성하는 단계는,

몰리브덴 및 티타늄 중 적어도 어느 하나를 포함하는 불투명 도전물질을 증착하여 형성하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 14

제 10 항에 있어서,

상기 불투명 보호층을 형성하는 단계는,

임계 두께 이상의 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 적어도 어느 하나를 포함하는 불투명 도전물질을 증착하여 형성하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 15

삭제

청구항 16

제 10 항에 있어서,

상기 보호막을 형성하는 단계는,

상기 보호막을 증착하는 단계; 그리고

상기 드레인 전극의 일부를 노출하도록 상기 보호막을 관통하는 드레인 콘택홀을 형성하는 단계를 포함하고;

상기 보호막 위에 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접속하는 화소전극을 형성하는 단계를 더 포함하는 것을 특징으로 하는 액정표시장치 제조 방법.

청구항 17

제 10 항에 있어서,

상기 보호막을 형성하는 단계는,

상기 보호막을 증착하는 단계; 그리고

상기 드레인 전극의 일부를 노출하도록 상기 보호막을 관통하는 드레인 콘택홀과, 상기 상기 게이트 전극의 일부를 노출하도록 상기 보호막 및 상기 게이트 절연막을 관통하는 게이트 콘택홀을 형성하는 단계를 포함하고;

상기 불투명 보호층을 형성하는 단계는,

상기 보호막 위에 임계 두께 이상으로 ITO 및 IZO 중 적어도 어느 하나를 포함하는 도전물질을 증착하는 단계와;

상기 도전물질을 패터하여, 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접속하는 화소전극과, 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접속하는 상기 불투명 보호층을 형성하는 단계를 포함하되,

상기 불투명 보호층은 상기 임계 두께 이상의 두께를 유지하면서 상기 게이트 전극과 동일한 크기를 갖고 완전히 증착하도록 형성하고, 상기 화소전극은 상기 임계 두께 이하의 두께를 갖도록 형성하는 것을 특징으로 하는 액정표시장치 제조 방법.

명세서

발명의 상세한 설명

기술 분야

[0001] 본 발명은 액정표시장치 및 그 제조 방법에 관한 것이다. 특히, 본 발명은 외부 빛에 의한 반도체 층 보호소자를 구비한 액정표시장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 최근, 음극선관(Cathode Ray Tube)의 단점인 무게와 부피를 줄일 수 있는 각종 평판 표시장치들이 개발되고 있다. 이러한 평판 표시장치는 액정 표시장치(Liquid Crystal Display: LCD), 전계 방출 표시장치(Field Emission Display : FED), 플라즈마 디스플레이 패널(Plasma Display Panel: PDP) 및 전계발광소자

(Electroluminescence Device) 등이 있다.

- [0003] 액정 표시 장치는 전계를 이용하여 액정의 광투과율을 조절함으로써 화상을 표시하게 된다. 이러한 액정 표시 장치는 액정을 구동시키는 전계의 방향에 따라 수직 전계형과 수평 전계형으로 대별된다.
- [0004] 수직 전계형 액정 표시 장치는 상부기판 상에 형성된 공통전극과 하부기판 상에 형성된 화소전극이 서로 대향되게 배치되어 이들 사이에 형성되는 수직 전계에 의해 TN(Twisted Nemastic) 모드의 액정을 구동하게 된다. 이러한 수직 전계형 액정 표시 장치는 개구율이 큰 장점을 가지는 반면 시야각이 90도 정도로 좁은 단점을 가진다.
- [0005] 수평 전계형 액정 표시 장치는 하부 기판에 나란하게 배치된 화소 전극과 공통 전극 간의 수평 전계에 의해 인 플레인 스위칭(In Plane Switching ; IPS) 모드의 액정을 구동하게 된다. 이러한 수평 전계형 액정 표시 장치는 시야각이 160도 정도로 넓은 장점을 가진다. 이하, 수평 전계형 액정 표시 장치에 대하여 상세히 살펴보기로 한다. 도 1은 종래 수평 전계형 액정표시패널을 나타내는 평면도이다. 도 2는 도 1에서 절취선 I-I'으로 자른 액정표시패널의 구조를 나타내는 단면도이다.
- [0006] 도 1 및 2를 참조하면, 액정표시패널은 박막트랜지스터(TFTC)가 형성된 박막트랜지스터 어레이 기판(TFTS)와, 칼라필터(CF) 및 블랙 매트릭스(BM)가 형성된 칼라필터 기판(CFS)과, 그 사이에 개재된 액정층(LC)을 포함한다. 수평 전계형 액정표시패널의 박막트랜지스터 어레이 기판은 하부 기판(SUBL) 상에 교차되게 형성된 게이트 라인(GLC) 및 데이터 라인(DLC)과, 그 교차부마다 형성된 박막 트랜지스터(TFTC)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(PXLC) 및 공통 전극(COMC)과, 공통 전극(COMC)과 접속된 공통 라인(CLC)을 구비한다.
- [0007] 박막트랜지스터(TFTC)는 게이트 라인(GLC)에서 분기된 게이트 전극(GC)과, 게이트 전극(GC)을 덮는 게이트 절연막(GIC) 위에서 게이트 전극(GC)과 중첩하도록 형성된 반도체 층(AC)과, 데이터 라인(DLC)에서 분기되며 반도체 층(AC)의 일측단과 접촉하는 소스 전극(SC)과, 소스 전극(SC)과 대향하며 반도체 층(AC)의 타측단과 접촉하는 드레인 전극(DC)을 포함한다. 그리고, 박막트랜지스터(TFTC) 위에는 보호막(PASSIC)이 형성되어 박막트랜지스터(TFTC)를 보호한다. 보호막(PASSIC) 위에는 화소전극(PXLC)이 형성된다.
- [0008] 게이트라인(GLC)은 박막트랜지스터(TFTC)의 게이트전극(GC)에 게이트신호를 공급한다. 데이터라인(DLC)은 박막트랜지스터(TFTC)의 드레인전극(DC)을 통해 화소전극(PXLC)에 화소신호를 공급한다. 게이트라인(GLC)과 데이터라인(DLC)은 교차구조로 형성되어 화소영역을 정의한다. 공통라인(CLC)은 화소영역을 사이에 두고 게이트라인(GLC)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(PXLC)에 공급한다.
- [0009] 박막트랜지스터(TFTC)는 게이트 라인(GLC)의 게이트 신호에 응답하여 데이터 라인(DLC)의 화소 신호가 화소 전극(PXLC)에 충전되어 유지되게 한다. 화소 전극(PXLC)은 박막트랜지스터(TFTC)의 드레인 전극(DC)과 접속되어 화소 영역에 형성된다. 공통 전극(COMC)은 공통 라인(CLC)과 접속되어 화소 영역에 형성된다. 특히, 화소 전극(PXLC)과 공통전극(COMC)은 화소 영역 내에서, 서로 평행하도록 배치된다. 이를 위해, 공통전극(COMC)은 화소 영역 내에서 수직 방향으로 일정 간격 떨어져 배열된 다수의 막대 모양을 구비하며, 화소전극(PXLC)은 공통전극(COMC)들 사이에서 배치되는 막대 모양을 다수개 구비한다.
- [0010] 이에 따라, 박막트랜지스터(TFTC)를 통해 화소 신호가 공급된 화소 전극(PXLC)과 공통 라인(CLC)을 통해 기준전압이 공급된 공통 전극(COMC) 사이에 수평 전계가 형성된다. 특히, 수직 방향으로 배열된 막대 모양의 화소 전극(PXLC)과 공통 전극(COMC) 사이에 수평 전계가 형성된다.
- [0011] 이러한 수평 전계에 의해, 박막 트랜지스터 어레이 기판(TFTS)과 칼라필터 기판(CFS) 사이에 개재된 액정층(LC)의 수평 방향으로 배열된 액정 분자들이 유전 이방성에 의해 회전하게 된다. 액정 분자들의 회전 정도에 따라 화소 영역을 투과하는 광 투과율이 달라지게 됨으로써 화상을 구현하게 된다.
- [0012] 상기와 같은 구조를 갖는 액정표시패널에서는 하부 기판(SUBL)의 아래에 장착되는 백 라이트(도시하지 않음)로부터 입사되는 광(BL)을 이용하여 화상을 표시한다. 이 때, 박막트랜지스터 어레이 기판(TFTS)으로 입사하는 빛이 게이트 전극(GC)에 의해 차단되지 못하고 회절 등의 이유로 해서 반도체 층(AC)으로 유입되기도 한다. 또한, 박막트랜지스터(TFTS)에 직접적으로 영향을 주지 않을 것으로 생각되는 화소 영역으로 입사되는 백 라이트 광(BL) 중에는 칼라필터 기판(CFS)에 형성된 블랙 매트릭스(BM)나 상부 기판(SUBL) 자체에 의해 반사되어 소스 전극(SC) 및 드레인 전극(DC) 사이에서 노출되는 반도체 층(AC)으로 유입되기도 한다.
- [0013] 이와 같이 박막트랜지스터(TFTC)의 반도체 층(AC)으로 빛이 유입되면, 광학적 및 열적인 스트레스로 인해 박막

트랜지스터(TFTC)의 특성 곡선이 어느 한쪽으로(특히, 좌측) 치우쳐져(shift 현상이라고 함), 소자의 특성이 저하된다. 도 3은 빛이 박막트랜지스터로 유입될 경우 발생하는 박막트랜지스터 특성 곡선의 shift 현상을 나타내는 그래프이다. 그 결과, 누설 전류가 발생하거나 박막트랜지스터(TFTS)가 정상적으로 데이터 신호를 화소 전극(PXLC)로 전달하지 못한다.

발명의 내용

해결 하고자하는 과제

- [0014] 본 발명의 목적은 상기와 같은 문제점을 해결하고자 안출된 것으로 박막트랜지스터로의 광 유입을 차단하는 액정표시장치 및 그 제조하는 방법을 제공하는 데 있다. 본 발명의 다른 목적은 금속층을 반도체 층의 위와 아래에 형성하여, 반도체 층으로의 광 유입을 차단함과 동시에, 이중 게이트 전극을 구성하는 액정표시장치 및 그 제조 방법을 제공하는 데 있다.

과제 해결수단

- [0015] 상기 목적을 달성하기 위해 본 발명에 의한 액정표시장치는, 기판; 상기 기판 위에서 서로 직교하는 데이터 라인 및 게이트 라인; 상기 데이터 라인과 상기 게이트 라인의 교차부에 형성된 박막트랜지스터; 상기 박막트랜지스터를 덮는 보호막; 상기 보호막 위에 형성되어 상기 박막트랜지스터를 덮는 불투명 보호층을 포함한다.
- [0016] 상기 박막트랜지스터는, 상기 게이트 라인에 연결된 게이트 전극과; 상기 게이트 전극을 덮는 게이트 절연막 위에서 상기 게이트 전극 영역 내에 형성된 반도체 층과; 상기 데이터 라인에서 분기하고, 상기 반도체 층의 일측부에 접촉하는 소스 전극과; 상기 소스 전극과 대향하며 상기 반도체 층의 타측부에 접촉하는 드레인 전극을 포함한다.
- [0017] 상기 게이트 전극과 상기 불투명 보호층은 크기가 동일하고, 서로 완전히 중첩되도록 형성된 것을 특징으로 한다.
- [0018] 상기 불투명 보호층은 불투명 도전물질을 포함한다.
- [0019] 상기 불투명 도전물질은 몰리브덴 및 티타늄 중 적어도 어느 하나를 포함한다.
- [0020] 상기 불투명 도전물질은 임계 두께 이상의 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 적어도 어느 하나를 포함한다.
- [0021] 상기 불투명 보호층은 상기 게이트 전극과 접속된 것을 특징으로 한다.
- [0022] 상기 보호막 위에서 상기 박막트랜지스터에 접속하는 투명 도전체를 포함하는 화소전극을 더 포함한다.
- [0023] 상기 투명 도전물질은 임계 두께 이하의 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 적어도 어느 하나를 포함한다.
- [0024] 또한, 본 발명에 의한 액정표시장치 제조 방법은, 기판 위에 서로 직교하는 데이터 라인 및 게이트 라인, 상기 데이터 라인 및 상기 게이트 라인과 접속하는 박막트랜지스터를 형성하는 단계; 상기 박막트랜지스터 위에 보호막을 증착하는 단계; 그리고 상기 보호막 위에 상기 박막트랜지스터를 덮는 불투명 보호층을 형성하는 단계를 포함한다.
- [0025] 상기 박막트랜지스터를 형성하는 단계는, 상기 기판 위에 상기 게이트 라인 및 상기 게이트 라인에 연결된 게이트 전극을 형성하는 단계와; 상기 게이트 라인 및 상기 게이트 전극을 덮는 게이트 절연막을 형성하는 단계와; 상기 게이트 절연막 위에서 상기 게이트 전극 영역 내에 반도체 층을 형성하는 단계와; 그리고 상기 데이터 라인에서 분기하고, 상기 반도체 층의 일측부에 접촉하는 소스 전극과, 상기 소스 전극과 대향하며 상기 반도체 층의 타측부에 접촉하는 드레인 전극을 형성하는 단계를 포함한다.
- [0026] 상기 불투명 보호층을 형성하는 단계는, 몰리브덴 및 티타늄 중 적어도 어느 하나를 포함하는 불투명 도전물질을 증착하여 형성하는 것을 특징으로 한다.
- [0027] 상기 불투명 보호층을 형성하는 단계는, 임계 두께 이상의 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 중 적어도 어느 하나를 포함하는 불투명 도전물질을 증착하여 형성하는 것을 특징으로 한다.
- [0028] 상기 보호막을 형성하는 단계는,

- [0029] 상기 보호막을 증착하는 단계; 그리고
- [0030] 상기 드레인 전극의 일부를 노출하도록 상기 보호막을 관통하는 드레인 콘택홀과, 상기 상기 게이트 전극의 일부를 노출하도록 상기 보호막 및 상기 게이트 절연막을 관통하는 게이트 콘택홀을 형성하는 단계를 포함하고;
- [0031] 상기 불투명 보호층을 형성하는 단계는, 상기 보호막 위에 임계 두께 이상으로 ITO 및 IZO 중 적어도 어느 하나를 포함하는 도전물질을 증착하는 단계와; 상기 도전물질을 패터닝하여, 상기 드레인 콘택홀을 통해 상기 드레인 전극과 접속하는 화소전극과, 상기 게이트 콘택홀을 통해 상기 게이트 전극과 접속하는 상기 불투명 보호층을 형성하는 단계를 포함하되, 상기 불투명 보호층은 상기 임계 두께 이상의 두께를 유지하면서 상기 게이트 전극과 동일한 크기를 갖고 완전히 중첩하도록 형성하고, 상기 화소전극은 상기 임계 두께 이하의 두께를 갖도록 형성하는 것을 특징으로 한다.

효 과

- [0032] 본 발명에 의한 액정표시장치는 박막트랜지스터의 반도체 층으로의 광 유입을 근본적으로 차단하여 소자의 신뢰성과 전자 이동성(mobility)을 향상하는 효과가 있다. 따라서, 장시간 사용하더라도 요고레와 같은 화질의 문제점이 발생하지 않는 양호한 품질을 갖는 액정표시장치를 제공한다. 또한, 박막트랜지스터의 반도체 층 위와 아래에 게이트 전극을 구비하는 이중 게이트 구조를 가짐으로써, 박막 트랜지스터를 더 작게 형성할 수 있다. 이로써, 개구율이 더 향상되는 효과를 얻을 수 있다.

발명의 실시를 위한 구체적인 내용

- [0033] 이하, 첨부한 도면을 참조하여 본 발명의 바람직한 실시 예에 대하여 설명한다. 도 4는 본 발명에 의한 수평 전계 방식의 액정표시장치의 박막트랜지스터 어레이 기판을 나타내는 평면도이다. 도 5는 도 4의 절취선 A-A'으로 자른 본 발명에 의한 박막트랜지스터 어레이 기판의 구조를 나타내는 단면도이다. 도 6은 도 4의 절취선 B-B'으로 자른 본 발명에 의한 박막트랜지스터 어레이 기판의 구조를 나타내는 단면도이다.
- [0034] 본 발명에 의한 액정표시패널은 박막트랜지스터(TFT)가 형성된 박막트랜지스터 어레이 기판(TFTS)와, 칼라필터(도시하지 않음)가 형성된 칼라필터 기판(도시하지 않음)과, 그 사이에 개재된 액정층(도시하지 않음)을 포함한다. 수평 전계형 액정표시패널의 박막트랜지스터 어레이 기판은 하부 기판(SUB) 상에 교차되게 형성된 게이트 라인(GL) 및 데이터 라인(DL)과, 그 교차부마다 형성된 박막 트랜지스터(TFT)와, 그 교차 구조로 마련된 화소 영역에 수평 전계를 이루도록 형성된 화소 전극(PXL) 및 공통 전극(COM)과, 공통 전극(COM)과 접속된 공통 라인(CL)을 구비한다.
- [0035] 박막트랜지스터(TFT)는 게이트 라인(GL)에서 분기된 게이트 전극(G)과, 게이트 전극(G)을 덮는 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩하도록 형성된 반도체 층(A)과, 데이터 라인(DL)에서 분기되며 반도체 층(A)의 일측단과 접촉하는 소스 전극(S)과, 소스 전극(S)과 대향하며 반도체 층(A)의 타측단과 접촉하는 드레인 전극(D)을 포함한다.
- [0036] 특히, 게이트 전극(G)은 게이트 라인(GL)보다 넓은 폭을 갖고 화소 영역 내에서 수평방향으로 진행되는 게이트 라인(GL)의 일부가 되도록 형성하는 것이 바람직하다. 그리고, 게이트 절연막(GI)를 사이에 두고 게이트 전극(G) 위에 형성되는 반도체 층(ACT)은 게이트 전극(G)보다 작은 크기를 갖도록 형성하는 것이 바람직하다. 따라서, 반도체 층(A)은 게이트 전극(G)에 의해 하부에서 유입될 수 있는 백 라이트 광을 모두 차단할 수 있다.
- [0037] 소스 전극(S)은 게이트 절연막(GI) 위에서 게이트 전극(G)과 중첩되도록 데이터 라인(DL)에서 분기된 형상을 갖는다. 즉, 평면상에서 보면 게이트 전극(G)과 소스 전극(S)은 완전 중첩된 형상을 갖는다. 한편, 소스 전극(S)과 대향하는 드레인 전극(D)은 일부는 소스 전극(S)과 대향하면서 반도체 층(A)의 타측단과 접촉한다. 그리고, 드레인 전극(D)은 데이터 배선(DL)의 진행 방향과 같은 방향으로 상부로 분기하여 게이트 전극(G) 영역 외부로 돌출되어 화소 전극(PXL)과 접속할 부분을 구비한다.
- [0038] 그리고, 박막트랜지스터(TFT) 위에는 보호막(PASSI)가 형성되어 박막트랜지스터(TFT)를 보호한다. 보호막(PASSI)에는 게이트 전극(G) 영역에서 화소 영역으로 돌출된 드레인 전극(D)의 일부를 노출하는 드레인 콘택 홀(CHD)이 형성되어 있다. 이 드레인 콘택 홀(CHD)을 통해 드레인 전극(D)이 노출되고, 보호막(PASSI) 위에 형성되는 화소전극(PXL)과 접속한다. 마찬가지로, 보호막(PASSI) 및 게이트 절연막(GI)에는 게이트 전극(G)의 일부를 노출하는 게이트 콘택 홀(CHG)를 더 포함한다. 게이트 콘택 홀(CHG)는 게이트 배선(GL)의 일부로 형성된 게

이트 전극(G)에서 박막트랜지스터(TFT)가 형성된 부분에서 떨어진 타측부에 형성하는 것이 바람직하다.

- [0039] 그리고, 보호막(PASSI) 위에는 화소전극(PXL)과 분리되어 있는 불투명 금속층인 보호층(SG)을 형성한다. 특히, 보호층(SG)은 게이트 전극(G)과 동일한 크기로 게이트 전극(G)과 완전히 중첩되는 형상으로 형성하는 것이 바람직하다. 따라서, 박막트랜지스터(TFT)의 반도체 층(A)은 게이트 전극(G)과 보호층(SG) 사이에서 완전히 상부와 하부가 외부 광 유입으로부터 차단된 구조를 갖는다. 또한, 보호층(SG)은 게이트 콘택 홀(CHG)를 통해 게이트 전극(G)과 접속하는 것이 바람직하다. 이로써, 박막트랜지스터(TFT)는 반도체 층(A) 아래와 위에 모두 게이트 전극을 구비한 이중 게이트(Double Gate) 구조를 가질 수 있다.
- [0040] 이중 게이트 구조로 박막트랜지스터(TFT)를 구성하는 경우, 종래보다 박막트랜지스터(TFT) 크기를 더 작게 설계할 수 있다. 따라서, 박막트랜지스터(TFT)가 화소 영역 내에서 차지하는 비율을 줄일 수 있다. 그 결과, 그만큼 화소 영역에서 발광 영역이 커짐으로써, 개구율을 높일 수 있다.
- [0041] 게이트라인(GL)은 박막트랜지스터(TFT)의 게이트전극(G)에 게이트신호를 공급한다. 데이터라인(DL)은 박막트랜지스터(TFT)의 드레인전극(D)을 통해 화소전극(PXL)에 화소신호를 공급한다. 게이트라인(GL)과 데이터라인(DL)은 교차구조로 형성되어 화소영역을 정의한다. 공통라인(CL)은 화소영역을 사이에 두고 게이트라인(GL)과 나란하게 형성되며 액정 구동을 위한 기준전압을 공통전극(PXL)에 공급한다.
- [0042] 박막트랜지스터(TFT)는 게이트 라인(GL)의 게이트 신호에 응답하여 데이터 라인(DL)의 화소 신호가 화소 전극(PXL)에 충전되어 유지되게 한다. 화소 전극(PXL)은 박막트랜지스터(TFT)의 드레인 전극(D)과 접속되어 화소 영역에 형성된다. 공통 전극(COM)은 공통 라인(CL)과 접속되어 화소 영역에 형성된다. 특히, 화소 전극(PXL)과 공통전극(COM)은 화소 영역 내에서, 서로 평행하도록 배치된다. 이를 위해, 공통전극(COM)은 화소 영역 내에서 수직 방향으로 일정 간격 떨어져 배열된 다수의 꺾은선 막대 모양을 구비하며, 화소전극(PXL)은 공통전극(COM)들 사이에서 배치되는 꺾은선 막대 모양을 다수개 구비한다.
- [0043] 이에 따라, 박막트랜지스터(TFT)를 통해 화소 신호가 공급된 화소 전극(PXL)과 공통 라인(CL)을 통해 기준 전압이 공급된 공통 전극(COM) 사이에 수평 전계가 형성된다. 특히, 수직 방향으로 배열된 꺾은선 막대 모양의 화소 전극(PXL)과 공통 전극(COM) 사이에 수평 전계가 형성된다.
- [0044] 이하, 본 발명의 실시 예 1에 의한 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 공정을 설명한다. 도 7a 내지 7g는 본 발명의 실시 예에 의한 박막트랜지스터 어레이 기판을 제조하는 공정을 단계적으로 나타내는 단면도들이다. 본 실시 예에서는 박막트랜지스터의 광 유입을 차단하는 더블 게이트 구조를 갖는 부분을 중심으로 설명하기 위해 도 7a 내지 7은 도 4의 절취선 B-B'으로 자른 단면으로 설명한다.
- [0045] 투명 기판(SUB) 위에 금속물질을 증착하고, 제1 마스크로 패터닝하여 게이트 물질을 형성한다. 게이트 물질에는 게이트 배선(GL), 게이트 배선(GL)에서 분기하는 게이트 전극(G), 공통배선(CL), 공통배선에 연결된 공통전극(COM)을 포함한다. (도 7a)
- [0046] 게이트 물질 위에 게이트 절연막(GI)을 전면도 도포한다. 게이트 절연막(GI) 위에 반도체 물질을 전면 증착하고, 제2 마스크로 패터닝하여, 반도체 층(A)을 형성한다. 반도체 층(A)은 게이트 전극(G)과 중첩하되, 게이트 전극(G)의 크기 보다 작게 형성하여, 게이트 전극(G) 영역 내에 그 위치가 한정되도록 배치한다. (도 7b)
- [0047] 반도체 층(A)이 형성된 기판 전면에 금속물질을 증착하고, 제3 마스크로 패터닝하여 소스-드레인 물질을 형성한다. 소스-드레인 물질에는 데이터 배선(DL), 데이터 배선에서 분기하여 반도체 층(A)의 일측면에 접촉하는 소스 전극(S), 반도체 층(A)의 타측면에 접촉하며 소스 전극(S)과 대향하는 드레인 전극(D)을 포함한다. 데이터 배선(DL)은 게이트 절연막(GI)을 사이에 두고, 게이트 배선(GL)과 직교하는 방향으로 형성된다. 소스 전극(S)은 게이트 영역(G) 내에 한정되도록 배치한다. 드레인 전극(D)은 일부가 게이트 영역(G)에서 화소 영역 쪽으로 돌출되도록 형성한다. (도 7c)
- [0048] 소스-드레인 물질이 형성된 기판 위에 SiNx 나 SiOx 와 같은 절연물질을 증착하여, 보호막(PASSI)를 형성한다. 제4 마스크로 패터닝하여 게이트 전극(G)을 덮는 보호막(PASSI) 및 게이트 절연막(GI)을 동시에 패터닝하여 게이트 전극(G)의 일부를 노출하는 게이트 콘택홀(CHG)을 형성한다. (도 7d)
- [0049] 기판 전면에 몰리브덴(Mo), 티타늄(Ti) 혹은 이들을 포함하는 합금물질(예: Mo-Ti)을 포함하는 불투명 금속막을 증착한다. 제5 마스크로 불투명 금속막을 패터닝하여, 게이트 전극(G)과 동일한 크기를 갖고 완전히 중첩하는 보호층(SG)을 형성한다. 보호층(SG)은 게이트 콘택홀(CHG)를 통해 게이트 전극(G)과 접속되어 이중 게이트

구조를 갖는 박막트랜지스터(TFT)의 상층 게이트 역할을 한다. (도 7e)

[0050] 지금까지는 보호층(SG)을 중심으로 설명하였기 때문에 도 4의 절취선 B-B'으로 자른 단면으로 설명하였다. 그러나, 이 후에는 화소전극(PXL)을 중심으로 설명하므로 절취선 A-A'으로 자른 단면으로 설명한다. 제6 마스크로 보호막(PASSI)을 드레인 전극(D) 중 게이트 전극(G) 영역에서 화소 영역 쪽으로 돌출된 부분을 노출하는 드레인 콘택홀(CHD)을 형성한다. (도 7f)

[0051] 드레인 콘택홀(CHD)이 형성된 기판 전면에는 ITO 또는 IZO와 같은 투명 도전물질을 전면 증착한다. 투명 도전물질을 제7 마스크로 패터닝하여 화소전극(PXL)을 형성한다. 화소전극(PXL)은 드레인 콘택홀(CHD)을 통해 드레인 전극(D)과 접촉한다. 그리고, 화소전극(PXL)은 공통전극(COM)과 평행하게 배치되어 공통전극(COM)과 수평전계를 형성할 수 있도록 형성된다. (도 7g)

[0052] 이상 본 발명의 실시 예 1에서는 보호층(SG)과 화소전극(PXL)을 별도의 공정으로 제조하는 것을 예로 설명하였다. 따라서, 박막트랜지스터 기판을 형성하는데 7단계의 마스크 공정이 필요하였다. 그러나, 하프톤 마스크를 이용하여 마스크 공정을 줄일 수 있다. 이하, 실시 예 2에서는 마스크 공정 수를 줄인 본 발명에 의한 박막트랜지스터 어레이 기판을 제조하는 공정을 설명한다. 실시 예 1의 제3 마스크 공정까지는 동일하지만, 화소전극부와 보호층부를 동시에 표현하여야 하므로 도 4의 절취선 A-A'과 B-B'으로 자른 단면을 동시에 한 도면으로 나타내어 설명한다. 도 8a 내지 도 8e는 본 발명의 실시 예 2에 의한 액정표시장치의 박막트랜지스터 어레이 기판을 제조하는 공정을 단계적으로 나타내는 단면도들이다.

[0053] 투명 기판(SUB) 위에 금속물질을 증착하고, 제1 마스크로 패터닝하여 게이트 물질을 형성한다. 게이트 물질에는 게이트 배선(GL), 게이트 배선(GL)에서 분기하는 게이트 전극(G), 공통배선(CL), 공통배선에 연결된 공통전극(COM)을 포함한다. (도 8a)

[0054] 게이트 물질 위에 게이트 절연막(GI)을 전면 도포한다. 게이트 절연막(GI) 위에 반도체 물질을 전면 증착하고, 제2 마스크로 패터닝하여, 반도체 층(A)을 형성한다. 반도체 층(A)은 게이트 전극(G)과 중첩되되, 게이트 전극(G)의 크기 보다 작게 형성하여, 게이트 전극(G) 영역 내에 그 위치가 한정되도록 배치한다. (도 8b)

[0055] 반도체 층(A)이 형성된 기판 전면에는 금속물질을 증착하고, 제3 마스크로 패터닝하여 소스-드레인 물질을 형성한다. 소스-드레인 물질에는 데이터 배선(DL), 데이터 배선에서 분기하여 반도체 층(A)의 일측면에 접촉하는 소스 전극(S), 반도체 층(A)의 타측면에 접촉하며 소스 전극(S)과 대향하는 드레인 전극(D)을 포함한다. 데이터 배선(DL)은 게이트 절연막(GI)을 사이에 두고, 게이트 배선(GL)과 직교하는 방향으로 형성된다. 소스 전극(S)은 게이트 영역(G) 내에 한정되도록 배치한다. 드레인 전극(D)은 일부가 게이트 영역(G)에서 화소 영역 쪽으로 돌출되도록 형성한다. (도 8c)

[0056] 박막트랜지스터(TFT)가 형성된 기판 위에 보호막(PASSI)을 전면 증착한다. 드레인 전극(D)을 덮는 보호막(PASSI)과 게이트 전극(G)을 덮는 게이트 절연막(GI) 및 보호막(PASSI)을 제4 마스크인 하프톤 마스크를 사용하여 동시에 패터닝한다. 그러면, 드레인 전극(D) 위에는 보호막(PASSI)만을 관통하는 드레인 콘택홀(CHD)과, 게이트 전극(G) 위에는 보호막(PASSI)과 게이트 절연막(GI)을 모두 관통하는 게이트 콘택홀(CHG)을 동시에 형성할 수 있다. (도 8d)

[0057] 마찬가지로, 드레인 콘택홀(CHD)과 게이트 콘택홀(CHG)이 형성된 보호막(PASSI) 위에 ITO(Indium Tin Oxide) 혹은 IZO(Indium Zinc Oxide)와 같은 도전체로 화소 전극(PXL) 및 보호층(SG)을 동시에 형성할 수 있다. 화소 전극(PXL)은 투명 도전층이어야 하고, 보호층(SG)은 불투명 도전층이어야 하는데, 이를 동시에 형성하기 위해서는 다음과 같이 수행하여 이를 얻을 수 있다. ITO나 IZO는 산화도전물질로, 어느 두께 이하가 되면 투명성을 갖고, 그 이상의 두께에서는 불투명성을 갖는다. 이러한 두께를 임계 두께(critical thickness)라고 한다. 보호막(PASSI) 위에 ITO 혹은 IZO를 임계 두께 이상으로 두껍게 증착한다. 그리고, 제5 마스크인 하프톤 마스크를 이용하여 임계 두께 이하를 갖는 투명한 화소전극(PXL)을 형성함과 동시에, 임계 두께 이상을 갖는 불투명한 보호층(SG)을 동시에 형성한다. (도 8e)

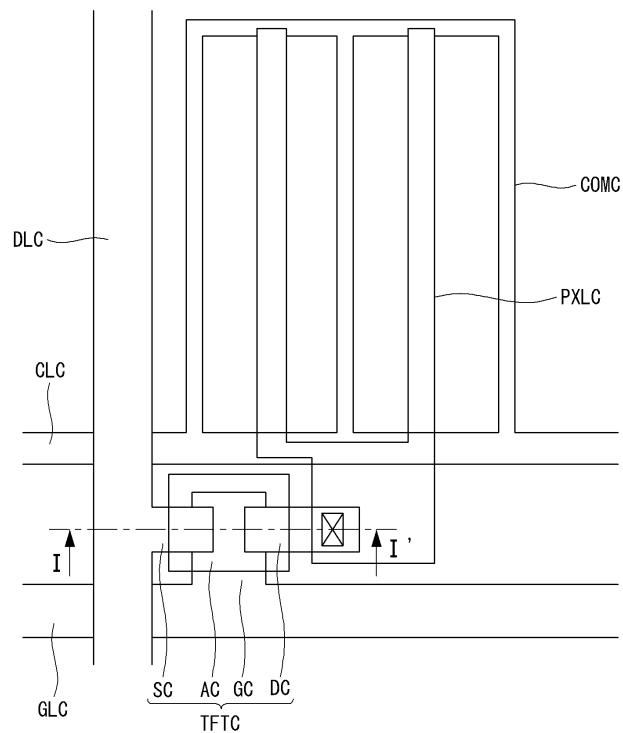
[0058] 이상 설명한 내용을 통해 당업자라면 본 발명의 기술사상을 일탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다. 따라서, 본 발명의 기술적 범위는 명세서의 상세한 설명에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의해 정하여져야만 할 것이다.

도면의 간단한 설명

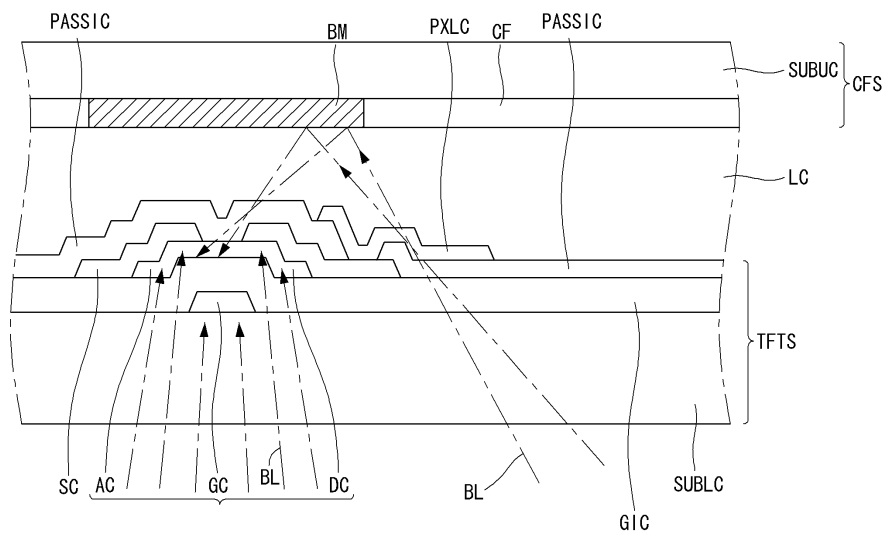
- [illegible]

도면

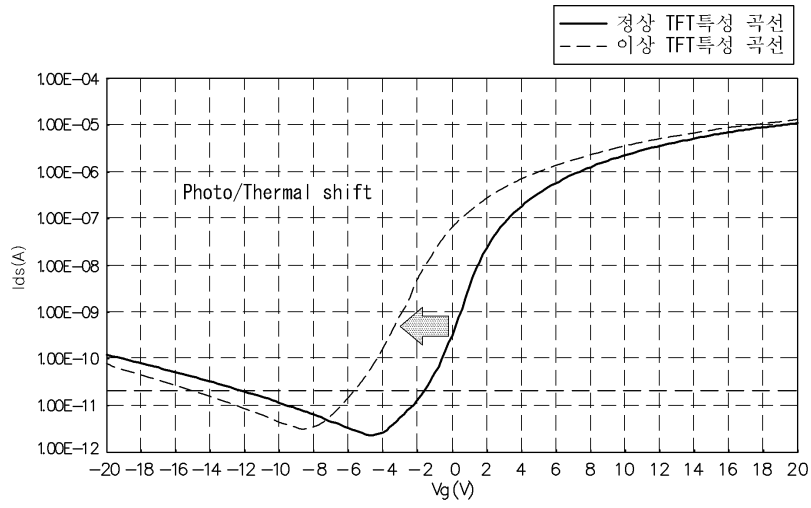
도면1



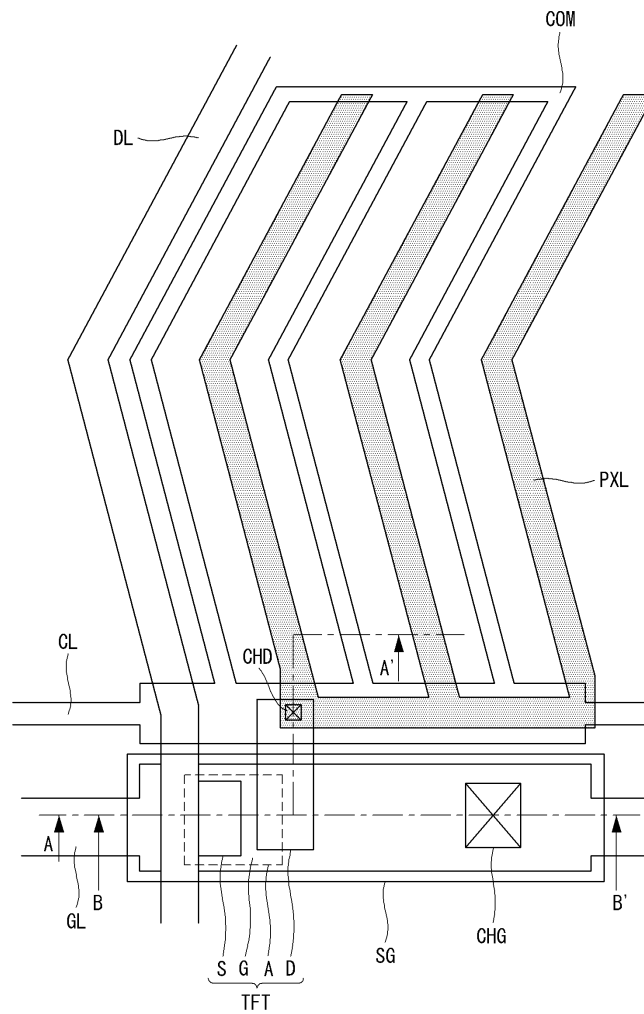
도면2



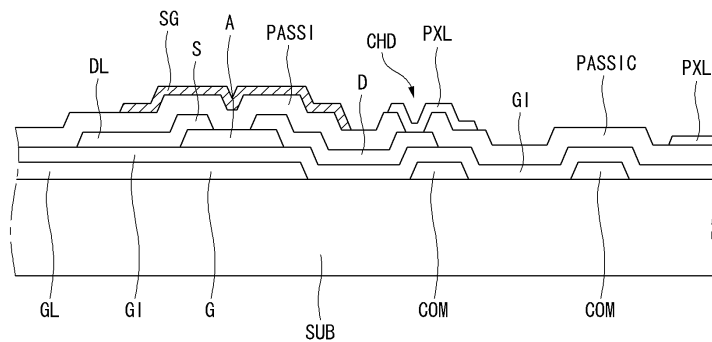
도면3



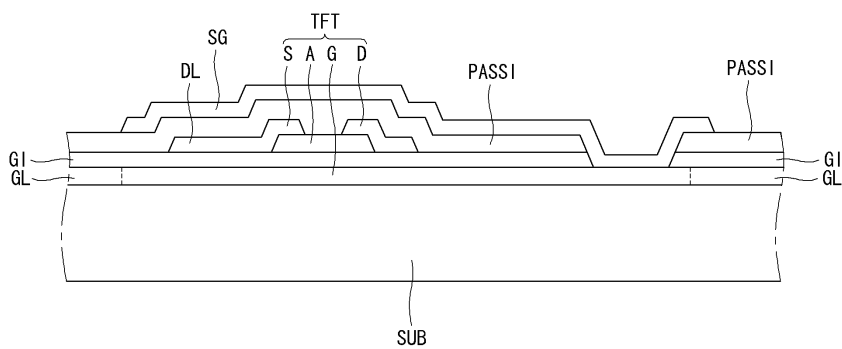
도면4



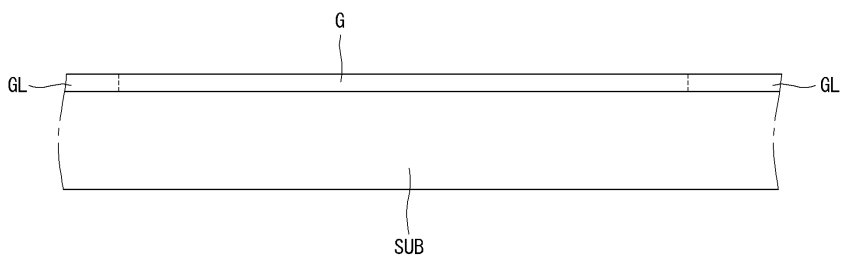
도면5



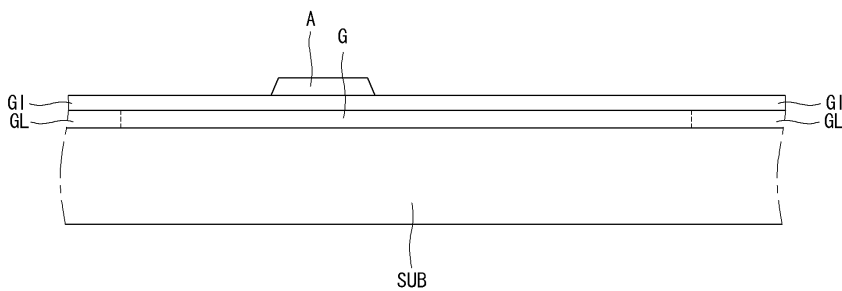
도면6



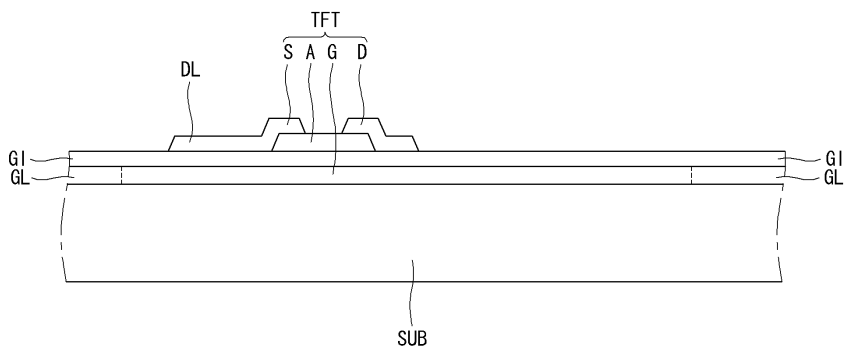
도면7a



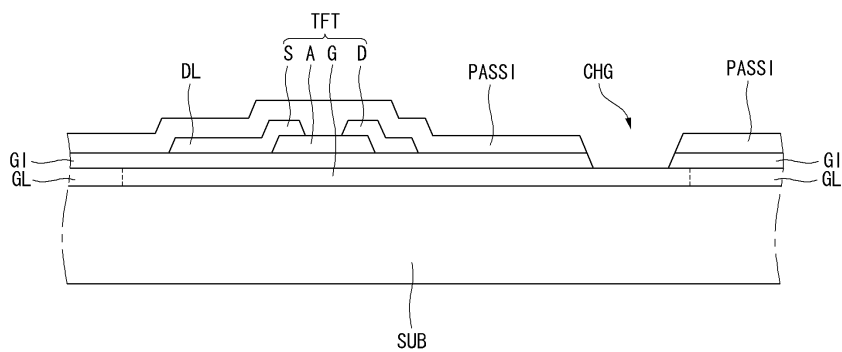
도면7b



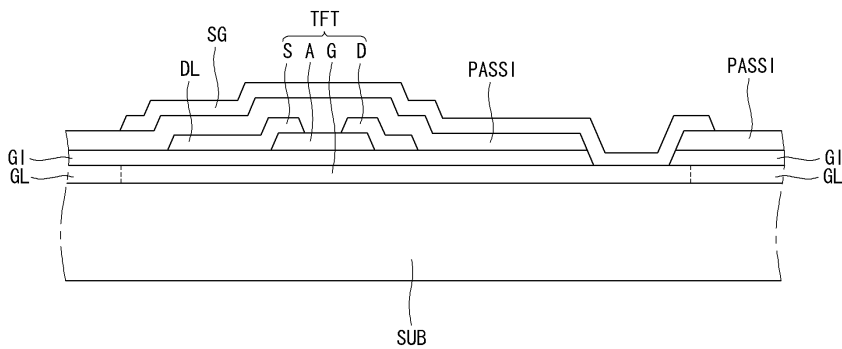
도면7c



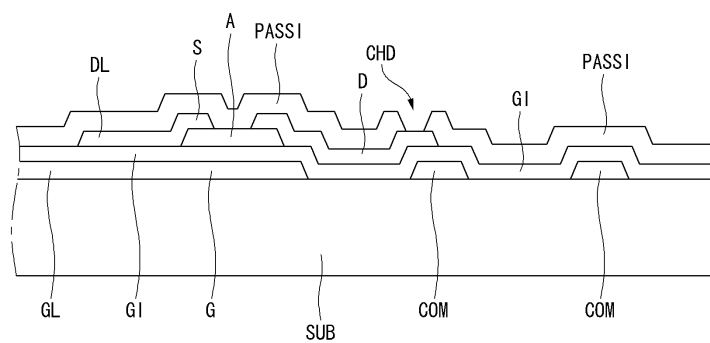
도면7d



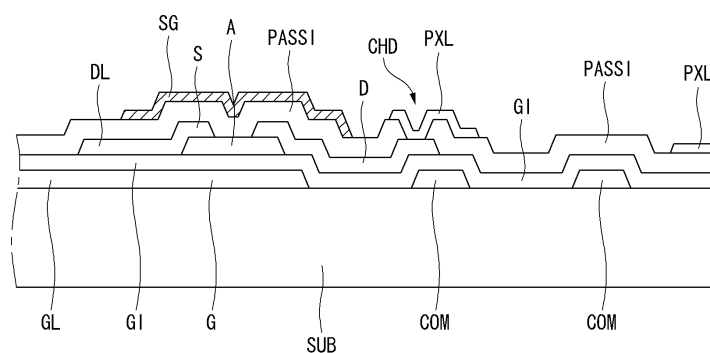
도면7e



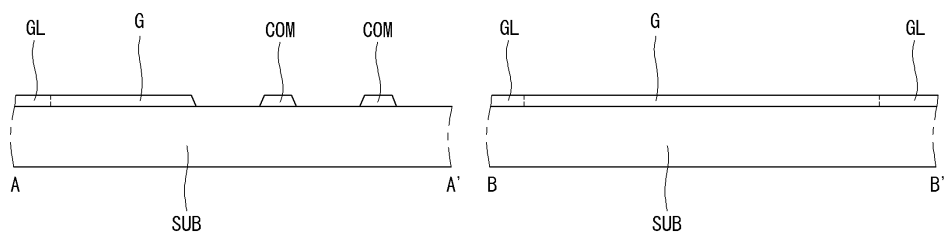
도면7f



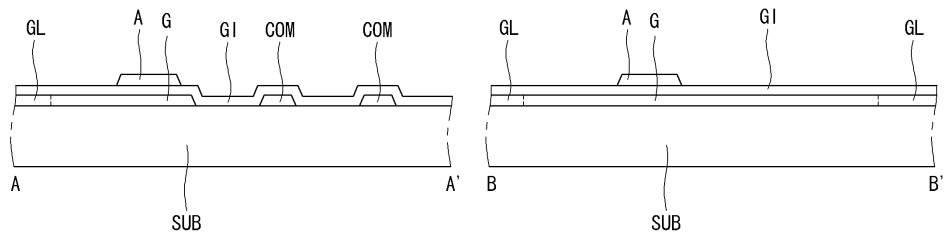
도면7g



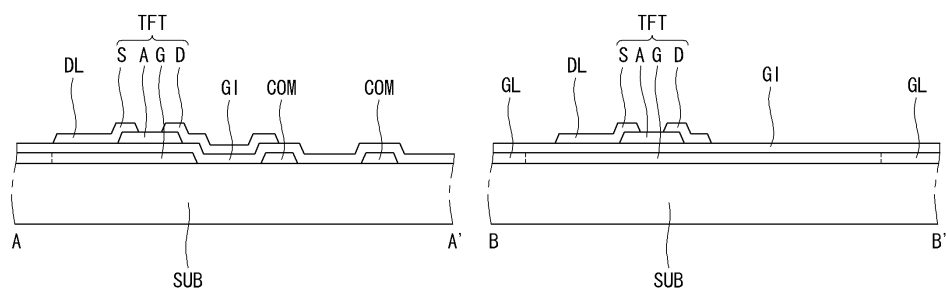
도면8a



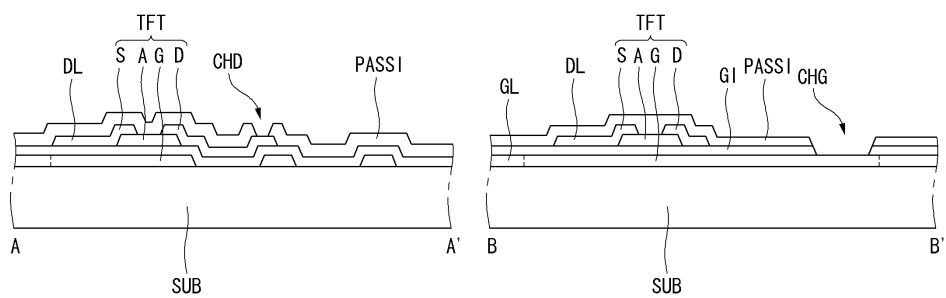
도면8b



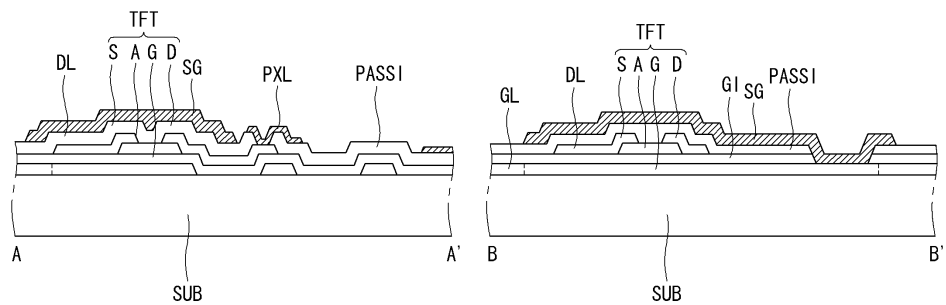
도면8c



도면8d



도면8e



专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101323412B1	公开(公告)日	2013-10-29
申请号	KR1020090133559	申请日	2009-12-30
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM YOUNG HOON 김영훈 YOON JOONG MIN 윤종민		
发明人	김영훈 윤종민		
IPC分类号	G02F1/136 G02F		
CPC分类号	H01L27/1259 H01L29/78633 G02F1/136209		
其他公开文献	KR1020110077097A		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置及其制造方法，该液晶显示装置具有用于从外部侵入光的半导体层的保护元件。本发明提出一种包括基板的液晶显示装置；在基板上彼此交叉的数据线和栅极线；薄膜晶体管，形成在数据线和栅极线的交叉部分；覆盖薄膜晶体管的钝化层；形成在钝化层上并覆盖薄膜晶体管的不透明保护层。根据本公开的液晶显示装置阻挡光侵入薄膜晶体管的半导体有源层，以增强有源层中的电子迁移率和元件的可靠性。

