(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2013년03월28일
(11) 등록번호 10-1248459
(24) 등록일자 2013년03월22일

(51) 국제특허분류(Int. Cl.)
G02F 1/136 (2006.01)
(21) 출원번호 10-2009-0108225
(22) 출원일자 2009년11월10일
심사청구일자 2011년11월10일
(65) 공개번호 10-2011-0051582
(43) 공개일자 2011년05월18일
(56) 선행기술조사문헌
KR1020080048234 A
JP2009260378 A
JP2009099847 A

(73) 특허권자
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
배종욱
서울특별시 양천구 목동동로 130, 목동아파트 1422동 2002호 (신정동)
서현식
경기도 고양시 일산동구 정발산로82번길 10, 정발건영 703동 201호 (마두동)
강임국
서울특별시 양천구 신월2동 삼영스위트빌 401호
(74) 대리인
박장원

전체 청구항 수 : 총 11 항 심사관 : 신창우

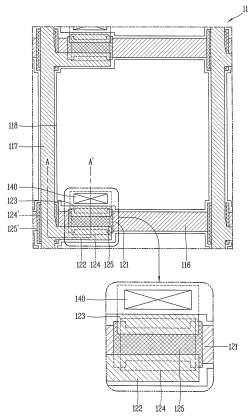
(54) 발명의 명칭 **액정표시장치 및 그 제조방법**

(57) 요 약

본 발명의 액정표시장치 및 그 제조방법은 비정질 아연 산화물(ZnO)계 반도체를 액티브층으로 사용한 액정표시장치에 있어서, 에치 스타퍼(etch stopper) 구조를 채택하여 소자의 안정성을 확보하는 한편, 상기 에치 스타퍼를 "H"자 형태로 설계하여 콘택(contact)영역을 제외한 액티브층의 노출 및 열화를 최소화하여 소자특성을 향상시키기 위한 것으로, 어레이 기판 위에 게이트전극과 게이트라인을 형성하는 단계; 상기 게이트전극과 게이트라인이 형성된 어레이 기판 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막이 형성된 게이트전극 상부에 비정질 아연 산화물계 반도체로 이루어진 액티브층을 형성하는 단계; 상기 액티브층 위에 실리콘산화막, 실리콘질화막 등의 절연막으로 콘택영역을 제외한 상기 액티브층을 덮도록 "H"자 형태의 에치 스타퍼를 형성하는 단계; 상기 액티브층 상부에 상기 액티브층의 콘택영역에 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 소오스/드레인전극 및 데이터라인이 형성된 어레이 기판 위에 보호막을 형성하는 단계; 상기 보호막의 일부영역을 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 어레이 기판과 컬러필터 기판을 대향하여 합착하는 단계를 포함한다.

또한, 본 발명의 액정표시장치 및 그 제조방법은 게이트라인과 데이터라인이 교차하는 영역에 반도체패턴과 절연막패턴을 추가로 형성하여 단차를 보상함으로써 단락불량을 방지할 수 있는 것을 특징으로 한다.

대 표 도 - 도3



특허청구의 범위

청구항 1

어레이 기판 위에 게이트전극과 게이트라인을 형성하는 단계;

상기 게이트전극과 게이트라인이 형성된 어레이 기판 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막이 형성된 게이트전극 상부에 비정질 아연 산화물계 반도체로 이루어진 액티브층을 형성하는 단계;

상기 액티브층 위에 실리콘산화막, 실리콘질화막 등의 절연막으로 콘택영역을 제외한 상기 액티브층을 덮도록 "H"자 형태의 에치 스타퍼를 형성하는 단계;

상기 액티브층 상부에 상기 액티브층의 콘택영역에 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계;

상기 소오스/드레인전극 및 데이터라인이 형성된 어레이 기판 위에 보호막을 형성하는 단계;

상기 보호막의 일부영역을 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하는 단계;

상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및

상기 어레이 기판과 컬러필터 기판을 대향하여 합착하는 단계를 포함하는 액정표시장치의 제조방법판과 컬러필터 기판을 대향하여 합착하는 단계를 포함하는 액정표시장치의 제조방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서, 상기 게이트라인과 데이터라인이 교차하는 영역의 상기 게이트라인 위에 상기 비정질 아연 산화물계 반도체로 이루어진 반도체패턴을 형성하는 단계 및 상기 반도체패턴 위에 상기 반도체패턴 및 게이트라인을 덮도록 상기 절연막으로 이루어진 절연막패턴을 형성하는 단계를 추가로 포함하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 4

삭제

청구항 5

제 1 항에 있어서, 상기 에치 스타퍼는 상기 액티브층과 소오스/드레인전극 사이를 접속시키기 위해 상기 소오스/드레인전극의 배선방향 및 선폭보다 작게 설계되도록 위, 아래 중앙부가 식각 됨에 따라 "H"자 형태로 형성되는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 6

제 1 항에 있어서, 상기 노출된 액티브층의 콘택영역에 표면처리 또는 열처리를 진행하여 저항을 감소시키는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 7

제 1 항에 있어서, 상기 액티브층은 a-IGZO 반도체로 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 8

제 1 항에 있어서, 상기 비정질 아연 산화물계 반도체층은 공정조건에 따라 변동될 수 있지만 DC 또는 RF 스퍼터링에 대해서 증착속도를 1 ~ 200Å/sec의 범위에서 스퍼터링 중의 반응 가스 내의 산소 농도를 1 ~ 40%로 하여 형성하는 것을 특징으로 하는 액정표시장치의 제조방법.

청구항 9

어레이 기판 위에 형성된 게이트전극과 게이트라인;

상기 게이트전극과 게이트라인이 형성된 어레이 기판 위에 형성된 게이트 절연막;

상기 게이트 절연막이 형성된 게이트전극 상부에 비정질 아연 산화물계 반도체로 형성된 액티브층;

상기 액티브층 위에 실리콘산화막, 실리콘질화막 등의 절연막으로 형성되며, 콘택영역을 제외한 상기 액티브층을 덮도록 "H"자 형태로 형성된 에치 스타퍼;

상기 액티브층 상부에 형성되어 상기 액티브층의 콘택영역에 전기적으로 접속하는 소오스/드레인전극 및 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인;

상기 소오스/드레인전극 및 데이터라인이 형성된 어레이 기판 위에 형성된 보호막;

상기 보호막의 일부영역이 제거되어 상기 드레인전극의 일부를 노출시키는 콘택홀;

상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극; 및

상기 어레이 기판과 대향하여 합착하는 컬러필터 기판을 포함하는 액정표시장치.

청구항 10

삭제

청구항 11

제 9 항에 있어서, 상기 게이트라인과 데이터라인이 교차하는 영역의 상기 게이트라인 위에 상기 비정질 아연 산화물계 반도체로 형성된 반도체패턴 및 상기 반도체패턴 위에 상기 반도체패턴 및 게이트라인을 덮도록 상기 절연막으로 형성된 절연막패턴을 추가로 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

삭제

청구항 13

제 9 항에 있어서, 상기 에치 스타퍼는 상기 액티브층과 소오스/드레인전극 사이를 접속시키기 위해 상기 소오스/드레인전극의 배선방향 및 선폭보다 작게 설계되도록 위, 아래 중앙부가 식각 됨에 따라 "H"자 형태를 가지는 것을 특징으로 하는 액정표시장치.

청구항 14

제 9 항에 있어서, 상기 액티브층은 상기 게이트전극과 위, 아래 방향으로 1.5㎛정도의 정렬마진을 가지며, 상기 액티브층의 콘택영역은 상기 게이트전극과 1.5㎛의 폭으로 중첩되는 동시에 상기 소오스/드레인전극과 3㎛의 폭으로 중첩되는 것을 특징으로 하는 액정표시장치.

청구항 15

삭제

청구항 16

제 9 항에 있어서, 상기 "H"자 형태의 에치 스타퍼는 좌우 돌출된 부분을 제외한 중앙부에 있어 상기 소오스/드레인전극과 1.5㎛의 폭으로 중첩하는 것을 특징으로 하는 액정표시장치.

명 세 서

발명의 상세한 설명

기 술 분 야

[0001] 본 발명은 액정표시장치 및 그 제조방법에 관한 것으로, 보다 상세하게는 비정질 아연 산화물계 반도체를 액티브층으로 사용한 액정표시장치 및 그 제조방법에 관한 것이다.

배 경 기 술

[0002] 최근 정보 디스플레이에 관한 관심이 고조되고 휴대가 가능한 정보매체를 이용하려는 요구가 높아지면서 기존의 표시장치인 브라운관(Cathode Ray Tube; CRT)을 대체하는 경량 박막형 평판표시장치(Flat Panel Display; FPD)에 대한 연구 및 상업화가 중점적으로 이루어지고 있다. 특히, 이러한 평판표시장치 중 액정표시장치(Liquid Crystal Display; LCD)는 액정의 광학적 이방성을 이용하여 이미지를 표현하는 장치로서, 해상도와 컬러표시 및 화질 등에서 우수하여 노트북이나 데스크탑 모니터 등에 활발하게 적용되고 있다.

[0003] 상기 액정표시장치는 크게 컬러필터(color filter) 기판과 어레이(array) 기판 및 상기 컬러필터 기판과 어레이 기판 사이에 형성된 액정층(liquid crystal layer)으로 구성된다.

[0004] 상기 액정표시장치에 주로 사용되는 구동 방식인 능동 매트릭스(Active Matrix; AM) 방식은 비정질 실리콘 박막 트랜지스터(Amorphous Silicon Thin Film Transistor; a-Si TFT)를 스위칭소자로 사용하여 화소부의 액정을 구동하는 방식이다.

[0005] 이하, 도 1을 참조하여 일반적인 액정표시장치의 구조에 대해서 상세히 설명한다.

[0006] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도이다.

[0007] 도면에 도시된 바와 같이, 상기 액정표시장치는 크게 컬러필터 기판(5)과 어레이 기판(10) 및 상기 컬러필터 기판(5)과 어레이 기판(10) 사이에 형성된 액정층(liquid crystal layer)(30)으로 구성된다.

[0008] 상기 컬러필터 기판(5)은 적(Red; R), 녹(Green; G) 및 청(Blue; B)의 색상을 구현하는 다수의 서브-컬러필터(7)로 구성된 컬러필터(C)와 상기 서브-컬러필터(7) 사이를 구분하고 액정층(30)을 투과하는 광을 차단하는 블랙매트릭스(black matrix)(6), 그리고 상기 액정층(30)에 전압을 인가하는 투명한 공통전극(8)으로 이루어져 있다.

[0009] 또한, 상기 어레이 기판(10)은 종횡으로 배열되어 복수개의 화소영역(P)을 정의하는 복수개의 게이트라인(16)과 데이터라인(17), 상기 게이트라인(16)과 데이터라인(17)의 교차영역에 형성된 스위칭소자인 박막 트랜지스터(T) 및 상기 화소영역(P) 위에 형성된 화소전극(18)으로 이루어져 있다.

[0010] 상기의 컬러필터 기판(5)과 어레이 기판(10)은 화상표시 영역의 외곽에 형성된 실런트(sealant)(미도시)에 의해 대향하도록 합착되어 액정표시패널을 구성하며, 상기 컬러필터 기판(5)과 어레이 기판(10)의 합착은 상기 컬러필터 기판(5) 또는 어레이 기판(10)에 형성된 합착키(미도시)를 통해 이루어진다.

[0011] 전술한 액정표시장치에 사용되는 비정질 실리콘 박막 트랜지스터는 저온 공정에서 제작할 수 있지만 이동도(mobility)가 매우 작고 정전류 테스트(constant current bias) 조건을 만족하지 않는다. 반면에 다결정 실리콘 박막 트랜지스터는 높은 이동도와 만족스러운 정전류 테스트 조건을 가지는 반면에 균일한 특성 확보가 어려워 대면적화가 어렵고 고온 공정이 필요하다.

[0012] 이에 산화물 반도체로 액티브층을 형성한 산화물 반도체 박막 트랜지스터를 개발하고 있는데, 이때 산화물 반도체를 기존의 바텀 게이트(bottom gate) 구조의 박막 트랜지스터에 적용하는 경우 소오스/드레인전극의 식각공정 중에 산화물 반도체가 손상을 받아 변성을 일으키는 문제점이 있다.

[0013] 도 2는 일반적인 산화물 박막 트랜지스터의 구조를 개략적으로 나타내는 단면도이다.

[0014] 도면에 도시된 바와 같이, 일반적인 산화물 박막 트랜지스터는 기판(10) 위에 게이트전극(21)과 게이트절연층(15a)이 형성되고, 상기 게이트절연층(15a) 위에 산화물 반도체로 이루어진 액티브층(24)이 형성되게 된다.

[0015] 이후, 상기 액티브층(24) 상부에 상기 액티브층(24)의 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극(22, 23)이 형성되게 되는데, 이때 상기 소오스/드레인전극(22, 23)을 증착하고 식각하는 과정에서 그 하부의 액티브층(24)(특히, 액티브층(24)의 백 채널영역(A))이 손상을 받아 변성이 되는 경우가 있다. 이에 따라 소자의 신뢰성에 문제점을 가지게 된다.

[0016] 즉, 소오스/드레인전극용 금속은 산화물 반도체와의 콘택저항을 고려하여 몰리브덴 계열의 금속으로 제한되게 되는데, 소오스/드레인전극을 습식식각으로 형성하는 경우에는 에천트(etchant)에 취약한 산화물 반도체의 물성(物性)으로 인해 액티브층의 유실 혹은 손상을 초래하며, 상기 소오스/드레인전극을 건식식각으로 형성하는 경

우에도 산화물 반도체의 백-스퍼터링(back-sputtering) 및 산소 결핍(oxygen deficiency)으로 인해 액티브층이 변성되게 된다.

[0017] 이와 같이 산화물 반도체는 약한 결합구조를 가지고 있어서 상기 산화물 반도체의 증착 후 후속공정에 의한 백 채널영역의 손상을 방지하기 위해 배리어 층(barrier layer)으로 에치 스타퍼(etch stopper)를 액티브층 상부에 추가로 형성하기도 하는데, 산화물 반도체의 경우 건식식각 이외의 공정 즉, 스트립 또는 기타 환경 노출에 대한 소자특성의 열화방지를 고려하고 있지 않다.

[0018] 또한, 게이트라인과 데이터라인이 교차하는 영역에서는 게이트절연막이 게이트라인 상부에 비해 게이트라인 측면에서 더 얇게 증착되어 단차가 발생하게 되는데, 이에 따라 상기 게이트라인 측면에서 상기 게이트라인과 데이터라인이 단락되는 불량이 발생하기도 한다.

발명의 내용

해결 하고자하는 과제

[0019] 본 발명은 상기한 문제를 해결하기 위한 것으로, 비정질 아연 산화물계 반도체를 액티브층으로 사용한 액정표시장치 및 그 제조방법을 제공하는데 목적이 있다.

[0020] 본 발명의 다른 목적은 에치 스타퍼 구조를 채택하여 소자의 안정성을 확보하는 동시에 액티브층의 노출 및 열화를 최소화하여 소자특성을 향상시키도록 한 액정표시장치 및 그 제조방법을 제공하는데 있다.

[0021] 본 발명의 또 다른 목적은 게이트라인과 데이터라인이 교차하는 영역에서 단락불량을 방지하도록 한 액정표시장치 및 그 제조방법을 제공하는데 있다.

[0022] 본 발명의 다른 목적 및 특징들은 후술되는 발명의 구성 및 특허청구범위에서 설명될 것이다.

과제 해결수단

[0023] 상기한 목적을 달성하기 위하여, 본 발명의 액정표시장치는 어레이 기판 위에 형성된 게이트전극과 게이트라인; 상기 게이트전극과 게이트라인이 형성된 어레이 기판 위에 형성된 게이트 절연막; 상기 게이트 절연막이 형성된 게이트전극 상부에 비정질 아연 산화물계 반도체로 형성된 액티브층; 상기 액티브층 위에 실리콘산화막, 실리콘질화막 등의 절연막으로 형성되며, 콘택영역을 제외한 상기 액티브층을 덮도록 "H"자 형태로 형성된 에치 스타퍼; 상기 액티브층 상부에 형성되어 상기 액티브층의 콘택영역에 전기적으로 접속하는 소오스/드레인전극 및 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인; 상기 소오스/드레인전극 및 데이터라인이 형성된 어레이 기판 위에 형성된 보호막; 상기 보호막의 일부영역이 제거되어 상기 드레인전극의 일부를 노출시키는 콘택홀; 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극; 및 상기 어레이 기판과 대향하여 합착하는 컬러필터 기판을 포함한다.

[0024] 본 발명의 액정표시장치의 제조방법은 어레이 기판 위에 게이트전극과 게이트라인을 형성하는 단계; 상기 게이트전극과 게이트라인이 형성된 어레이 기판 위에 게이트 절연막을 형성하는 단계; 상기 게이트 절연막이 형성된 게이트전극 상부에 비정질 아연 산화물계 반도체로 이루어진 액티브층을 형성하는 단계; 상기 액티브층 위에 실리콘산화막, 실리콘질화막 등의 절연막으로 콘택영역을 제외한 상기 액티브층을 덮도록 "H"자 형태의 에치 스타퍼를 형성하는 단계; 상기 액티브층 상부에 상기 액티브층의 콘택영역에 전기적으로 접속하는 소오스/드레인전극을 형성하며, 상기 게이트라인과 교차하여 화소영역을 정의하는 데이터라인을 형성하는 단계; 상기 소오스/드레인전극 및 데이터라인이 형성된 어레이 기판 위에 보호막을 형성하는 단계; 상기 보호막의 일부영역을 제거하여 상기 드레인전극의 일부를 노출시키는 콘택홀을 형성하는 단계; 상기 콘택홀을 통해 상기 드레인전극과 전기적으로 접속하는 화소전극을 형성하는 단계; 및 상기 어레이 기판과 컬러필터 기판을 대향하여 합착하는 단계를 포함한다.

효 과

[0025] 상술한 바와 같이, 본 발명에 따른 액정표시장치 및 그 제조방법은 비정질 아연 산화물계 반도체를 액티브층으로 사용함에 따라 균일도가 우수하여 대면적 디스플레이에 적용 가능한 효과를 제공한다.

[0026] 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 에치 스타퍼를 "H"자 형태로 설계함으로써 기존 구조에 비해서 콘택영역을 제외한 액티브층의 노출 및 열화를 최소화하여 소자특성을 향상시킬 수 있게 된다.

[0027] 특히, 상기 본 발명에 따른 액정표시장치 및 그 제조방법은 데이터 배선을 식각하는데 있어 습식식각뿐만 아니라 건식식각을 이용할 수 있으며, 상기 콘택영역의 부분적인 에치 스타퍼의 식각은 소오스/드레인전극의 배열방향에 자유도를 부여하는 효과를 제공한다. 또한, 상기 콘택영역의 산화물 반도체는 에치 스타퍼를 건식식각하는 동안 열화되어 저항이 감소됨에 따라 소자특성을 향상시킬 수 있게 된다.

[0028] 또한, 본 발명에 따른 액정표시장치 및 그 제조방법은 게이트라인과 데이터라인이 교차하는 영역에 반도체패턴과 절연막패턴을 추가로 형성하여 단차를 보상함으로써 단락불량이 방지됨에 따라 수율이 향상되는 효과를 제공한다.

발명의 실시를 위한 구체적인 내용

[0029] 이하, 첨부한 도면을 참조하여 본 발명에 따른 액정표시장치 및 그 제조방법의 바람직한 실시예를 상세히 설명한다.

[0030] 도 3은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도로써, 비정질 아연 산화물계 반도체를 액티브층으로 사용한 산화물 박막 트랜지스터 어레이 기판 구조를 개략적으로 나타내고 있다.

[0031] 또한, 도 4는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 단면도로써, 상기 도 3에 도시된 어레이 기판의 A-A'선에 따른 단면을 예를 들어 나타내고 있다.

[0032] 이때, 설명의 편의를 위해 상기 도 3 및 도 4는 화소부의 박막 트랜지스터를 포함하는 하나의 화소를 나타내고 있다. 즉, 실제의 액정표시장치에서는 N개의 게이트라인과 M개의 데이터라인이 교차하여 MxN개의 화소가 존재하지만 설명을 간단하게 하기 위해 도면에는 하나의 화소를 나타내고 있다.

[0033] 또한, 본 실시예는 트위스티드 네마틱(Twisted Nematic; TN)방식의 액정표시장치를 예를 들어 설명하고 있으나 본 발명이 이에 한정되는 것은 아니며, 본 발명은 횡전계(In Plane Switching; IPS)방식의 액정표시장치에도 적용될 수 있다.

[0034] 도면에 도시된 바와 같이, 본 발명의 실시예에 따른 어레이 기판(110)에는 상기 어레이 기판(110) 위에 종횡으로 배열되어 화소영역을 정의하는 게이트라인(116)과 데이터라인(117)이 형성되어 있다. 또한, 상기 게이트라인(116)과 데이터라인(117)의 교차영역에는 스위칭소자인 산화물 박막 트랜지스터가 형성되어 있으며, 상기 화소영역 내에는 상기 산화물 박막 트랜지스터에 연결되어 컬러필터 기판(미도시)의 공통전극과 함께 액정층(미도시)을 구동시키는 화소전극(118)이 형성되어 있다.

[0035] 상기 본 발명의 실시예에 따른 산화물 박막 트랜지스터는 상기 게이트라인(116)의 일부를 구성하는 게이트전극(121), 상기 데이터라인(117)에 연결된 소오스전극(122) 및 콘택홀(140)을 통해 상기 화소전극(118)에 연결된 드레인전극(123)으로 구성되어 있다. 또한, 상기 산화물 박막 트랜지스터는 상기 게이트전극(121)에 공급되는 게이트 전압에 의해 상기 소오스전극(122)과 드레인전극(123) 간에 전도채널을 형성하는 비정질 아연 산화물(ZnO)계 반도체로 형성된 액티브층(124)을 포함한다.

[0036] 참고로, 도면부호 115a 및 115b는 각각 게이트절연막 및 보호막을 나타낸다.

[0037] 이와 같이 상기 본 발명의 실시예에 따른 산화물 박막 트랜지스터는 비정질 아연 산화물계 반도체를 이용하여 액티브층을 형성함에 따라 높은 이동도와 정전류 테스트 조건을 만족하는 한편 균일한 특성이 확보되어 대면적 디스플레이에 적용 가능한 장점을 가지고 있다.

[0038] 상기 아연 산화물은 산소 함량에 따라 전도성, 반도체성 및 저항성의 3가지 성질을 모두 구현할 수 있는 물질로, 비정질 아연 산화물계 반도체 물질을 액티브층으로 적용한 산화물 박막 트랜지스터는 액정표시장치와 유기전계발광 디스플레이를 포함하는 대면적 디스플레이에 적용될 수 있다.

[0039] 또한, 최근 투명 전자회로에 엄청난 관심과 활동이 집중되고 있는데, 상기 비정질 아연 산화물계 반도체 물질을 액티브층으로 적용한 산화물 박막 트랜지스터는 높은 이동도를 가지는 한편 저온에서 제작이 가능함에 따라 상기 투명 전자회로에 사용될 수 있는 장점이 있다.

[0040] 특히, 본 발명의 실시예에 따른 산화물 박막 트랜지스터는 상기 ZnO에 인듐(indium; In)과 갈륨(gallium; Ga)과 같은 중금속이 함유된 a-IGZO 반도체로 액티브층을 형성하는 것을 특징으로 한다.

[0041] 상기 a-IGZO 반도체는 가시광선을 통과시킬 수 있어 투명하며, 또한 상기 a-IGZO 반도체로 제작된 산화물 박막

트랜지스터는 1~100cm^2/Vs의 이동도를 가져 비정질 실리콘 박막 트랜지스터에 비해 높은 이동도 특성을 나타낸다.

[0042] 또한, 상기 a-IGZO 반도체는 넓은 밴드 갭을 가져 높은 색순도를 갖는 UV 발광 다이오드(Light Emitting Diode; LED), 백색 LED와 그밖에 다른 부품들을 제작할 수 있으며, 저온에서 공정이 가능하여 가볍고 유연한 제품을 생산할 수 있는 특징을 가지고 있다.

[0043] 더욱이 상기 a-IGZO 반도체로 제작된 산화물 박막 트랜지스터는 비정질 실리콘 박막 트랜지스터와 비슷한 균일한 특성을 나타냄에 따라 부품 구조도 비정질 실리콘 박막 트랜지스터처럼 간단하며, 대면적 디스플레이에 적용할 수 있는 장점을 가지고 있다.

[0044] 이와 같은 특징을 가진 상기 본 발명의 실시예에 따른 산화물 박막 트랜지스터는 상기 액티브층(124)의 백 채널(back channel)영역 상부의 상기 소오스전극(122)과 드레인전극(123) 사이에 소정의 절연막으로 이루어진 에치 스타퍼(125)가 형성되게 되는데, 상기 에치 스타퍼(125)는 후속공정에 의한 백 채널영역의 손상을 방지하기 역할을 한다. 즉, 상기 본 발명의 실시예에 따른 에치 스타퍼(125)는 상기 액티브층(124)의 백 채널영역 상부에 형성되어 후속공정 진행 중에 상기 액티브층(124)의 백 채널 영역이 포토공정에 의한 화학물질과 접촉, 습식 또는 건식식각 및 플라즈마 공정 등에 노출되는 것을 방지하는 역할을 하게 된다.

[0045] 특히, 상기 본 발명의 실시예에 따른 에치 스타퍼(125)는 "H"자 형태로 설계함으로써 기존 구조에 비해서 콘택영역을 제외한 액티브층(124)의 노출 및 열화를 최소화하여 소자특성을 향상시킬 수 있는 것을 특징으로 한다.

[0046] 즉, 에치 스타퍼(125)를 형성할 때 상기 액티브층(124)과 소오스/드레인전극(122, 123) 사이의 전기적 접속을 위한 콘택영역의 디자인은 공정 및 소자특성에 큰 영향을 미치는데, 본 발명의 실시예의 경우 실리콘산화막과 같은 절연막을 이용하여 상기 콘택영역을 제외한 액티브층(124)을 완전히 보호하도록 "H"자 형태로 에치 스타퍼(125)를 형성함으로써 외부 노출을 최소화할 수 있으며, 데이터 배선, 즉 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)을 식각하는데 있어 습식식각뿐만 아니라 건식식각을 이용할 수 있다. 또한, 상기 콘택영역의 부분적인 에치 스타퍼(125)의 식각은 소오스/드레인전극(122, 123)의 배열방향에 자유도를 부여하는 효과를 제공하며, 상기 콘택영역의 산화물 반도체는 에치 스타퍼(125)를 건식식각하는 동안 열화되어 저항이 감소됨에 따라 소자특성을 향상시킬 수 있게 된다.

[0047] 이때, 상기 본 발명의 실시예의 경우에는 상기 소오스전극(122)이 상기 게이트라인(116)에 대해 실질적으로 평행한 방향으로 설계된 경우를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며, 전술한 바와 같이 본 발명은 상기 소오스/드레인전극(122, 123)의 배열방향에 자유도를 부여할 수 있다.

[0048] 또한, 상기 액티브층(124)은 그 하부의 게이트전극(121)에 대해 위, 아래 방향으로 약 1.5㎛정도의 정렬마진을 가지도록 형성할 수 있으며, 상기 액티브층(124)의 콘택영역은 하부 게이트전극(121)과 약 1.5 ㎛정도의 폭으로 중첩되도록 형성함에 따라 상기 액티브층(124)의 콘택영역은 그 상부의 소오스/드레인전극(122, 123)과 약 3㎛ 정도의 폭으로 중첩될 수 있다. 또한, 상기 "H"자 형태의 에치 스타퍼(125)는 좌우 돌출된 부분을 제외한 중앙부에 있어 상기 소오스/드레인전극(122, 123)과 약 1.5㎛정도의 폭으로 중첩될 수 있다. 다만, 본 발명이 상기 수치들에 한정되는 것은 아니다.

[0049] 또한, 상기 본 발명의 실시예에 따른 액정표시장치는 상기 게이트라인(116)과 데이터라인(117)이 교차하는 영역에 각각 상기 산화물 반도체와 절연막으로 반도체패턴(124')과 절연막패턴(125')을 형성하여 하부 게이트라인(116)의 단차를 보상함으로써 단락불량이 방지되는 것을 특징으로 한다.

[0050] 이때, 상기 반도체패턴(124')과 절연막패턴(125')은 하부의 게이트라인(116)을 완전히 덮도록 형성할 수 있으며, 상기 절연막패턴(125')은 하부의 반도체패턴(124')과 게이트라인(116)을 완전히 덮도록 형성할 수 있다.

[0051] 이하, 상기와 같이 구성되는 본 발명의 실시예에 따른 액정표시장치의 제조방법을 도면을 참조하여 상세히 설명한다.

[0052] 도 5a 내지 도 5f는 상기 도 3에 도시된 어레이 기판의 제조공정을 순차적으로 나타내는 단면도이다.

[0053] 또한, 도 6a 내지 도 6f는 상기 도 4에 도시된 어레이 기판의 제조공정을 순차적으로 나타내는 단면도이다.

[0054] 도 5a 및 도 6a에 도시된 바와 같이, 투명한 절연물질로 이루어진 어레이 기판(110) 위에 게이트전극(121)과 게이트라인(116)을 형성한다.

[0055] 이때, 본 발명의 산화물 박막 트랜지스터에 적용되는 비정질 아연 산화물계 복합 반도체는 저온 증착이 가능하여, 플라스틱 기판, 소다라임 글라스 등의 저온 공정에 적용이 가능한 기판을 사용할 수 있다. 또한, 비정질 특성을 나타냄으로 인해 대면적 디스플레이용 기판의 사용이 가능하다.

[0056] 또한, 상기 게이트전극(121)과 게이트라인(116)은 위에 제 1 도전막을 상기 어레이 기판(110) 전면에 증착한 후 포토리소그래피공정(제 1 마스크공정)을 통해 선택적으로 패터닝하여 형성하게 된다.

[0057] 여기서, 상기 제 1 도전막으로 알루미늄(aluminium; Al), 알루미늄 합금(Al alloy), 텅스텐(tungsten; W), 구리(copper; Cu), 니켈(nickel; Ni), 크롬(chromium; Cr), 몰리브덴(molybdenum; Mo), 티타늄(titanium; Ti), 백금(platinum; Pt), 탄탈(tantalum; Ta) 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 1 도전막은 인듐-틴-옥사이드(Indium Tin Oxide; ITO), 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 불투명한 도전물질을 사용할 수 있으며, 상기 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수도 있다.

[0058] 다음으로, 도 5b 및 도 6b에 도시된 바와 같이, 상기 게이트전극(121)과 게이트라인(116)이 형성된 어레이 기판(110) 전면에 실리콘질화막(SiNx), 실리콘산화막(SiO_2)과 같은 무기절연막 또는 하프늄(hafnium; Hf) 옥사이드, 알루미늄 옥사이드와 같은 고유전성 산화막으로 이루어진 게이트 절연막(115a)을 형성한다.

[0059] 이때, 상기 게이트 절연막(115a)은 플라즈마 화학기상증착(Plasma Enhanced Chemical Vapour Deposition; PECVD) 장비를 이용한 CVD방법으로 형성하거나 스퍼터 장비를 이용한 물리기상증착(Physical Vapour Deposition; PVD)방법으로 형성할 수 있으며, 상기 게이트 절연막(115a)의 증착 전 표면처리 및 열처리를 진행할 수도 있다.

[0060] 그리고, 상기 게이트 절연막(115a)이 형성된 어레이 기판(110) 전면에 비정질 아연 산화물계 반도체를 증착한 후, 본 발명의 제 2 마스크공정을 이용하여 선택적으로 패터닝함으로써 상기 게이트전극(121) 상부에 상기 비정질 아연 산화물계 반도체로 이루어진 액티브층(124)을 형성하는 동시에 상기 게이트라인(116)과 데이터라인이 교차하는 영역의 게이트라인(116) 상부에 상기 게이트라인(116)을 덮도록 상기 비정질 아연 산화물계 반도체로 이루어진 반도체패턴(124')을 형성하게 된다.

[0061] 여기서, 상기 비정질 아연 산화물계 복합 반도체, 특히 a-IGZO 반도체는 갈륨산화물(Ga_2O_3), 인듐산화물(In_2O_3) 및 아연산화물(ZnO)의 복합체 타겟을 이용하여 스퍼터링(sputtering) 방법에 의해 형성될 수 있다.

[0062] 이때, 본 발명의 실시예의 경우에는 갈륨, 인듐, 아연의 원자비가 각각 1:1:1, 2:2:1, 3:2:1 및 4:2:1인 복합 산화물 타겟을 사용하여 비정질 아연 산화물계 반도체를 증착할 수 있으며, 이때 상기 갈륨, 인듐, 아연의 원자비가 2:2:1인 복합 산화물 타겟을 사용하는 경우 상기 갈륨, 인듐, 아연의 당량(equivalent weight)비는 대략 2.8:2.8:1을 가지는 것을 특징으로 한다.

[0063] 그리고, 상기 본 발명의 실시예에 따른 산화물 박막 트랜지스터는 상기 비정질 아연 산화물계 반도체를 증착하기 위한 스퍼터링 중의 반응 가스 내의 산소 농도를 조절함으로써 액티브층(124)의 캐리어 농도를 조절할 수 있는데, 이때 산소 농도 1 ~ 10% 및 두께 500 ~ 1000Å 조건에서 균일한 소자특성의 확보가 가능하다.

[0064] 또한, 상기 본 발명의 실시예에 따른 비정질 아연 산화물계 반도체는 공정조건에 따라 다소 변동될 수 있지만 DC 또는 RF 스퍼터링에 대해서 증착속도를 1 ~ 200Å/sec의 범위에서 산소 농도를 1 ~ 40%로 하여 형성할 수 있다. 이때, 상기 산소 농도는 투입한 산소 유량과 아르곤 유량의 총합에 대한 산소 유량의 비를 나타낸다.

[0065] 그리고, 도 5c 및 도 6c에 도시된 바와 같이, 상기 어레이 기판(110) 전면에 실리콘질화막, 실리콘산화막 등의 절연막을 증착한 후, 본 발명의 제 3 마스크공정을 이용하여 선택적으로 패터닝함으로써 상기 액티브층(124) 상부에 상기 절연막으로 이루어진 에치 스타퍼(125)를 형성하는 동시에 상기 반도체패턴(124') 상부에 상기 절연막으로 이루어진 절연막패턴(125')을 형성하게 된다.

[0066] 이때, 상기 반도체패턴(124')과 절연막패턴(125')은 하부의 게이트라인(116)을 완전히 덮도록 형성하며, 상기 절연막패턴(125')은 하부의 반도체패턴(124')과 게이트라인(116)을 완전히 덮도록 형성함에 따라 상기 게이트라인(116)과 데이터라인이 교차하는 영역에서의 게이트라인(116)의 단차를 보상하는 역할을 하게 된다.

[0067] 이때, 상기 절연막은 SiH_4와 N_2O, 또는 SiH_4와 NH_3를 포함하는 가스를 이용하여 300~4000Å의 두께로 형성할 수 있으며, 상기 에치 스타퍼(125)는 상기 액티브층(124)과 소오스/드레인전극 사이를 접속시키기 위해 상기 소오스/드레인전극의 배선방향 및 선폭보다 작게 설계되도록 위, 아래 중앙부가 식각 됨에 따라 "H"자 형태로 형성되게 된다(도 7 참조). 이에 따라 기존 구조에 비해서 콘택영역, 즉 상기 절연막패턴(125')의 위, 아래 식각부

분을 제외한 액티브층(124)의 노출 및 열화를 최소화하여 소자특성을 향상시킬 수 있는 것을 특징으로 한다.

[0068] 즉, 에치 스타퍼(125)를 형성할 때 상기 액티브층(124)과 소오스/드레인전극 사이의 전기적 접속을 위한 콘택영역의 디자인은 공정 및 소자특성에 큰 영향을 미치는데, 본 발명의 실시예의 경우 상기 콘택영역을 제외한 액티브층(124)을 완전히 보호하도록 "H"자 형태로 에치 스타퍼(125)를 형성함으로써 외부 노출을 최소화할 수 있으며, 데이터 배선, 즉 소오스전극과 드레인전극 및 데이터라인을 식각하는데 있어 습식식각뿐만 아니라 건식식각을 이용할 수 있다. 또한, 상기 콘택영역의 부분적인 에치 스타퍼(125)의 식각은 소오스/드레인전극의 배열방향에 자유도를 부여하는 효과를 제공하며, 상기 콘택영역의 산화물 반도체는 에치 스타퍼(125)를 건식식각하는 동안 열화되어 저항이 감소됨에 따라 소자특성을 향상시킬 수 있게 된다.

[0069] 또한, 최종 노출된 상기 액티브층(124)의 콘택영역에 추가로 표면처리 또는 열처리를 하여 저항을 최소화할 수 있다.

[0070] 참고로, 도 8은 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 전기적 특성을 나타내는 그래프이다.

[0071] 이때, 그래프의 좌측은 산화물 박막 트랜지스터의 트랜스퍼(transfer)특성을 나타내고 있고, 그래프의 우측은 게이트 전압에 따른 소오스전극과 게이트전극 사이에 흐르는 전류를 나타내고 있는데, 콘택저항이 감소됨에 따라 트랜스퍼 곡선의 기울기가 급하고 액티브층의 열화가 최소화되어 전류의 누설 없이 소자특성이 우수한 것을 알 수 있다.

[0072] 다음으로, 도 5d 및 도 6d에 도시된 바와 같이, 상기 액티브층(124)과 에치 스타퍼(125)가 형성된 어레이 기판(110) 전면에 제 2 도전막을 형성한다.

[0073] 이때, 상기 제 2 도전막은 소오스전극과 드레인전극 및 데이터라인을 형성하기 위해 알루미늄, 알루미늄 합금, 텅스텐, 구리, 니켈, 크롬, 몰리브덴, 티타늄, 백금, 탄탈 등과 같은 저저항 불투명 도전물질을 사용할 수 있다. 또한, 상기 제 2 도전막은 인듐-틴-옥사이드, 인듐-징크-옥사이드와 같은 불투명한 도전물질을 사용할 수 있으며, 상기 도전물질이 두 가지 이상 적층된 다층구조로 형성할 수도 있다.

[0074] 그리고, 포토리소그래피공정(제 4 마스크공정)을 통해 상기 제 2 도전막을 선택적으로 패터닝함으로써 상기 액티브층(124)의 콘택영역, 즉 소오스/드레인영역과 전기적으로 접속하는 소오스/드레인전극(122, 123)을 형성하게 된다.

[0075] 또한, 상기 제 4 마스크공정을 통해 상기 제 2 도전막으로 이루어지며, 상기 게이트라인(116)과 교차하여 화소영역을 정의하는 데이터라인(117)을 형성하게 된다.

[0076] 다음으로, 도 5e 및 도 6e에 도시된 바와 같이, 상기 소오스전극(122)과 드레인전극(123) 및 데이터라인(117)이 형성된 어레이 기판(110) 전면에 보호막(115b)을 형성한 후, 포토리소그래피공정(제 5 마스크공정)을 통해 선택적으로 제거함으로써 상기 보호막(115b)에 상기 드레인전극(123)의 일부를 노출시키는 콘택홀(140)을 형성한다.

[0077] 여기서, 상기 보호막(115b)은 실리콘질화막이나 실리콘산화막과 같은 무기절연막으로 이루어질 수 있으며, 포토아크릴이나 벤조사이클로부텐(benzocyclobutene; BCB)과 같은 유기절연막으로 이루어질 수도 있다.

[0078] 다음으로, 도 5f 및 도 6f에 도시된 바와 같이, 상기 보호막(115b)이 형성된 어레이 기판(110) 전면에 제 3 도전막을 형성한 후, 포토리소그래피공정(제 6 마스크공정)을 통해 선택적으로 제거함으로써 상기 콘택홀(140)을 통해 상기 드레인전극(123)과 전기적으로 접속하는 화소전극(118)을 형성한다.

[0079] 이때, 상기 제 3 도전막은 화소전극을 구성하기 위해 인듐-틴-옥사이드(Indium Tin Oxide; ITO) 또는 인듐-징크-옥사이드(Indium Zinc Oxide; IZO)와 같은 투과율이 뛰어난 투명한 도전물질을 포함한다.

[0080] 이와 같이 제작된 상기 본 발명의 실시예에 따른 어레이 기판은 화상표시 영역의 외곽에 형성된 실런트에 의해 컬러필터 기판과 대향하여 합착되게 되는데, 이때 상기 컬러필터 기판에는 상기 박막 트랜지스터와 게이트라인 및 데이터라인으로 빛이 새는 것을 방지하는 블랙매트릭스와 적, 녹 및 청색의 컬러를 구현하기 위한 컬러필터가 형성되어 있다.

[0081] 이때, 상기 컬러필터 기판과 어레이 기판의 합착은 상기 컬러필터 기판 또는 어레이 기판에 형성된 합착키를 통해 이루어진다.

[0082] 상기 본 발명의 실시예에 따른 액정표시장치는 네마틱상의 액정분자를 기판에 대해 수직 방향으로 구동시키는 트위스티드 네마틱방식의 액정표시장치를 예를 들어 설명하고 있으나, 본 발명이 이에 한정되는 것은 아니며 본

발명은 액정분자를 기판에 대해 수평한 방향으로 구동시켜 시야각을 170도 이상으로 향상시킨 횡전계방식 액정표시장치에도 적용 가능하다.

[0083] 전술한 바와 같이 본 발명은 액정표시장치뿐만 아니라 박막 트랜지스터를 이용하여 제작하는 다른 표시장치, 예를 들면 구동 트랜지스터에 유기전계발광소자가 연결된 유기전계발광 디스플레이장치에도 이용될 수 있다.

[0084] 또한, 본 발명은 높은 이동도를 가지는 한편 저온에서 공정이 가능한 비정질 아연 산화물계 반도체 물질을 액티브층으로 적용함에 따라 투명 전자회로나 플렉서블(flexible) 디스플레이에 사용될 수 있는 장점이 있다.

[0085] 상기한 설명에 많은 사항이 구체적으로 기재되어 있으나 이것은 발명의 범위를 한정하는 것이라기보다 바람직한 실시예의 예시로서 해석되어야 한다. 따라서 발명은 설명된 실시예에 의하여 정할 것이 아니고 특허청구범위와 특허청구범위에 균등한 것에 의하여 정하여져야 한다.

도면의 간단한 설명

[0086] 도 1은 일반적인 액정표시장치를 개략적으로 나타내는 분해사시도.

[0087] 도 2는 일반적인 산화물 박막 트랜지스터의 구조를 개략적으로 나타내는 단면도.

[0088] 도 3은 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 평면도.

[0089] 도 4는 본 발명의 실시예에 따른 액정표시장치의 어레이 기판 일부를 개략적으로 나타내는 단면도.

[0090] 도 5a 내지 도 5f는 상기 도 3에 도시된 어레이 기판의 제조공정을 순차적으로 나타내는 평면도.

[0091] 도 6a 내지 도 6f는 상기 도 4에 도시된 어레이 기판의 제조공정을 순차적으로 나타내는 단면도.

[0092] 도 7은 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 구조를 나타내는 주사전자현미경(Scanning Electron Microscope; SEM)사진.

[0093] 도 8은 본 발명의 실시예에 따른 산화물 박막 트랜지스터의 전기적 특성을 나타내는 그래프.

[0094] ** 도면의 주요부분에 대한 부호의 설명 **

[0095] 110 : 어레이 기판 121 : 게이트전극

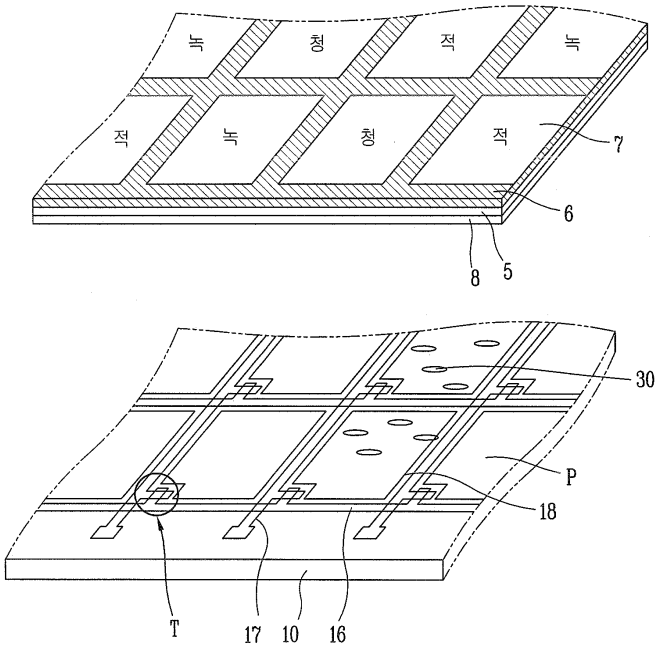
[0096] 122 : 소오스전극 123 : 드레인전극

[0097] 124 : 액티브층 124' : 반도체패턴

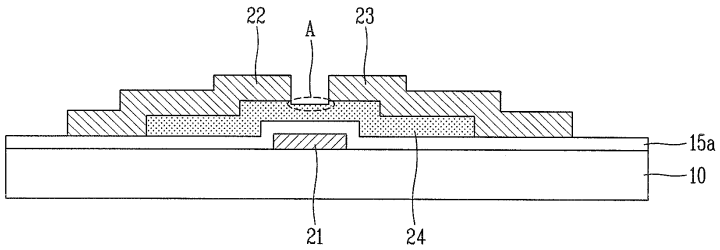
[0098] 125 : 에치 스타퍼 125' : 절연막패턴

도면

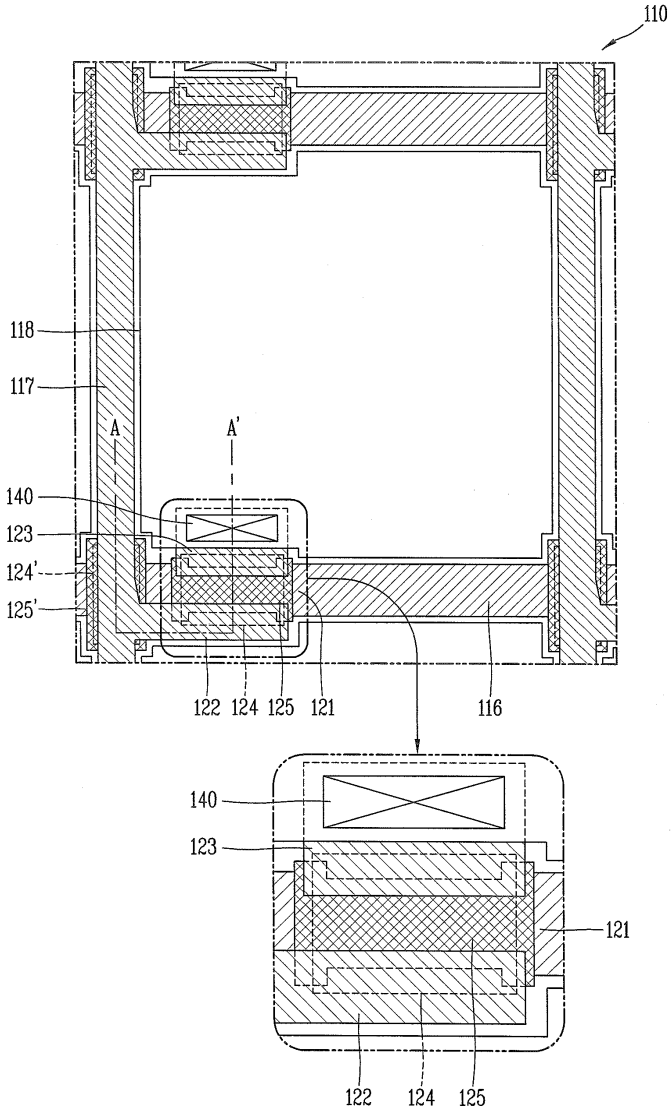
도면1



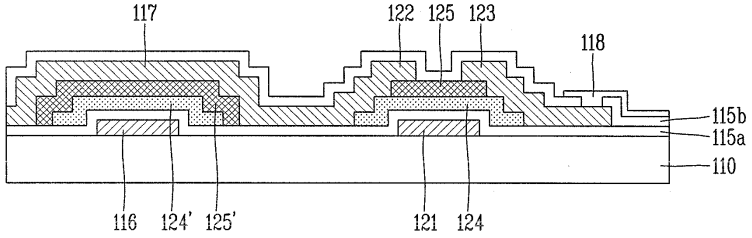
도면2



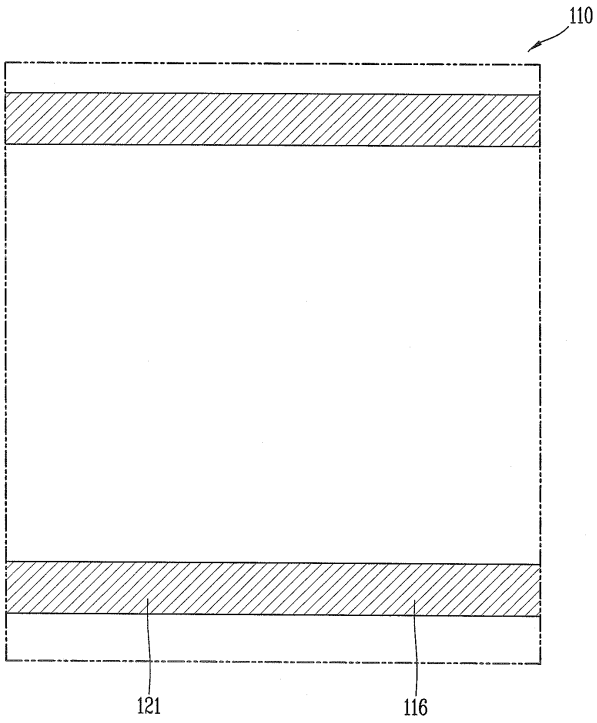
도면3


110
118
117
A
A'
140
123
124'
125'
122
124
125
121
116
140
123
121
122
124
125

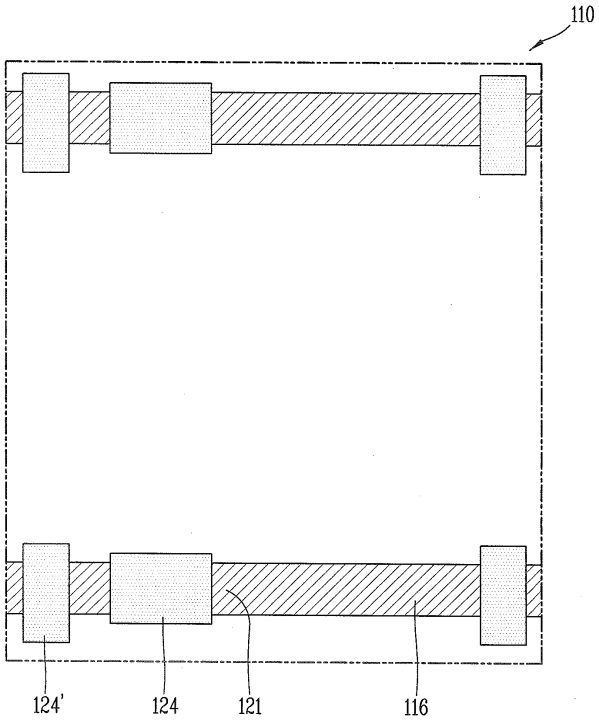
도면4


117
122
125
123
118
115b
115a
110
116
124'
125'
121
124

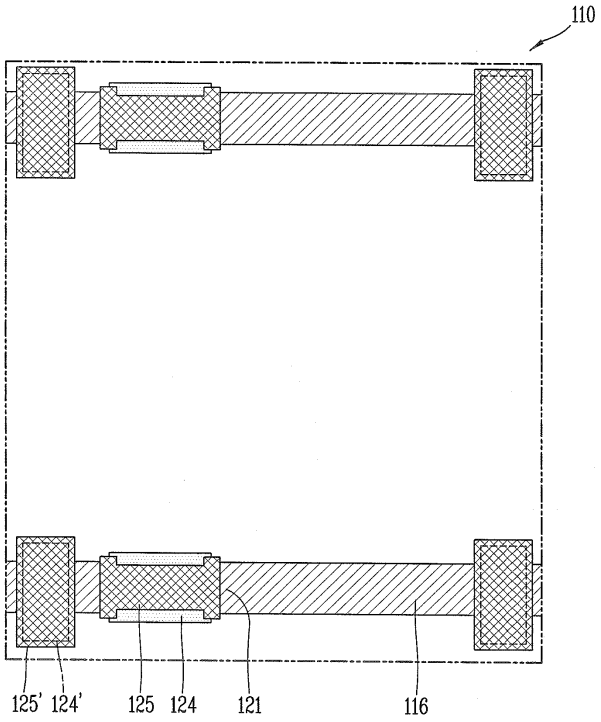
도면5a



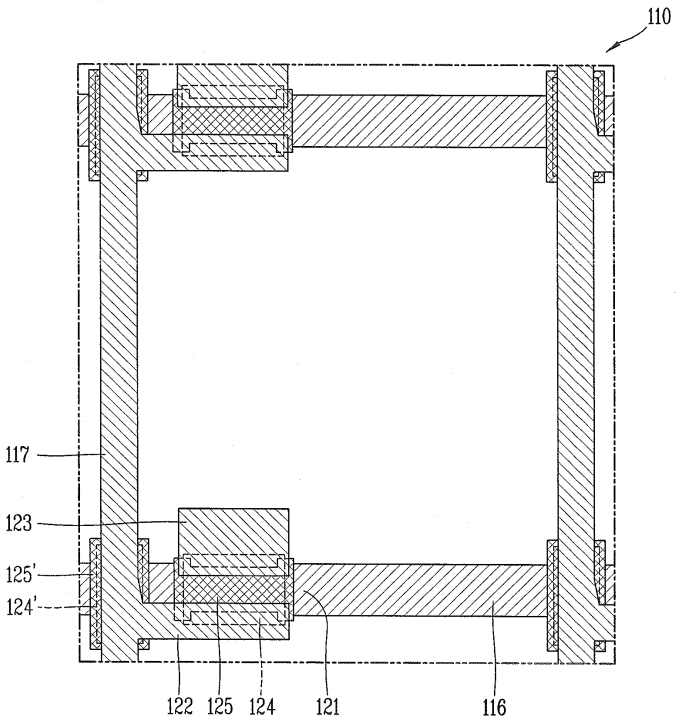
도면5b



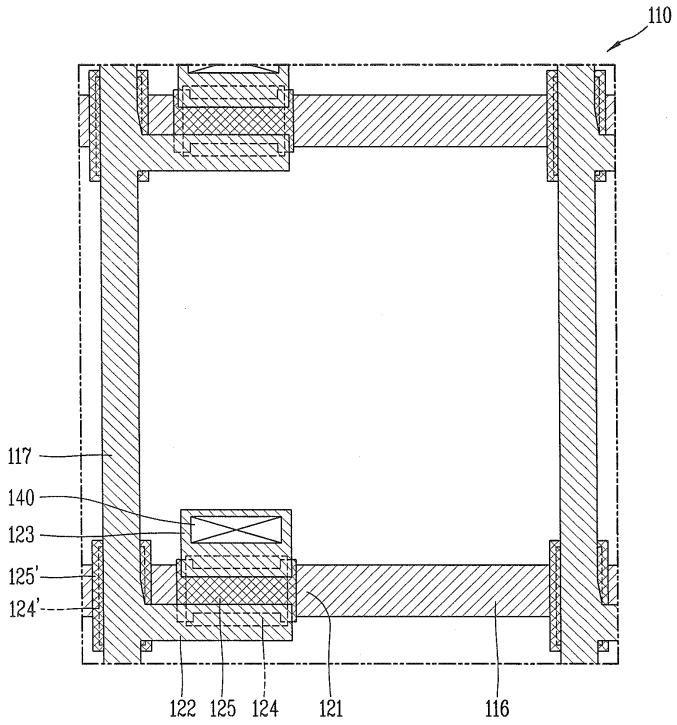
도면5c


110
125'
124'
125
124
121
116

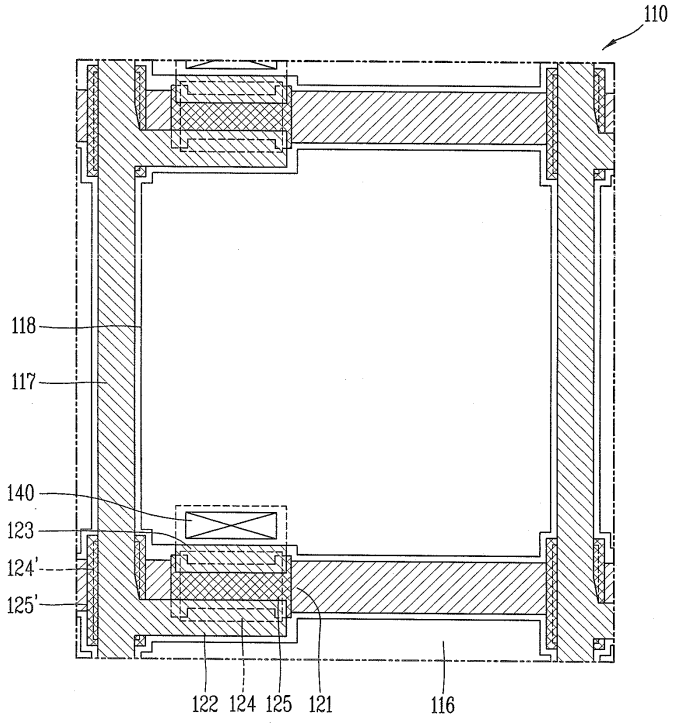
도면5d


110
117
123
125'
124'
122
125
124
121
116

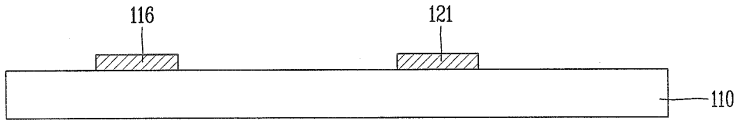
도면5e


110
117
140
123
125'
124'
122
125
124
121
116

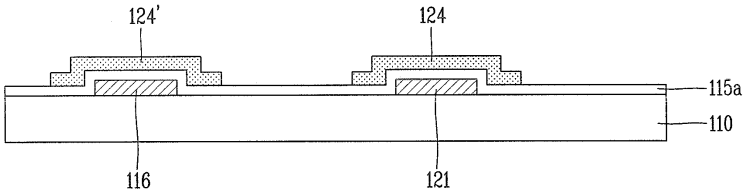
도면5f


110
118
117
140
123
124'
125'
122
124
125
121
116

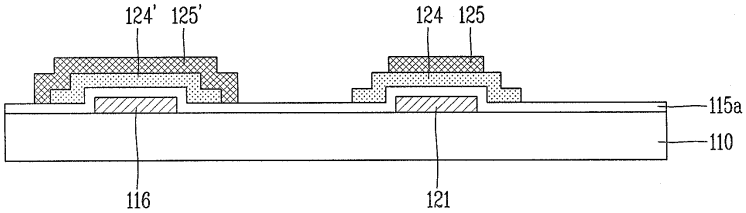
도면6a



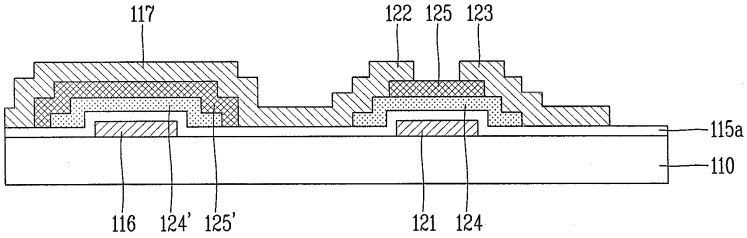
도면6b



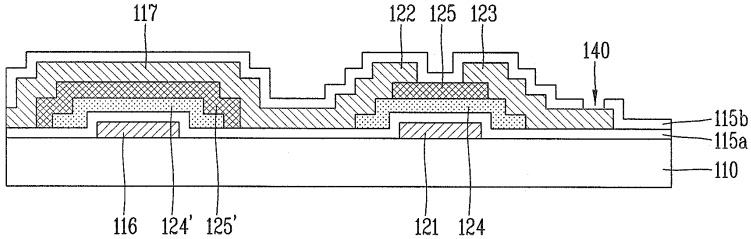
도면6c



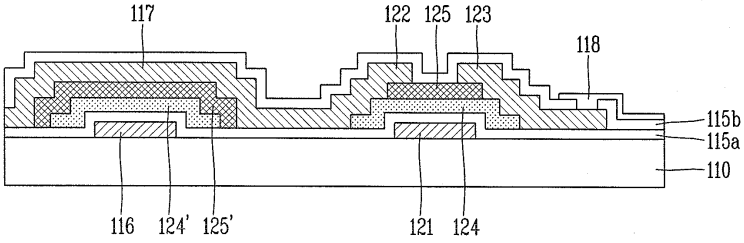
도면6d



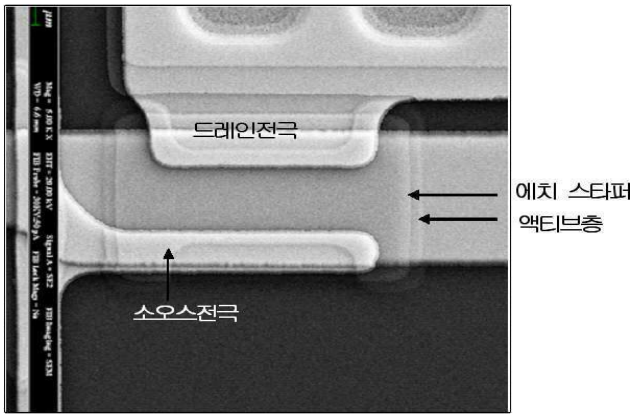
도면6e



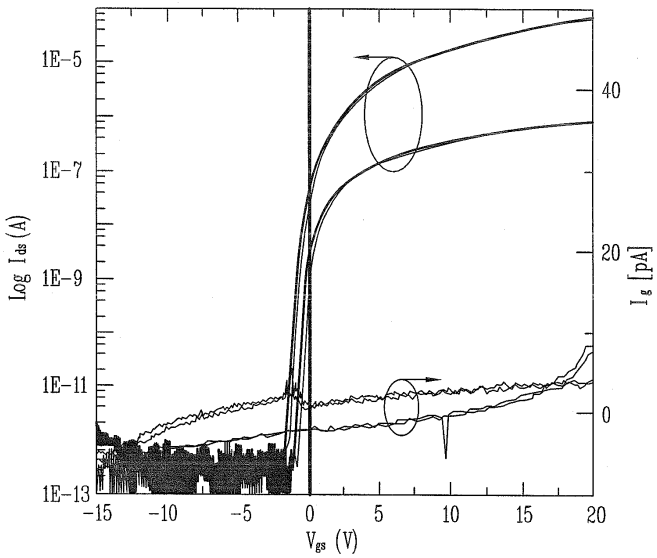
도면6f


117
122
125
123
118
115b
115a
110
116
124'
125'
121
124

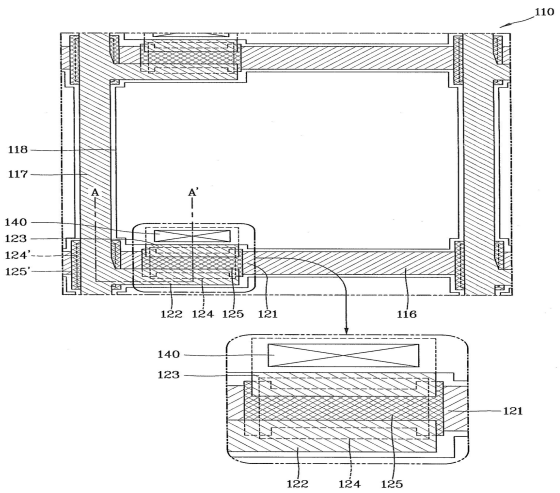
도면7


드레인전극
에치 스타퍼
액티브층
소오스전극

도면8


1E-5
1E-7
1E-9
1E-11
1E-13
Log Ids (A)
40
20
0
Ig [pA]
-15
-10
-5
0
5
10
15
20
Vgs (V)

专利名称(译)	标题：液晶显示装置及其制造方法		
公开(公告)号	KR101248459B1	公开(公告)日	2013-03-28
申请号	KR1020090108225	申请日	2009-11-10
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	BAE JONG UK 배종욱 SEO HYUN SIK 서현식 KANG IM KUK 강임국		
发明人	배종욱 서현식 강임국		
IPC分类号	G02F1/136 G02F		
CPC分类号	H01L29/78606 H01L27/1225 H01L29/7869 H01L29/66742 H01L27/12 H01L29/66969		
代理人(译)	PARK，JANG WON		
其他公开文献	KR1020110051582A		
外部链接	Espacenet		

摘要(译)

公开了一种采用非晶氧化锌基半导体作为有源层的液晶显示装置及其制造方法，通过采用蚀刻阻挡结构可以确保器件稳定性，并且可以通过最小化曝光和通过设计类似H形状的蚀刻阻挡层，除了内容区域之外的有源层的劣化。此外，液晶显示装置及其制造方法还可以在交叉点之间形成半导体图案和绝缘层图案。栅极线和数据线，以便补偿台阶部分，从而防止发生短路。