



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2019년11월04일

(11) 등록번호 10-2039725

(24) 등록일자 2019년10월28일

(51) 국제특허분류(Int. Cl.)

G02F 1/1368 (2006.01) H01L 29/786 (2006.01)

(21) 출원번호 10-2012-0134045

(22) 출원일자 2012년11월23일

심사청구일자 2017년11월20일

(65) 공개번호 10-2014-0066931

(43) 공개일자 2014년06월03일

(56) 선행기술조사문헌

US8168980 B2

US7847289 B2

US7528409 B2

(73) 특허권자

엘지디스플레이 주식회사

서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자

김강일

서울 은평구 역말로9가길 6-18, 101호 (대조동)

장성용

경기도 파주시 교하읍 동패리 1207동 201호

이철환

경기 수원시 팔달구 화산로 57, 146동 602호 (화서동, 꽃피버들마을진흥아파트)

(74) 대리인

특허법인로알

전체 청구항 수 : 총 8 항

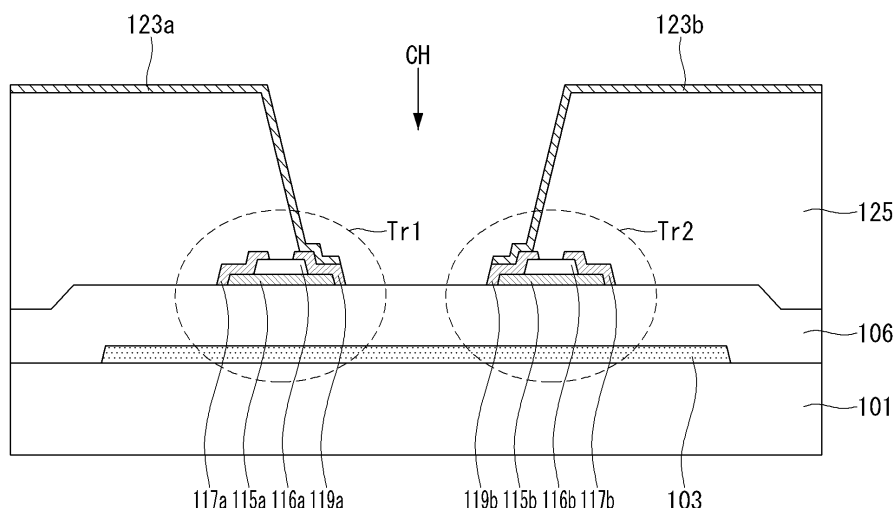
심사관 : 박정근

(54) 발명의 명칭 액정표시장치 어레이 기판 및 그 제조방법

(57) 요약

본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판, 및 상기 기판 상에 위치하며 서로 교차하는 게이트 라인, 제1 데이터 라인, 제2 데이터 라인, 제1 공통 라인 및 제2 공통 라인에 의해 정의되는 제1 서브픽셀 및 제2 서브픽셀을 포함하며, 상기 제1 서브픽셀은 제1 반도체층, 제1 소스 전극, 제1 드레인 전극 및 상기 제1 드레인 전극에 연결된 제1 화소 전극을 포함하고, 상기 제2 서브픽셀은 제2 반도체층, 제2 소스 전극, 제2 드레인 전극 및 상기 제2 드레인 전극에 연결된 제2 화소 전극을 포함하고, 상기 제1 서브픽셀과 상기 제2 서브픽셀은 하나의 상기 게이트 라인을 공유하되, 상기 제1 드레인 전극과 상기 제2 드레인 전극이 하나의 콘택홀로 노출되는 것을 특징으로 한다.

대표도 - 도3



명세서

청구범위

청구항 1

기판; 및

상기 기판 상에 위치하며 서로 교차하는 게이트 라인, 제1 데이터 라인, 제2 데이터 라인, 제1 공통 라인 및 제2 공통 라인에 의해 정의되는 제1 서브픽셀 및 제2 서브픽셀을 포함하며,

상기 제1 서브픽셀은 제1 반도체층, 제1 소스 전극, 제1 드레인 전극 및 상기 제1 드레인 전극에 연결된 제1 화소 전극을 포함하고, 상기 제2 서브픽셀은 제2 반도체층, 제2 소스 전극, 제2 드레인 전극 및 상기 제2 드레인 전극에 연결된 제2 화소 전극을 포함하고,

상기 제1 서브픽셀과 상기 제2 서브픽셀은 하나의 상기 게이트 라인을 공유하되, 상기 제1 드레인 전극과 상기 제2 드레인 전극이 하나의 콘택홀로 노출되는 것을 특징으로 하는 액정표시장치 어레이 기판.

청구항 2

제1 항에 있어서,

상기 제1 서브픽셀은 게이트 전극, 상기 제1 반도체층, 상기 제1 소스 전극, 상기 제1 드레인 전극을 포함하는 제1 박막 트랜지스터를 포함하고, 상기 제2 서브픽셀은 상기 게이트 전극, 상기 제2 반도체층, 상기 제2 소스 전극, 상기 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치 어레이 기판.

청구항 3

제2 항에 있어서,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 상기 하나의 게이트 라인 상부에 대응되게 위치하는 것을 특징으로 하는 액정표시장치 어레이 기판.

청구항 4

제1 항에 있어서,

상기 제1 서브픽셀 및 상기 제2 서브픽셀은 상기 하나의 게이트 라인을 사이에 두고 상하로 위치하는 특징으로 하는 액정표시장치 어레이 기판.

청구항 5

기판 상에 게이트 라인을 형성하는 단계;

상기 게이트 라인 상에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막 상에 제1 반도체층 및 제2 반도체층을 형성하는 단계;

상기 제1 반도체층 상에 제1 데이터 라인 및 제1 소스 전극을 형성하고 상기 제2 반도체층 상에 제2 데이터 라인 및 제2 소스 전극을 형성하며, 상기 제1 반도체층과 상기 제2 반도체층을 연결하는 금속패턴을 형성하는 단계;

상기 금속패턴이 형성된 상기 기판 상에 유기 절연막을 형성하되 상기 금속패턴을 노출하는 하나의 콘택홀을 형

성하는 단계; 및

상기 콘택홀이 형성된 상기 기판 상에 투명도전물질을 적층하고 상기 금속패턴과 함께 패터닝하여, 상기 제1 반도체층과 접속하는 제1 드레인 전극, 상기 제1 드레인 전극에 접속하는 제1 화소 전극을 형성하고 상기 제2 반도체층과 접속하는 제2 드레인 전극 및 상기 제2 드레인 전극과 접속하는 제2 화소 전극을 형성하는 단계;를 포함하는 것을 특징으로 하는 액정표시장치 어레이 기판의 제조방법.

청구항 6

제5 항에 있어서,

상기 게이트 라인과 상기 제1 데이터 라인은 서로 교차하여 제1 서브픽셀을 정의하되, 상기 제1 서브픽셀은 상기 게이트 라인, 상기 제1 반도체층, 상기 제1 소스 전극, 상기 제1 드레인 전극으로 이루어지는 제1 박막 트랜지스터를 포함하고,

상기 게이트 라인과 상기 제2 데이터 라인은 서로 교차하여 제2 서브픽셀을 정의하되, 상기 제2 서브픽셀은 상기 게이트 라인, 상기 제2 반도체층, 상기 제2 소스 전극, 상기 제2 드레인 전극으로 이루어지는 제2 박막 트랜지스터를 포함하는 것을 특징으로 하는 액정표시장치 어레이 기판의 제조방법.

청구항 7

제6 항에 있어서,

상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 상기 하나의 게이트 라인 상부에 대응되게 형성되되, 상기 하나의 게이트 라인을 공유하도록 형성되는 것을 특징으로 하는 액정표시장치 어레이 기판의 제조방법.

청구항 8

제6 항에 있어서,

상기 제1 서브픽셀 및 상기 제2 서브픽셀은 상기 하나의 게이트 라인을 사이에 두고 상하로 위치하도록 형성되는 것을 특징으로 하는 액정표시장치 어레이 기판의 제조방법.

발명의 설명

기술 분야

[0001] 본 발명은 액정표시장치 어레이 기판 및 그 제조방법에 관한 것으로, 보다 자세하게는 콘택홀의 면적을 줄여 투과율을 향상시키고 배향막의 미퍼짐 문제를 해결할 수 있는 액정표시장치 어레이 기판 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다. 상기 액정표시장치는 공통전극이 형성된 컬러필터 기판과 화소전극이 형성된 어레이 기판과, 상기 두 기판 사이에 개재된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상하로 걸리는 전기장에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하다.

- [0004] 그러나, 상하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 우수하지 못한 단점이 있다. 따라서, 상기의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다. 이러한 횡전계형 액정표시장치는 기판 상에 박막트랜지스터가 형성되고, 유기 절연막에 의해 박막트랜지스터가 절연된 후, 공통 전극과 화소 전극 사이에 패시베이션막이 형성되어 공통 전극과 화소 전극 사이에 상하 수평 전계가 걸리게 된다.
- [0005] 도 1은 종래 액정표시장치 어레이 기판을 나타낸 평면도이다.
- [0006] 도 1을 참조하면, 일 방향으로 배열된 게이트 라인(12), 게이트 라인(12)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(15)이 위치한다. 또한, 게이트 라인(12)과 평행하게 배열된 공통 라인(16)이 위치한다. 그리고, 서브픽셀(P)영역에는 게이트 전극(17), 게이트 절연막(미도시), 반도체층(미도시), 소스 전극(19) 및 드레인 전극(21)을 포함하는 스위칭 박막 트랜지스터(Tr)가 위치한다.
- [0007] 또한, 서브픽셀(P)영역에는 박막 트랜지스터(Tr)의 드레인 전극(21)과 전기적으로 연결된 판 형상의 화소 전극(23)이 위치하고, 화소 전극(23)과 대응하여 공통 전극(25)이 위치한다. 공통 전극(25)은 서브픽셀(P)영역에 대응하여 일정 간격 이격하며 다수의 바(bar) 형상의 개구부(27)를 포함한다.
- [0008] 상기와 같이, 종래 액정표시장치 어레이 기판은 박막 트랜지스터(Tr)로부터 화소 전극(23)에 전압을 인가하기 위해, 드레인 전극(21)과 화소 전극(23)이 연결되는 콘택홀(CH)이 형성된다. 그러나, 드레인 전극(21)과 화소 전극(23) 사이에 형성된 유기 절연막의 두께로 인해, 화소 전극(23)과 드레인 전극(21) 사이의 콘택홀의 깊이가 매우 깊어진다. 이에 따라, 기판 전면에 형성되는 배향막이 콘택홀의 주변에서 콘택홀 내부로 퍼지지 않는 배향막 미퍼짐 문제가 발생한다. 또한, 각 서브픽셀(P) 영역마다 콘택홀(CH)이 형성되어 표시장치의 개구율이 낮은 문제가 있다.

발명의 내용

해결하려는 과제

- [0009] 본 발명은 콘택홀의 면적을 줄여 투과율을 향상시키고 배향막의 미퍼짐 문제를 해결할 수 있는 액정표시장치 어레이 기판 및 그 제조방법을 제공한다.

과제의 해결 수단

- [0010] 상기한 목적을 달성하기 위해, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 기판, 및 상기 기판 상에 위치하며 서로 교차하는 게이트 라인, 제1 데이터 라인, 제2 데이터 라인, 제1 공통 라인 및 제2 공통 라인에 의해 정의되는 제1 서브픽셀 및 제2 서브픽셀을 포함하며, 상기 제1 서브픽셀은 제1 반도체층, 제1 소스 전극, 제1 드레인 전극 및 상기 제1 드레인 전극에 연결된 제1 화소 전극을 포함하고, 상기 제2 서브픽셀은 제2 반도체층, 제2 소스 전극, 제2 드레인 전극 및 상기 제2 드레인 전극에 연결된 제2 화소 전극을 포함하고, 상기 제1 서브픽셀과 상기 제2 서브픽셀은 하나의 상기 게이트 라인을 공유하되, 상기 제1 드레인 전극과 상기 제2 드레인 전극이 하나의 콘택홀로 노출되는 것을 특징으로 한다.
- [0011] 상기 제1 서브픽셀은 게이트 전극, 상기 제1 반도체층, 상기 제1 소스 전극, 상기 제1 드레인 전극을 포함하는 제1 박막 트랜지스터를 포함하고, 상기 제2 서브픽셀은 상기 게이트 전극, 상기 제2 반도체층, 상기 제2 소스 전극, 상기 제2 드레인 전극을 포함하는 제2 박막 트랜지스터를 포함하는 것을 특징으로 한다.
- [0012] 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 상기 하나의 게이트 라인 상부에 대응되게 위치하는 것을 특징으로 한다.
- [0013] 상기 제1 서브픽셀 및 상기 제2 서브픽셀은 상기 하나의 게이트 라인을 사이에 두고 상하로 위치하는 특징으로 한다.
- [0014] 또한, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판의 제조방법은 기판 상에 게이트 라인을 형성하는 단계, 상기 게이트 라인 상에 게이트 절연막을 형성하는 단계, 상기 게이트 절연막 상에 제1 반도체층 및 제2 반도체층을 형성하는 단계, 상기 제1 반도체층 상에 제1 데이터 라인 및 제1 소스 전극을 형성하고 상기 제2 반도체층 상에 제2 데이터 라인 및 제2 소스 전극을 형성하며, 상기 제1 반도체층과 상기 제2 반도체층을 연결하

는 금속패턴을 형성하는 단계, 상기 금속패턴이 형성된 상기 기판 상에 유기 절연막을 형성하되 상기 금속패턴을 노출하는 하나의 콘택홀을 형성하는 단계, 및 상기 콘택홀이 형성된 상기 기판 상에 투명도전물질층을 적층하고 상기 금속패턴과 함께 패터닝하여, 상기 제1 반도체층과 접속하는 제1 드레인 전극, 상기 제1 드레인 전극에 접속하는 제1 화소 전극을 형성하고 상기 제2 반도체층과 접속하는 제2 드레인 전극 및 상기 제2 드레인 전극과 접속하는 제2 화소 전극을 형성하는 단계를 포함하는 것을 특징으로 한다.

[0015] 상기 게이트 라인과 상기 제1 데이터 라인은 서로 교차하여 제1 서브픽셀을 정의하되, 상기 제1 서브픽셀은 상기 게이트 라인, 상기 제1 반도체층, 상기 제1 소스 전극, 상기 제1 드레인 전극으로 이루어지는 제1 박막 트랜지스터를 포함하고, 상기 게이트 라인과 상기 제2 데이터 라인은 서로 교차하여 제2 서브픽셀을 정의하되, 상기 제2 서브픽셀은 상기 게이트 라인, 상기 제2 반도체층, 상기 제2 소스 전극, 상기 제2 드레인 전극으로 이루어지는 제2 박막 트랜지스터를 포함하는 것을 특징으로 한다.

[0016] 상기 제1 박막 트랜지스터 및 상기 제2 박막 트랜지스터는 상기 하나의 게이트 라인 상부에 대응되게 형성되되, 상기 하나의 게이트 라인을 공유하도록 형성되는 것을 특징으로 한다.

[0017] 상기 제1 서브픽셀 및 상기 제2 서브픽셀은 상기 하나의 게이트 라인을 사이에 두고 상하로 위치하도록 형성되는 것을 특징으로 한다.

발명의 효과

[0018] 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 두 개의 서브픽셀이 하나의 게이트 라인을 공유하면서 하나의 콘택홀을 통해 각 드레인 전극과 화소 전극을 연결함으로써, 콘택홀의 개수를 절반으로 줄여 개구율의 향상 및 배향막의 미퍼짐 문제를 방지할 수 있다.

도면의 간단한 설명

[0019] 도 1은 종래 액정표시장치 어레이 기판을 나타낸 평면도.

도 2는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도.

도 3은 도 2의 I-I'에 따라 절취한 단면도.

도 4a 내지 4d는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판의 제조방법을 공정별로 나타낸 도면.

발명을 실시하기 위한 구체적인 내용

[0020] 이하, 첨부한 도면을 참조하여 본 발명의 일 실시 예들을 상세히 설명하면 다음과 같다.

[0021] 도 2는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판을 나타낸 평면도이고, 도 3은 도 2의 I-I'에 따라 절취한 단면도이다.

[0022] 도 2를 참조하면, 복수의 서브픽셀을 포함하는 기판(미도시) 상에 일 방향으로 연장되며 배열된 게이트 라인(103)이 위치하고, 상기 게이트 라인(103)과 교차하여 서브픽셀(P)을 정의하는 데이터 라인(107a, 107b)이 위치한다. 그리고, 상기 게이트 라인(103)과 서로 평행하게 배열되며 상기 데이터 라인(107a, 107b)과 교차하는 공통 라인(109a, 109b)이 위치한다. 상기 게이트 라인(103), 데이터 라인(107a, 107b) 및 공통 라인(109a, 109b)의 교차에 의해 복수의 서브픽셀(P)이 정의된다. 본 발명에서는 두 개의 데이터 라인(107a, 107b)에 교차하는 하나의 게이트 라인(103)과 두 개의 공통 라인(109a, 109b)에 의해 두 개의 서브픽셀이 정의된다. 하기에서는 제1 서브픽셀(P1)에 신호를 인가하는 데이터 라인(107a)과 공통 라인을 제1 데이터 라인(107a) 및 제1 공통 라인(109a)으로 정의하고, 제2 서브픽셀(P2)에 신호를 인가하는 데이터 라인(107b)과 공통 라인을 제2 데이터 라인(107b) 및 제2 공통 라인(109b)으로 정의하여 설명하기로 한다. 또한, 반도체층, 소스 전극, 드레인 전극 및 화소 전극도 마찬가지로 제1 서브픽셀과 제2 서브픽셀에 각각 구성되는 것으로 서로 분리하여 설명하기로 한다.

[0023] 상기 제1 서브픽셀(P1)과 제2 서브픽셀(P2) 각각에는 상기 게이트 라인(103)에 연결된 게이트 전극(미도시), 게이트 절연막(미도시), 반도체층(115a, 115b), 상기 데이터 라인(107a, 107b)에 전기적으로 연결된 소스 전극

(117a, 117b), 상기 소스 전극(117a, 117b)과 이격된 드레인 전극(119a, 119b)으로 구성된 제1 및 제2 박막 트랜지스터(Tr1, Tr2)가 위치한다.

[0024] 본 도면에서 상기 박막 트랜지스터는 채널을 이루는 영역이 'I' 형태를 이루는 것을 예로 도시하였지만, 이에 한정되지 않으며, 'U' 형태로도 이루어질 수 있다. 또한, 상기 박막 트랜지스터는 게이트 전극이 게이트 라인(103) 그 자체로써 이루어지는 것을 예로 도시하였지만, 이에 한정되지 않으며, 게이트 라인(103)으로부터 서브픽셀(P1, P2)로 돌출되어 이루어질 수도 있다.

[0025] 상기 제1 및 제2 서브픽셀(P1, P2) 내부에서 판 형태의 화소 전극(123a, 123b)이 상기 제1 및 제2 박막 트랜지스터(Tr1, Tr2)의 각 드레인 전극(119a, 119b)과 연결된다. 상기 제1 및 제2 서브픽셀(P1, P2)에 형성된 제1 및 제2 화소 전극(123a, 123b)에 대응하여 바(bar) 형태를 갖는 복수의 개구부(131a, 131b)를 갖는 제1 및 제2 공통 전극(135a, 135b)이 위치한다.

[0026] 따라서, 제1 서브픽셀(P1)은 게이트 라인(103), 제1 데이터 라인(107a) 및 제1 공통 라인(109a)에 의해 정의되며, 제1 반도체층(115a), 제1 소스 전극(117a), 제1 드레인 전극(119a), 제1 화소 전극(123a) 및 제1 공통 전극(135a)을 포함한다. 또한, 제2 서브픽셀(P2)은 게이트 라인(103), 제2 데이터 라인(107b) 및 제2 공통 라인(109a)에 의해 정의되며, 제2 반도체층(115b), 제2 소스 전극(117b), 제2 드레인 전극(119b), 제2 화소 전극(123b) 및 제2 공통 전극(135b)을 포함한다. 특히, 본 발명에서 제1 서브픽셀(P1)과 제2 서브픽셀(P2)은 게이트 라인(103)을 서로 공유한다.

[0027] 본 발명에서는 제1 화소 전극(123a)의 제1 드레인 전극(119a)과 제2 화소 전극(123b)의 제2 드레인 전극(119b)을 한번에 노출하는 하나의 콘택홀(CH)을 통해 제1 화소 전극(123a)이 제1 드레인 전극(119a)과 연결되고 제2 화소 전극(123b)이 제2 드레인 전극(119b)과 연결된다. 보다 자세한 설명은 후술하는 제조방법에서 설명하기로 한다.

[0028] 이하, 전술한 액정표시장치 어레이 기관의 평면 구조에 따른 단면 구조에 대해 설명하기로 한다.

[0029] 도 3을 참조하면, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관은 기관(101) 상에 일 방향으로 배열된 게이트 라인(미도시)과 일체형의 게이트 전극(103)이 위치하고, 게이트 전극(103) 상에 게이트 전극(103)을 절연시키는 게이트 절연막(106)이 위치하고, 게이트 절연막(106) 상에 게이트 전극(103)과 대응되는 영역에 제1 반도체층(115a) 및 제2 반도체층(115b)이 위치한다. 제1 반도체층(115a) 상에 제1 에치스토퍼(116a)가 위치하고, 제2 반도체층(115b) 상에 제2 에치스토퍼(116b)가 위치한다. 그리고, 제1 반도체층(115a)의 양측 단부에는 제1 소스 전극(117a)과 제1 드레인 전극(119a)이 위치하고, 제2 반도체층(115b)의 양측 단부에는 제2 소스 전극(117b)과 제2 드레인 전극(119b)이 위치한다.

[0030] 따라서, 게이트 전극(103), 제1 반도체층(115a), 제1 에치스토퍼(116a), 제1 소스 전극(117a) 및 제1 드레인 전극(119a)을 포함하는 제1 박막 트랜지스터(Tr1)와, 게이트 전극(103), 제2 반도체층(115b), 제2 에치스토퍼(116b), 제2 소스 전극(117b) 및 제2 드레인 전극(119b)을 포함하는 제2 박막 트랜지스터(Tr2)를 구성한다.

[0031] 그리고, 제1 박막 트랜지스터(Tr1)와 제2 박막 트랜지스터(Tr2)를 보호하는 유기 절연막(125)이 위치하고, 제1 박막 트랜지스터(Tr1)의 제1 드레인 전극(119a)과 제2 박막 트랜지스터(Tr2)의 제2 드레인 전극(119b)을 노출하는 하나의 콘택홀(CH)이 위치한다. 상기 유기 절연막(125) 상에 제1 화소 전극(123a)과 제2 화소 전극(123b)이 위치하되, 상기 제1 화소 전극(123a)은 상기 콘택홀(CH)을 통해 상기 제1 드레인 전극(119a)과 연결되고, 상기 제2 화소 전극(123b)은 상기 콘택홀(CH)을 통해 상기 제2 드레인 전극(119b)과 연결된다.

[0032] 상기과 같이, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관은 두 개의 서브픽셀이 하나의 게이트 라인을 공유하면서 하나의 콘택홀을 통해 각 드레인 전극과 화소 전극을 연결함으로써, 콘택홀의 개수를 절반으로 줄여 개구율의 향상 및 배향막의 미퍼짐 문제를 방지할 수 있다.

[0033] 이하, 도 3에 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법을 설명하면 다음과 같다. 도 4a 내지 4d는 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법을 공정별로 나타낸 도면이다.

[0034] 도 4a를 참조하면, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기관의 제조방법은 기관(101) 상에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 포토리소그래피법을 이용하여 패터닝하여 게이트 전극(103)을 형성한다.

[0035] 다음, 게이트 전극(103)이 형성된 기관(101) 상에 산화실리콘(SiO_x) 또는 질화실리콘(SiN_x)을 증착하여 게이트

절연막(106)을 형성한다. 이어, 기판(101) 상에 아연 산화물(ZnO), 인듐 아연 산화물(InZnO), 아연 주석 산화물(ZnSnO) 또는 인듐 갈륨 아연 산화물(InGaZnO₄) 중 선택되는 하나의 산화물을 증착한 후 패터닝하여 제1 반도체층(115a) 및 제2 반도체층(115b)을 형성한다.

[0036] 본 발명에서는 반도체층이 금속산화물로 이루어진 산화물(Oxide) 반도체를 예로 설명하였지만, 이에 한정되지 않으며, 비정질 실리콘(a-si), 다결정 실리콘(poly-si) 또는 유기물로 이루어진 유기 반도체로도 적용가능하다.

[0037] 이어, 도 4b를 참조하면, 제1 반도체층(115a) 및 제2 반도체층(115b)이 형성된 기판(101) 전면에 산화 실리콘(SiO_x) 또는 산화 질화물(SiN_x)을 적층하고 패터닝하여 제1 반도체층(115a) 상에 제1 에치스토퍼(116a)를 형성하고 제2 반도체층(115b) 상에 제2 에치스토퍼(116b)를 형성한다.

[0038] 그리고, 기판(101) 상에 저저항 특성을 갖는 금속물질 예를 들면 알루미늄(Al), 알루미늄 합금(AlNd), 구리(Cu), 구리합금, 크롬(Cr), 몰리브덴(Mo) 중 선택되는 하나의 금속물질을 증착한다. 그리고, 금속물질을 패터닝하여 제1 반도체층(115a)의 일측 단부에 접속하는 제1 소스 전극(117a)을 형성하고, 제2 반도체층(115b)의 일측 단부에 접속하는 제2 소스 전극(117b)을 형성한다. 이때, 제1 반도체층(115a)과 제2 반도체층(115b)을 연결하는 금속패턴(MP)는 그대로 남겨둔다. 이어, 기판(101) 상에 포토아크릴(photoacryl)을 도포하여 유기 절연막(125)을 형성한다.

[0039] 다음, 도 4c를 참조하면, 제1 반도체층(115a)과 제2 반도체층(115b)을 연결하는 금속패턴(MP)을 노출하도록 상기 유기 절연막(125)을 노광 및 현상하여 콘택홀(CH)을 형성한다. 그리고, 기판(101) 상에 ITO(Indium tin oxide), IZO(Indium zinc oxide), ITZO(Indium tin zinc oxide), ZnO(Zinc oxide) 중 선택된 하나의 투명도전물질을 증착하여 투명도전층(TC)을 형성한다.

[0040] 이어, 도 4d를 참조하면, 상기 투명도전층(TC)을 포토리소그래피법을 이용하여 패터닝하여 제1 화소 전극(123a)과 제2 화소 전극(123b)을 형성하되, 상기 금속패턴(MP)도 동시에 식각하여 제1 드레인 전극(119a) 및 제2 드레인 전극(119b)을 형성한다. 보다 자세하게, 상기 투명도전층(TC)을 패터닝할 때, 상기 금속패턴(MP)이 서로 분리되도록 식각하면, 제1 반도체층(115a)의 일측 단부에 접속된 제1 드레인 전극(119a)과 제1 드레인 전극(119a)에 접속된 제1 화소 전극(123a)이 형성된다. 또한, 제2 반도체층(115b)의 일측 단부에 접속된 제2 드레인 전극(119b)과 제2 드레인 전극(119b)에 접속된 제2 화소 전극(123b)이 형성된다.

[0041] 다음, 기판(101) 전면에 실리콘 산화막(SiO_x) 또는 실리콘 질화막(SiN_x)을 증착하여 패시베이션막(200)을 형성하고, 도면에 도시하지 않았지만, ITO(Indium tin oxide), IZO(Indium zinc oxide), ITZO(Indium tin zinc oxide), ZnO(Zinc oxide) 중 선택된 하나의 투명도전물질을 증착하고 패터닝하여 공통 전극들을 형성한다. 마지막으로 기판(101) 전면에 폴리이미드(polyimide)를 도포하여 배향막(210)을 형성한다. 배향막(210)은 폴리이미드의 액상으로 도포되기 때문에 기판(101) 상에 도포되고 넓게 퍼져 콘택홀(CH)과 같은 홀(hole)들을 채우면서 형성된다.

[0042] 상기과 같이, 본 발명의 일 실시예에 따른 액정표시장치 어레이 기판은 두 개의 서브픽셀이 하나의 게이트 라인을 공유하면서 하나의 콘택홀을 통해 각 드레인 전극과 화소 전극을 연결함으로써, 콘택홀의 개수를 절반으로 줄여 개구율의 향상 및 배향막의 미퍼짐 문제를 방지할 수 있다.

[0043] 이상 첨부된 도면을 참조하여 본 발명의 실시 예를 설명하였지만, 상술한 본 발명의 기술적 구성은 본 발명이 속하는 기술 분야의 당업자가 본 발명의 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해되어야 한다. 아울러, 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어진다. 또한, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

부호의 설명

[0044] 101 : 기판
103 : 게이트 전극
106 : 게이트 절연막
115a, 115b : 제1 및 제2 반도체층
116a, 116b : 제1 및 제2 에치스토퍼
117a, 117b : 제1 및 제2 소스 전극

119a, 119b : 제1 및 제2 드레인 전극

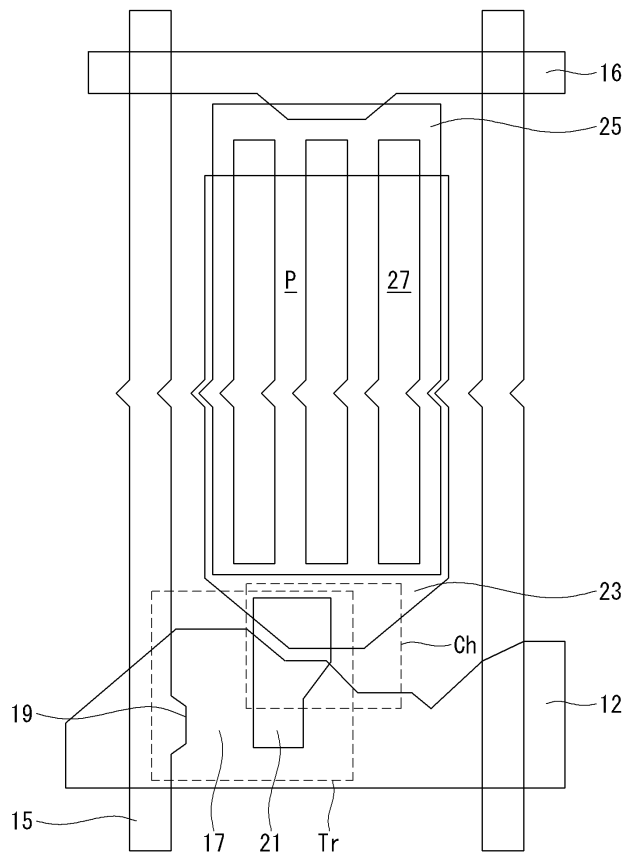
125 : 유기 절연막

CH : 콘택홀

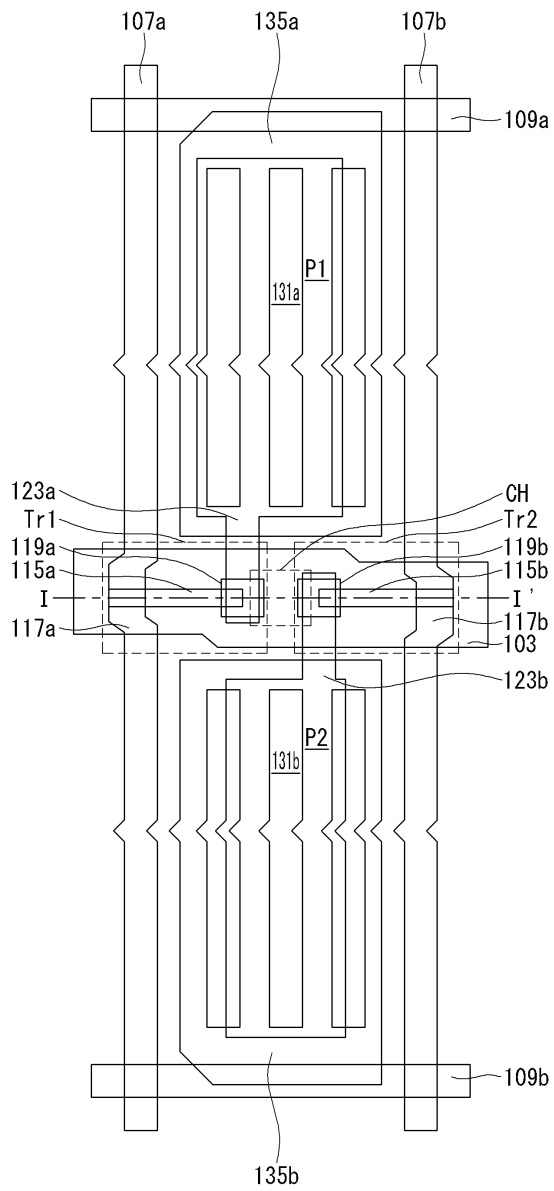
123a, 123b : 제1 및 제2 화소전극

도면

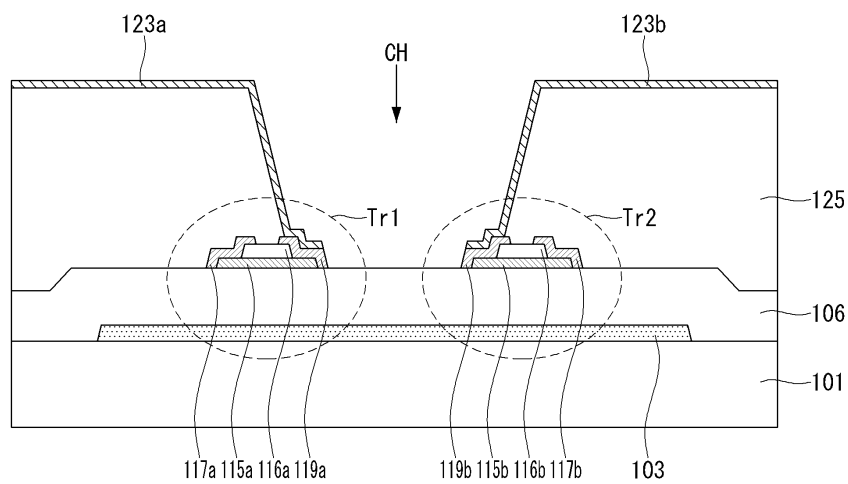
도면1



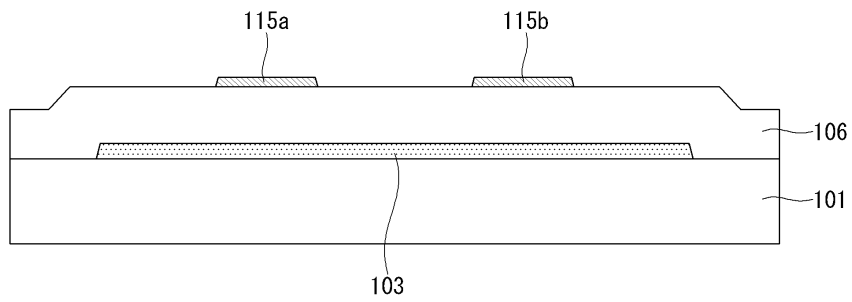
도면2



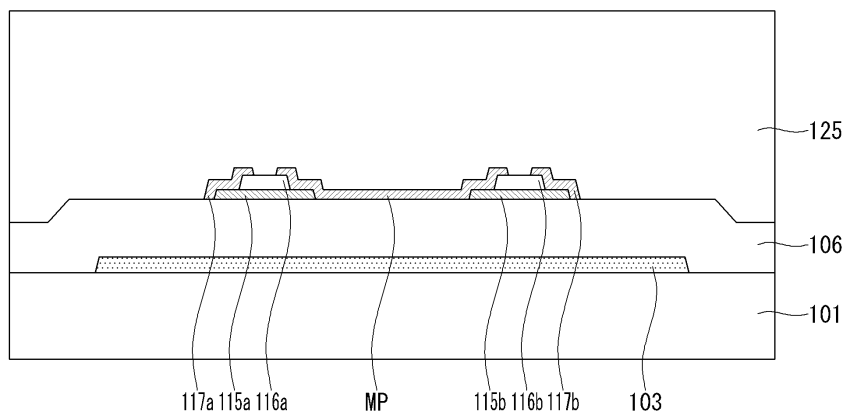
도면3



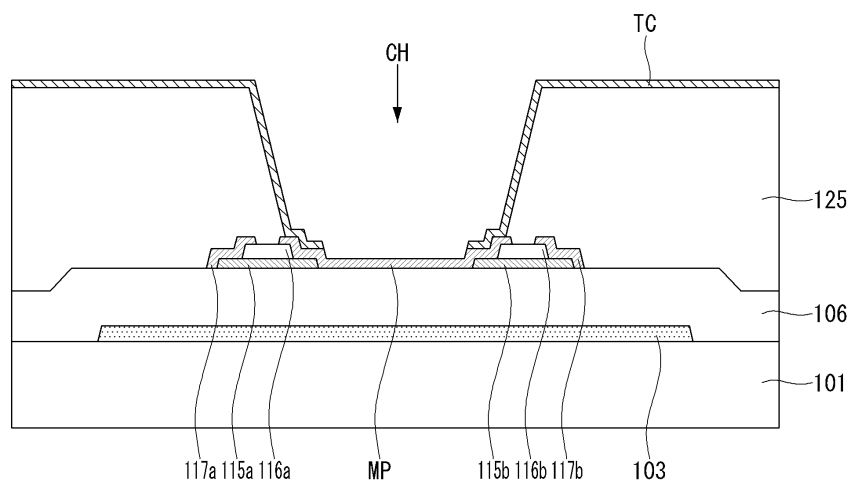
도면4a



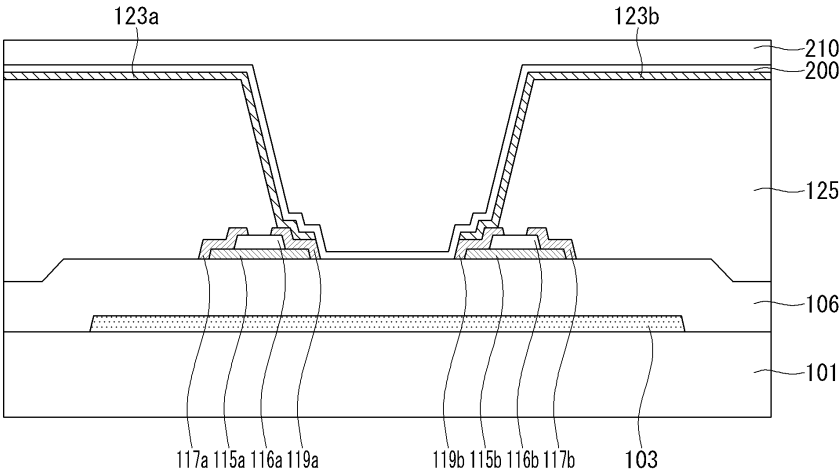
도면4b



도면4c



도면4d



专利名称(译)	液晶显示器的阵列基板及其制造方法		
公开(公告)号	KR102039725B1	公开(公告)日	2019-11-04
申请号	KR1020120134045	申请日	2012-11-23
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	김강일 장성용 이철환		
发明人	김강일 장성용 이철환		
IPC分类号	G02F1/1368 H01L29/786		
CPC分类号	G02F1/134363 G02F1/136227 G02F1/13624 G02F2001/134345 H01L27/124 H01L27/1248 G02F1/136286 H01L29/66742 H01L21/02118 H01L21/32133 H01L27/1259 H01L29/66969 H01L29/786		
审查员(译)	朴贞根		
其他公开文献	KR1020140066931A		
外部链接	Espacenet		

摘要(译)

用于液晶显示器的阵列基板包括：基板；第一和第二子像素，位于该基板上，并由一条栅极线，第一数据线，第二数据线，第一公共线和第一栅极线的交叉结构限定。第二条共同的路线。第一子像素包括第一半导体层，第一源电极，第一漏电极以及连接到第一漏电极的第一像素电极。第二子像素包括第二半导体层，第二源电极，第二漏电极和连接至第二漏电极的第二像素电极。第一子像素和第二子像素彼此共享一条栅极线，并且第一漏电极和第二漏电极通过一个接触孔暴露。

