



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2019-0009041
(43) 공개일자 2019년01월28일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G02F 1/1362 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G02F 1/136286 (2013.01)
(21) 출원번호 10-2017-0090690
(22) 출원일자 2017년07월18일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
정호진
경기도 파주시 월롱면 엘지로 245
(74) 대리인
박영복

전체 청구항 수 : 총 14 항

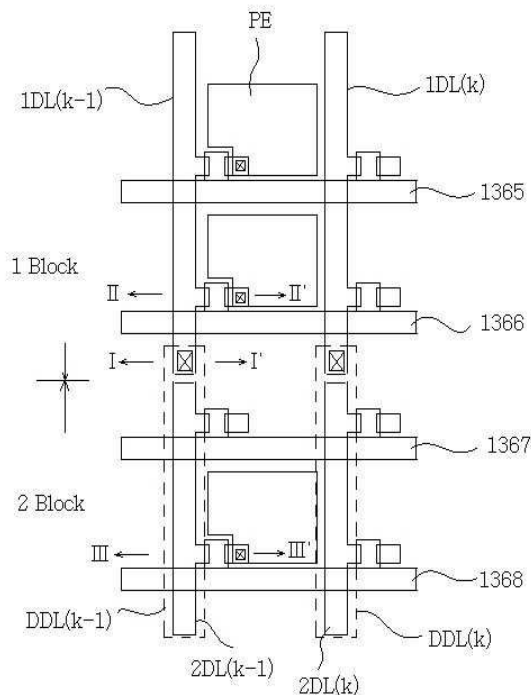
(54) 발명의 명칭 액정 패널 및 액정 표시 장치

(57) 요약

본 발명은 충전 시간을 충분히 확보하면서 구동 주파수를 상향 시킬 수 있으며, 충전 시간 확보에 따른 박막 트랜지스터의 채널 폭 대비 채널 길이(W/L)를 최적화하여 소비 전류 감소 및 투과율을 향상시킬 수 있는 액정 패널 및 액정 표시 장치에 관한 것으로, 액정 패널은 서브 픽셀 영역을 정의하기 위해 서로 수직한 방향으로 배열되는

(뒷면에 계속)

대표도 - 도5



복수개의 게이트 라인들 및 복수개의 데이터 라인들과, 상기 복수개의 게이트 라인들을 중심으로 n개의 블록으로 구분되고, 상기 복수개의 데이터 라인들 하측에 형성되는 (n-1)개 층의 더미 데이터 라인들과, 각 서브 픽셀에 형성되는 픽셀 전극과, 상기 각 게이트 라인의 스캔 신호에 의해 스위칭되어 각 데이터 라인의 데이터 신호를 각 픽셀 전극에 인가하는 박막트랜지스터를 구비하고, 상기 n개의 블록의 데이터 라인들 각각은 이웃한 블록의 데이터 라인들과 전기적으로 연결되지 않고, (n-1)개의 블록의 데이터 라인들 중 각 블록의 데이터 라인들은 상기 (n-1)개 층의 더미 데이터 라인들 중 한 층의 더미 데이터 라인들에 전기적으로 연결됨을 특징으로 한다.

(52) CPC특허분류

G09G 2300/0426 (2013.01)

G09G 2330/021 (2013.01)

명세서

청구범위

청구항 1

서브 픽셀 영역을 정의하기 위해 서로 수직한 방향으로 배열되는 복수개의 게이트 라인들 및 복수개의 데이터 라인들;

상기 복수개의 게이트 라인들을 중심으로 n개의 블록으로 구분되고, 상기 복수개의 데이터 라인들 하측에 형성되는 (n-1)개 층의 더미 데이터 라인들;

각 서브 픽셀에 형성되는 픽셀 전극; 그리고

상기 각 게이트 라인의 스캔 신호에 의해 스위칭되어 각 데이터 라인의 데이터 신호를 각 픽셀 전극에 인가하는 박막트랜지스터를 구비하고,

상기 n개의 블록의 데이터 라인들 각각은 이웃한 블록의 데이터 라인들과 전기적으로 연결되지 않고, (n-1)개의 블록의 데이터 라인들 중 각 블록의 데이터 라인들은 상기 (n-1)개 층의 더미 데이터 라인들 중 한 층의 더미 데이터 라인들에 전기적으로 연결되는 액정 패널.

청구항 2

기관상에 서로 격리되어 적층 구조로 형성되는 (n-1)개 층의 더미 데이터 라인들;

상기 (n-1)개 층의 더미 데이터 라인들을 포함한 기관상에 형성되는 평탄화막;

상기 평탄화막위에 형성되고 각 서브 픽셀 영역마다 게이트 전극을 구비한 복수개의 게이트 라인들;

상기 게이트 라인들을 포함한 평탄화막 위에 형성되는 게이트 절연막;

상기 게이트 전극 상측의 게이트 절연막위에 형성되는 활성층;

상기 게이트 절연막상에 상기 n 개의 블록별로 상기 게이트 라인들과 수직한 방향으로 형성되는 복수개의 데이터 라인들;

상기 각 서브 픽셀 영역마다 상기 복수개의 데이터 라인들로부터 돌출되어 상기 활성층에 중첩되는 소오스 전극 및 상기 활성층에 중첩되고 상기 소오스 전극에 대향되는 드레인 전극을 구비하고,

상기 (n-1)개의 블록의 데이터 라인들 중 각 블록의 데이터 라인들은 상기 (n-1)개 층의 더미 데이터 라인들 중 한 층의 더미 데이터 라인에 전기적으로 연결되는 액정 패널.

청구항 3

제 2 항에 있어서,

상기 (n-1)개 층의 더미 데이터 라인들은 서로 중첩되고, 또한 적어도 하나의 블록의 데이터 라인들과 중첩되는 액정 패널.

청구항 4

제 2 항에 있어서,

상기 (n-1)개 층의 더미 데이터 라인들의 폭은 각 블록의 데이터 라인들의 폭과 같거나 더 크게 형성되는 액정 패널.

청구항 5

서브 픽셀 영역을 정의하기 위해 서로 수직한 방향으로 배열되는 복수개의 게이트 라인들 및 복수개의 데이터 라인들;

상기 복수개의 게이트 라인들을 중심으로 제 1 및 제 2 블록으로 구분되고, 상기 제 2 블록의 데이터 라인들 하

층에 형성되는 더미 데이터 라인들;

각 서브 픽셀에 형성되는 픽셀 전극; 그리고

상기 각 게이트 라인의 스캔 신호에 의해 스위칭되어 각 데이터 라인의 데이터 신호를 각 픽셀 전극에 인가하는 박막트랜지스터를 구비하고,

상기 제 1 블록의 데이터 라인들 각각은 상기 제 2블록의 데이터 라인들과 전기적으로 연결되지 않고, 상기 제 1 블록의 데이터 라인들은 상기 더미 데이터 라인들에 전기적으로 연결되는 액정 패널.

청구항 6

기관상에 형성되는 더미 데이터 라인들;

상기 더미 데이터 라인들을 포함한 기관상에 형성되는 평탄화막;

상기 평탄화막위에 형성되고 각 서브 픽셀 영역마다 게이트 전극을 구비한 복수개의 게이트 라인들;

상기 게이트 라인들을 포함한 평탄화막 위에 형성되는 게이트 절연막;

상기 게이트 전극 상층의 게이트 절연막위에 형성되는 활성층;

상기 복수개의 게이트 라인들을 중심으로 제 1 및 제 2 블록으로 구분되고, 상기 게이트 절연막상의 상기 제 1 및 제 2 블록에 상기 게이트 라인들과 수직한 방향으로 형성되는 제 1 블록의 데이터 라인들 및 제 2 블록의 데이터 라인들;

상기 각 서브 픽셀 영역마다 상기 제 1 및 제 2 블록의 데이터 라인들로부터 돌출되어 상기 활성층에 중첩되는 소오스 전극 및 상기 활성층에 중첩되고 상기 소오스 전극에 대향되는 드레인 전극을 구비하고,

상기 제 1 블록의 데이터 라인들은 상기 더미 데이터 라인들에 전기적으로 연결되는 액정 패널.

청구항 7

제 6 항에 있어서,

상기 더미 데이터 라인들은 상기 제 2 블록의 데이터 라인들과 중첩되는 액정 패널.

청구항 8

제 6 항에 있어서,

상기 더미 데이터 라인들의 폭은 상기 제 1 및 제 2 블록의 데이터 라인들의 폭과 같거나 더 크게 형성되는 액정 패널.

청구항 9

서브 픽셀 영역을 정의하기 위해 서로 수직한 방향으로 배열되는 복수개의 게이트 라인들 및 복수개의 데이터 라인들;

상기 복수개의 게이트 라인들을 중심으로 제 1, 제 2 및 제 3 블록으로 구분되고, 상기 제 2 및 제 3 블록의 데이터 라인 하측에 형성되는 제 1 층의 더미 데이터 라인들;

상기 제 3 블록의 데이터 라인 하측에 형성되는 제 2 층의 더미 데이터 라인들;

각 서브 픽셀에 형성되는 픽셀 전극; 그리고

상기 각 게이트 라인의 스캔 신호에 의해 스위칭되어 각 데이터 라인의 데이터 신호를 각 픽셀 전극에 인가하는 박막트랜지스터를 구비하고,

상기 각 블록의 데이터 라인들은 서로 인접한 블록의 데이터 라인들과 전기적으로 연결되지 않고, 상기 제 1 블록의 데이터 라인들은 상기 제 1 층의 더미 데이터 라인들에 연결되고, 상기 제 2 블록의 데이터 라인들은 상기 제 2 층의 더미 데이터 라인들에 연결되는 액정 패널.

청구항 10

기관상에 형성되는 제 1 층의 더미 데이터 라인들;

상기 제 1 층의 더미 데이터 라인들을 포함한 기관상에 형성되는 제 1 평탄화막;

상기 제 1 평탄화막위에 형성되는 제 2 층의 더미 데이터 라인들;

상기 제 2 층의 더미 데이터 라인들을 포함한 제 1 평탄화막위에 형성되는 제 2 평탄화막;

각 서브 픽셀 영역마다 게이트 전극을 구비하고 상기 제 1 및 제 2 층의 더미 데이터 라인들과 수직한 방향으로 상기 제 2 평탄화막위에 형성되는 복수개의 게이트 라인들;

상기 게이트 라인들을 포함한 평탄화막 위에 형성되는 게이트 절연막;

상기 게이트 전극 상층의 게이트 절연막위에 형성되는 활성층;

상기 복수개의 게이트 라인들을 중심으로 제 1, 제 2 및 제 3 블록으로 구분되고, 상기 게이트 절연막상의 각 블록에 상기 게이트 라인들과 수직한 방향으로 형성되는 제 1 블록의 데이터 라인들, 제 2 블록의 데이터 라인들 및 제 3 블록의 데이터 라인들;

상기 각 서브 픽셀 영역마다 상기 제 1, 제 2 및 제 3 블록의 데이터 라인들로부터 돌출되어 상기 활성층에 중첩되는 소오스 전극 및 상기 활성층에 중첩되고 상기 소오스 전극에 대향되는 드레인 전극을 구비하고,

상기 제 1 블록의 데이터 라인들은 상기 제 1 층의 더미 데이터 라인들에 전기적으로 연결되고, 상기 제 2 블록의 데이터 라인들은 상기 제 2 층의 더미 데이터 라인들에 전기적으로 연결되는 액정 패널.

청구항 11

제 10 항에 있어서,

상기 제 1 및 제 2 층의 더미 데이터 라인들은 서로 중첩되고, 상기 제 1 층의 더미 데이터 라인들은 상기 제 2 및 제 3 블록의 데이터 라인들과 중첩되고, 상기 제 2 층의 더미 데이터 라인들은 상기 제 3 블록의 데이터 라인들과 중첩되는 액정 패널.

청구항 12

제 10 항에 있어서,

상기 제 1 및 제 2 층의 더미 데이터 라인들의 폭은 상기 제 1 내지 제 3 블록의 데이터 라인들의 폭과 같거나 더 크게 형성되는 액정 패널.

청구항 13

게이트 라인들을 중심으로 n 개의 블록으로 구분되고, 각 블록의 데이터 라인들은 이웃한 블록의 데이터 라인들과 전기적으로 연결되지 않고, $(n-1)$ 개의 블록의 데이터 라인들은 $(n-1)$ 개 층의 더미 데이터 라인들을 통해 연결되는 액정 패널;

일 블록내의 게이트 라인들에 순차적으로 스캔 펄스를 인가하고, 각 블록에 동시에 스캔 펄스를 인가하는 게이트 구동부; 및

각 블록의 데이터 라인들에 독립적으로 데이터 신호를 공급하는 데이터 구동부를 구비한 액정 표시 장치.

청구항 14

제 13 항에 있어서,

상기 데이터 구동부에 가장 인접한 블록의 데이터 라인들은 상기 데이터 구동부에 직접 연결되고, 상기 $(n-1)$ 개의 블록의 데이터 라인들은 상기 $(n-1)$ 개 층의 더미 데이터 라인들을 통해 상기 데이터 구동부에 연결되는 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로, 특히 충전 시간을 충분히 확보하면서 구동 주파수를 상향시킬 수 있으며, 충전 시간 확보에 따른 박막 트랜지스터의 채널 폭 대비 채널 길이(W/L)를 최적화하여 소비 전류 감소 및 투과율을 상향시킬 수 있는 액정 패널 및 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 최근 디지털 데이터를 이용하여 영상을 표시하는 평판 표시 장치로는 액정을 이용한 액정 표시 장치(Liquid Crystal Display; LCD), 유기 발광 다이오드(Organic Light Emitting Diode; 이하 OLED)를 이용한 OLED 표시 장치 등이 대표적이다.

[0003] 이들 중 액정 표시장치는 영상을 표시하는 복수개의 게이트 라인들 및 복수개의 데이터 라인들을 구비한 액정패널과, 상기 액정패널을 구동하기 위한 구동회로로 구성된다. 상기 구동회로는 상기 복수개의 게이트 라인들을 구동하는 게이트 구동회로와, 상기 복수개의 데이터 라인들을 구동하는 데이터 구동회로와, 상기 게이트 구동회로와 상기 데이터 구동회로에 영상 데이터 및 각종 제어신호를 공급하는 타이밍 컨트롤러 등으로 이루어진다.

[0004] 상기와 같은 액정 패널은 유리 기판상에 박막트랜지스터 어레이가 형성되는 박막트랜지스터 어레이 기판과, 유리 기판상에 칼라 필터 어레이가 형성되는 칼라 필터 어레이 기판과, 상기 박막트랜지스터 어레이 기판과 상기 칼라 필터 어레이 기판 사이에 충전된 액정층을 구비하여, 전기장 생성 전극에 전압을 인가하여 액정층에 전기장을 생성하고 이를 통하여 액정층의 액정 분자들의 방향을 결정하고 입사광의 편광을 제어함으로써 영상을 표시한다.

[0005] 또한, 상기와 같은 액정 패널을 구동하기 위한 구동 회로부는 상기 액정 패널에 배치된 다수의 데이터 라인을 구동하는 데이터 구동부와, 상기 액정 패널에 배치된 다수의 게이트 라인을 구동하는 게이트 구동부와, 상기 데이터 구동부 및 게이트 구동부를 제어하는 타이밍 컨트롤러 등을 포함한다.

[0006] 이와 같은 액정 표시장치를 설명하면 다음과 같다.

[0007] 도 1은 일반적인 액정 표시장치를 개략적으로 나타낸 블록도이고, 도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도이다.

[0008] 일반적인 액정 표시장치는, 도 1에 도시된 바와 같이, 타이밍 제어부(130), 게이트 구동부(140), 데이터 구동부(150), 액정 패널(160) 및 백라이트유닛(170)을 포함하여 구성된다.

[0009] 상기 타이밍 제어부(130)는 상기 게이트 구동부(140)의 동작 타이밍을 제어하기 위한 게이트 타이밍 제어신호(GDC)와 상기 데이터 구동부(150)의 동작 타이밍을 제어하기 위한 데이터 타이밍 제어신호(DDC)를 출력한다. 또한, 상기 타이밍 제어부(130)는 데이터 타이밍 제어신호(DDC)와 함께 외부 시스템으로부터 공급된 데이터신호(DATA)를 정렬하여 상기 데이터 구동부(150)에 공급한다.

[0010] 상기 게이트 구동부(140)는 상기 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 각 게이트 라인(GL)에 스캔 펄스를 순차적으로 출력한다.

[0011] 상기 데이터 구동부(150)는 상기 타이밍 제어부(130)로부터 공급된 데이터 타이밍 제어신호(DDC)에 응답하여 데이터 신호(DATA)를 샘플링하고 래치하며 감마 기준전압으로 변환하여 출력한다. 상기 데이터 구동부(150)는 각 데이터 라인(DL)을 통해 액정 패널(160)에 포함된 서브 픽셀들(SP)에 데이터 전압을 공급한다.

[0012] 상기 액정 패널(160)은 상기 게이트 구동부(140)로부터 공급된 스캔 신호와 상기 데이터 구동부(150)로부터 공급된 데이터 전압에 대응하여 영상을 표시한다. 상기 액정 패널(160)은 백라이트유닛(170)을 통해 제공된 광을 제어하는 서브 픽셀들(SP)이 포함된다.

[0013] 하나의 서브 픽셀은, 도 2에 도시한 바와 같이, 박막 트랜지스터(TFT), 스토리지 커패시터(Cst) 및 액정 커패시터(C1c)를 포함한다.

[0014] 상기 박막 트랜지스터(TFT)의 게이트 전극은 각 게이트 라인(GL1)에 연결되고 소스 전극은 각 데이터 라인(DL1)에 연결된다.

[0015] 상기 액정 커패시터(C1c)는 상기 박막 트랜지스터(TFT)의 드레인 전극에 연결된 화소 전극(1)과, 공통 전압 라인(Vcom)에 연결된 공통전극(2)과, 상기 화소 전극(1)과 상기 공통전극(2) 사이에 채워진 액정층에 의해 형성된다.

[0016] 상기 스토리지 커패시터(Cst)는 상기 박막 트랜지스터(TFT)의 드레인 전극에 연결된 화소전극(1)과, 상기 공통

전압 라인(Vcom)에 연결된 공통 전극(2)과, 상기 화소 전극(1)과 상기 공통전극(2) 사이의 게이트 절연막에 의해 형성된다.

- [0017] 상기 백라이트유닛(170)은 광을 출사하는 광원 등을 이용하여 상기 액정 패널(160)에 광을 제공한다.
- [0018] 최근에는, 상기 서브 픽셀의 박막 트랜지스터(TFT)의 높은 전류 특성을 갖도록 하기 위하여, 산화물 박막 트랜지스터를 이용하면서, 구동 주파수를 24Hz 내지 120Hz (또는 240Hz)로 가변하여 구동하는 방법들이 제안되었다.
- [0019] 도 3은 상기 게이트 구동부(140)에서 출력되는 스캔 펄스를 도시한 것이다.
- [0020] 상술한 바와 같이, 상기 게이트 구동부(140)는 상기 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 각 게이트 라인(GL)에 스캔 펄스를 순차적으로 출력한다. 이 때, 상기 게이트 구동부(140)는 상기 타이밍 제어부(130)로부터 공급된 게이트 타이밍 제어신호(GDC)에 응답하여 상기 스캔 펄스의 주파수를 24Hz 내지 120Hz (또는 240Hz)로 가변하여 구동한다.
- [0021] 도 3에서는 60Hz의 스캔 펄스와 120Hz의 스캔 펄스를 도시하였다.
- [0022] 60Hz의 주파수로 게이트 라인을 구동할 경우, 1수평 충전 시간을 약 10 μ s 정도 확보할 수 있지만, 120Hz의 주파수로 게이트 라인을 구동할 경우, 1수평 충전 시간을 약 5 μ s 정도 확보할 수 있다. 이와 같이 고 주파수로 액정 표시 장치를 구동할 경우 1 수평 충전 시간이 짧아지므로, 각 서브 픽셀에 데이터 신호를 충분히 공급하지 못하게 된다.
- [0023] 액정 패널이 가로 방향의 길이보다 세로 방향의 길이가 더 긴 모델인 경우 상대적으로 게이트 라인 수가 더 증가되므로 1수평 충전 시간에 더 큰 영향을 받는다.
- [0024] 따라서, 각 서브 픽셀에 데이터 신호를 충분히 공급하기 위해서는, 각 서브 픽셀의 박막 트랜지스터의 채널 폭 대비 채널 길이(W/L)를 크게 하여야 한다. 즉, 박막트랜지스터의 채널 폭을 크게 하여야 한다. 이와 같이 박막 트랜지스터의 채널 폭을 크게 하면, 서브 픽셀 영역에서 박막트랜지스터가 차지하는 면적이 증가되므로 액정 표시 장치의 투과율(개구율)이 감소하고 더불어 소비 전력이 증가하게 되는 문제점이 있었다.

발명의 내용

해결하려는 과제

- [0025] 본 발명은 이와 같은 문제점을 해결하기 위해 안출한 것으로, 액정 패널을 적어도 2개의 블록으로 나누고, 각 블록 별로 데이터 신호가 인가되게 함에 따라 1 수평 시간을 증가시켜 충전 시간을 충분히 확보하고, 박막 트랜지스터의 채널 폭 대비 채널 길이(W/L)를 최적화하여 소비 전류 감소 및 투과율을 향상시킬 수 있는 액정 패널 및 액정 표시 장치를 제공하는데 그 목적이 있다.

과제의 해결 수단

- [0026] 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 패널은, 서브 픽셀 영역을 정의하기 위해 서로 수직인 방향으로 배열되는 복수개의 게이트 라인들 및 복수개의 데이터 라인들과, 상기 복수개의 게이트 라인들을 중심으로 n개의 블록으로 구분되고 (n은 자연수), 상기 복수개의 데이터 라인들 하측에 형성되는 (n-1)개 층의 더미 데이터 라인들과, 각 서브 픽셀에 형성되는 픽셀 전극과, 상기 각 게이트 라인의 스캔 신호에 의해 스위칭되어 각 데이터 라인의 데이터 신호를 각 픽셀 전극에 인가하는 박막트랜지스터를 구비하고, 상기 n개의 블록의 데이터 라인들 각각은 이웃한 블록의 데이터 라인들과 전기적으로 연결되지 않고, (n-1)개의 블록의 데이터 라인들 중 각 블록의 데이터 라인들은 상기 (n-1)개 층의 더미 데이터 라인들 중 한 층의 더미 데이터 라인들에 전기적으로 연결됨에 그 특징이 있다.
- [0027] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 패널은, 기판상에 서로 격리되어 적층 구조로 형성되는 (n-1)개 층의 더미 데이터 라인들과, 상기 (n-1)개 층의 더미 데이터 라인들을 포함한 기판상에 형성되는 평탄화막과, 상기 평탄화막위에 형성되고 각 서브 픽셀 영역마다 게이트 전극을 구비한 복수개의 게이트 라인들과, 상기 게이트 라인들을 포함한 평탄화막 위에 형성되는 게이트 절연막과, 상기 게이트 전극 상측의 게이트 절연막위에 형성되는 활성층과, 상기 게이트 절연막상에 상기 n 개의 블록별로 상기 게이트 라인들과 수직인 방향으로 형성되는 복수개의 데이터 라인들과, 상기 각 서브 픽셀 영역마다 상기 복수개의 데이터 라인들로부터 돌출되어 상기 활성층에 중첩되는 소오스 전극 및 상기 활성층에 중첩되고 상기 소오스 전극에 대향되는 드레인 전극을 구비하고, 상기 (n-1)개의 블록의 데이터 라인들 중 각 블록의 데이터 라인들은 상기 (n-1)개 층의 더미

데이터 라인들 중 한 층의 더미 데이터 라인에 전기적으로 연결됨에 또 다른 특징이 있다.

- [0028] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 패널은, 서브 픽셀 영역을 정의하기 위해 서로 수직인 방향으로 배열되는 복수개의 게이트 라인들 및 복수개의 데이터 라인들과, 상기 복수개의 게이트 라인들을 중심으로 제 1 및 제 2 블록으로 구분되고, 상기 제 2 블록의 데이터 라인들 하측에 형성되는 더미 데이터 라인들과, 각 서브 픽셀에 형성되는 픽셀 전극과, 상기 각 게이트 라인의 스캔 신호에 의해 스위칭되어 각 데이터 라인의 데이터 신호를 각 픽셀 전극에 인가하는 박막트랜지스터를 구비하고, 상기 제 1 블록의 데이터 라인들 각각은 상기 제 2블록의 데이터 라인들과 전기적으로 연결되지 않고, 상기 제 1 블록의 데이터 라인들은 상기 더미 데이터 라인들에 전기적으로 연결됨에 또 다른 특징이 있다.
- [0029] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 패널은, 기판상에 형성되는 더미 데이터 라인들과, 상기 더미 데이터 라인들을 포함한 기판상에 형성되는 평탄화막과, 상기 평탄화막위에 형성되고 각 서브 픽셀 영역마다 게이트 전극을 구비한 복수개의 게이트 라인들과, 상기 게이트 라인들을 포함한 평탄화막 위에 형성되는 게이트 절연막과, 상기 게이트 전극 상측의 게이트 절연막위에 형성되는 활성층과, 상기 복수개의 게이트 라인들을 중심으로 제 1 및 제 2 블록으로 구분되고, 상기 게이트 절연막상의 상기 제 1 및 제 2 블록에 상기 게이트 라인들과 수직인 방향으로 형성되는 제 1 블록의 데이터 라인들 및 제 2 블록의 데이터 라인들과, 상기 각 서브 픽셀 영역마다 상기 제 1 및 제 2 블록의 데이터 라인들로부터 돌출되어 상기 활성층에 중첩되는 소오스 전극 및 상기 활성층에 중첩되고 상기 소오스 전극에 대향되는 드레인 전극을 구비하고, 상기 제 1 블록의 데이터 라인들은 상기 더미 데이터 라인들에 전기적으로 연결됨에 또 다른 특징이 있다.
- [0030] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 패널은, 서브 픽셀 영역을 정의하기 위해 서로 수직인 방향으로 배열되는 복수개의 게이트 라인들 및 복수개의 데이터 라인들과, 상기 복수개의 게이트 라인들을 중심으로 제 1, 제 2 및 제 3 블록으로 구분되고, 상기 제 2 및 제 3 블록의 데이터 라인 하측에 형성되는 제 1 층의 더미 데이터 라인들과, 상기 제 3 블록의 데이터 라인 하측에 형성되는 제 2 층의 더미 데이터 라인들과, 각 서브 픽셀에 형성되는 픽셀 전극과, 상기 각 게이트 라인의 스캔 신호에 의해 스위칭되어 각 데이터 라인의 데이터 신호를 각 픽셀 전극에 인가하는 박막트랜지스터를 구비하고, 상기 각 블록의 데이터 라인들은 서로 인접한 블록의 데이터 라인들과 전기적으로 연결되지 않고, 상기 제 1 블록의 데이터 라인들은 상기 제 1 층의 더미 데이터 라인들에 연결되고, 상기 제 2 블록의 데이터 라인들은 상기 제 2 층의 더미 데이터 라인들에 연결됨에 또 다른 특징이 있다.
- [0031] 또한, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 패널은, 기판상에 형성되는 제 1 층의 더미 데이터 라인들과, 상기 제 1 층의 더미 데이터 라인들을 포함한 기판상에 형성되는 제 1 평탄화막과, 상기 제 1 평탄화막위에 형성되는 제 2 층의 더미 데이터 라인들과, 상기 제 2 층의 더미 데이터 라인들을 포함한 제 1 평탄화막위에 형성되는 제 2 평탄화막과, 각 서브 픽셀 영역마다 게이트 전극을 구비하고 상기 제 1 및 제 2 층의 더미 데이터 라인들과 수직인 방향으로 상기 제 2 평탄화막위에 형성되는 복수개의 게이트 라인들과, 상기 게이트 라인들을 포함한 평탄화막 위에 형성되는 게이트 절연막과, 상기 게이트 전극 상측의 게이트 절연막위에 형성되는 활성층과, 상기 복수개의 게이트 라인들을 중심으로 제 1, 제 2 및 제 3 블록으로 구분되고, 상기 게이트 절연막상의 각 블록에 상기 게이트 라인들과 수직인 방향으로 형성되는 제 1 블록의 데이터 라인들, 제 2 블록의 데이터 라인들 및 제 3 블록의 데이터 라인들과, 상기 각 서브 픽셀 영역마다 상기 제 1, 제 2 및 제 3 블록의 데이터 라인들로부터 돌출되어 상기 활성층에 중첩되는 소오스 전극 및 상기 활성층에 중첩되고 상기 소오스 전극에 대향되는 드레인 전극을 구비하고, 상기 제 1 블록의 데이터 라인들은 상기 제 1 층의 더미 데이터 라인들에 전기적으로 연결되고, 상기 제 2 블록의 데이터 라인들은 상기 제 2 층의 더미 데이터 라인들에 전기적으로 연결됨에 또 다른 특징이 있다.
- [0032] 한편, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 액정 표시 장치는, 게이트 라인들을 중심으로 n개의 블록으로 구분되고, 각 블록의 데이터 라인들은 이웃한 블록의 데이터 라인들과 전기적으로 연결되지 않고, (n-1)개의 블록의 데이터 라인들은 (n-1)개 층의 더미 데이터 라인들을 통해 연결되는 액정 패널과, 일 블록내의 게이트 라인들에 순차적으로 스캔 펄스를 인가하고, 각 블록에 동시에 스캔 펄스를 인가하는 게이트 구동부와, 각 블록의 데이터 라인들에 독립적으로 데이터 신호를 공급하는 데이터 구동부를 구비함에 그 특징이 있다.
- [0033] 여기서, 상기 데이터 구동부에 가장 인접한 블록의 데이터 라인들은 상기 데이터 구동부에 직접 연결되고, 상기 (n-1)개의 블록의 데이터 라인들은 상기 (n-1)개 층의 더미 데이터 라인들을 통해 상기 데이터 구동부에 연결됨을 특징으로 한다.
- [0034] 상기에서, 각 층의 더미 데이터 라인들은 서로 중첩되고, 또한 적어도 하나의 블록의 데이터 라인들과 중첩됨을

특징으로 한다.

[0035] 상기 더미 데이터 라인들의 폭은 각 블록의 데이터 라인들의 폭과 같거나 더 크게 형성됨을 특징으로 한다.

발명의 효과

[0036] 상기와 같은 특징을 갖는 본 발명에 따른 액정 패널 및 액정 표시장치에 있어서는 다음과 같은 효과가 있다.

[0037] 액정 패널을 게이트 라인들을 중심으로 복수개의 블록으로 구분하여 각 블록에 독립적으로 데이터 신호를 공급하므로, 스캔 펄스를 저주파수로 구동하든가, 고주파수로 구동하더라도 블록의 개수에 비례하여 스캔 펄스의 하이 펄스 구간(1수평 구간)의 시간을 충분히 확보할 수 있다.

[0038] 따라서, 상기 스캔 펄스의 하이 펄스 구간(1수평 구간)의 시간을 충분히 확보할 수 있으므로, 각 서브 픽셀의 충전 시간을 확보할 수 있다.

[0039] 또한, 각 서브 픽셀의 충전 시간을 충분히 확보할 수 있으므로, 박막 트랜지스터의 채널 폭 대비 채널 길이(W/L)를 최적화하여 소비 전류 감소 및 투과율을 향상시킬 수 있다.

도면의 간단한 설명

[0040] 도 1은 일반적인 액정표시장치를 개략적으로 나타낸 블록도

도 2는 도 1에 도시된 서브 픽셀을 개략적으로 나타낸 회로도

도 3은 일반적인 게이트 구동부에서 출력되는 스캔 펄스를 도시한 파형도

도 4는 본 발명의 제 1 실시예에 따른 액정 패널 및 데이터 구동부를 개략적으로 나타낸 설명도

도 5는 본 발명의 제 1 실시예에 따른 액정 패널의 게이트 라인, 데이터 라인 및 서브 픽셀의 레이아웃도

도 6은 도 5의 I-I' 선상의 단면 구조도

도 7은 도 5의 II-II' 선상의 단면 구조도

도 8은 도 5의 III-III' 선상의 단면 구조도

도 9는 본 발명의 제 2 실시예에 따른 액정 패널의 게이트 라인, 데이터 라인 및 서브 픽셀의 레이아웃도

도 10은 도 9의 I-I' 선상의 단면 구조도

도 11은 도 9의 II-II' 선상의 단면 구조도

도 12는 도 9의 III-III' 선상의 단면 구조도

도 13은 도 9의 IV-IV' 선상의 단면 구조도

도 14는 도 9의 V-V' 선상의 단면 구조도

발명을 실시하기 위한 구체적인 내용

[0041] 상기와 같은 특징을 갖는 본 발명에 따른 액정 패널 및 액정 표시장치를 첨부된 도면을 참조하여 보다 상세히 설명하면 다음과 같다.

[0042] 본 발명에 따른 액정표시장치의 구성은 도 1에서 설명한 바와 같이 구성된다.

[0043] 단, 액정 패널이 게이트 라인을 중심으로 복수개의 블록으로 나누어지고, 스캔 펄스의 하이 펄스 구간(1수평 구간)의 시간을 충분히 확보할 수 있도록 각 블록의 데이터 라인들에 독립적으로 데이터 신호를 공급함에 차이가 있다.

[0044] 도 4는 본 발명의 제 1 실시예에 따른 액정 패널 및 데이터 구동부를 개략적으로 나타낸 설명도이고, 도 5는 본 발명의 제 1 실시예에 따른 액정 패널의 블록 사이의 게이트 라인, 데이터 라인 및 서브 픽셀의 레이아웃도이다.

[0045] 본 발명의 제 1 실시예에 따른 액정표시장치의 액정 패널(160)은 2개의 블록으로 나누어진 것이다. 도 4 및 5에 도시된 바와 같이, 복수개의 게이트 라인을 중심으로 2개의 블록(제1블록 및 제 2 블록)으로 나누어진다.

- [0046] 즉, 게이트 라인이 2732개일 경우, 제 1 블록은 첫번째 게이트 라인부터 1366번째 라인(1~1366)을 구비하고, 제 2 블록은 1367번째 게이트 라인부터 마지막 번째 게이트 라인(1367~2732)을 구비한다.
- [0047] 그리고, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))과 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은 전기적으로 서로 연결되지 않고 별도로 구동된다.
- [0048] 즉, 도 4에는 도시되지 않았지만, 액정 패널(160)은 데이터 구동부(150)와 데이터 라인들을 연결하기 위한 데이터 패드부를 구비한다.
- [0049] 따라서, 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은 상기 데이터 패드부에 연결되고, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))들은 상기 데이터 패드부에 직접 연결되지 않는다.
- [0050] 도 5에 도시한 바와 같이, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))은 더미 데이터 라인들(DDL(k-1), DDL(k))을 통해 데이터 구동부(150) (데이터 패드부)와 연결되고, 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은 데이터 구동부(150)(데이터 패드부)에 직접 연결된다.
- [0051] 따라서, 게이트 구동부는 각 블록의 첫번째 게이트 라인부터 마지막 번째 게이트 라인에 순차적으로 스캔 펄스를 출력하되, 각 블록의 게이트 라인에 스캔 펄스를 동시에 출력한다.
- [0052] 즉, 상기 게이트 구동부는, 제 1블록의 첫번째 게이트 라인과 제 2 블록의 첫번째 게이트 라인(1367번째 게이트 라인)에 스캔 펄스를 동시에 출력하고, 제 1블록의 두번째 게이트 라인과 제 2 블록의 두번째 게이트 라인(1368 번째 게이트 라인)에 스캔 펄스를 동시에 출력하는 방법으로, 제 1블록의 마지막 번째 게이트 라인(1366번째 게이트 라인)과 제 2 블록의 마지막 번째 게이트 라인(2732번째 게이트 라인)에 스캔 펄스를 동시에 출력한다.
- [0053] 상술한 바와 같이, 각 블록의 게이트 라인에 스캔 펄스가 동시에 인가되므로, 상기 데이터 구동부(150)는 각 블록의 데이터 라인을 별도로 구동한다.
- [0054] 도 6은 도 5의 I-I' 선상의 단면 구조도이고, 도 7은 도 5의 II-II' 선상의 단면 구조도이며, 도 8은 도 5의 III-III' 선상의 단면 구조도이다.
- [0055] 도 5 내지 도 8을 참조하여 본 발명의 제 1 실시예에 따른 액정 패널의 구성을 설명하면 다음과 같다.
- [0056] 기관(1)상에 상기 더미 데이터 라인들(DDL(k-1), DDL(k))이 형성되고, 상기 상기 더미 데이터 라인들(DDL(k-1), DDL(k))을 포함한 상기 기관(1) 전면에 제 1 절연막(2, 예를들면, 실리콘 질화막(SiNx)) 및 제 1 평탄화막(3, 예를들면, SOG층)이 차례로 형성된다.
- [0057] 그리고, 상기 더미 데이터 라인들(DDL(k-1), DDL(k))과 수직한 방향으로 상기 제 1 평탄화막(3)상에 게이트 라인들(1365, 1366, 1367, 1368)이 형성된다. 이 때, 상기 게이트 라인들(1365, 1366, 1367, 1368)로부터 각 서브 픽셀 영역마다 박막트랜지스터의 게이트 전극(G)이 돌출되어 형성된다.
- [0058] 상기 게이트 라인들(1365, 1366, 1367, 1368) 및 각 게이트 전극(G)을 포함한 상기 제 1 평탄화막(3)상에 게이트 절연막(4)이 형성되고, 상기 각 게이트 전극 상층의 상기 게이트 절연막(4) 상에 활성층(AT, 예를들면, IZGO)이 형성된다.
- [0059] 상기 게이트 절연막(4)상에 상기 게이트 라인들(1365, 1366, 1367, 1368)과 수직한 방향으로 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)) 및 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))이 형성된다. 이 때, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))들과 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은 전기적으로 서로 연결되지 않는다.
- [0060] 이 때, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)) 및 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))로부터 각 서브 픽셀 영역마다 상기 활성층(AT)에 중첩되도록 박막트랜지스터의 소오스 전극(S)이 돌출되어 형성되고, 상기 활성층(AT)에 중첩되고 상기 박막트랜지스터의 소오스 전극(S)에 대향되도록 드레인 전극(D)이 형성된다.
- [0061] 따라서, 각 서브 픽셀 영역 마다 상기 게이트 전극(G), 소오스 전극(S) 및 드레인 전극(D)을 구비한 박막트랜지스터가 형성된다.
- [0062] 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은 상기 더미 데이터 라인들(DDL(k-1), DDL(k))과 중첩되고, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))은, 도 6에 도시한 바와 같이, 콘택 홀들(contact hole; CH)을 통해 상기 더미 데이터 라인들(DDL(k-1), DDL(k))에 각각 전기적으로 연결된다.

- [0063] 여기서, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))들, 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k)) 및 상기 더미 데이터 라인들(DDL(k-1), DDL(k))의 폭은 동일하게 형성됨을 기본으로 한다. 그러나 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))의 폭보다 상기 더미 데이터 라인들(DDL(k-1), DDL(k))의 폭을 더 크게 할 수도 있다.
- [0064] 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)) 및 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))을 구비한 게이트 절연막(4) 상에 제 2 평탄화막(5)이 형성되고, 상기 각 박막트랜지스터의 드레인 전극(D)에 콘택홀이 형성된다.
- [0065] 그리고, 상기 각 서브 픽셀 영역마다 상기 콘택홀을 통해 상기 드레인 전극(D)에 전기적으로 연결되도록, 상기 제 2 평탄화막(5) 상에 픽셀 전극(pixel electrode; PE)이 형성된다.
- [0066] 물론, 도면에는 도시되지 않았지만, 상기 게이트 절연막(4)과 상기 제 2 평탄화막(5) 사이에 제 2 절연막(예를 들면, SiNx, SiO₂ 등)이 더 형성될 수 있다.
- [0067] 도 5 내지 도 8에서는, 각 서브 픽셀 영역에 픽셀 전극(PE)만 도시되어 있으나, 이에 한정되지 않고, 공통 전극과 픽셀 전극이 빗살 형태로 형성되는 IPS 모드의 구조로 형성되거나, 공통 전극과 픽셀 전극이 적층되는 FFS 모드의 구조로 형성될 수 있다.
- [0068] 도 9는 본 발명의 제 2 실시예에 따른 액정 패널의 블록 사이의 게이트 라인, 데이터 라인 및 서브 픽셀의 레이아웃도이다.
- [0069] 본 발명의 제 2 실시예에 따른 액정표시장치의 액정 패널(160)은 3개의 블록으로 나누어진 것이다. 도 9에 도시된 바와 같이, 복수개의 게이트 라인을 중심으로 3개의 블록(1 block, 2 Block, 3 Block)으로 나누어진다.
- [0070] 즉, 게이트 라인이 2732개일 경우, 제 1 블록은 첫번째 게이트 라인부터 910번째 라인(1~910)을 구비하고, 제 2 블록은 911번째 게이트 라인부터 1821 번째 게이트 라인(911~1821)을 구비하며, 제 3 블록은 1822번째 게이트 라인부터 마지막 번째 게이트 라인(1822~2732)을 구비한다.
- [0071] 그리고, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)), 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k)) 및 제 3 블록의 데이터 라인들(3DL(k-1), 3DL(k))은 전기적으로 서로 연결되지 않고 별도로 구동된다.
- [0072] 즉, 도 9에 도시한 바와 같이, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))은 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))을 통해 데이터 구동부(150)와 연결되고, 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은 제 1 더미 데이터 라인들(1DDL(k-1), 1DDL(k))을 통해 데이터 구동부(150)와 연결되며, 상기 제 3 블록의 데이터 라인들(3DL(k-1), 3DL(k))은 데이터 구동부(150)에 직접 연결된다.
- [0073] 따라서, 게이트 구동부는 각 블록의 첫번째 게이트 라인부터 마지막 번째 게이트 라인에 순차적으로 스캔 펄스를 출력하되, 각 블록의 게이트 라인에 스캔 펄스를 동시에 출력한다.
- [0074] 즉, 상기 게이트 구동부는, 제 1블록의 첫번째 게이트 라인, 제 2 블록의 첫번째 게이트 라인(911번째 게이트 라인) 및 제 3 블록의 첫번째 게이트 라인(1822번째 게이트 라인)에 스캔 펄스를 동시에 출력하고, 제 1블록의 두번째 게이트 라인, 제 2 블록의 두번째 게이트 라인(912번째 게이트 라인) 및 제 3 블록의 두번째 게이트 라인(1823번째 게이트 라인)에 스캔 펄스를 동시에 출력하는 방법으로, 제 1블록의 마지막 번째 게이트 라인(910 번째 게이트 라인), 제 2 블록의 마지막 번째 게이트 라인(1821 번째 게이트 라인) 및 제 3 블록의 마지막 번째 게이트 라인(2732 번째 게이트 라인)에 스캔 펄스를 동시에 출력한다.
- [0075] 상술한 바와 같이, 각 블록의 게이트 라인에 스캔 펄스가 동시에 인가되므로, 상기 데이터 구동부(150)는 각 블록의 데이터 라인을 별도로 구동한다.
- [0076] 도 10은 도 9의 I-I' 선상의 단면 구조도이고, 도 11은 도 9의 II-II' 선상의 단면 구조도이며, 도 12는 도 9의 III-III' 선상의 단면 구조도이고, 도 13은 도 9의 IV-IV' 선상의 단면 구조도이며, 도 14는 도 9의 V-V' 선상의 단면 구조도이다.
- [0077] 도 9 내지 도 14를 참조하여 본 발명의 제 2 실시예에 따른 액정 패널의 구성을 설명하면 다음과 같다.
- [0078] 기판(11)상에 상기 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))이 형성되고, 상기 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))을 포함한 상기 기판(11) 전면에 제 1 절연막(12, 예를 들면, 실리콘 질화막(SiNx)) 및 제 1 평탄화막(13, 예를 들면, SOG층)이 차례로 형성된다.

- [0079] 상기 제 1 평탄화막(13)상에 제 1 더미 데이터 라인들(1DDL(k-1), 1DDL(k))이 형성되고, 상기 제 1 더미 데이터 라인들(1DDL(k-1), 1DDL(k))을 포함한 상기 제 1 평탄화막(13) 전면에서 제 2 절연막(14, 예를들면, 실리콘 질화막(SiNx)) 및 제 2 평탄화막(15, 예를들면, SOG층)이 차례로 형성된다.
- [0080] 여기서, 상기 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))과 상기 제 1 더미 데이터 라인들(1DDL(k-1), 1DDL(k))은 서로 중첩되어 형성된다.
- [0081] 그리고, 상기 제 1 및 제 2 더미 데이터 라인들(1DDL(k-1), 1DDL(k), 2DDL(k-1), 2DDL(k))과 수직인 방향으로 상기 제 2 평탄화막(15)상에 게이트 라인들(909, 910, 911, 1821, 1822, 1823)이 형성된다. 이 때, 상기 게이트 라인들(909, 910, 911, 1821, 1822, 1823)로부터 각 서브 픽셀 영역마다 박막트랜지스터의 게이트 전극(G)이 돌출되어 형성된다.
- [0082] 상기 게이트 라인들(909, 910, 911, 1821, 1822, 1823) 및 각 게이트 전극(G)을 포함한 상기 제 2 평탄화막(15)상에 게이트 절연막(16)이 형성되고, 상기 각 게이트 전극(G) 상측의 상기 게이트 절연막(16)상에 활성층(AT, 예를들면, IZGO)이 형성된다.
- [0083] 상기 게이트 절연막(16)상에 상기 게이트 라인들(909, 910, 911, 1821, 1822, 1823)과 수직인 방향으로 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)), 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k)) 및 상기 제 3 블록의 데이터 라인들(3DL(k-1), 3DL(k))이 형성된다. 이 때, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)), 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k)) 및 상기 제 3 블록의 데이터 라인들(3DL(k-1), 3DL(k))은 전기적으로 서로 연결되지 않는다.
- [0084] 이 때, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)), 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k)) 및 상기 제 3 블록의 데이터 라인들(3DL(k-1), 3DL(k))로부터 각 서브 픽셀 영역마다 상기 활성층(AT)에 중첩되도록 박막트랜지스터의 소오스 전극(S)이 돌출되어 형성되고, 상기 활성층(AT)에 중첩되고 상기 박막트랜지스터의 소오스 전극(S)에 대향되도록 드레인 전극(D)이 형성된다.
- [0085] 따라서, 각 서브 픽셀 영역마다 상기 게이트 전극(G), 소오스 전극(S) 및 드레인 전극(D)을 구비한 박막트랜지스터가 형성된다.
- [0086] 상기 제 3 블록의 데이터 라인들(3DL(k-1), 3DL(k))은 상기 제 1 및 제 2 더미 데이터 라인들(1DDL(k-1), 1DDL(k), 2DDL(k-1), 2DDL(k))과 중첩되고, 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은 상기 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))과 중첩된다.
- [0087] 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k))은, 도 10에 도시한 바와 같이, 콘택 홀들(contact hole; CH)을 통해 상기 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))에 각각 전기적으로 연결된다.
- [0088] 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k))은, 도 13에 도시한 바와 같이, 콘택 홀들(contact hole; CH)을 통해 상기 제 1 더미 데이터 라인들(1DDL(k-1), 1DDL(k))에 각각 전기적으로 연결된다.
- [0089] 여기서, 상기 제 1 블록의 데이터 라인들(1DL(k-1), 1DL(k)), 상기 제 2 블록의 데이터 라인들(2DL(k-1), 2DL(k)), 상기 제 3 블록의 데이터 라인들(3DL(k-1), 3DL(k)), 상기 제 1 더미 데이터 라인들(1DDL(k-1), 1DDL(k)) 및 상기 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))의 폭은 동일하게 형성됨을 기본으로 한다.
- [0090] 그러나 상기 각 블록의 데이터 라인들(1DL(k-1), 1DL(k), 2DL(k-1), 2DL(k), 3DL(k-1), 3DL(k))의 폭보다 상기 제 1 및 제 2 더미 데이터 라인들(1DDL(k-1), 1DDL(k), 2DDL(k-1), 2DDL(k))의 폭을 더 크게 할 수도 있다.
- [0091] 또한, 상기 제 1 더미 데이터 라인들(1DDL(k-1), 1DDL(k))의 폭보다 상기 제 2 더미 데이터 라인들(2DDL(k-1), 2DDL(k))의 폭을 더 크게 할 수도 있다.
- [0092] 상기 제 1 블록, 제 2 블록 및 제 3 블록의 각 데이터 라인들(1DL(k-1), 1DL(k), 2DL(k-1), 2DL(k), 2DL(k-1), 2DL(k))을 구비한 상기 게이트 절연막(16) 상에서 제 3 평탄화막(17)이 형성되고, 상기 각 박막트랜지스터의 드레인 전극(D)에 콘택 홀이 형성된다.
- [0093] 그리고, 상기 각 서브 픽셀 영역마다 상기 콘택홀을 통해 상기 드레인 전극(D)에 전기적으로 연결되도록, 상기 제 3 평탄화막(17) 상에서 픽셀 전극(pixel electrode; PE)이 형성된다.
- [0094] 물론, 도면에는 도시되지 않았지만, 상기 게이트 절연막(16)과 상기 제 3 평탄화막(17) 사이에도 제 3 절연막(예를들면, SiNx, SiO2 등)이 더 형성될 수 있다.

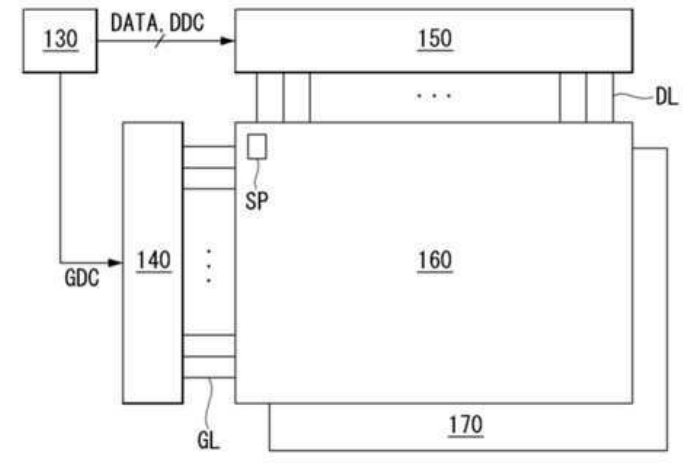
- [0095] 도 9 내지 도 14에서는, 각 서브 픽셀 영역에 픽셀 전극(PE)만 도시되어 있으나, 이에 한정되지 않고, 공통 전극과 픽셀 전극이 빗살 형태로 형성되는 IPS 모드의 구조로 형성되거나, 공통 전극과 픽셀 전극이 적층되는 FFS 모드의 구조로 형성될 수 있다.
- [0096] 이상에서 설명한 바와 같이, 액정 패널을 게이트 라인들을 중심으로 n개의 블록으로 구분하고, 각 블록의 데이터 라인들은 이웃한 블록의 데이터 라인들과 전기적으로 연결되지 않도록 하고, (n-1)개 층의 더미 데이터 라인들을 구성한다.
- [0097] 그리고, 데이터 구동부에 가장 인접한 블록의 데이터 라인들은 상기 데이터 구동부에 직접 연결되고, 상기 데이터 구동부에 가장 인접한 블록을 제외한 나머지 (n-1)개의 블록의 데이터 라인들은 상기 (n-1)개 층의 더미 데이터 라인들을 통해 데이터 구동부에 연결되도록 한다.
- [0098] 이와 같이 구성된 액정 패널의 각 블록의 게이트 라인들에는 순차적으로 스캔 펄스를 인가하되 각 블록을 동시에 구동하고, 각 블록마다 독립적으로 데이터 라인들에 데이터 신호를 공급하도록 하므로, 스캔 펄스를 저주파수로 구동하던가, 고주파수로 구동하더라도 블록의 개수에 비례하여 스캔 펄스의 하이 펄스 구간(1수평 구간)의 시간을 충분히 확보할 수 있다.
- [0099] 따라서, 상기 스캔 펄스의 하이 펄스 구간(1수평 구간)의 시간을 충분히 확보할 수 있으므로, 각 서브 픽셀의 충전 시간을 확보할 수 있고, 각 서브 픽셀의 충전 시간을 충분히 확보할 수 있으므로, 박막 트랜지스터의 채널 폭 대비 채널 길이(W/L)를 최적화하여 소비 전류 감소 및 투과율을 향상시킬 수 있다.
- [0100] 즉, 게이트 구동부는 해당 블록내의 게이트 라인들에 순차적으로 스캔 펄스를 인가하고, 각 블록의 게이트 라인들에 동시에 스캔 펄스를 인가한다.
- [0101] 그리고, 데이터 구동부는 각 블록의 데이터 라인들에 독립적으로 데이터 신호를 공급한다.
- [0102] 이상에서 설명한 본 발명은 상술한 실시예 및 첨부된 도면에 한정되는 것이 아니고, 본 발명의 기술적 사상을 벗어나지 않는 범위 내에서 여러 가지 치환, 변형 및 변경이 가능하다는 것이 본 발명이 속하는 기술 분야에서 통상의 지식을 가진 자에게 있어 명백할 것이다.

부호의 설명

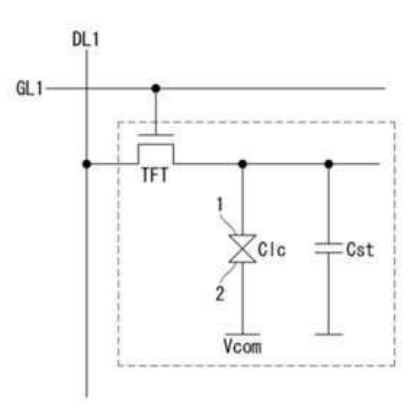
- [0103] 1DL(k-1), 1DL(k), 2DL(k-1), 2DL(k), 3DL(k-1), 3DL(k): 데이터 라인
- 1DDL(k-1), 1DDL(k), 2DDL(k-1), 2DDL(k): 더미 데이터 라인
- 909, 910, 911, 1365, 1366, 1367, 1368, 1821, 1822, 1823: 게이트 라인
- PE: 픽셀 전극 G: 게이트 전극
- S: 소오스 전극 D: 드레인 전극
- AT: 활성층
- 1, 11: 기판 2, 12, 14: 절연층
- 3, 5, 13, 15, 17: 평탄화막 4, 16: 게이트 절연막

도면

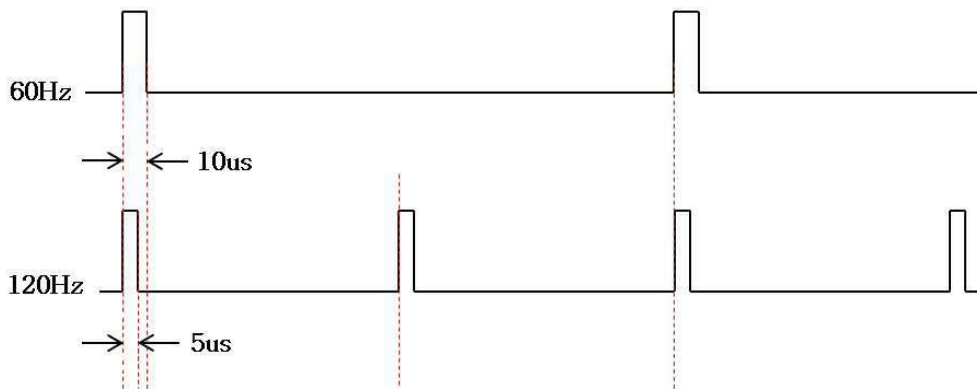
도면1



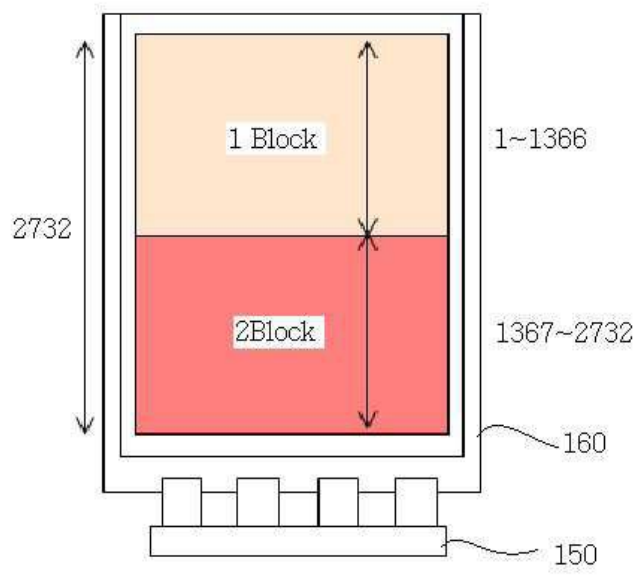
도면2



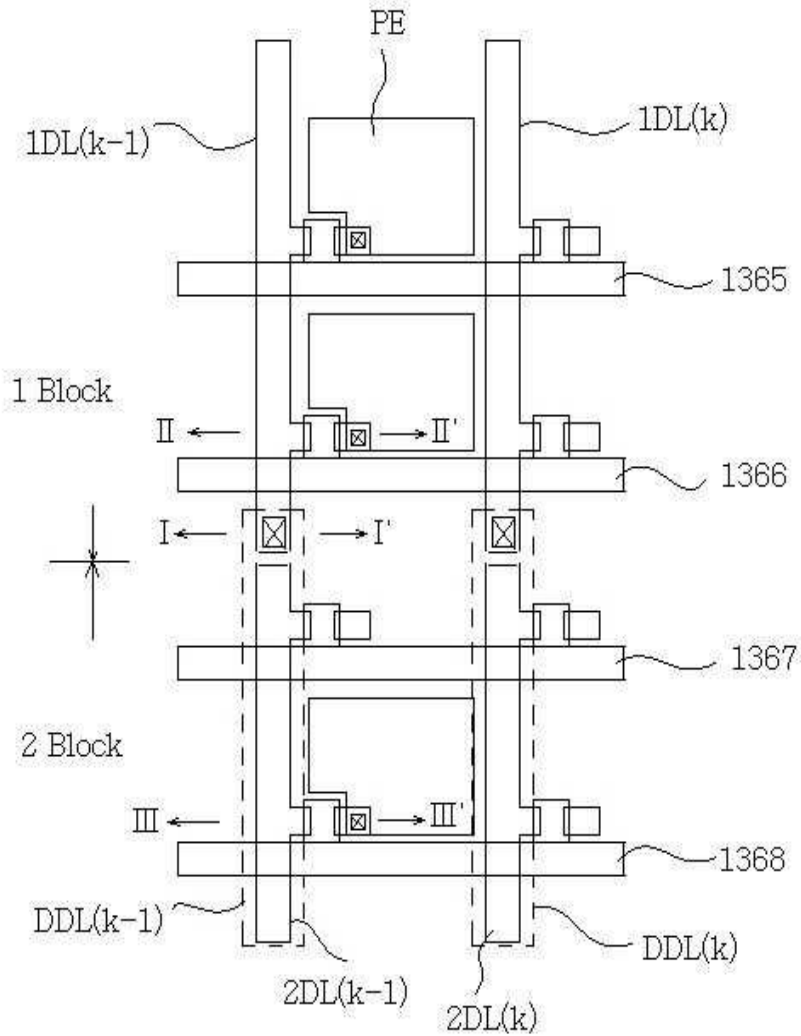
도면3



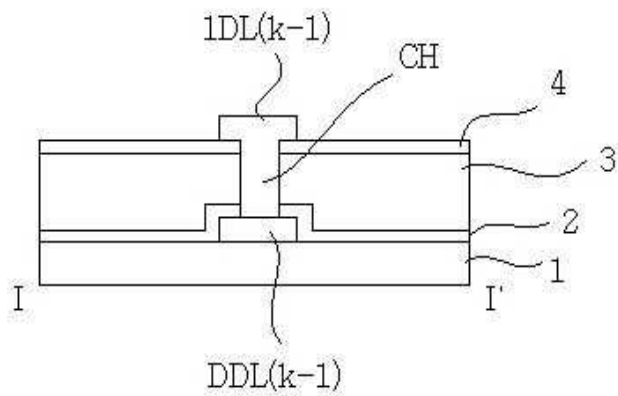
도면4



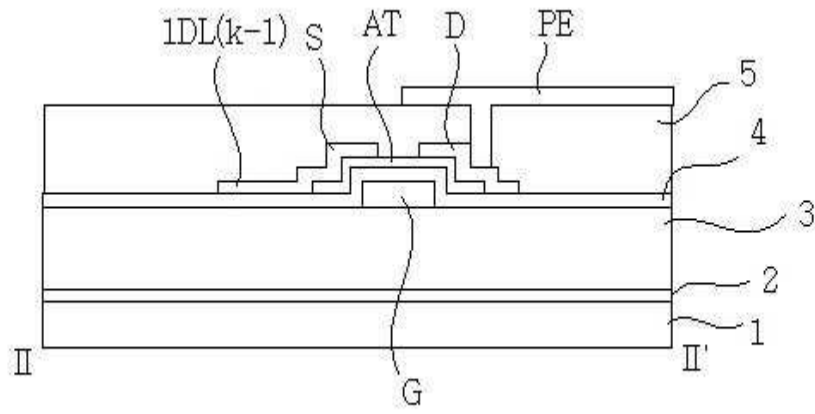
도면5



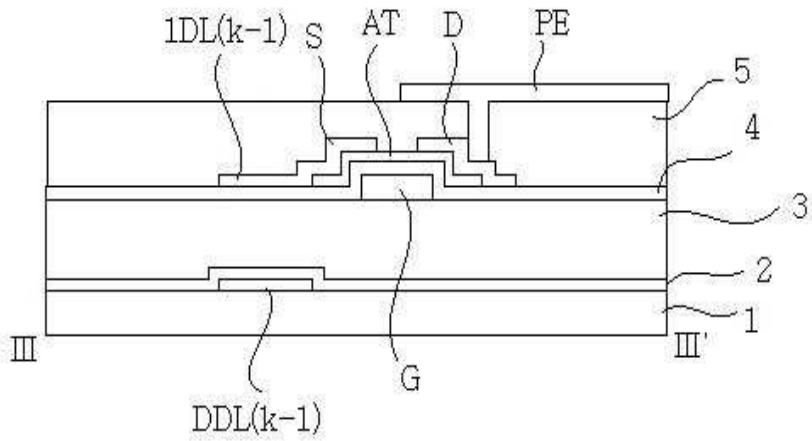
도면6



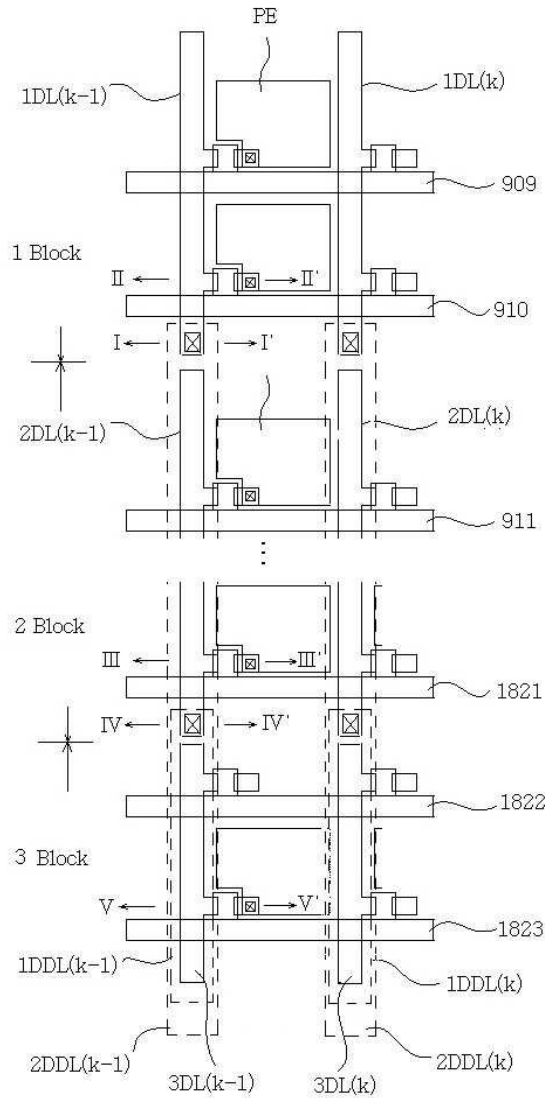
도면7



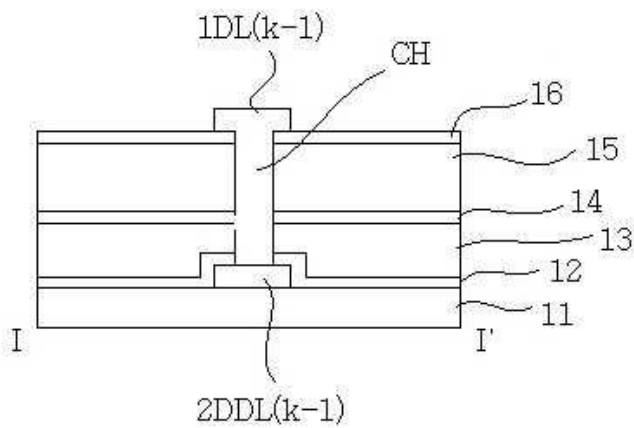
도면8



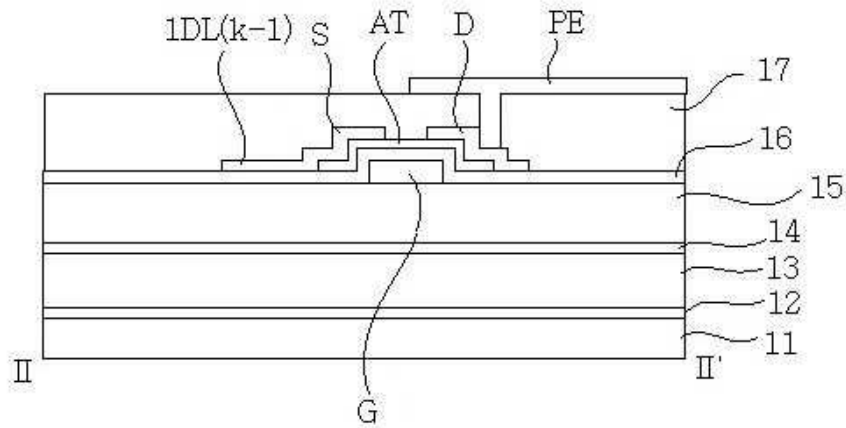
도면9



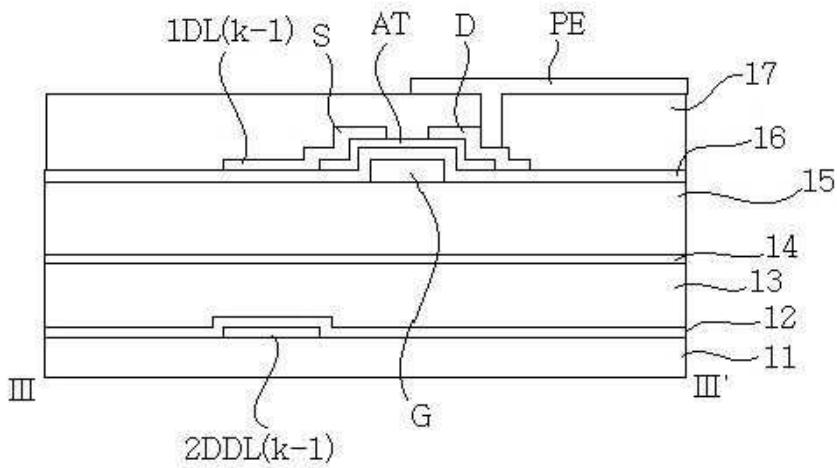
도면10



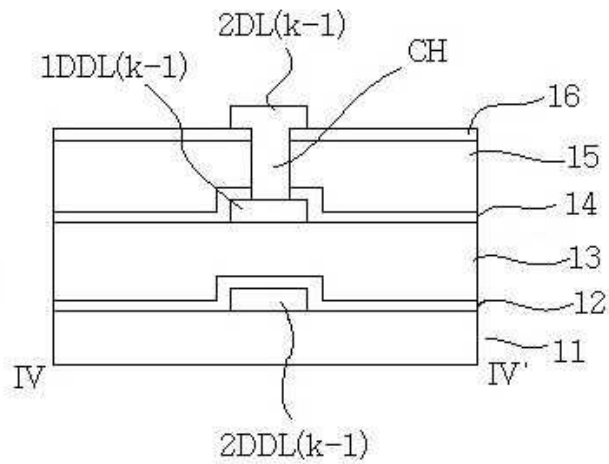
도면11



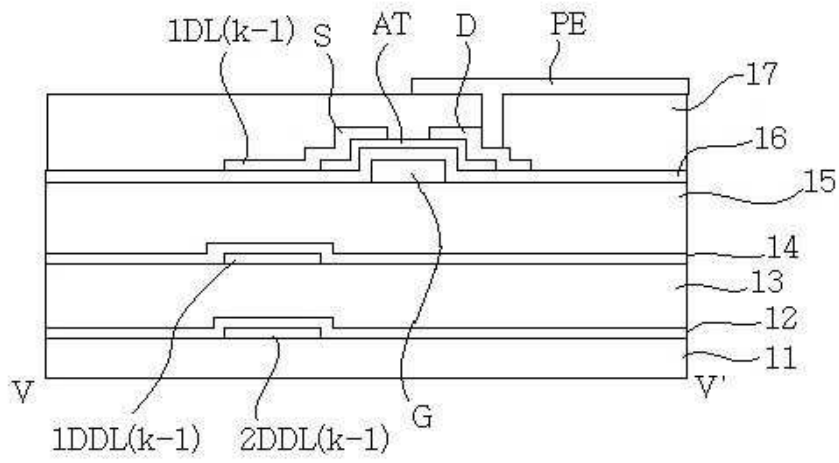
도면12



도면13



도면14



专利名称(译)	液晶面板和液晶显示装置		
公开(公告)号	KR1020190009041A	公开(公告)日	2019-01-28
申请号	KR1020170090690	申请日	2017-07-18
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	정호진		
发明人	정호진		
IPC分类号	G09G3/36 G02F1/1362		
CPC分类号	G09G3/3648 G02F1/136286 G09G2300/0426 G09G2330/021		
代理人(译)	Bakyoungbok		
外部链接	Espacenet		

摘要(译)

根据本发明，可以在充分确保充电时间的同时提高驱动频率，并且通过根据确保充电时间来相对于薄膜晶体管的沟道宽度优化沟道长度 (W/L)，液晶面板可以减少消耗电流并提高透射率。以及一种液晶面板，其中，所述液晶面板包括：多条栅极线和多条数据线，所述多条栅极线和多条数据线沿彼此垂直的方向布置以限定子像素区域，并且在所述多条栅极线周围 n 个块。数据被形成在多条数据线下方的 $(n-1)$ 层伪数据线，形成在每个子像素中的像素电极以及每个栅极线的扫描信号划分，以切换每个数据。一种薄膜晶体管，用于将线的数据信号施加到每个像素电极；它们中的每一个不电连接到相邻块的数据线，并且 $(n-1)$ 个块的数据线的每个块的数据线是 $(n-1)$ 层的伪数据线之一。并且电连接到该层的虚拟数据线。

