



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0126056  
(43) 공개일자 2017년11월16일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1343 (2006.01)

(52) CPC특허분류  
G02F 1/134363 (2013.01)  
G02F 1/134309 (2013.01)

(21) 출원번호 10-2016-0055389  
(22) 출원일자 2016년05월04일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)

(72) 발명자  
이소영  
서울특별시 마포구 마포대로 115-8 105동 812호  
(공덕동, 삼성래미안공덕1차아파트)

정영민  
경기도 파주시 금바위로 47, 801동 1002호 (와동동, 가람마을8단지 동문굿모닝힐)  
(뒷면에 계속)

(74) 대리인  
특허법인네이트

전체 청구항 수 : 총 11 항

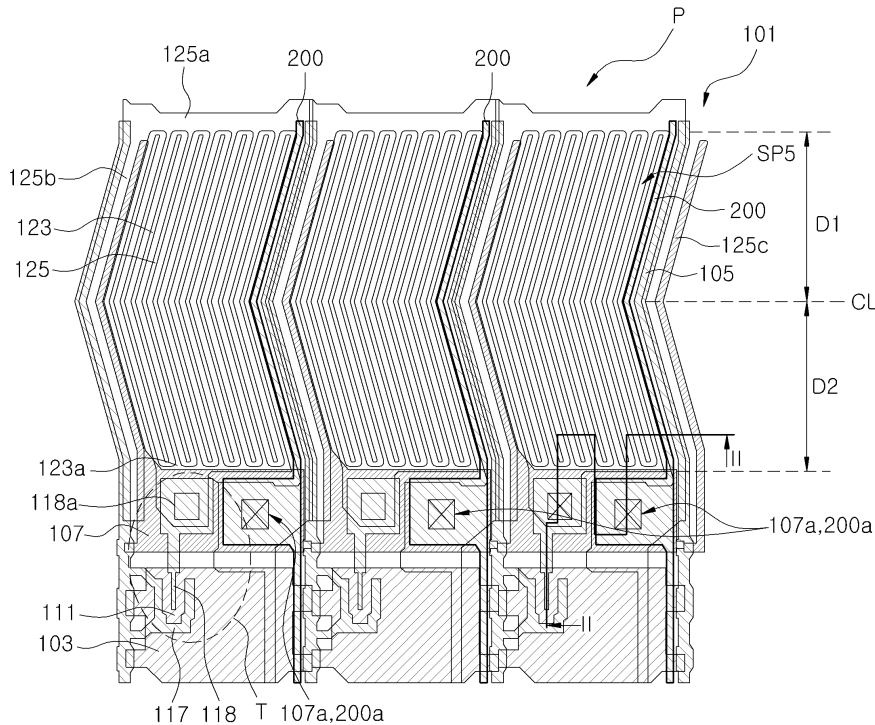
(54) 발명의 명칭 **회전계형 액정표시장치용 어레이기판**

**(57) 요약**

본 발명은 회전계형 액정표시장치에 관한 것으로, 특히 공통전압의 왜곡을 줄일 수 있는 회전계형 액정표시장치용 어레이기판에 관한 것이다.

본 발명의 특징은 표시영역을 비표시영역으로부터 중심부를 향해 제 1 내지 제 6 영역으로 나누어 정의하고, 제 (뒷면에 계속)

**대표도** - 도4f



1 영역 내지 제 3 영역에 위치하는 제 1 내지 제 3 화소영역들은 공통배선과 제 1 보조공통배선이 접촉되는 제 1 공통콘택홀의 개수를 조절하고, 제 4 영역 내지 제 6 영역에 위치하는 제 4 내지 제 6 화소영역들은 제 2 보조공통배선을 더욱 구비하고 제 2 보조공통배선의 개수를 조절하여, 제 1 영역으로부터 제 6 영역으로 갈수록 공통전극부가 낮은 라인저항을 갖도록 하는 것을 특징으로 한다.

이를 통해, 공통전압의 먼내 편차에 의해 상하 및 좌우 휘도차 및 플리커(flicker) 그리고 잔상이 발생하는 것을 방지할 수 있다. 또한 중심부에서의 공통전극부의 로드(load)가 커지는 것을 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있다.

(52) CPC특허분류

*G02F 1/134336* (2013.01)

*G02F 2001/134318* (2013.01)

*G02F 2001/134372* (2013.01)

(72) 발명자

**신승환**

전라북도 전주시 완산구 물레방아3길 23(태평동)

**서대영**

인천광역시 중구 흰바위로 34, 1011동 303호 (운서동, 영종주공스카이빌10단지아파트)

## 명세서

### 청구범위

#### 청구항 1

비표시영역과, 상기 비표시영역의 내측으로 위치하며, 상기 비표시영역으로부터 중심부를 향해 순차적으로 제 1 내지 제 6 영역으로 나뉘어 정의되는 표시영역을 포함하는 기관과;

상기 제 1 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 하나의 화소영역에서 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되는 제 1 화소영역과;

상기 제 2 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 두개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되는 제 2 화소영역과;

상기 제 3 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되는 제 3 화소영역과;

상기 제 4 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되며, 하나의 수직라인 공통전압 패스구조를 포함하는 제 4 화소영역과;

상기 제 5 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되며, 두개의 수직라인 공통전압 패스구조를 포함하는 제 5 화소영역과;

상기 제 6 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되며, 세개의 수직라인 공통전압 패스구조를 포함하는 제 6 화소영역

을 포함하며, 상기 제 1 영역으로부터 상기 제 6 영역으로 갈수록 공통전극부의 라인저항이 낮아지는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 2

제 1 항에 있어서,

상기 화소영역은 게이트절연막을 사이에 두고 서로 교차하는 게이트배선 및 데이터배선에 의해 정의되며,

상기 공통전극부는 상기 게이트배선과 나란하게 제 1 방향을 따라 이격되어 위치하는 상기 공통배선과, 상기 공통배선으로부터 공통전압을 전달받으며, 상기 제 1 방향으로 연장되는 공통배선연결배선, 상기 공통배선연결배선과 연결되며 상기 데이터배선과 나란하게 상기 제 1 방향에 수직한 제 2 방향을 따라 연장되는 제 1 보조공통배선과, 상기 공통배선연결배선에서 분기하여 상기 제 1 보조공통배선과 나란한 다수의 공통전극을 포함하는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 3

제 2 항에 있어서,

상기 수직라인 공통전압 패스구조는 상기 공통배선과 연결되며, 상기 데이터배선과 동일층에서 나란하게 상기 제 2 방향을 따라 연장되는 제 2 보조공통배선을 포함하는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 4

제 2 항에 있어서,

상기 공통전극은 상기 제 1 공통콘택홀을 통해 상기 공통배선과 연결되는 상기 제 1 보조공통배선을 통해 상기

공통배선과 연결되는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 5

제 3 항에 있어서,

상기 제 2 보조공통배선은 상기 제 1 공통콘택홀에 대응되는 제 2 공통콘택홀을 통해 상기 공통배선 및 상기 제 1 보조공통배선과 연결되는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 6

제 3 항에 있어서,

상기 제 1 내지 제 3 화소영역에는 상기 공통배선으로부터 분기하며, 상기 데이터배선과 나란하게 각 화소영역의 최외각에 위치하는 제 1 및 제 2 최외각 공통배선을 포함하며,

서로 이웃하는 3개의 상기 제 4 화소영역 중 하나의 화소영역에는 일측으로 제 1 최외각 공통배선이 위치하며, 타측으로는 상기 제 2 보조공통배선이 위치하며,

서로 이웃하는 3개의 상기 제 5 화소영역 중 두개의 화소영역에는 각각 일측으로 제 1 최외각 공통배선이 위치하며, 타측으로는 상기 제 2 보조공통배선이 위치하며,

서로 이웃하는 3개의 상기 제 6 화소영역 중 세개의 화소영역에는 각각 일측으로 제 1 최외각 공통배선이 위치하며, 타측으로는 상기 제 2 보조공통배선이 위치하는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 7

제 6 항에 있어서,

상기 제 1 및 제 2 최외각 공통배선은 상기 게이트배선과 동일층에서 동일물질로 이루어지며,

상기 제 2 보조공통배선은 구리(Cu) 또는 구리합금(Cu alloy)으로 이루어지는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 8

제 4 항에 있어서,

상기 게이트절연막 상부로 보호층이 더욱 위치하며, 상기 제 1 공통콘택홀은 상기 게이트절연막과 상기 보호층에 구비되는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 9

제 5 항에 있어서,

상기 게이트절연막 상부로 보호층이 더욱 위치하며, 상기 제 2 공통콘택홀은 상기 게이트절연막과 상기 제 2 보조공통배선 그리고 상기 보호층에 구비되며, 상기 제 1 보조공통배선은 상기 제 2 보조공통배선과 상기 공통배선과 연결되는 횡전계형 액정표시장치용 어레이기판.

#### 청구항 10

제 5 항에 있어서,

상기 제 2 공통콘택홀은 상기 공통배선 상부로 위치하는 횡전계형 액정표시장치용 어레이기판.

**청구항 11**

제 2 항에 있어서,

상기 각 화소영역에는 상기 게이트배선과 상기 데이터배선과 연결되어 형성되는 박막트랜지스터가 구비되며,

상기 박막트랜지스터와 연결되는 화소전극이 상기 공통전극과 교번하여 위치하는 횡전계형 액정표시장치용 어레이기판.

**발명의 설명**

**기술 분야**

[0001] 본 발명은 횡전계형 액정표시장치에 관한 것으로, 특히 공통전압의 왜곡을 줄일 수 있는 횡전계형 액정표시장치용 어레이기판에 관한 것이다.

**배경 기술**

[0003] 동화상 표시에 유리하고 콘트라스트비(contrast ratio)가 큰 특징을 보여 TV, 모니터 등에 활발하게 이용되는 액정표시장치(liquid crystal display device : LCD)는 액정의 광학적이방성(optical anisotropy)과 분극성질(polarization)에 의한 화상구현원리를 나타낸다.

[0004] 이러한 액정표시장치는 나란한 두 기판(substrate) 사이로 액정층을 개재하여 합착시킨 액정패널(liquid crystal panel)을 필수 구성요소로 하며, 액정패널 내의 전기장으로 액정분자의 배열방향을 변화시켜 투과율 차이를 구현한다.

[0005] 최근에는 상-하로 형성된 전기장으로 액정을 구동하는 능동행렬 액정표시장치가 해상도 및 동영상 구현능력이 우수하여 많이 사용되고 있으나, 상-하로 걸리는 전기장에 의한 액정구동은 시야각 특성이 떨어지는 단점을 가지고 있다.

[0006] 이에, 시야각이 좁은 단점을 극복하기 위해 여러 가지 방법이 제시되고 있는데, 그 중 횡전계에 의한 액정 구동 방법이 주목받고 있다.

[0007] 도 1은 일반적인 횡전계형 액정표시장치의 액정패널을 간략하게 나타낸 단면도이며, 도 2는 일반적인 횡전계형 액정표시장치의 공통전압의 라인저항으로 인해 리플이 발생하는 것을 보여주는 개략도이다.

[0008] 도시한 바와 같이, 어레이기판인 하부기판(1)과 컬러필터기판인 상부기판(3)이 서로 이격되어 대향하고 있으며, 이 상부 및 하부기판(1, 3)사이에는 액정층(5)이 개재되어 있다.

[0009] 하부기판(1) 상에는 공통전극(25) 및 화소전극(23)이 동일 평면상에 형성되어 있으며, 액정층(5)은 공통전극(25) 및 화소전극(23)에 의한 수평전계(L)에 의해 작동된다.

[0010] 이와 같이 횡전계형 액정표시장치는 하부기판(1) 상에 공통전극(25) 및 화소전극(23)을 형성하고, 두 전극(23, 25) 사이에 수평전계(L)를 생성하여 액정분자가 기판(1, 3)에 평행한 수평전계(L)와 나란하게 배열되도록 함으로써, 액정표시장치의 시야각을 넓게 할 수 있다.

[0012] 한편, 공통전극(25)의 라인저항은 패널의 상하측 및 좌우측 영역으로부터 패널의 중심부로 갈수록 증가하므로 공통전압(Vcom)의 면내 편차가 야기된다. 이러한 공통전압(Vcom)의 면내 편차는 상하 및 좌우 휘도차 및 플리커(flicker) 그리고 잔상을 유발하게 된다.

[0013] 특히, 공통전극(25)의 라인저항이 중심부에서 증가함에 따라 패널의 중심부에서의 공통전압(Vcom)은 로드(load)가 커지게 되는데, 공통전극(25)의 로드는 공통전극(25)의 라인저항과 기생용량의 곱으로 정의되는 RC 딜레이로 정의되어, RC 딜레이(RC delay)가 높을 경우 크로스토크(crosstalk)에 의한 화질저하를 야기하게 된다.

[0014] 따라서, RC 딜레이를 줄이기 위해서는 공통전극(25)의 라인저항을 줄여야 하나, 현재의 공통전극(25)의 구조로는 라인저항을 줄이는데 한계가 있다.

[0015] 그 결과 공통전압(Vcom)은 일정한 값으로 유지되지 못하고, 도 2와 같이 스캔펄스(SP) 또는 데이터전압(Vdate)에 영향을 받아 출렁이게 된다. 이러한 공통전압(Vcom)의 리플(ripple) 현상은 특정 데이터전압(Vdate)이 인가될 때 수평 크로스토크를 유발하는 주 요인이 된다.

**발명의 내용**

**해결하려는 과제**

[0017] 본 발명은 상기한 문제점을 해결하기 위한 것으로, 공통전압의 면내 편차가 발생하는 것을 최소화하는 것을 제 1 목적으로 한다.

[0018] 또한, 패널 중심영역에서의 공통전극의 라인저항을 줄이고자 하는 것을 제 2 목적으로 하며, 이를 통해, 공통전압의 왜곡이 발생하는 것을 방지하며, 표시품질이 우수한 횡전계형 액정표시장치를 제공하고자 하는 것을 제 3 목적으로 한다.

[0019] 또한, 데이터배선과 화소전극 사이에 발생하는 전계를 차폐하는 것을 제 4 목적으로 한다.

**과제의 해결 수단**

[0021] 전술한 바와 같이 목적을 달성하기 위해, 본 발명은 비표시영역과, 상기 비표시영역의 내측으로 위치하며, 상기 비표시영역으로부터 중심부를 향해 순차적으로 제 1 내지 제 6 영역으로 나뉘어 정의되는 표시영역을 포함하는 기판과, 상기 제 1 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 하나의 화소영역에서 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되는 제 1 화소영역과, 상기 제 2 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 두개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되는 제 2 화소영역과, 상기 제 3 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되는 제 3 화소영역과, 상기 제 4 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되며, 하나의 수직라인 공통전압 패스구조를 포함하는 제 4 화소영역과, 상기 제 5 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되며, 두개의 수직라인 공통전압 패스구조를 포함하는 제 5 화소영역과, 상기 제 6 영역에 위치하며, 서로 이웃하는 3개의 화소영역 중 세개의 화소영역에서 각각 공통배선과 공통전극은 제 1 공통콘택홀을 통해 연결되며, 세개의 수직라인 공통전압 패스구조를 포함하는 제 6 화소영역을 포함하며, 상기 제 1 영역으로부터 상기 제 6 영역으로 갈수록 공통전극부의 라인저항이 낮아지는 횡전계형 액정표시장치용 어레이기판을 제공한다.

**발명의 효과**

[0023] 위에 상술한 바와 같이, 본 발명에 따라 표시영역을 비표시영역으로부터 중심부를 향해 제 1 내지 제 6 영역으로 나뉘어 정의하고, 제 1 영역 내지 제 3 영역에 위치하는 제 1 내지 제 3 화소영역들은 공통배선과 제 1 보조공통배선이 접촉되는 제 1 공통콘택홀의 개수를 조절하고, 제 4 영역 내지 제 6 영역에 위치하는 제 4 내지 제 6 화소영역들은 제 2 보조공통배선을 더욱 구비하고 제 2 보조공통배선의 개수를 조절하여, 제 1 영역으로부터 제 6 영역으로 갈수록 공통전극부가 낮은 라인저항을 갖도록 함으로써, 공통전압의 면내 편차에 의해 상하 및 좌우 휘도차 및 플리커(flicker) 그리고 잔상이 발생하는 것을 방지할 수 있는 효과가 있다.

[0024] 또한 중심부에서의 공통전극부의 로드(load)가 커지는 것을 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있는 효과가 있다.

[0025] 특히, 패널의 중심부에 대응되는 제 4 내지 제 6 영역에 위치하는 제 4 내지 제 6 화소영역들이 제 2 보조공통배선을 통해 수직라인의 공통전압 패스구조를 구현하도록 함으로써, 패널의 중심부에서 수평라인의 공통전압 패스구조와 수직라인의 공통전압 패스구조의 불균일이 발생하는 것을 방지할 수 있는 효과가 있다.

[0026] 이를 통해서, 수직라인으로 공통전극부의 로드(load)가 커지는 것을 더욱 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있는 효과가 있다.

**도면의 간단한 설명**

[0028] 도 1은 일반적인 횡전계형 액정표시장치의 액정패널을 간략하게 나타낸 단면도.  
 도 2는 일반적인 횡전계형 액정표시장치의 공통전압의 라인저항으로 인해 리플이 발생하는 것을 보여주는 개략도.  
 도 3은 본 발명의 실시예에 따른 횡전계형 액정표시장치를 개략적으로 도시한 평면도.  
 도 4a ~ 4f는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이기판을 개략적으로 도시한 평면도.  
 도 5a는 도 4a의 절단선 I-I 선을 따라 자른 단면도.  
 도 5b는 도 4f의 절단선 II-II 선을 따라 자른 단면도.

**발명을 실시하기 위한 구체적인 내용**

[0029] 이하, 도면을 참조하여 본 발명에 따른 실시예를 상세히 설명한다.

[0030] 도 3은 본 발명의 실시예에 따른 횡전계형 액정표시장치를 개략적으로 도시한 평면도이다.

[0031] 도시한 바와 같이, 본 발명의 실시예에 따른 횡전계형 액정표시장치(10)는 액정층(미도시)을 사이에 두고 어레이기판(array substrate : 111)과 컬러필터기판(color filter substrate : 112)이 대면 합착된 액정패널(110)을 필수 요소로 한다.

[0032] 이때, 하부기판 또는 어레이기판으로 불리는 제1기판(111)은 크게 영상을 표시하는 표시영역(AA)과, 각종 회로 및 배선 등이 형성되어 영상 표시에 사용되지 않는 비표시영역(NA)을 포함한다.

[0033] 이때, 비표시영역(NA)은 제 1 기판(111)의 가장자리를 따라 정의되며, 표시영역(AA)은 비표시영역(NA)의 내측으로 위치하게 된다.

[0034] 제1기판(111)의 표시영역(AA)에는, 복수개의 데이터배선(105)과 게이트배선(103)이纵横 교차하여  $m \times n$  개의 화소영역(SP)을 정의하며, 이들 두 배선(103, 105)의 교차지점에는 스위칭소자인 박막트랜지스터(T)가 구비된다.

[0035] 그리고, 각 화소영역(SP)을 관통하며 게이트배선(103)과 이격하며 공통배선(107, 도 4a 참조)이 형성되어 있다.

[0036] 이때, 공통배선(107, 도 4a 참조)으로부터 공통전압을 전달받는 공통배선연결배선(125a, 도 4a 참조)를 포함하며, 또한 공통배선연결배선(125a, 도 4a 참조)과 연결되며 데이터배선(105)과 나란한 제 1 및 제 2 보조공통배선(125b, 200, 도 4a 및 도 4d참조)을 포함한다.

[0037] 여기서, 공통배선(107, 도 4a 참조)과 공통배선연결배선(125a, 도 4a 참조) 그리고 제 1 보조공통배선(125b, 도 4a 참조)은 메쉬(mesh)구조를 이루게 된다.

[0038] 그리고 각 화소영역(SP) 내부에는 공통배선연결배선(125a, 도 4a 참조)에서 분기하여 제 1 보조공통배선(125b, 도 4a 참조)과 나란하게 다수의 중앙부 공통전극(125, 도 4a 참조)이 일정간격 이격하여 형성되어 있다.

[0039] 또한, 각 화소영역(SP) 내부에는 박막트랜지스터(T)와 연결되는 보조화소배선(123a, 도 4a 참조)이 공통배선(107, 도 4a 참조)과 나란하게 형성되어 있으며, 보조화소배선(123a, 도 4a 참조)에서 분기하여 다수의 화소전극(125, 도 4a 참조)이 형성되어 있다.

[0040] 이때, 게이트배선(103) 및 데이터배선(105)이 배치된 제 1 기판(111) 일측의 비표시영역(NA)에는 게이트배선(103) 및 데이터배선(105)과 각각 연결되는 게이트패드(미도시) 및 데이터패드(미도시)가 형성된 패드부(DPA, GPA)가 형성되어, 게이트배선(103) 및 데이터배선(105)은 외부 구동회로 기판(printed circuit board : 미도시)과 연결된다.

[0041] 이러한 제 1 기판(111)과 액정층(미도시)을 사이에 두고 이와 마주보는 제 2 기판(112)은 상부기판 또는 컬러필터기판(color filter substrate)이라 불리는데, 이의 일면에는 제 1 기판(111)의 데이터배선(105)과 게이트배선

(103) 그리고 박막트랜지스터(T) 등의 비표시 요소를 가리는 격자 형상의 블랙매트릭스(미도시)가 구성된다.

- [0042] 또한, 이들 격자 내부에서 각 화소영역(SP)에 대응되게 순차적으로 반복 배열되는 R(red), G(green), B(blue) 컬러필터(미도시)가 구비된다.
- [0043] 그리고 이들 두 기관(111, 112)과 액정층(미도시)의 경계부에는 액정의 초기 분자배열 방향을 결정하는 제 1 및 제 2 배향막(미도시)이 개재되고, 그 사이로 충전되는 액정층(미도시)의 누설을 방지하기 위해 양 기관(111, 112)의 가장자리를 따라 실패턴(seal pattern : 102)이 형성된다.
- [0044] 그리고, 이러한 액정패널(110)의 각 외면으로는 특정 빛만을 선택적으로 투과시키는 제 1 및 제 2 편광판(미도시)이 부착된다.
- [0045] 아울러 액정패널(110)이 나타내는 투과율의 차이가 외부로 발현되도록 이의 배면에서 빛을 공급하는 백라이트(미도시)가 구비된다.
- [0046] 여기서, 본 발명의 실시예에 따른 횡전계형 액정표시장치(100)는 표시영역(AA)이 표시영역(AA)의 가장자리를 두르는 비표시영역(NA)으로부터 중심부를 향해 6개의 영역(A, B, C, D, E, F)으로 나뉘어 정의되는 것을 특징으로 한다.
- [0047] 즉, 비표시영역(NA)에 가장 인접한 영역으로부터 중심부를 향해 순차적으로 제 1 내지 제 6 영역(A, B, C, D, E, F)으로 나뉘어 정의되며, 각 영역(A, B, C, D, E, F)에서 정의되는 화소영역(SP)은 서로 다른 라인저항을 갖는 공통전극부를 구비하게 된다.
- [0048] 여기서 공통전극부는 공통배선(107, 도 4a 참조)과 공통배선연결배선(125a, 도 4a 참조), 제 1 및 제 2 보조공통배선(125b, 200, 도 4a 및 도 4d참조) 그리고 공통전극(125, 도 4a 참조)을 포함하며, 비표시영역(NA)에 가장 인접하게 위치하는 제 1 영역(A)에 위치하는 다수의 화소영역(SP)에 형성되는 공통전극부는 제 1 라인저항을 갖게 되며, 제 2 영역(B)에 위치하는 다수의 화소영역(SP)에 형성되는 공통전극부는 제 1 라인저항에 비해 낮은 제 2 라인저항을 갖게 된다.
- [0049] 그리고, 제 3 영역(C)으로부터 제 6 영역(F)으로 갈수록 각 화소영역(SP)에 형성되는 공통전극부는 낮은 라인저항을 갖도록 형성하는 것이다.
- [0050] 이를 통해, 본 발명의 실시예에 따른 횡전계형 액정표시장치(100)는 공통전압의 면내 편차에 의해 상하 및 좌우 휘도차 및 플리커(flicker) 그리고 잔상이 발생하는 것을 방지할 수 있다. 또한 중심부에서의 공통전극(125, 도 4a 참조)의 로드(load)가 커지는 것을 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있다.
- [0051] 이에 대해 좀더 자세히 살펴보면, 일반적으로 공통전극(125, 도 4a 참조)의 라인저항은 패널의 상하측 및 좌우측 영역으로부터 패널의 중심부로 갈수록 증가하게 되는데, 본 발명의 실시예에 따른 횡전계형 액정표시장치(100)는 가장자리로부터 중심부로 향할수록 공통전극부가 낮은 라인저항을 갖도록 형성함으로써, 공통전압의 면내 편차가 발생하는 것을 방지할 수 있다.
- [0052] 이와 같이 공통전압의 면내 편차가 발생하는 것을 방지함에 따라, 상하 및 좌우 휘도차 및 플리커(flicker) 그리고 잔상이 발생하는 것을 방지할 수 있다.
- [0053] 또한, 패널의 중심부에서 공통전극부가 다른 영역에 비해 낮은 라인저항을 갖도록 형성함으로써, 중심부에서의 공통전극부의 로드(load)가 커지는 것을 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있다.
- [0054] 이에 대해 도 4a ~ 4f와 도 5a ~ 5b를 참조하여 좀더 자세히 살펴보도록 하겠다.
- [0056] 도 4a ~ 4f는 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이기관을 개략적으로 도시한 평면도이며, 도 5a는 도 4a의 절단선 I-I 선을 따라 자른 단면도이며, 도 5b는 도 4f의 절단선 II-II 선을 따라 자른 단면도이다.
- [0057] 여기서, 도 4a는 도 3의 제 1 영역에 위치하는 제 1 화소영역을 개략적으로 도시한 평면도이며, 도 4b는 도 3의 제 2 영역에 위치하는 제 2 화소영역을 개략적으로 도시한 평면도이며, 도 4c는 도 3의 제 3 영역에 위치하는 제 3 화소영역을 개략적으로 도시한 평면도이며, 도 4d는 도 3의 제 4 영역에 위치하는 제 4 화소영역을 개략적

으로 도시한 평면도이며, 도 4e는 도 3의 제 5 영역에 위치하는 제 5 화소영역을 개략적으로 도시한 평면도이며, 도 4f는 도 3의 제 6 영역에 위치하는 제 6 화소영역을 개략적으로 도시한 평면도이다.

- [0058] 한편, 중복된 설명을 피하기 위해 도 4a ~ 4f와 도 5a ~ 5b에서 동일한 역할을 하는 동일 부분에 대해서는 동일 부호를 부여하여 함께 설명하도록 하겠다.
- [0059] 그리고 설명의 편의를 위하여 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내의 박막트랜지스터(T)가 형성될 부분을 스위칭영역(TrA)이라 정의하며, 제 1 영역(A)에 위치하는 화소영역은 제 1 화소영역(SP1)이라 정의하며, 제 2 영역(B)에 위치하는 화소영역은 제 2 화소영역(SP2), 제 3 영역(C)에 위치하는 화소영역은 제 3 화소영역(SP3), 제 4 영역(D)에 위치하는 화소영역은 제 4 화소영역(SP4), 제 5 영역(E)에 위치하는 화소영역은 제 5 화소영역(SP5), 제 6 영역(F)에 위치하는 화소영역은 제 6 화소영역(SP6)이라 정의하도록 하겠다.
- [0060] 그리고, 서로 이웃한 3개의 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)을 하나의 화소(P)로 정의하도록 하겠다.
- [0061] 도시한 바와 같이, 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이기관(101)은 게이트절연막(113)을 사이에 두고 그 하부 및 상부로 서로 교차됨으로써 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)을 정의하는 다수의 게이트배선(103)과 데이터배선(105)이 형성되어 있다.
- [0062] 그리고, 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)을 관통하며 게이트배선(103)과 이격하며 공통배선(107)이 형성되어 있다.
- [0063] 여기서 게이트배선(103)과 공통배선(107)은 제 1 방향을 따라 연장되고, 데이터배선(105)은 제 1 방향과 교차하는 제 2 방향을 따라 연장되어 형성된다.
- [0064] 또한, 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)에는 게이트배선(103) 및 데이터배선(105)과 연결되며, 게이트전극(111)과, 게이트절연막(113)과, 순수 비정질 실리콘의 액티브층(115a)과 불순물 비정질 실리콘의 오믹콘택층(115b)으로 이루어진 반도체층(115)과, 서로 이격하는 소스 및 드레인전극(117, 118)으로 구성된 박막트랜지스터(T)가 형성되어 있다.
- [0065] 이때, 도면에 있어서 박막트랜지스터(T)는 채널을 이루는 영역이 'U' 형태를 이루는 것을 일례로 보이고 있지만, 다양한 형태로 변형될 수 있다.
- [0066] 여기서, 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내부에는 공통배선(107)과 연결되어 공통전압을 전달받는 공통배선연결배선(125a)이 형성되어 있으며, 공통배선연결배선(125a)과 연결되며 데이터배선(105)과 나란한 제 1 보조공통배선(125b)이 형성되고 있다.
- [0067] 그리고, 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내부에는 공통배선연결배선(125a)에서 분기하여 제 1 보조공통배선(125b)과 나란하게 다수의 공통전극(125)이 일정간격 이격하여 형성되어 있다.
- [0068] 공통배선연결배선(125a)은 제 1 방향을 따라 연장되고, 제 1 보조공통배선(125b)은 제 2 방향을 따라 연장되어, 공통배선(107)과 공통배선연결배선(125a) 그리고 제 1 보조공통배선(125b)은 메쉬(mesh)구조를 이루게 된다.
- [0069] 또한, 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내부에는 드레인콘택홀(118a)을 통해 박막트랜지스터(T)의 드레인전극(118)과 연결되는 보조화소배선(123a)이 공통배선(107)과 나란하게 형성되어 있으며, 보조화소배선(123a)에서 분기하여 다수의 화소전극(123)이 형성되어 있다.
- [0070] 공통전극(125)과 화소전극(123)은 제 2 방향을 따라 연장되고, 서로 이격되어 번갈아 배치된다.
- [0071] 여기서, 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내에 형성된 공통전극(125)과 제 1 보조공통배선(125b) 그리고 화소전극(123)은 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)의 중앙부에서 게이트배선(103)과 나란하게 가상의 선(CL)을 그었을 때, 가상의 선(CL)을 기준으로 대칭적으로 꺾인 구조를 갖는다.
- [0072] 즉, 가상의 선(CL)을 기준으로 각 공통전극(125)과 제 1 보조공통배선(125b) 그리고 화소전극(123)은 가상의 선(CL)과 수직한 방향으로부터 각각 시계방향 또는 반시계 방향으로 일정 각도 꺾인 구조이다.
- [0073] 따라서, 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)의 중앙부를 기준으로 이의 상부와 하부는 공통전극(125)과 제 1 보조공통배선(125b) 그리고 화소전극(123)의 방향을 달리하게 됨으로써 서로 다른 도메인 영역을 이루게 된다.
- [0074] 이러한 경우, 횡전계형 액정표시장치(도 3의 100)는 하나의 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내의 서로 다른 도메인에 위치하는 액정의 움직임이 달라지며, 최종적으로 액정분자의 장축의 배치를 달리하게 됨으로

써, 특정 방위각에서의 컬러 쉬프트 현상을 저감시키게 된다.

- [0075] 즉, 설명의 편의상 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내에서 가상의 선(CL)을 기준으로 상부에 구성되는 영역을 제 1 도메인영역(D1), 하부에 구성되는 영역을 제 2 도메인영역(D2)이라 정의하면, 제 1 도메인영역(D1)에서의 컬러 쉬프트가 발생하는 방위각과 제 2 도메인영역(D2)에서의 컬러 쉬프트가 발생하는 방위각이 달라, 각각의 도메인영역(D1, D2)이 서로 컬러 쉬프트 현상을 보상시키게 됨으로써 최종적으로 컬러 쉬프트 현상을 저감시킬 수 있는 것이다.
- [0076] 이때, 일정 각은 7도 내지 10도일 수 있는데, 공통전극(125)과 제 1 보조공통배선(125b) 그리고 화소전극(123)이 가상의 선(CL)과 수직한 방향에 대해  $\pm 7$ 도 내지  $\pm 10$ 도보다 더 큰 각도를 가지고 꺾인 구조를 이루게 되면 하나의 화소영역(SP1, SP2, SP3, SP4, SP5, SP6) 내에서 더욱 확실한 도메인 분리가 가능하지만 구동전압이 높아지고 V-T 커브 특성상 전체적인 화이트 휘도가 감소하게 되므로, 공통전극(125)과 제 1 보조공통배선(125b) 그리고 화소전극(123)은 가상의 선(CL)과 수직한 방향에 대해 전술한  $\pm 7$ 도 내지  $\pm 10$ 도 정도의 각도를 가지며 꺾인 구조를 이루도록 하는 것이 바람직하다.
- [0077] 여기서, 이들 공통전극(125)과 제 1 보조공통배선(125b) 그리고 화소전극(123)의 꺾인 구성을 가짐으로써 데이터배선(105) 또한 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)의 중앙부를 기준으로 대칭적으로 꺾인 구성을 가지며, 데이터배선(105)은 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)별로 분리 형성된 것이 아니라 표시영역(도 3의 AA) 전체에 대해 연결된 구성을 가지므로 데이터배선(105)은 표시영역(도 3의 AA)에 있어서는 각 화소영역(SP1, SP2, SP3, SP4, SP5, SP6)의 중앙부를 기준으로 꺾인 지그재그 형태를 이루게 된다.
- [0078] 여기서, 게이트배선(103)과 게이트전극(111) 그리고 공통배선(107)은 모두 동일한 층에서 동일한 물질로 이루어지는데, 알루미늄(Al)이나, 몰리브덴(Mo), 니켈(Ni), 크롬(Cr), 구리(Cu) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.
- [0079] 이때, 게이트배선(103), 게이트전극(111) 그리고 공통배선(107)을 구리(Cu) 또는 구리합금(Cu alloy)으로 형성하는 것이 바람직한데, 구리(Cu) 또는 구리합금(Cu alloy)은 인듐-틴-옥사이드(indium tin oxide)와 같은 투명도전성 물질에 비해서는 저항값이 낮으며, 상대적으로 몰리브덴(Mo)이나 알루미늄(Al)에 비해서도 좋은 저저항 특성을 갖는다.
- [0080] 그리고, 소스 및 드레인전극(117, 118)과 데이터배선(105)은 게이트배선(103)과 게이트전극(111) 그리고 공통배선(107)과 게이트절연막(113)을 사이에 두고 위치하며 모두 동일한 층에서 동일한 물질로 이루어지는데, 알루미늄(Al)이나, 몰리브덴(Mo), 니켈(Ni), 크롬(Cr), 구리(Cu) 또는 이들의 합금으로 이루어질 수 있으며, 단일층 또는 다중층 구조일 수 있다.
- [0081] 이때, 소스 및 드레인전극(117, 118)과 데이터배선(105) 또한 구리(Cu) 또는 구리합금(Cu alloy)으로 형성하는 것이 바람직하다.
- [0082] 그리고, 공통전극(125)과 화소전극(123)은 인듐-틴-옥사이드(indium tin oxide)나 인듐-징크-옥사이드(indium zinc oxide)와 같은 투명도전물질로 형성될 수 있다.
- [0083] 또한, 보조화소배선(123a)과 공통배선연결배선(125a) 그리고 제 1 보조공통배선(125b)이 화소전극(123) 및 공통전극(125)과 동일층 상에 동일 물질로 형성된다.
- [0084] 여기서, 공통전극(125)과 화소전극(123), 보조화소배선(123a), 공통배선연결배선(125a) 그리고 제 1 보조공통배선(125b)은 소스 및 드레인전극(117, 118)과 데이터배선(105)과 보호층(121)을 사이에 두고 위치하며, 화소전극(123)은 보조화소배선(123a)을 통해 보호층(121)에 구비되어 드레인전극(118)을 노출하는 드레인콘택홀(118a)을 통해 드레인전극(118)과 접촉하게 된다.
- [0085] 그리고, 공통전극(125)은 제 1 보조공통배선(125b)을 통해 보호층(121)에 구비되어 공통배선(107)을 노출하는 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하게 된다.
- [0087] 여기서, 도 4a에 도시한 바와 같이, 기관(101)의 가장자리를 따라 정의되는 비표시영역(도 3의 NA)에 가장 인접하여 위치하는 표시영역(도 3의 AA)의 제 1 영역(도 3의 A)에 위치하는 제 1 화소영역(SP1)은, 수평라인으로 서로 이웃하는 3개의 제 1 화소영역(SP1) 중 1개의 제 1 화소영역(SP1) 내에 형성된 제 1 보조공통배선(125b)이 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하여, 공통전압을 인가받는다.

- [0088] 그리고 도 4b에 도시한 바와 같이, 제 1 영역(도 3의 A)의 내측으로 위치하는 제 2 영역(도 3의 B)에 위치하는 제 2 화소영역(SP2)은 수평라인으로 서로 이웃하는 3개의 제 2 화소영역(SP2) 중 2개의 제 2 화소영역(SP2) 내에 형성된 제 1 보조공통배선(125b)이 각각 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하여 공통전압을 인가받으며, 도 4c에 도시한 바와 같이 제 2 영역(도 3의 B)의 내측으로 위치하는 제 3 영역(도 3의 C)에 위치하는 제 3 화소영역(SP3)은 수평라인으로 서로 이웃하는 3개의 제 3 화소영역(SP3) 중 3개의 제 3 화소영역(SP3) 내에 형성된 제 1 보조공통배선(125b)이 각각 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하여 공통전압을 인가받는다.
- [0089] 따라서, 도 4a 내지 도 4c에 도시된 각 제 1 내지 제 3 영역(도 3의 A, B, C)에 위치하는 화소영역(SP1, SP2, SP3)들은 서로 다른 공통전극부 라인저항을 갖게 되는데, 특히 제 1 영역(도 3의 A)으로부터 제 3 영역(도 3의 C)으로 갈수록 공통전극부의 라인저항이 낮아지게 된다.
- [0090] 여기서, 공통전극부는 공통배선(107)과 공통배선연결배선(125a), 제 1 및 제 2 보조공통배선(125b, 200) 그리고 공통전극(125)을 포함한다.
- [0091] 이에 대해 좀더 자세히 살펴보면, 제 1 영역(도 3의 A)에 위치하는 제 1 화소영역(SP1)은 이웃하는 3개의 제 1 화소영역(SP1) 중 1개의 제 1 화소영역(SP1) 내에 형성된 제 1 보조공통배선(125b)만이 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하게 되므로, 3개의 제 1 화소영역(SP1)으로 정의되는 하나의 화소(P)는 1개의 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하게 된다.
- [0092] 그리고 이웃하는 3개의 제 2 화소영역(SP2) 중 2개의 제 2 화소영역(SP2)의 각각의 제 1 보조공통배선(125b)이 공통배선(107)과 접촉하는 제 2 영역(도 3의 B)에 위치하는 하나의 화소(P)는 2개의 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하게 됨에 따라, 제 2 영역(도 3의 B)에 위치하는 화소(P)는 제 1 영역(도 3의 A)에 위치하는 화소(P)에 비해 보다, 제 1 보조공통배선(125b)과 공통배선(107)의 접촉이 더욱 늘어남에 따라 보다 많은 양의 공통전압을 인가받게 된다.
- [0093] 따라서, 제 2 영역(도 3의 B)에 위치하는 제 2 화소영역(SP2)들은 제 1 영역(도 3의 A)에 위치하는 제 1 화소영역(SP1)들에 비해 공통전극부의 라인저항이 낮아지게 된다.
- [0094] 또한, 제 3 영역(도 3의 C)에 위치하는 제 3 화소영역(SP3)들은 서로 이웃하는 3개의 제 3 화소영역(SP3) 중 3개의 제 3 화소영역(SP3)에 구비된 제 1 보조공통배선(125b)이 각각 공통배선(107)과 접촉함에 따라, 제 3 영역(도 3의 C)에 위치하는 화소(P)는 3개의 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하게 된다.
- [0095] 따라서, 제 3 영역(도 3의 C)에 위치하는 제 3 화소영역(SP3)들은 제 2 영역(도 3의 B)에 위치하는 제 2 화소영역(SP2)들에 비해 보다 많은 양의 공통전압을 인가받게 되므로, 제 3 영역(도 3의 C)에 위치하는 제 3 화소영역(SP3)들은 제 1 및 제 2 영역(도 3의 A, B)에 위치하는 제 1 및 제 2 화소영역(SP1, SP2)들에 비해 더욱 적은 공통전극부의 라인저항을 갖게 된다.
- [0096] 여기서, 제 1 영역(도 3의 A)에 위치하는 제 1 화소영역(SP1)들의 공통전극부의 라인저항을 100이라 정의하면, 제 2 영역(도 3의 B)에 위치하는 제 2 화소영역(SP2)들은 80의 공통전극부의 라인저항을 갖게 되며, 또한 제 3 영역(도 3의 C)에 위치하는 제 3 화소영역(SP3)들은 80 보다 더욱 낮은 60의 공통전극부의 라인저항을 갖게 되는 것이다.
- [0097] 이때, 제 1 보조공통배선(125b)과 공통배선(107)을 연결하기 위한 제 1 공통콘택홀(107a)은 공통배선(107) 상부에 위치하도록 함으로써, 개구율 저하에 기여하지 않으며, 따라서 개구율 저하 없이도 공통전압을 공통전극(125)으로 인가하기 위한 수단을 늘리게 된다.
- [0098] 즉, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 개구율 저하 없이도 공통전극부의 라인저항을 낮출 수 있는 것이다.
- [0100] 그리고, 도 4d ~ 4f에 도시한 바와 같이, 본 발명의 실시예에 따른 횡전계형 액정표시장치용 어레이기판(101)에 있어서, 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들은 서로 이웃하는 3개의 각 제 4 내지 제 6 화소영역(SP4, SP5, SP6) 중 3개의 제 4 내지 제 6 화소영역(SP4, SP5, SP6)에 각각 구비된 제 1 보조공통배선(125b)이 각각 공통배선(107)과 접촉함에 따라, 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 화소(P)는 각각 3개의 제 1 공통콘택홀(107a)을 통해 공통배선(107)과 접촉하게 된다.

- [0101] 또한, 도 4d에 도시한 바와 같이 제 4 영역(도 3의 D)에 위치하는 제 4 화소영역(SP4)들은 수평라인으로 서로 이웃하는 3개의 제 4 화소영역(SP4) 중 1개의 제 4 화소영역(SP4) 내에 제 2 보조공통배선(200)이 더욱 형성되는 것을 특징으로 한다.
- [0102] 그리고, 도 4e에 도시한 바와 같이 제 4 영역(도 3의 D)의 내측으로 위치하는 제 5 영역(도 3의 E)에 위치하는 제 5 화소영역(SP5)들은 수평라인으로 서로 이웃하는 3개의 제 5 화소영역(SP5) 중 2개의 제 5 화소영역(SP5) 내에 각각 제 2 보조공통배선(200)이 더욱 구비되며, 도 4f에 도시한 바와 같이 제 6 영역(도 3의 F)에 위치하는 제 6 화소영역(SP6)들은 수평라인으로 서로 이웃하는 3개의 제 6 화소영역(SP6) 중 3개의 제 6 화소영역(SP6) 내에 각각 제 2 보조공통배선(200)이 더욱 구비되는 것을 특징으로 한다.
- [0103] 이러한 도 4d 내지 도 4f에 도시된 각 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들은 제 1 내지 제 3 영역(도 3의 A, B, C)에 위치하는 제 1 내지 제 3 화소영역(SP1, SP2, SP3)들에 비해 공통전극부의 라인저항이 낮으며, 특히 제 4 영역(도 3의 D)으로부터 제 6 영역(도 3의 F)으로 갈수록 공통전극부의 라인저항이 낮아지게 된다.
- [0104] 이에 대해 좀더 자세히 살펴보면, 도 4a ~ 4c에 도시된 제 1 내지 제 3 영역(도 3의 A, B, C)에 위치하는 제 1 내지 제 3 화소영역(SP1, SP2, SP3)들은 내부에 공통배선(107)과 연결되며 데이터배선(105)과 나란한 제 1 및 제 2 최외각 공통배선(125c, 125d)이 형성되는데, 제 1 및 제 2 최외각 공통배선(125c, 125d)은 각 제 1 내지 제 3 화소영역(SP1, SP2, SP3)의 좌우측에 각각 서로 평행하게 위치하며, 데이터배선(105)은 각각의 제 1 내지 제 3 화소영역(SP1, SP2, SP3)의 제 1 최외각 공통배선(125c)과 인접한 화소영역의 제 2 최외각 공통배선(125d) 사이에 위치하게 된다.
- [0105] 여기서, 도 4a ~ 4c에 도시한 본 발명의 제 1 내지 제 3 영역(도 3의 A, B, C)에 위치하는 제 1 내지 제 3 화소영역(SP1, SP2, SP3) 내부에 위치하는 제 1 및 제 2 최외각 공통배선(125c, 125d)은 모두 공통배선(107)으로부터 분기하여 공통배선(107)과 동일한 층에서 동일한 물질로 이루어진다.
- [0106] 이러한 제 1 및 제 2 최외각 공통배선(125c, 125d)은 데이터배선(105)의 끊어짐 등이 발생되었을 경우 데이터배선(105)의 리페어(repair)를 위해 구비되며, 또한 데이터배선(105) 주변에서 빗샘이 발생하는 것을 방지하는 역할을 하게 된다.
- [0107] 이때, 도 4d ~ 4e에 도시된 본 발명의 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 각 제 4 내지 제 6 화소영역(SP4, SP5, SP6)에는 제 1 내지 제 3 영역(도 3의 A, B, C)에 위치하는 제 1 내지 제 3 화소영역(SP1, SP2, SP3)의 각 내부에 위치하는 제 2 최외각 공통배선(125d)이 생략되고, 제 2 보조공통배선(200)이 위치하는 것이다.
- [0108] 즉, 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들은 내부에 공통배선(107)과 연결되며 데이터배선(105)과 나란한 제 1 최외각 공통배선(125c)이 각 제 4 내지 제 6 화소영역(SP4, SP5, SP6)의 좌측에 위치하게 되며, 각 제 4 내지 제 6 화소영역(SP4, SP5, SP6)의 우측으로는 공통배선(107)과 연결되며 데이터배선(105)과 나란한 제 2 보조공통배선(200)이 위치하여, 데이터배선(105)은 각각의 제 4 내지 제 6 화소영역(SP4, SP5, SP6)의 제 1 최외각 공통배선(125c)과 인접한 화소영역의 제 2 보조공통배선(200) 사이에 위치하게 된다.
- [0109] 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 각 제 4 내지 제 6 화소영역(SP4, SP5, SP6)에 위치하는 제 2 보조공통배선(200)은 소스 및 드레인전극(117, 118) 그리고 데이터배선(105)과 동일한 층에서 동일한 물질로 이루어지며, 공통배선(107)과 제 1 보조공통배선(125b)이 제 1 공통콘택홀(107a)을 통해 연결되는 부근에서는 타 영역대비 넓은 폭을 갖도록 형성되어, 제 1 공통콘택홀(107a)에 대응되는 제 2 공통콘택홀(200a)을 포함한다.
- [0110] 즉, 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 각 제 4 내지 제 6 화소영역(SP4, SP5, SP6)에 위치하는 공통전극(125)은 보호층(121)에 구비되는 제 1 공통콘택홀(107a)과 제 1 공통콘택홀(107a)에 대응되는 제 2 보조공통배선(200)에 구비되는 제 2 공통콘택홀(200a)을 통해 노출되는 공통배선(107)과 제 1 보조공통배선(125b)을 전기적으로 접촉시킴으로써, 공통배선(107)으로부터 공통전압을 인가받게 된다.
- [0111] 이때, 제 1 보조공통배선(125b)은 공통배선(107)과 함께 제 2 보조공통배선(200)과도 접촉함에 따라, 공통전극부의 라인저항이 낮아지게 된다.
- [0112] 여기서, 제 4 영역(도 3의 D)에 위치하는 제 4 화소영역(SP4)들은 서로 이웃하는 3개의 제 4 화소영역(SP4) 중

1개의 제 4 화소영역(SP4) 내에만 제 2 보조공통배선(200)이 구비되고, 제 5 영역(도 3의 E)에 위치하는 제 5 화소영역(SP5)들은 서로 이웃하는 3개의 제 5 화소영역(SP5) 중 2개의 제 5 화소영역(SP5) 내에 각각 제 2 보조공통배선(200)이 각각 구비됨에 따라, 제 5 영역(도 3의 E)에 위치하는 제 5 화소영역(SP5)들이 제 4 영역(도 3의 D)에 위치하는 제 4 화소영역(SP4)들에 비해 낮은 공통전압부의 라인저항을 갖게 된다.

[0113] 그리고, 제 6 영역(도 3의 F)에 위치하는 제 6 화소영역(SP6)들은 서로 이웃하는 3개의 제 6 화소영역(SP6) 중 3개의 제 6 화소영역(SP6) 내에 각각 제 2 보조공통배선(200)이 구비됨에 따라, 제 6 영역(도 3의 F)에 위치하는 제 6 화소영역(SP6)들이 제 4 및 제 5 영역(도 3의 D, E)에 위치하는 제 4 및 제 5 화소영역(SP4, SP5)들에 비해 낮은 공통전압부의 라인저항을 갖게 되며, 제 5 영역(도 3의 E)에 위치하는 제 5 화소영역(SP5)들에 비해 서로 더욱 낮은 공통전압부의 라인저항을 갖게 된다.

[0114] 이때, 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들의 공통전극부의 라인저항은 제 1 내지 제 3 영역(도 3의 A, B, C)에 위치하는 제 1 내지 제 3 화소영역(SP1, SP2, SP3)들에 비해 공통전극부의 라인저항이 낮으므로, 제 1 영역(도 3의 A)에 위치하는 제 1 화소영역(SP1)들의 공통전극부의 라인저항이 100, 제 2 영역(도 3의 B)에 위치하는 제 2 화소영역(SP2)들의 공통전극부의 라인저항이 80, 제 3 영역(도 3의 C)에 위치하는 제 3 화소영역(SP3)들의 공통전극부의 라인저항이 60이라면, 제 4 영역(도 3의 D)에 위치하는 제 4 화소영역(SP4)들의 공통전극부의 라인저항은 40, 제 5 영역(도 3의 E)에 위치하는 제 5 화소영역(SP2)들의 공통전극부의 라인저항은 20, 제 6 영역(도 3의 F)에 위치하는 제 6 화소영역들의 공통전극부의 라인저항은 0을 갖게 된다.

[0115] 따라서, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 비표시영역(도 3의 NA)에 가장 인접하게 위치하는 제 1 영역(도 3의 A)으로부터 패널 중심부의 제 6 영역(도 3의 F)으로 갈수록 공통전극부의 라인저항이 낮아지게 된다.

[0116] 이를 통해, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 공통전압의 면내 편차에 의해 상하 및 좌우 휘도차 및 플리커(flicker) 그리고 잔상이 발생하는 것을 방지할 수 있다.

[0117] 또한 중심부에서의 공통전극부의 라인저항을 더욱 낮춤으로써, 중심부에서 공통전극부의 로드(load)가 커지는 것을 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있다.

[0119] 여기서, 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들에 구비되는 제 2 보조공통배선(200)은 제 1 내지 제 3 영역(도 3의 A, B, C)에 위치하는 제 1 내지 제 3 화소영역(SP1, SP2, SP3)들에 구비되는 제 2 최외각 공통배선(125d)을 대체하여 구비되고, 제 2 보조공통배선(200)과 제 1 보조공통배선(125b) 그리고 공통배선(107)을 연결하기 위한 제 2 공통콘택홀(200a)을 공통배선(107) 상부에 위치하도록 함으로써, 개구율 저하에 기여하지 않으며, 따라서 개구율 저하 없이도 공통전압을 공통전극(125)으로 인가하기 위한 수단을 늘리게 된다.

[0120] 즉, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 개구율 저하 없이도 공통전극부의 라인저항을 낮출 수 있는 것이다.

[0122] 특히, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 도 4e ~ 4f에 도시된 제 4 영역 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들에 구비된 제 2 보조공통배선(200)은 수직라인의 공통전압 패스구조를 완성하게 된다.

[0123] 즉, 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 화소영역(SP4, SP5, SP6)들은 수평라인으로는 공통배선(107)을 통해 공통전압 패스(path)구조를 형성하게 되며, 수직라인으로는 제 2 보조공통배선(200)을 통해 공통전압 패스구조를 형성하게 된다.

[0124] 여기서, 인듐-틴-옥사이드(indium tin oxide)와 같은 투명도전성 물질은 상대적으로 구리(Cu) 또는 구리합금(Cu alloy)과 같은 금속물질에 비해 저항이 커, 공통배선(107)으로 공통전압 패스 구조를 갖는 수평라인의 공통전압 패스구조와 제 1 보조공통배선(125b)을 통해 공통전압 패스 구조를 갖는 수직라인의 공통전압 패스의 불균일을 발생시키게 된다.

[0125] 즉, 수직라인의 투명 도전성 물질로 이루어지는 제 1 보조공통배선(125b)과 공통전극(125)이 자체의 라인저항이

높아, 수직라인은 공통전압의 로드(load)를 발생시키게 된다.

- [0126] 그리고 공통배선(107)이 투명 도전성 물질에 비해서는 저항값이 낮으며 몰리브덴(Mo) 그리고 알루미늄(Al)에 비해서도 좋은 저저항 특성을 갖는 구리(Cu) 또는 구리합금(Cu alloy)으로 이루어짐에 따라, 수평라인의 공통전압 패스구조와 수직라인의 공통전압 패스구조의 불균일은 더욱 크게 발생된다.
- [0127] 특히, 이러한 수평라인의 공통전압 패스구조와 수직라인의 공통전압 패스구조의 불균일은 공통전압의 로드가 가장 심하게 발생하는 패널의 중심부에서 보다 확연하게 발생하게 된다.
- [0128] 이러한 공통전압 패스의 불균일이 발생하는 것을 방지하기 위하여, 수직라인으로도 투명 도전성 물질로 이루어지는 제 1 보조공통배선(125b)과 공통전극(125) 외에 구리(Cu) 또는 구리합금(Cu alloy)과 같은 금속물질로 이루어지는 공통배선(107)을 통해 공통전압 패스를 형성하는 것이 바람직하나, 공통배선(107)은 게이트배선(103)과 동일한 층에서 형성됨에 따라, 게이트배선(103)이 형성되는 위치에 대응되는 영역에서는 공통배선(107)이 절단되어 형성된다.
- [0129] 즉, 공통배선(107)은 수평라인으로 모두 연결된 상태를 유지하나, 게이트배선(103)에 의해 수직라인으로는 분리된 상태를 유지하게 되는 것이다.
- [0130] 여기서, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 패널의 중심부에 대응하는 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 화소영역(SP4, SP5, SP6)들에 소스 및 드레인전극(117, 118) 그리고 데이터배선(105)과 동일층에서 동일물질로 이루어지는 제 2 보조공통배선(200)을 더욱 형성하고 제 2 보조공통배선(200)이 공통배선(107)과 연결되도록 형성함으로써, 수직라인으로도 제 2 보조공통배선(200)에 의해 구리(Cu) 또는 구리합금(Cu alloy)과 같은 금속물질로 이루어지는 공통전압 패스구조를 형성하게 된다.
- [0131] 이를 통해, 패널 중심부에서 수직라인과 수평라인의 공통전압의 패스 불균일이 발생하는 것을 방지할 수 있으며, 이를 통해 수직라인으로 공통전극부의 로드(load)가 커지는 것을 더욱 방지할 수 있어, 공통전압 면내 편차를 보다 획기적으로 줄일 수 있으며, 공통전극부의 로드를 크게 줄일 수 있다.
- [0132] 따라서, 공통전극부의 로드와 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있다.
- [0134] 전술한 바와 같이, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 표시영역(도 3의 AA)을 비표시영역(도 3의 NA)으로부터 중심부를 향해 제 1 내지 제 6 영역(도 3의 A, B, C, D, E, F)으로 나뉘어 정의하고, 제 1 영역 내지 제 3 영역(도 3의 A, B, C)에 위치하는 제 1 내지 제 3 화소영역(SP1, SP2, SP3)들은 공통배선(107)과 제 1 보조공통배선(125b)이 접촉되는 제 1 공통콘택홀(107a)의 개수를 조절하고, 제 4 영역 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들은 제 2 보조공통배선(200)을 더욱 구비하고 제 2 보조공통배선(200)의 개수를 조절하여, 제 1 영역(도 3의 A)으로부터 제 6 영역(도 3의 F)으로 갈수록 공통전극부가 낮은 라인저항을 갖도록 하는 것을 특징으로 한다.
- [0135] 이를 통해, 본 발명의 실시예에 따른 횡전계형 액정표시장치(도 3의 100)는 공통전압의 면내 편차에 의해 상하 및 좌우 휘도차 및 플리커(flicker) 그리고 잔상이 발생하는 것을 방지할 수 있다. 또한 중심부에서의 공통전극부의 로드(load)가 커지는 것을 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있다.
- [0136] 특히, 패널의 중심부에 대응되는 제 4 내지 제 6 영역(도 3의 D, E, F)에 위치하는 제 4 내지 제 6 화소영역(SP4, SP5, SP6)들이 제 2 보조공통배선(200)을 통해 수직라인의 공통전압 패스구조를 구현하도록 함으로써, 패널의 중심부에서 수평라인의 공통전압 패스구조와 수직라인의 공통전압 패스구조의 불균일이 발생하는 것을 방지할 수 있다.
- [0137] 이를 통해서, 수직라인으로 공통전극부의 로드(load)가 커지는 것을 더욱 방지할 수 있어, 크로스토크(crosstalk)에 의한 화질저하가 발생하는 것을 방지할 수 있다.
- [0138] 본 발명은 상기 실시예로 한정되지 않고, 본 발명의 취지를 벗어나지 않는 한도 내에서 다양하게 변경하여 실시할 수 있다.

**부호의 설명**

- [0139] 101 : 어레이기판

103 : 게이트배선, 105 : 데이터배선, 107 : 공통배선(107a : 제 1 공통콘택홀)

111 : 게이트전극, 117, 118 : 소스 및 드레인전극(118a : 드레인콘택홀)

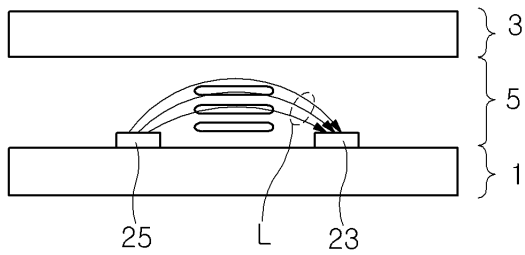
123 : 화소전극(123a : 보조화소배선)

125 : 공통전극(125a : 공통배선연결배선, 125b : 제 1 보조공통배선, 125c, 125d : 제 1 및 제 2 최외각 공통배선)

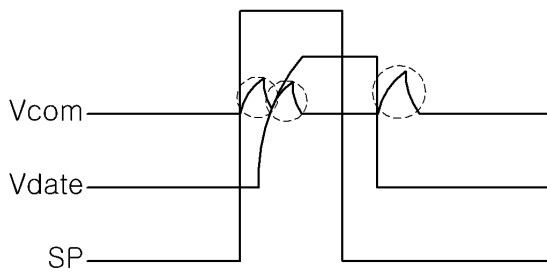
200 : 제 2 보조공통배선(200a : 제 1 공통콘택홀)

**도면**

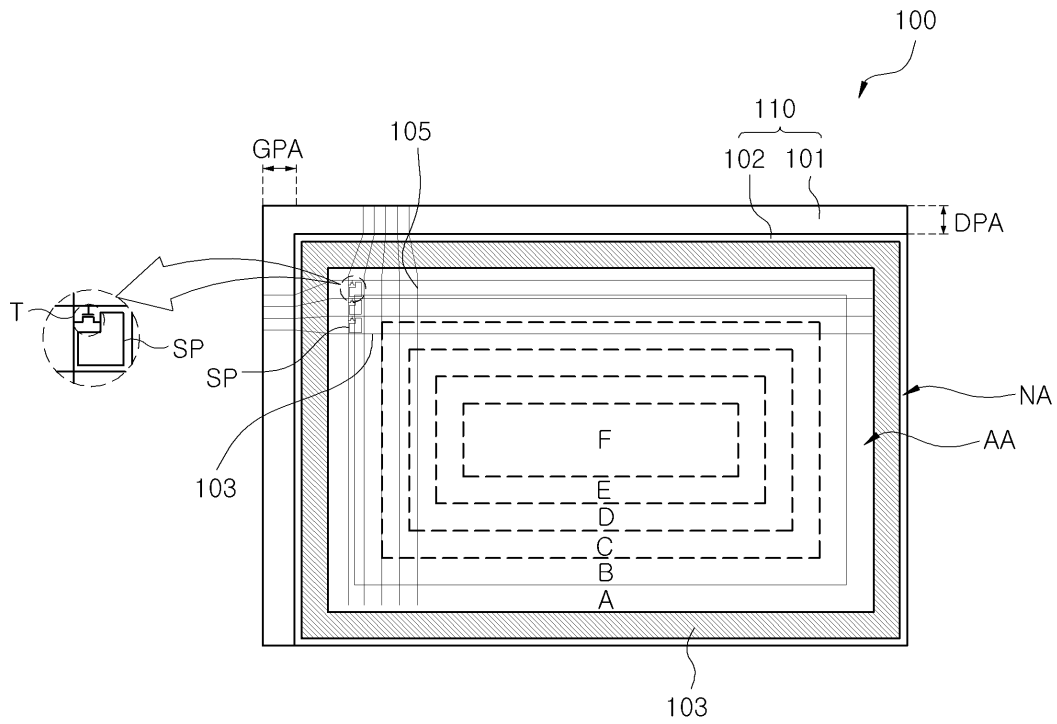
**도면1**



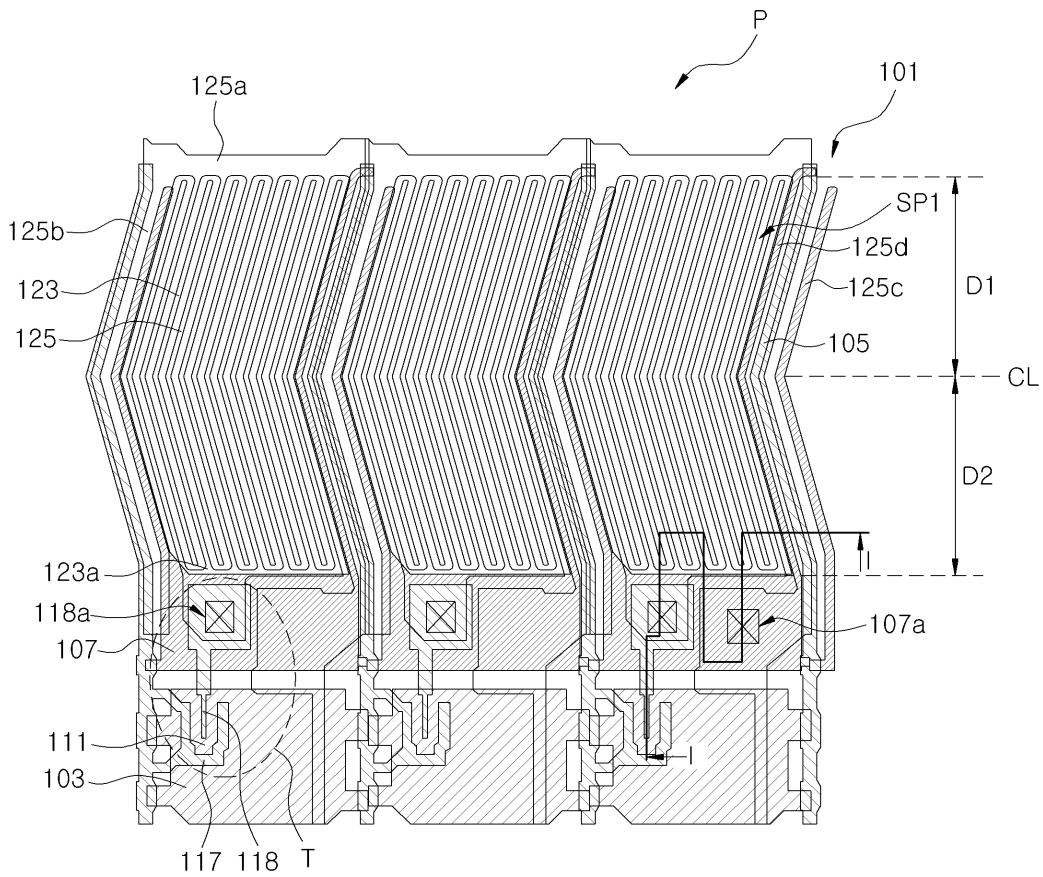
**도면2**



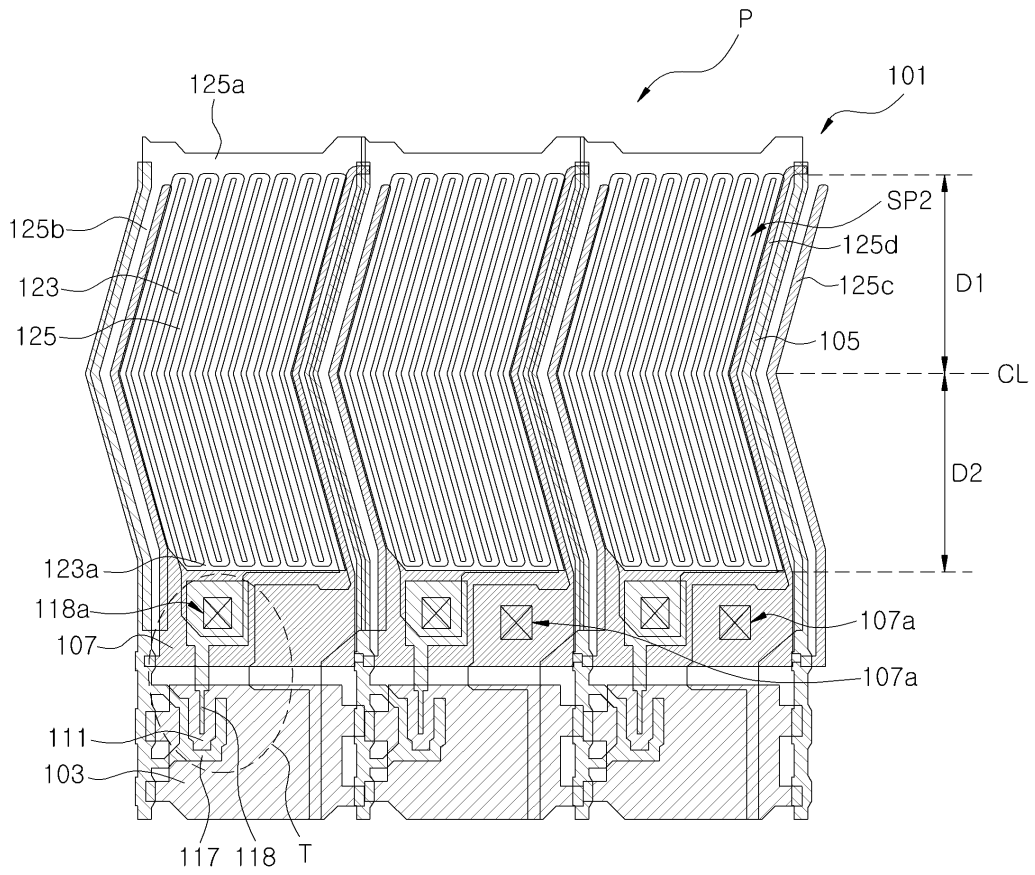
도면3



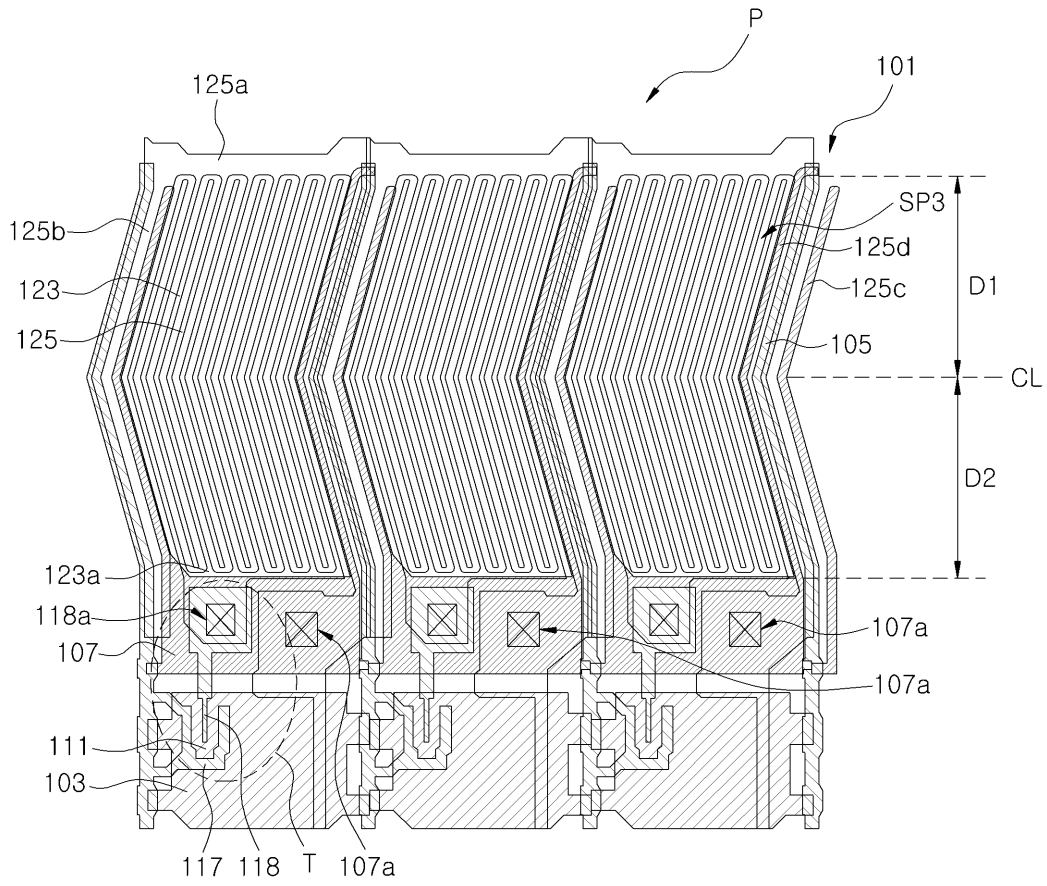
도면4a



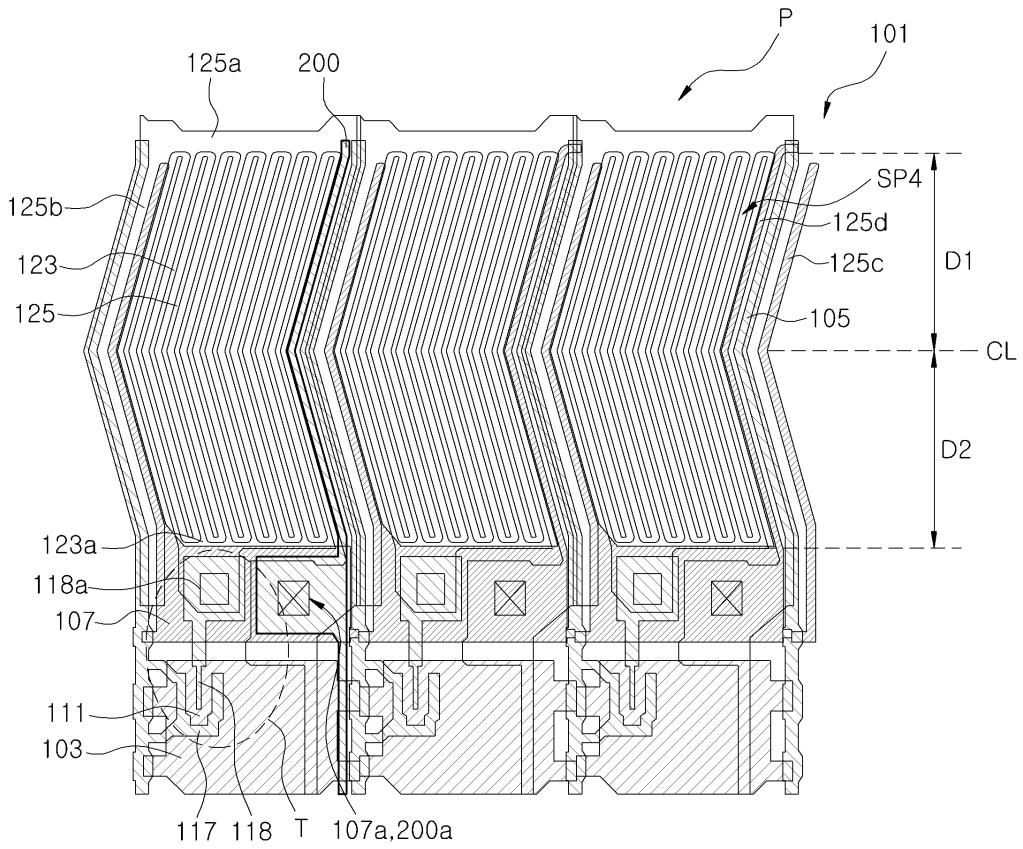
도면4b



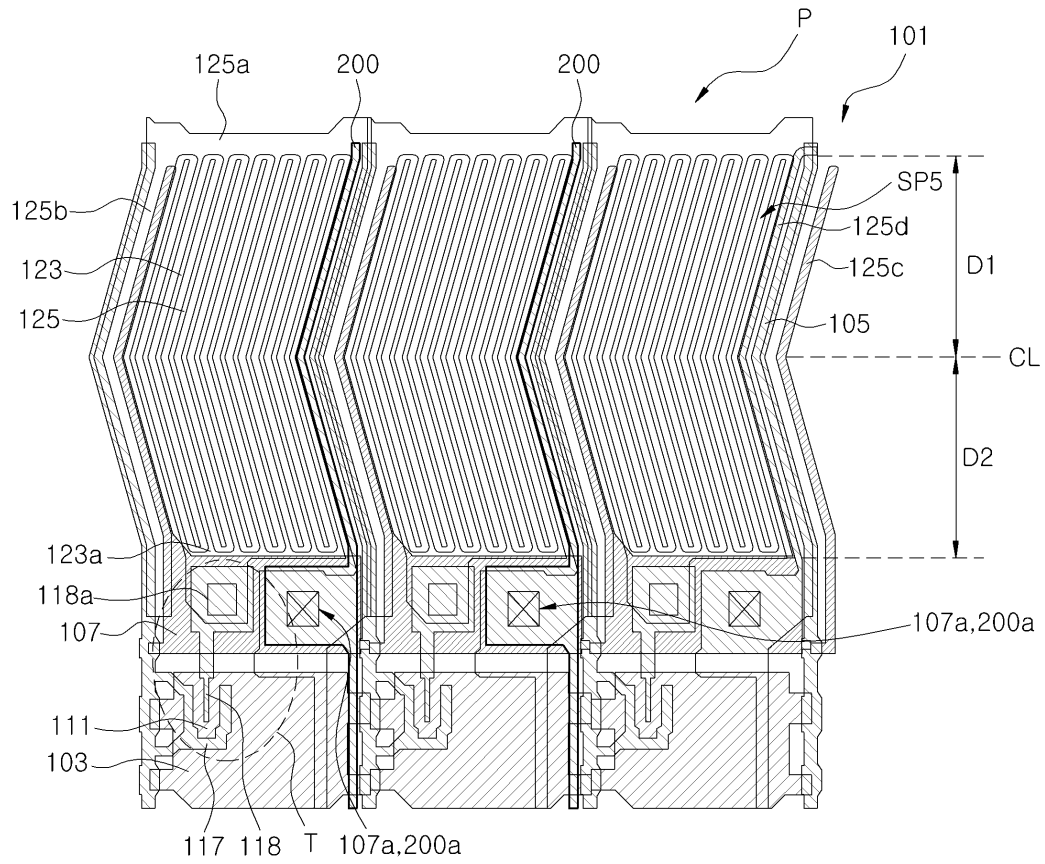
도면4c



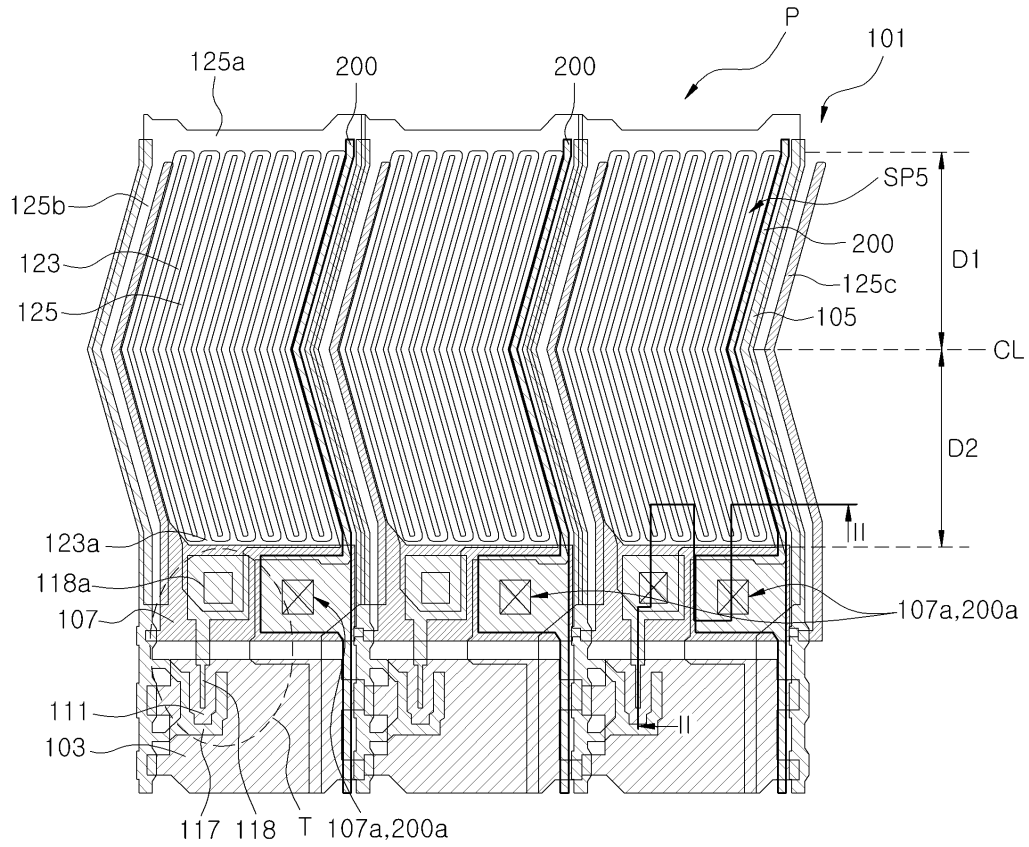
도면4d



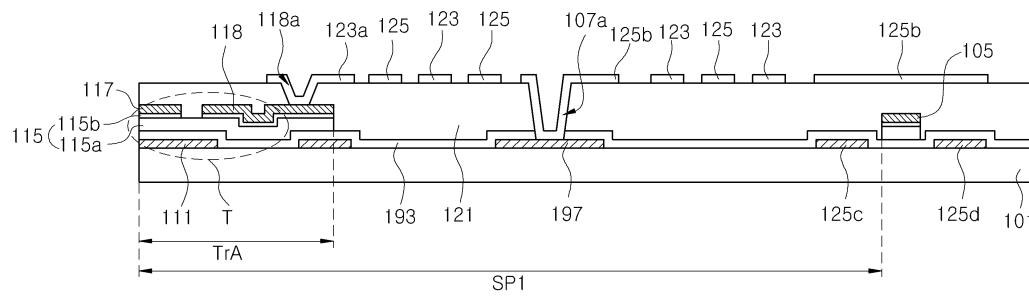
도면4e



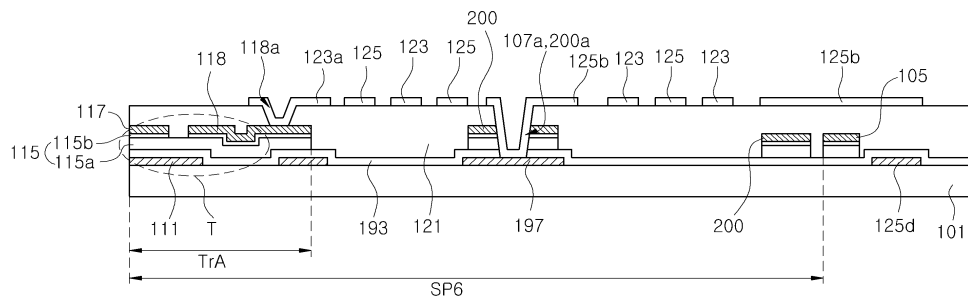
도면4f



도면5a



도면5b



专利名称(译)	一种用于横向电场型液晶显示器的阵列基板		
公开(公告)号	<a href="#">KR1020170126056A</a>	公开(公告)日	2017-11-16
申请号	KR1020160055389	申请日	2016-05-04
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE SO YOUNG 이소영 JEONG YOUNG MIN 정영민 SHIN SEUNG HWAN 신승환 SEO DAE YOUNG 서대영		
发明人	이소영 정영민 신승환 서대영		
IPC分类号	G02F1/1343		
CPC分类号	G02F1/134363 G02F1/134309 G02F1/134336 G02F2001/134372 G02F2001/134318		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

横向电场型液晶显示装置技术领域本发明涉及横向电场型液晶显示装置，更具体地涉及能够减小公共电压的畸变的横向电场型液晶显示装置的阵列基板。本发明的一个特征是显示区域被划分为从非显示区域朝向中心的第一至第六区域，并且位于第一至第三区域中的第一至第三像素区域限定公共布线和第一辅助区域。位于第四至第六区域中的第四至第六像素区域设置有第二辅助公共布线，并且第二辅助公共布线的数量被设置为因此，公共电极部分具有从第一区域到第六区域的较低线路电阻。这使得可以防止由于公共电压的面内变化而发生垂直和水平亮度差异，闪烁和余像。而且，可以防止中心部分处的公共电极部分的负载变大，并且可以防止图像质量因串扰而劣化。 Seo Dae Young

