



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0086748
(43) 공개일자 2017년07월27일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
 <i>G02F 1/1368</i> (2006.01) <i>G02F 1/1335</i> (2006.01)
 <i>G02F 1/1339</i> (2006.01) <i>G02F 1/1343</i> (2006.01)</p> <p>(52) CPC특허분류
 <i>G02F 1/1368</i> (2013.01)
 <i>G02F 1/133514</i> (2013.01)</p> <p>(21) 출원번호 10-2016-0005998
 (22) 출원일자 2016년01월18일
 심사청구일자 없음</p> | <p>(71) 출원인
 삼성디스플레이 주식회사
 경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(72) 발명자
 서진아
 경기도 용인시 기흥구 삼성로 1 (농서동)</p> <p>(74) 대리인
 리엔목특허법인</p> |
|---|--|

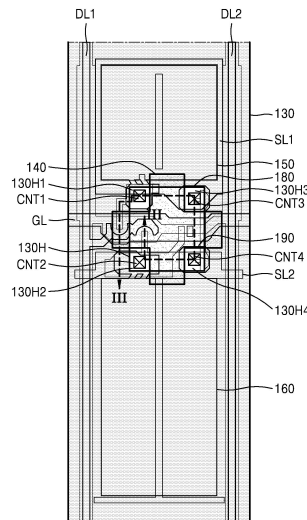
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **박막트랜지스터 기판과 그 제조 방법, 및 이를 포함하는 액정 표시 장치**

(57) 요약

본 발명의 일 실시예는 제1방향으로 연장되는 게이트선, 1방향과 교차하는 제2방향으로 연장되는 제1데이터선 및 제2데이터선, 게이트선 및 제1데이터선과 전기적으로 연결된 제1박막트랜지스터, 제1박막트랜지스터와 인접한 제2박막트랜지스터, 제1박막트랜지스터 및 제2박막트랜지스터를 덮고, 관통홀을 포함하며, 제1색상을 갖는 컬러필터층, 컬러필터층 위에 위치하며 제1박막트랜지스터와 전기적으로 연결되는 제1화소전극, 컬러필터층 상에 위치하며 제2박막트랜지스터와 전기적으로 연결되는 제2화소전극, 및 관통홀의 내부에 위치하며 관통홀을 공간적으로 분리하는 격벽을 구비하며, 관통홀은 격벽에 의해 분리된 적어도 두 개의 서브홀을 포함하고, 제1화소전극은 적어도 두 개의 서브홀 중 제1서브홀을 통해 노출된 제1박막트랜지스터와 접속하며, 제2화소전극은 적어도 두 개의 서브홀 중 제2서브홀을 통해 노출된 상기 제2박막트랜지스터와 접속하는 박막트랜지스터 기판을 제공한다.

대표도 - 도2



(52) CPC특허분류

G02F 1/1339 (2013.01)

G02F 1/134309 (2013.01)

명세서

청구범위

청구항 1

제1방향으로 연장되는 게이트선;

상기 제1방향과 교차하는 제2방향으로 연장되는 제1데이터선 및 제2데이터선;

상기 게이트선 및 상기 제1데이터선과 전기적으로 연결된 제1박막트랜지스터;

상기 제1박막트랜지스터와 인접한 제2박막트랜지스터;

상기 제1박막트랜지스터 및 제2박막트랜지스터를 덮고, 관통홀을 포함하며, 제1색상을 갖는 컬러필터층;

상기 컬러필터층 위에 위치하며 상기 제1박막트랜지스터와 전기적으로 연결되는 제1화소전극;

상기 컬러필터층 상에 위치하며 상기 제2박막트랜지스터와 전기적으로 연결되는 제2화소전극; 및

상기 관통홀의 내부에 위치하며 상기 관통홀을 공간적으로 분리하는 격벽;을 구비하며,

상기 관통홀은 상기 격벽에 의해 분리된 적어도 두 개의 서브홀을 포함하고,

상기 제1화소전극은 상기 적어도 두 개의 서브홀 중 제1서브홀을 통해 노출된 상기 제1박막트랜지스터와 접촉하며, 상기 제2화소전극은 상기 적어도 두 개의 서브홀 중 제2서브홀을 통해 노출된 상기 제2박막트랜지스터와 접촉하는, 박막트랜지스터 기판.

청구항 2

제1항에 있어서,

상기 격벽은 상기 제1색상과 다른 제2색상을 갖는, 박막트랜지스터 기판.

청구항 3

제1항에 있어서,

상기 격벽의 단부는 상기 관통홀과 인접한 상기 컬러필터층의 단부와 중첩하는, 박막트랜지스터 기판.

청구항 4

제1항에 있어서,

상기 제1화소전극은 상기 제1데이터선과 상기 제2데이터선 사이에서 상기 게이트선과 인접하게 배치되고,

상기 제2화소전극은 상기 제1데이터선과 상기 제2데이터선 사이에 위치하며, 상기 게이트선을 사이에 두고 상기 제1화소전극과 인접하게 배치된, 박막트랜지스터 기판.

청구항 5

제1항에 있어서,

상기 제2박막트랜지스터는 상기 게이트선 및 상기 제1데이터선과 전기적으로 연결된, 박막트랜지스터 기판.

청구항 6

제5항에 있어서,

상기 제1화소전극은 하이 화소 전극이고, 상기 제2화소전극은 로우 화소 전극인, 박막트랜지스터 기판.

청구항 7

제6항에 있어서,

상기 컬러필터층 아래에 위치하고 상기 제1화소전극과 인접하게 배치되는 제1스토리지 라인; 및

상기 컬러필터층 아래에 위치하고 상기 제2화소전극과 인접하게 배치되는 제2스토리지 라인;을 더 포함하는, 박막트랜지스터 기판.

청구항 8

제7항에 있어서,

상기 컬러필터층 위에 위치하며 상기 제1스토리지 라인과 전기적으로 연결되는 제1금속층; 및

상기 컬러필터층 위에 위치하며 상기 제2스토리지 라인과 전기적으로 연결되는 제2금속층;을 더 포함하는, 박막트랜지스터 기판.

청구항 9

제8항에 있어서,

상기 관통홀은 상기 격벽에 의해 분리된 제3서브홀 및 제4서브홀을 더 포함하고,

상기 제1금속층은 상기 제3서브홀을 통해 제1스토리지 라인과 접속하고, 상기 제2금속층은 상기 제4서브홀을 통해 제2스토리지 라인과 접속하는, 박막트랜지스터 기판.

청구항 10

제1항에 있어서,

상기 제2박막트랜지스터는 상기 게이트선 및 상기 제2데이터선에 전기적으로 연결된, 박막트랜지스터 기판.

청구항 11

제1항 내지 제10항 중 어느 한 항에 따른 박막트랜지스터 기판;

상기 박막트랜지스터 기판과 마주보는 상대 기판; 및

상기 박막트랜지스터 기판 및 상기 상대 기판 사이에 위치하는 액정층;을 포함하는, 액정 표시 장치.

청구항 12

기판 상에 서로 인접하게 위치하는 제1박막트랜지스터 및 제2박막트랜지스터를 형성하는 단계;

상기 제1박막트랜지스터 및 제2박막트랜지스터를 덮고, 관통홀을 포함하며, 제1색상의 안료를 포함하는 컬러필터층을 형성하는 단계;

상기 관통홀의 내부에 위치하며 상기 관통홀을 적어도 두 개의 서브홀로 구획하는 격벽을 형성하는 단계;

상기 적어도 두 개의 서브홀 중 어느 하나인 제1서브홀을 통해 노출된 상기 제1박막트랜지스터와 접속하는 제1화소전극을 형성하는 단계; 및

상기 적어도 두 개의 서브홀 중 제2서브홀을 통해 노출된 상기 제2박막트랜지스터와 접속하는 제2화소전극을 형성하는 단계;를 포함하는, 박막트랜지스터 기판의 제조 방법.

청구항 13

제12항에 있어서,

상기 격벽은 상기 제1색상과 다른 색상의 안료를 포함하는, 박막트랜지스터 기판의 제조 방법.

청구항 14

제12항에 있어서,

상기 격벽의 단부는 상기 관통홀과 인접한 상기 컬러필터층의 단부와 중첩하는, 박막트랜지스터 기판의 제조 방법.

청구항 15

제12항에 있어서,

상기 제1박막트랜지스터와 상기 제2박막트랜지스터는 동일한 게이트선 및 동일한 데이터선에 전기적으로 연결된, 박막트랜지스터 기판의 제조 방법.

청구항 16

제12항에 있어서,

상기 제1화소전극과 인접하게 배치되는 제1스토리지 라인을 형성하는 단계; 및

상기 제2화소전극과 인접하게 배치되는 제2스토리지 라인을 형성하는 단계;를 더 포함하는, 박막트랜지스터 기판의 제조 방법.

청구항 17

제16항에 있어서,

상기 제1스토리지 라인 및 상기 제2스토리지 라인은 상기 기판과 상기 컬러필터층 사이에 배치되는, 박막트랜지스터 기판의 제조 방법.

청구항 18

제16항에 있어서,

상기 컬러필터층 상에 위치하는 제1금속층 및 제2금속층을 형성하는 단계를 더 포함하는, 박막트랜지스터 기판의 제조 방법.

청구항 19

제18항에 있어서,

상기 관통홀은 상기 격벽에 의해 분리된 제3서브홀 및 제4서브홀을 더 포함하고,

상기 제1금속층은 상기 제3서브홀을 통해 제1스토리지 라인과 접속하고, 상기 제2금속층은 상기 제4서브홀을 통해 제2스토리지 라인과 접속하는, 박막트랜지스터 기판의 제조 방법.

청구항 20

제12항에 있어서,

상기 제1박막트랜지스터와 상기 제2박막트랜지스터는 동일한 게이트선에 전기적으로 연결된, 박막트랜지스터 기판의 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명의 실시예들은 박막트랜지스터 기판과 그 제조 방법, 및 이를 포함하는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 액정 표시 장치는 동작 전압이 낮아 소비 전력이 적고 휴대용으로 쓰일 수 있는 등의 이점으로 노트북 컴퓨터, 모니터, 우주선, 항공기 등에 이르기까지 응용분야가 넓고 다양하다.

[0003] 액정 표시 장치는 두 개의 기판 사이에 형성된 액정층을 포함하여 구성되며, 전계 인가 유무에 따라 상기 액정층의 배열 상태가 조절되고 그에 따라 광의 투과도가 조절되어 화상이 표시되는 장치이다.

[0004] 일반적으로, 두 기판 중 하부 기판 상에는 박막트랜지스터가 형성되어 있기 때문에 하부 기판을 박막트랜지스터 기판이라고 칭하기도 한다. 상부 기판 상에는 컬러 필터가 형성되므로 상부 기판을 컬러 필터 기판이라고 칭하기도 한다.

[0005] 그러나, 이와 같이 컬러 필터 기판과 박막트랜지스터 기판을 각각 제조하여 합착하는 경우 제조 공정을 단순화하기 어렵고 두 개의 기판간 얼라인먼트를 맞추는데 한계가 있다.

발명의 내용

해결하려는 과제

[0006] 제조 공정을 보다 단순화하고 얼라인먼트를 향상시키기 위해 컬러필터를 박막트랜지스터 기판 상에 배치시킨 액정 표시 장치가 개발되고 있다. 박막트랜지스터 기판 상에 컬러필터가 배치되는 경우, 컬러필터는 화소전극과 박막트랜지스터와 같은 회로소자 간의 전기적 접속을 위한 홀을 구비한다.

[0007] 컬러필터 제조시 노광 및 현상 공정을 통해 홀을 형성할 수 있으나, 과노광되거나 미노광되면서 홀의 크기 제어가 어려운 문제가 있었다.

[0008] 본 발명의 실시예들은, 컬러필터에 형성된 홀의 크기 제어가 용이한 박막트랜지스터 기판, 이를 구비한 액정 표시 장치 및 그 제조 방법을 개시한다.

과제의 해결 수단

[0009] 본 발명의 일 실시예는, 제1방향으로 연장되는 게이트선; 상기 제1방향과 교차하는 제2방향으로 연장되는 제1데이터선 및 제2데이터선; 상기 게이트선 및 상기 제1데이터선과 전기적으로 연결된 제1박막트랜지스터; 상기 제1박막트랜지스터와 인접한 제2박막트랜지스터; 상기 제1박막트랜지스터 및 제2박막트랜지스터를 덮고, 관통홀을 포함하며, 제1색상을 갖는 컬러필터층; 상기 컬러필터층 위에 위치하며 상기 제1박막트랜지스터와 전기적으로 연결되는 제1화소전극; 상기 컬러필터층 상에 위치하며 상기 제2박막트랜지스터와 전기적으로 연결되는 제2화소전극; 및 상기 관통홀의 내부에 위치하며 상기 관통홀을 공간적으로 분리하는 격벽;을 구비하며, 상기 관통홀은 상기 격벽에 의해 분리된 적어도 두 개의 서브홀을 포함하고, 상기 제1화소전극은 상기 적어도 두 개의 서브홀 중 제1서브홀을 통해 노출된 상기 제1박막트랜지스터와 접속하며, 상기 제2화소전극은 상기 적어도 두 개의 서브홀 중 제2서브홀을 통해 노출된 상기 제2박막트랜지스터와 접속하는, 박막트랜지스터 기판을 개시한다.

[0010] 본 실시예에 있어서, 상기 격벽은 상기 제1색상과 다른 제2색상을 가질 수 있다.

[0011] 본 실시예에 있어서, 상기 격벽의 단부는 상기 관통홀과 인접한 상기 컬러필터층의 단부와 중첩할 수 있다.

[0012] 본 실시예에 있어서, 상기 제1화소전극은 상기 제1데이터선과 상기 제2데이터선 사이에서 상기 게이트선과 인접하게 배치되고, 상기 제2화소전극은 상기 제1데이터선과 상기 제2데이터선 사이에 위치하며, 상기 게이트선을 사이에 두고 상기 제1화소전극과 인접하게 배치될 수 있다.

[0013] 본 실시예에 있어서, 상기 제2박막트랜지스터는 상기 게이트선 및 상기 제1데이터선과 전기적으로 연결될 수 있다.

[0014] 본 실시예에 있어서, 상기 제1화소전극은 하이 화소 전극이고, 상기 제2화소전극은 로우 화소 전극일 수 있다.

[0015] 본 실시예에 있어서, 상기 컬러필터층 아래에 위치하고 상기 제1화소전극과 인접하게 배치되는 제1스토리지 라인; 및 상기 컬러필터층 아래에 위치하고 상기 제2화소전극과 인접하게 배치되는 제2스토리지 라인;을 더 포함할 수 있다.

[0016] 본 실시예에 있어서, 상기 컬러필터층 위에 위치하며 상기 제1스토리지 라인과 전기적으로 연결되는 제1금속층; 및 상기 컬러필터층 위에 위치하며 상기 제2스토리지 라인과 전기적으로 연결되는 제2금속층;을 더 포함할 수 있다.

[0017] 본 실시예에 있어서, 상기 관통홀은 상기 격벽에 의해 분리된 제3서브홀 및 제4서브홀을 더 포함하고, 상기 제1금속층은 상기 제3서브홀을 통해 제1스토리지 라인과 접속하고, 상기 제2금속층은 상기 제4서브홀을 통해 제2스토리지 라인과 접속할 수 있다.

[0018] 본 실시예에 있어서, 상기 제2박막트랜지스터는 상기 게이트선 및 상기 제2데이터선에 전기적으로 연결될 수 있다.

[0019] 본 발명의 또 다른 실시예는, 전술한 바와 같은 실시예들에 따른 박막트랜지스터 기판; 상기 박막트랜지스터 기판과 마주보는 상대 기판; 및 상기 박막트랜지스터 기판 및 상기 상대 기판 사이에 위치하는 액정층;을 포함할

수 있다.

- [0020] 본 발명의 또 다른 실시예는, 기관 상에 서로 인접하게 위치하는 제1박막트랜지스터 및 제2박막트랜지스터를 형성하는 단계; 상기 제1박막트랜지스터 및 제2박막트랜지스터를 덮고, 관통홀을 포함하며, 제1색상의 안료를 포함하는 컬러필터층을 형성하는 단계; 상기 관통홀의 내부에 위치하며 상기 관통홀을 적어도 두 개의 서브홀로 구획하는 격벽을 형성하는 단계; 상기 적어도 두 개의 서브홀 중 어느 하나인 제1서브홀을 통해 노출된 상기 제1박막트랜지스터와 접속하는 제1화소전극을 형성하는 단계; 및 상기 적어도 두 개의 서브홀 중 제2서브홀을 통해 노출된 상기 제2박막트랜지스터와 접속하는 제2화소전극을 형성하는 단계;를 포함하는, 박막트랜지스터 기관의 제조 방법을 개시한다.
- [0021] 본 실시예에 있어서, 상기 격벽은 상기 제1색상과 다른 색상의 안료를 포함할 수 있다.
- [0022] 본 실시예에 있어서, 상기 격벽의 단부는 상기 관통홀과 인접한 상기 컬러필터층의 단부와 중첩할 수 있다.
- [0023] 본 실시예에 있어서, 상기 제1박막트랜지스터와 상기 제2박막트랜지스터는 동일한 게이트선 및 동일한 데이터선에 전기적으로 연결될 수 있다.
- [0024] 본 실시예에 있어서, 상기 제1화소전극과 인접하게 배치되는 제1스토리지 라인을 형성하는 단계; 및 상기 제2화소전극과 인접하게 배치되는 제2스토리지 라인을 형성하는 단계;를 더 포함할 수 있다.
- [0025] 본 실시예에 있어서, 상기 제1스토리지 라인 및 상기 제2스토리지 라인은 상기 기관과 상기 컬러필터층 사이에 배치될 수 있다.
- [0026] 본 실시예에 있어서, 상기 컬러필터층 상에 위치하는 제1금속층 및 제2금속층을 형성하는 단계를 더 포함할 수 있다.
- [0027] 본 실시예에 있어서, 상기 관통홀은 상기 격벽에 의해 분리된 제3서브홀 및 제4서브홀을 더 포함하고, 상기 제1금속층은 상기 제3서브홀을 통해 제1스토리지 라인과 접속하고, 상기 제2금속층은 상기 제4서브홀을 통해 제2스토리지 라인과 접속할 수 있다.
- [0028] 본 실시예에 있어서, 상기 제1박막트랜지스터와 상기 제2박막트랜지스터는 동일한 게이트선에 전기적으로 연결될 수 있다.
- [0029] 전술한 것 외의 다른 측면, 특징, 이점이 이하의 도면, 특허청구범위 및 발명의 상세한 설명으로부터 명확해질 것이다.

발명의 효과

- [0030] 본 발명의 실시예들에 따르면, 컬러필터에 구비된 홀의 크기를 용이하게 제어할 수 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 배열을 나타낸 평면도이다.
- 도 2는 본 발명의 일 실시예에 따른 하나의 화소를 발췌하여 나타낸 평면도이다.
- 도 3은 도 2의 III-III선에 따른 단면도이다.
- 도 4는 도 2에서 트랜지스터 및 액정 커패시터의 화소전극의 배치를 발췌하여 나타낸 평면도이다.
- 도 5는 도 2에서 컬러필터층 및 격벽을 나타낸 평면도이다.
- 도 6a 내지 도 6e는 본 발명의 일 실시예에 따른 박막트랜지스터 기관의 제조 방법에 따른 단면도이다.
- 도 7은 앞서 도 2 내지 도 6e를 참조하여 설명한 실시예에 따른 화소의 등가 회로도이다.
- 도 8은 본 발명의 또 다른 실시예에 따른 화소들의 등가 회로도이다.
- 도 9는 본 발명의 또 다른 실시예들에 따른 화소들의 평면도이다.
- 도 10은 도 9의 X-X선에 따른 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 발명은 다양한 변환을 가할 수 있고 여러 가지 실시예를 가질 수 있는 바, 특정 실시예들을 도면에 예시하고 상세한 설명에 상세하게 설명하고자 한다. 본 발명의 효과 및 특징, 그리고 그것들을 달성하는 방법은 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 다양한 형태로 구현될 수 있다.
- [0033] 이하, 첨부된 도면을 참조하여 본 발명의 실시예들을 상세히 설명하기로 하며, 도면을 참조하여 설명할 때 동일하거나 대응하는 구성 요소는 동일한 도면부호를 부여하고 이에 대한 중복되는 설명은 생략하기로 한다.
- [0034] 이하의 실시예에서, 제1, 제2 등의 용어는 한정적인 의미가 아니라 하나의 구성 요소를 다른 구성 요소와 구별하는 목적으로 사용되었다.
- [0035] 이하의 실시예에서, 단수의 표현은 문맥상 명백하게 다르게 뜻하지 않는 한, 복수의 표현을 포함한다.
- [0036] 이하의 실시예에서, 포함하다 또는 가지다 등의 용어는 명세서상에 기재된 특징, 또는 구성요소가 존재함을 의미하는 것이고, 하나 이상의 다른 특징들 또는 구성요소가 부가될 가능성을 미리 배제하는 것은 아니다.
- [0037] 이하의 실시예에서, 막, 영역, 구성 요소 등의 부분이 다른 부분 위에 또는 상에 있다고 할 때, 다른 부분의 바로 위에 있는 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 있는 경우도 포함한다.
- [0038] 도면에서는 설명의 편의를 위하여 구성 요소들이 그 크기가 과장 또는 축소될 수 있다. 예컨대, 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 임의로 나타내었으므로, 본 발명이 반드시 도시된 바에 한정되지 않는다.
- [0039] 어떤 실시예가 달리 구현 가능한 경우에 특정한 공정 순서는 설명되는 순서와 다르게 수행될 수도 있다. 예를 들어, 연속하여 설명되는 두 공정이 실질적으로 동시에 수행될 수도 있고, 설명되는 순서와 반대의 순서로 진행될 수 있다.
- [0040] 이하의 실시예에서, 막, 영역, 구성 요소 등이 연결되었다고 할 때, 막, 영역, 구성 요소들이 직접적으로 연결된 경우뿐만 아니라 막, 영역, 구성요소들 중간에 다른 막, 영역, 구성 요소들이 개재되어 간접적으로 연결된 경우도 포함한다. 예컨대, 본 명세서에서 막, 영역, 구성 요소 등이 전기적으로 연결되었다고 할 때, 막, 영역, 구성 요소 등이 직접 전기적으로 연결된 경우뿐만 아니라, 그 중간에 다른 막, 영역, 구성 요소 등이 개재되어 간접적으로 전기적 연결된 경우도 포함한다.
- [0041] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 화소 배열을 나타낸 평면도이다.
- [0042] 도1을 참조하면, 액정 표시 장치는 복수의 화소들(P)을 포함하며, 복수의 화소들(P)은 제1방향(D1)과 제2방향(D2)을 따라 매트릭스 형태로 배치될 수 있다. 복수의 화소들(P)은 적색, 녹색, 및 청색의 화소들(P)을 포함할 수 있다. 동일한 색상의 화소들(P)은 제2방향을 따라 배열될 수 있다.
- [0043] 복수의 화소들(P) 상에는 제1 내지 제3컬러필터층(130R, 130G, 130B)이 배치될 수 있다. 제1컬러필터층(130R)은 입사광을 적색으로 변환하는 적색 컬러 필터일 수 있다. 제1컬러필터층(130R)은 적색의 화소들과 대응하여 스트라이프 형태로 배치될 수 있다. 제2컬러필터층(130G)은 입사광을 녹색으로 변환하는 녹색 컬러 필터일 수 있다. 제2컬러필터층(130G)은 녹색의 화소들과 대응하여 스트라이프 형태로 배치될 수 있다. 제3컬러필터층(130B)은 입사광을 청색으로 변환하는 청색 컬러 필터일 수 있다. 제3컬러필터층(130B)은 청색의 화소들과 대응하여 스트라이프 형태로 배치될 수 있다.
- [0044] 각 화소(P)는 기판상에 형성된 박막트랜지스터 및 트랜지스터와 전기적으로 연결된 액정 커패시터를 포함하며, 제1 내지 제3컬러필터층(130R, 130G, 130B)은 박막트랜지스터와 동일한 기판상에 위치한다. 예컨대, 제1 내지 제3컬러필터층(130R, 130G, 130B)은 박막트랜지스터 및 액정 커패시터의 화소전극 사이에 개재될 수 있으며, 박막트랜지스터와 액정 커패시터를 전기적으로 연결하기 위한 홀을 구비한다.
- [0045] 도 2는 본 발명의 일 실시예에 따른 하나의 화소를 발췌하여 나타낸 평면도이고, 도 3은 도 2의 III-III선에 따른 단면도이며, 도 4는 도 2에서 트랜지스터 및 액정 커패시터의 화소전극의 배치를 발췌하여 나타낸 평면도이며, 도 5는 도 2에서 컬러필터층 및 격벽을 나타낸 평면도이다.
- [0046] 도 2, 및 도 3을 참조하면, 액정 표시 장치는 서로 마주보는 박막트랜지스터 기관(10)과 상대 기관(20), 및 이들 사이에 개재된 액정층(30)을 포함한다.
- [0047] 제1기관(100) 상에는 게이트선(GL)과 제1 및 제2데이터선(DL1, DL2)이 배치된다. 게이트선(GL)은 제1방향을 따

라 연장되고, 제1데이터선(DL1) 및 제2데이터선(DL2)은 제1방향과 교차하는 제2방향을 따라 연장된다. 제1 내지 제3박막트랜지스터(T1, T2, T3)는 제1데이터선(DL1)과 제2데이터선(DL2) 사이에서 게이트선(GL)과 인접하게 배치된다.

- [0048] 게이트선(GL)은 제1박막트랜지스터(T1)의 게이트전극, 제2박막트랜지스터(T2)의 게이트전극 및 제3박막트랜지스터(T3)의 게이트전극과 전기적으로 연결된다. 예를 들어, 게이트선(GL)의 일부가 제1 내지 제3박막트랜지스터(T1, T2, T3) 각각의 게이트전극을 이룬다.
- [0049] 제1데이터선(DL1)은 제1박막트랜지스터(T1)의 소스전극 및 제2박막트랜지스터(T2)의 소스전극과 전기적으로 연결된다.
- [0050] 제2데이터선(DL2)은 제1데이터선(DL1)과 제1방향을 따라 상호 이격된다. 제2데이터선(DL2)은 도 2에 도시된 화소와 인접한 화소(미도시)의 박막트랜지스터들(미도시)과 전기적으로 연결된다.
- [0051] 제1화소전극(150)은 제1데이터선(DL1)과 제2데이터선(DL2) 사이에서 게이트선(GL)의 상측에 배치되고, 제2화소전극(160)은 제1데이터선(DL1)과 제2데이터선(DL2) 사이에서 게이트선(GL)의 하측에 배치된다.
- [0052] 제1화소전극(150)은 하이 화소 전극으로, 제1박막트랜지스터(T1)와 전기적으로 연결된다. 제1화소전극(150)은 제1박막트랜지스터(T1)의 드레인전극과 제1접속부(CNT1)를 통해 전기적으로 연결될 수 있다.
- [0053] 제2화소전극(160)은 로우 화소 전극으로, 제2박막트랜지스터(T2)와 전기적으로 연결된다. 제2화소전극(160)은 제2박막트랜지스터(T2)의 드레인전극과 제2접속부(CNT2)를 통해 전기적으로 연결된다.
- [0054] 제1화소전극(150)에는 제1전압이 인가되고, 제2화소전극(160)에는 제1전압보다 낮은 제2전압이 인가될 수 있다. 제1전압 및 제2전압에 따라, 제1화소전극(150)에 대응하는 부분은 하이화소로 구동되고, 제2화소전극(160)에 대응하는 부분은 로우화소로 구동될 수 있다.
- [0055] 도시되지는 않았으나, 제1화소전극(150) 및 제2화소전극(160)은 절개 패딩을 가질 수 있다. 예컨대, 제1화소전극(150) 및 제2화소전극(160)은 서로 교차하는 가로줄기선과 세로줄기선 및 가로줄기선과 세로줄기선과 연결된 복수의 가지선들을 포함할 수 있다.
- [0056] 제1스토리지 라인(SL1)은 제1 및 제2데이터선(DL1, DL2) 사이에 배치된다. 제1스토리지 라인(SL1)은 하이스토리지 라인으로, 제1화소전극(150)과 인접하게 배치될 수 있다. 예컨대, 제1스토리지 라인(SL1)은 환형이며, 제1화소전극(150)의 외곽을 따라 배치될 수 있다. 본 실시예에서는 제1스토리지 라인(SL1)이 폐곡선인 환형인 경우를 설명하였으나, 본 발명은 이에 한정되지 않는다. 또 다른 실시예로서, 제1스토리지 라인(SL1)은 후술하는 제2스토리지 라인(SL2)과 같은 형상일 수 있다.
- [0057] 제1스토리지 라인(SL1)은 제3박막트랜지스터(T3)의 소스전극과 전기적으로 연결되며, 제1스토리지 라인(SL1)은 제3접속부(CNT3)를 통해서 제1금속층(180)과 연결된다.
- [0058] 제2스토리지 라인(SL2)은 제1 및 제2데이터선(DL1, DL2) 사이에 배치된다. 제2스토리지 라인(SL2)은 로우스토리지 라인으로 제2화소전극(160)과 인접하게 배치될 수 있다. 제2스토리지 라인(SL2)은 H자의 형상일 수 있다. 예컨대, 제2스토리지 라인(SL2)은 게이트전극과 평행한 제1부분(SL2a), 제1부분(SL2a)에 대하여 수직으로 연장된 제2부분(SL2b), 및 제2부분(SL2b)과 연결되고 제1부분(SL2a)과 실질적으로 평행한 제3부분(SL2c)을 구비할 수 있다. 본 실시예에서는 제2스토리지 라인(SL2)이 H자 형상인 경우를 설명하였으나, 본 발명은 이에 한정되지 않는다.
- [0059] 제2스토리지 라인(SL2)은 연결전극(170)과 전기적으로 연결된다. 제2스토리지 라인(SL2)은 제4접속부(CNT4)를 통해 제2금속층(190)과 연결된다.
- [0060] 도 2, 도 3b 및 도 4를 참조하면, 컬러필터층(130)은 제1 내지 제3박막트랜지스터(T1, T2, T3)와 제1 및 제2스토리지 라인(SL1, SL2)을 포함하는 화소회로층(10a) 위에 배치되고, 제1 및 제2화소전극(150, 160)과 제1 및 제2금속층(180, 190)의 아래에 배치된다. 제1 및 제2화소전극(150, 160)과 제1 및 제2금속층(190)은 동일한 층에 동일한 물질로 형성된다.
- [0061] 컬러필터층(130)은 제1색상의 안료를 포함한다. 예컨대, 컬러필터층(130)은 적색, 녹색, 또는 청색 중 어느 하나의 색을 갖는 안료를 포함할 수 있다.
- [0062] 컬러필터층(130)은 제1 내지 제4접속부(CNT1, CNT2, CNT3, CNT4)에 대응하는 제1 내지 제4서브홀(130H1,

130H2, 130H3, 130H4)을 포함한다. 제1서브홀(130H1)은 제1접속부(CNT1)와 대응하고, 제2서브홀(130H2)은 제2접속부(CNT2)와 대응하며, 제3서브홀(130H3)은 제3접속부(CNT3)와 대응하고, 제4서브홀(130H4)은 제4접속부(CNT4)와 대응한다.

[0063] 제1 내지 제4서브홀(130H1, 130H2, 130H3, 130H4)은 컬러필터층(130)의 관통홀(130H)에 둘러싸여 있으며, 격벽(140)에 의해 서로 구획된다. 격벽(140)은 도 2 및 도 5에 도시된 바와 같이 +형상일 수 있으며, 격벽(140)의 단부는 관통홀(130H)과 인접하고 관통홀(130H)을 둘러싸는 컬러필터층(130)의 단부와 중첩될 수 있다.

[0064] 제1 내지 제4서브홀(130H1, 130H2, 130H3, 130H4)은 예컨대, 도 5에 도시된 바와 같이 관통홀(130H)을 구비하는 컬러필터층(130)을 형성한 후, 관통홀(130H)을 공간적으로 분리하는 격벽(140)을 형성함으로써 제공될 수 있다.

[0065] 본 발명의 비교예로서, 컬러필터층(130)을 형성한 후, 마스크를 사용한 노광 및 현상공정을 통해 본 발명의 실시예의 제1 내지 제4접속부(CNT1, CNT2, CNT3, CNT4)와 대응하는 4개의 홀을 형성할 수 있다. 마스크를 사용한 노광 공정의 경우 빛의 회절 현상 등에 의해 의도치 않은 부분까지 노광(과노광)되거나 의도한 부분이 노광되지 않는(미노광) 현상이 발생할 수 있다. 이 경우, 제1 내지 제4접속부(CNT1, CNT2, CNT3, CNT4)와 대응하는 홀의 크기 제어가 용이하지 않다.

[0066] 그러나, 본 발명의 실시예에 따르면, 비교적 크기가 큰 관통홀(130H)을 형성한 후, 격벽(140)을 패터닝하여 관통홀(130H)을 복수의 공간으로 분리하여 제1 내지 제4서브홀(130H1, 130H2, 130H3, 130H4)을 형성하므로, 제1 내지 제4접속부(CNT1, CNT2, CNT3, CNT4)와 대응하는 제1 내지 제4서브홀(130H1, 130H2, 130H3, 130H4)의 크기 제어가 용이하다.

[0067] 격벽(140)은 제2색상의 안료를 포함할 수 있다. 예컨대, 격벽(140)은 컬러필터층(130)의 색상과 다른 색상의 안료를 포함할 수 있다. 일 실시예로서, 컬러필터층(130)이 적색의 안료를 포함하는 경우, 격벽(140)은 녹색 또는 청색의 안료를 포함할 수 있다.

[0068] 상대 기관(20)은 박막트랜지스터 기관(10)과의 사이에 액정층(30)을 개재한 채 박막트랜지스터 기관(10)과 마주 보도록 배치된다. 상대 기관(20)의 제2기관(200) 상에는 블랙매트릭스(220) 및 공통 전극(230)이 배치될 수 있다.

[0069] 본 실시예에서는 블랙매트릭스(220)와 공통전극(230)이 상대 기관(20)에 위치한 경우를 설명하고 있으나, 본 발명은 이에 제한되지 않는다. 또 다른 실시예에 따르면, 블랙매트릭스(220)는 박막트랜지스터 기관(10)에 배치될 수 있다. 또는 공통전극(230)이 박막트랜지스터 기관(10)에 배치될 수 있다. 또는, 블랙매트릭스(220)와 공통전극(230)이 모두 박막트랜지스터 기관(10)에 배치될 수 있다.

[0070] 도 6a 내지 도 6e는 본 발명의 실시예에 따른 박막트랜지스터 기관의 제조 공정에 따른 단면도이다.

[0071] 도 2 및 도 6a를 참조하면, 제1기관(100) 상에 게이트선(GL), 제1데이터선(DL1), 제2데이터선(DL2), 이들과 전기적으로 연결된 제1 내지 제3박막트랜지스터(T1, T2, T3), 제1 및 제2스토리지 라인(SL1, SL2)을 형성한다.

[0072] 먼저, 제1기관(100) 상에 금속층(미도시)을 형성한 후 이를 패터닝하여 게이트선(GL)과, 제1 및 제2스토리지 라인(SL1, SL2)을 형성한다. 게이트선(GL)은 제1방향으로 연장되며, 게이트선(GL)의 일부는 제1 내지 제3박막트랜지스터(T1, T2, T3)의 게이트전극을 이룬다. 도 6a에는 제1 및 제2박막트랜지스터(T1, T2)의 게이트전극(G1, G2)이 도시되어 있다.

[0073] 제1스토리지 라인(SL1)은 도 2에 도시된 바와 같이 게이트선(GL)의 상측에 형성되고 제2스토리지 라인(SL2)은 게이트선(GL)의 하측에 형성될 수 있다.

[0074] 이 후, 제1기관(100) 상에 게이트절연층(103)을 형성한다. 게이트절연층(103)은 실리콘 산화물 및/또는 실리콘 질화물을 포함하는 무기물일 수 있다. 도시되지는 않았으나 게이트절연층(103)은 제1스토리지 라인 및 제2스토리지 라인(SL2)을 노출하는 홀을 포함할 수 있다.

[0075] 다음으로, 반도체물질층(미도시) 및 금속층(미도시)을 형성한 후, 이들을 패터닝하여 제1 내지 제3박막트랜지스터(T1, T2, T3)의 반도체층, 소스전극 및 드레인전극과, 제1 및 제2데이터선(DL1, DL2) 및 연결전극(170)을 형성한다. 반도체물질층은 비정질 실리콘(a-Si), 다결정 실리콘(poly-Si), IGZO(Indium gallium zinc oxide)와 같은 금속 산화물 등을 포함할 수 있다. 제1데이터선(DL1)의 일부가 제1 및 제2박막트랜지스터(T1, T2)의 소스전극된다. 도 6a에는 제1 및 제2박막트랜지스터(T1, T2)의 반도체층(A1, A2), 소스전극(S1, S2) 및 드레인전극

(D1, D2)이 도시되어 있다. 도 6a에 도시되지는 않았으나 연결전극(170, 도 2 참조)은 게이트절연층(103)에 구비된 홀을 통해 제1 및 제2스토리지 라인(SL1, SL2)과 전기적으로 연결된다.

[0076] 이 후, 제1패시베이션층(105)을 형성한다. 제1패시베이션층(105)은 실리콘 산화물 및/또는 실리콘 질화물을 포함하는 무기물일 수 있다. 또 다른 실시예로, 제1패시베이션층(105)은 아크릴 수지, 실리콘 수지, 폴리이미드 수지와 같은 유기물을 포함할 수 있으나, 본 발명은 이에 제한되지 않는다.

[0077] 도 2 및 도 6b를 참조하면, 제1패시베이션층(105) 상에 제1색상의 안료를 포함하는 감광성 레지스트를 형성하고, 마스크를 이용하여 노광 및 현상함으로써 관통홀(130H)을 포함하는 컬러필터층(130)을 형성한다.

[0078] 도 2 및 도 6c를 참조하면, 관통홀(130H) 내부에 격벽(140)을 형성한다. 격벽(140)은 다른 화소의 컬러필터층(미도시)의 형성 공정에서 다른 화소의 컬러필터층과 함께 형성될 수 있다. 따라서, 격벽(140)은 컬러필터층(130)에 포함된 제1색상의 안료와 다른 색상의 안료를 포함할 수 있다.

[0079] 격벽(140)은 도 2에 도시된 바와 같이 +형상을 가질 수 있다. 격벽(140)에 의해 관통홀(130H)은 제1 내지 제4서브홀(130H1, 130H2, 130H3, 130H4)로 분리된다.

[0080] 도 2 및 도 6d를 참조하면, 컬러필터층(130) 및 격벽(140) 상에 제2패시베이션층(107)을 형성한다. 제2패시베이션층(107)은 실리콘 산화물 및/또는 실리콘 질화물을 포함하는 무기물일 수 있다. 또 다른 실시예로, 제2패시베이션층(107)은 아크릴 수지, 실리콘 수지, 폴리이미드 수지와 같은 유기물을 포함할 수 있으나, 본 발명은 이에 제한되지 않는다.

[0081] 이 후, 제1 내지 제4서브홀(130H1, 130H2, 130H3, 130H4)과 대응되는 제1 및 제2패시베이션층의 일부 영역을 식각하여 제1 및 제2패시베이션층(105, 107)을 관통하는 제3 내지 제6홀(H3, H4, H5, H6)을 형성한다.

[0082] 제1박막트랜지스터(T1)의 드레인전극은 제1서브홀(130H1) 및 제3홀(H1)을 통해 노출되고, 제2박막트랜지스터(T2)의 드레인전극은 제2서브홀(130H2) 및 제4홀(H2)을 통해 노출된다. 제1스토리지 라인(SL1), 예컨대 제1스토리지 라인(SL1)에 연결된 연결전극(170)의 일부는 제3서브홀(130H3) 및 제5홀(H3)을 통해 노출된다. 제2스토리지 라인(SL2), 예컨대 제2스토리지 라인(SL2)에 연결된 연결전극(170)의 일부는 제4서브홀(130H4) 및 제6홀(H4)을 통해 노출된다.

[0083] 도 2 및 도 6e를 참조하면, 제2패시베이션층(107) 상에 도전층(미도시)을 형성하고 이를 패터닝하여 제1 및 제2화소전극(150, 160)과, 제1 및 제2금속층(180, 190)을 형성한다.

[0084] 도전층은 산화 인듐 주석(indium tin oxide: ITO), 산화 아연 주석(indium zinc oxide: IZO)와 같은 투명 도전층(transparent conductive oxide TCO)일 수 있다.

[0085] 제1화소전극(150)은 제1서브홀(130H1) 및 제3홀(H1)을 통해 노출된 제1박막트랜지스터(T1)와 접촉되며, 제2화소전극(160)은 제2서브홀(130H2) 및 제4홀(H2)을 통해 노출된 제2박막트랜지스터(T2)와 접촉된다. 제1금속층(180)은 제3서브홀(130H3) 및 제5홀(H3)을 통해 노출된 연결전극(170)과 접촉하여 제1스토리지 라인(SL1)과 접촉될 수 있다. 제2금속층(190)은 제4서브홀(130H4) 및 제6홀(H4)을 통해 노출된 연결전극(170)과 접촉하여 제2스토리지 라인(SL2)과 접촉될 수 있다.

[0086] 전술한 제조 방법에 따르면, 비교적 크기가 큰 관통홀(130H)을 형성한 후, 격벽(140)을 패터닝하여 관통홀(130H)을 복수의 공간으로 분리하므로, 제1 내지 제4서브홀(130H1, 130H2, 130H3, 130H4)의 크기 제어가 용이함은 앞서 도 5를 참조하여 설명한 같다.

[0087] 도 7은 앞서 도 2 내지 도 6e를 참조하여 설명한 실시예에 따른 화소의 등가 회로도이다.

[0088] 화소(P)는 하이 화소 액정 커패시터(C1c-1) 및 로우 화소 액정 커패시터(C1c-2)를 포함한다. 제1박막트랜지스터(T1)의 게이트전극 및 소스전극은 각각 게이트선(GL) 및 제1데이터선(DL1)에 연결되고, 드레인 전극은 하이 화소 액정 커패시터(C1c-1)에 연결된다. 하이 화소 액정 커패시터(C1c-1)는 제1화소전극(150, 도 2 및 도 3 참조), 액정층(30, 도 3참조), 및 공통 전압(Vcom)이 인가되는 공통전극(230, 도 3 참조)에 의해 형성된다.

[0089] 제2박막트랜지스터(T2)의 게이트전극 및 소스전극은 각각 게이트선(GL) 및 제1데이터선(DL1)에 연결되고, 드레인전극은 로우 화소 액정 커패시터(C1c-2)에 연결된다. 로우 화소 액정 커패시터(C1c-2)는 제2화소전극(160, 도 2 및 도 3 참조), 액정층(30, 도 3참조), 및 공통 전압(Vcom)이 인가되는 공통전극(230, 도 3 참조)에 의해 형성된다.

- [0090] 제3박막트랜지스터(T3)의 소스전극에는 스토리지 전압(V_{cs1})이 인가된다. 스토리지 전압(V_{cs1})은 제1 및 제2 스토리지 라인(SL1, SL2, 도 2 및 도 3 참조)에 인가되고, 상기 제1스토리지 라인(SL1)이 제3박막트랜지스터(T3)의 소스전극에 연결될 수 있다.
- [0091] 도시되지는 않았으나, 제1화소전극(150)과 제1스토리지 라인(SL1)이 제1스토리지 캐패시터를 형성하고, 제2화소전극(160)과 제2스토리지 라인(SL2)이 제2스토리지 캐패시터를 형성할 수 있다.
- [0092] 이상에서 살펴본 바와 같이, 관통홀(130H)을 갖는 컬러필터층(130) 및 관통홀(130H) 내부에 배치된 격벽(140)에 의해 구획된 복수의 서브홀(130H1, 130H2, 130H3, 130H4)을 통한 접속 구조는 하나의 화소(P)에 복수의 화소전극들, 예컨대 하이화소전극 및 로우화소전극을 포함하는 경우에 적용될 수 있다.
- [0093] 또 다른 실시예로, 관통홀(130H)을 갖는 컬러필터층(130) 및 관통홀(130H)을 복수의 서브홀로 구획하는 격벽(140)의 구조는, 복수의 화소들 사이에서도 적용될 수 있다. 이하, 도 8 및 도 9를 참조하여 구체적으로 설명한다.
- [0094] 도 8은 본 발명의 또 다른 실시예에 따른 화소들의 등가 회로도이고, 도 9는 본 발명의 또 다른 실시예들에 따른 화소들의 평면도이며, 도 10은 도 9의 X-X선에 따른 단면도이다.
- [0095] 도 8 내지 도 10을 참조하면, 박막트랜지스터 기관(10')의 제1기관(100) 상에는 서로 교차하는 게이트선(GL)과 제1 및 제2데이터선(DL1, DL2)이 배치된다.
- [0096] 게이트선(GL)은 제1박막트랜지스터(T1)의 게이트전극 및 제2박막트랜지스터(T2)의 게이트전극에 전기적으로 연결된다. 예컨대, 게이트선(GL)의 일부가 제1 내지 제3박막트랜지스터(T1, T2, T3)의 게이트전극을 이룬다.
- [0097] 제1데이터선(DL1)은 제1박막트랜지스터(T1)의 소스전극에 연결되고, 제2데이터선(DL2)은 제2박막트랜지스터(T2)의 소스전극에 연결된다. 앞서 도 2 내지 도 7을 설명한 실시예와 달리 제1박막트랜지스터(T1) 및 제2박막트랜지스터(T2)에 인가되는 데이터신호는 서로 다르다.
- [0098] 도 8에 도시된 바와 같이 제1방향으로 연장된 게이트선(GL) 및 제2방향으로 연장된 제1 및 제2데이터선(DL1, DL2) 사이에 제1화소전극(1150)과 제2화소전극(1160)이 각각 배치된다. 제1화소전극(1150)은 게이트선(GL)의 상부에 위치하는 화소(P1, 이하, 제1화소라 함)에 대응하고, 제2화소전극(1160)은 게이트선(GL)의 하부에 위치하는 화소(P2, 이하 제2화소라 함)에 대응한다.
- [0099] 도시되지는 않았으나, 제1화소전극(1150) 및 제2화소전극(1160)은 절개 패턴을 가질 수 있다. 예컨대, 제1화소전극(1150) 및 제2화소전극(1160)은 서로 교차하는 가로줄기선과 세로줄기선 및 가로줄기선과 세로줄기선과 연결된 복수의 가지선들을 포함할 수 있다.
- [0100] 제1박막트랜지스터(T1)의 게이트전극 및 소스전극은 각각 게이트선(GL) 및 제1데이터선(DL1)에 연결되고, 드레인전극은 제1접속부(CNT1)를 통해 제1화소(P1)의 액정 커패시터(C1c)의 화소전극(1150)에 연결된다.
- [0101] 제2박막트랜지스터(T2)의 게이트전극 및 소스전극은 각각 게이트선(GL) 및 제2데이터선(DL2)에 연결되고, 드레인전극은 제2접속부(CNT2)를 통해 제2화소의 액정 커패시터(C1c)의 화소전극(1160)에 연결된다.
- [0102] 컬러필터층(1130)은 제1 및 제2박막트랜지스터를 포함하는 화소회로층 위에 배치되고, 제1 및 제2화소전극(1150, 1160)의 아래에 배치된다. 컬러필터층(1130)은 적색, 녹색 또는 청색의 안료를 포함한다.
- [0103] 컬러필터층(1130)은 제1 및 제2접속부(CNT2)에 대응하는 제1 및 제2서브홀(1130H1, 1130H2)을 포함한다. 제1서브홀(1130H1)은 제1접속부(CNT1)와 대응하고, 제2서브홀(1130H2)은 제2접속부와 대응한다.
- [0104] 제1 및 제2서브홀(1130H1, 1130H2)은 컬러필터층(1130)의 관통홀(1130H)에 둘러싸여 있으며, 격벽(1140)에 의해 서로 구획된다. 격벽(1140)은 도 9에 도시된 바와 같이 바(bar)의 형상일 수 있으며, 격벽(1140)의 단부는 관통홀(1130H)과 인접한 컬러필터층(1130)의 단부와 중첩될 수 있다.
- [0105] 제1 및 제2서브홀(1130H1, 1130H2)은 도 5를 참조하여 설명한 바와 같이 관통홀(1130H)을 구비하는 컬러필터층(1130)을 형성한 후, 관통홀(1130H)을 공간적으로 분리하는 격벽(1140)을 형성함으로써 제공될 수 있다.
- [0106] 격벽(1140)은 안료를 포함할 수 있다. 예컨대, 격벽은 화소에 형성된 컬러필터층(1130)의 색상과 다른 색상의 안료를 포함할 수 있다. 일 실시예로서, 컬러필터층(1130)이 적색인 경우, 격벽은 녹색 또는 청색일 수 있다.
- [0107] 상대 기관(20)은 박막트랜지스터 기관(10)과의 사이에 액정층(30)을 개재한 채 박막트랜지스터 기관(10)과 마주

보도록 배치된다. 일 실시예에 따르면, 상대 기관(20)의 제2기관(200) 상에는 블랙매트릭스(220) 및 공통전극(230)이 배치될 수 있다. 또 다른 실시예로서, 블랙매트릭스(220) 및/또는 공통전극(230)은 박막트랜지스터 기관(10)에 배치될 수 있다.

[0108] 도 9 내지 도 10을 참조하여 설명한 실시예의 경우는, 제2화소전극(1160)과 연결된 제2박막트랜지스터(T2)가 제1화소전극(1150)과 연결된 제1박막트랜지스터(T1)와 다른 데이터선, 즉 제2데이터선(DL2)과 연결된 점을 제외하고, 앞서 도 6a 내지 도 6e를 참조하여 설명한 제조 공정과 실질적으로 동일한 공정에 의해 형성되므로 이하 중복 설명은 생략한다.

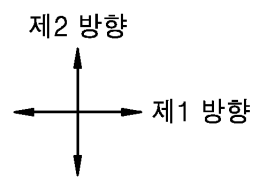
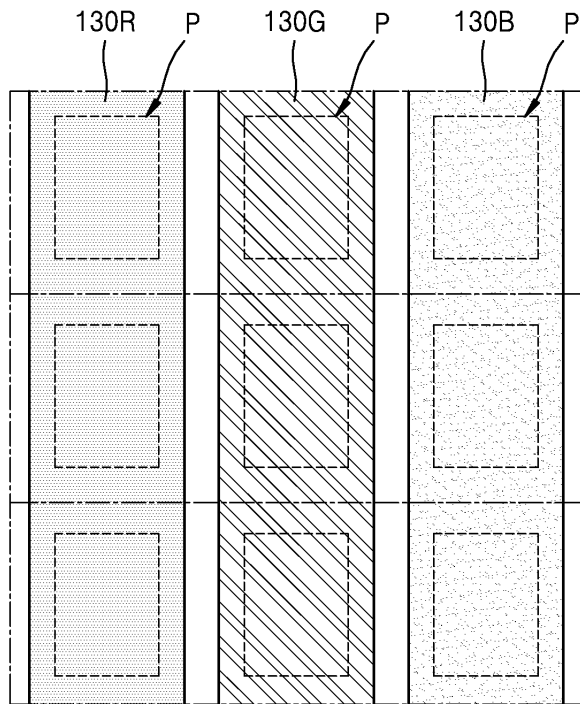
[0109] 이와 같이 본 발명은 도면에 도시된 일 실시예를 참고로 하여 설명하였으나 이는 예시적인 것에 불과하며 당해 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 실시예의 변형이 가능하다는 점을 이해할 것이다. 따라서, 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

부호의 설명

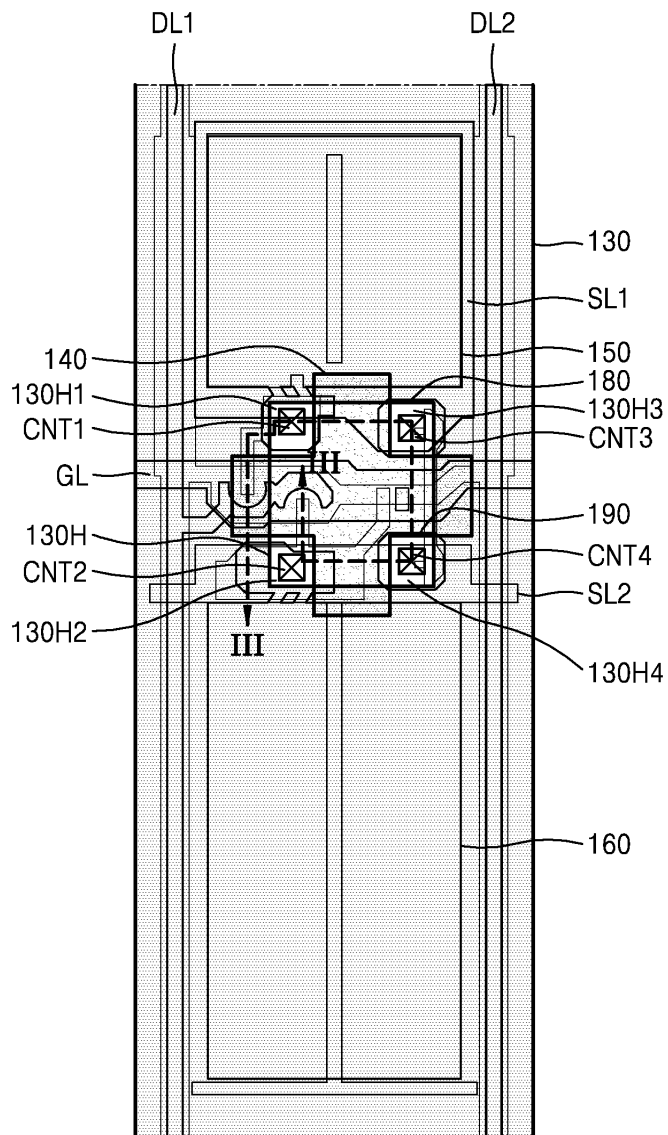
[0110] 150, 1150: 제1화소전극
160, 1160: 제2화소전극
T1: 제1박막트랜지스터
T2: 제2박막트랜지스터
T3: 제3박막트랜지스터
130, 1130: 컬러필터층
130H, 1130H: 관통홀
130H1, 1130H1: 제1서브홀
130H2, 1130H2: 제2서브홀
130H3: 제3서브홀
130H4: 제4서브홀

도면

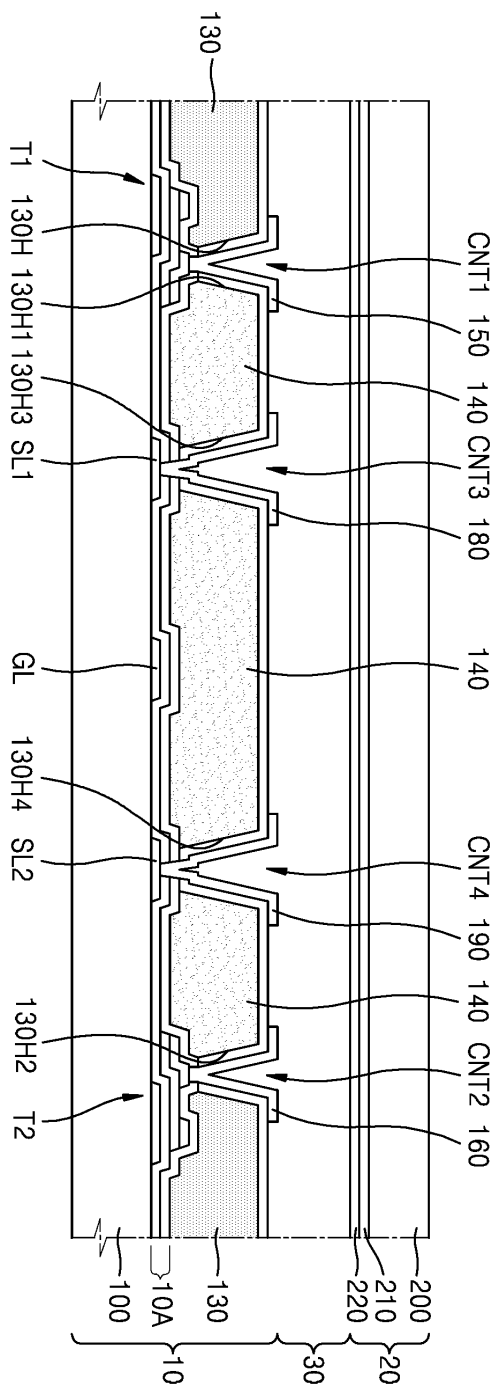
도면1



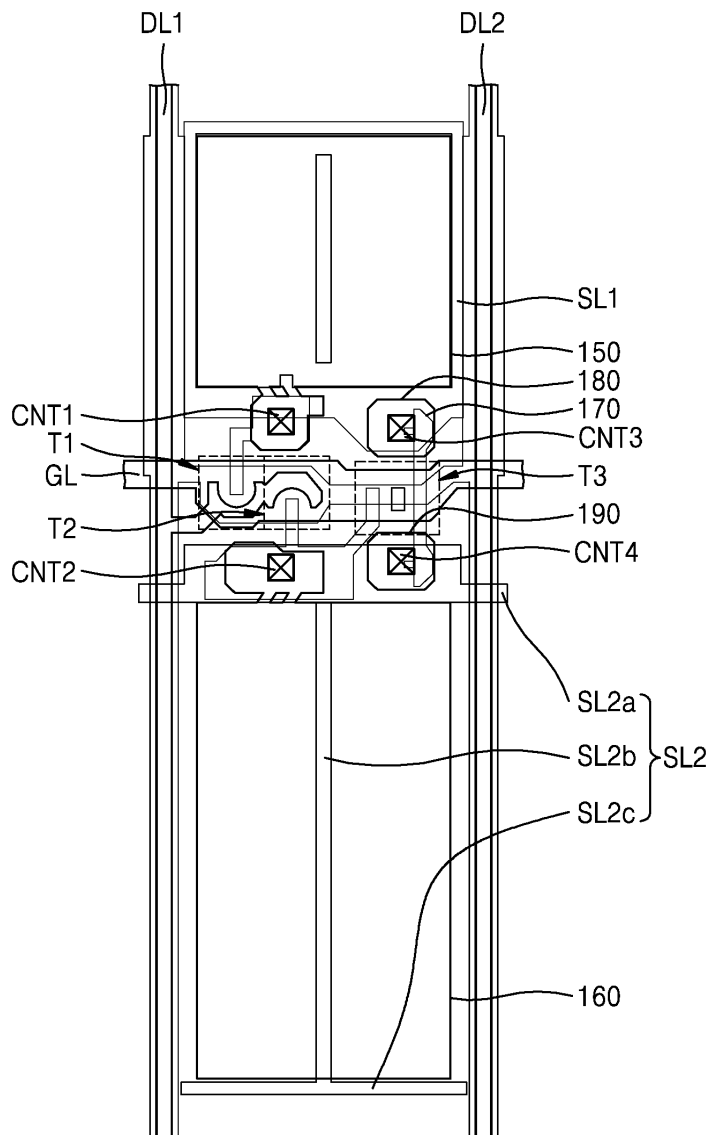
도면2



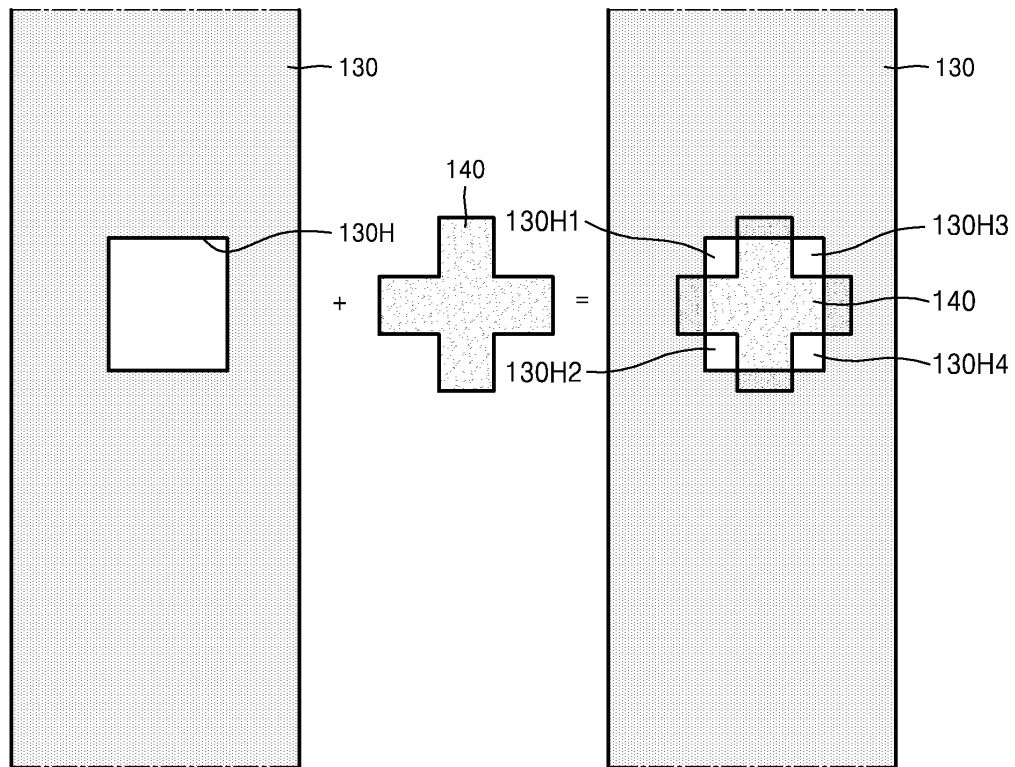
도면3



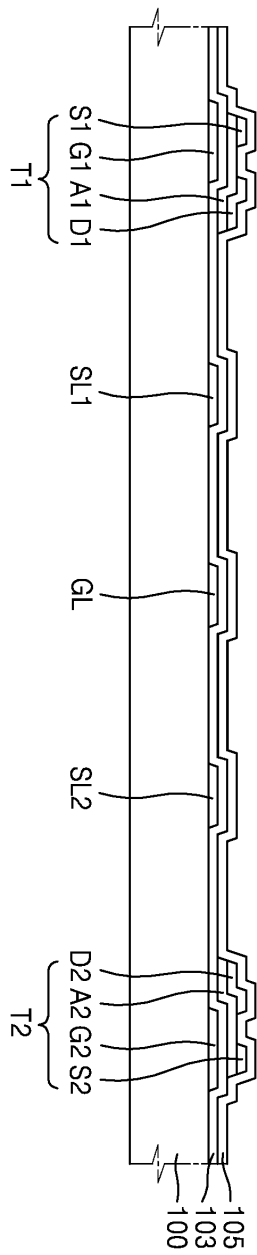
도면4



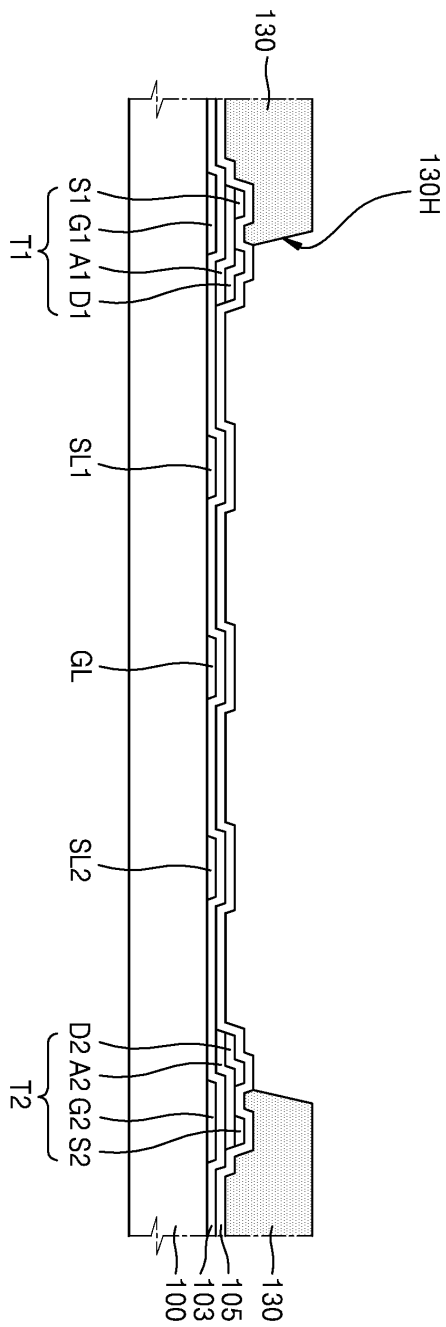
도면5



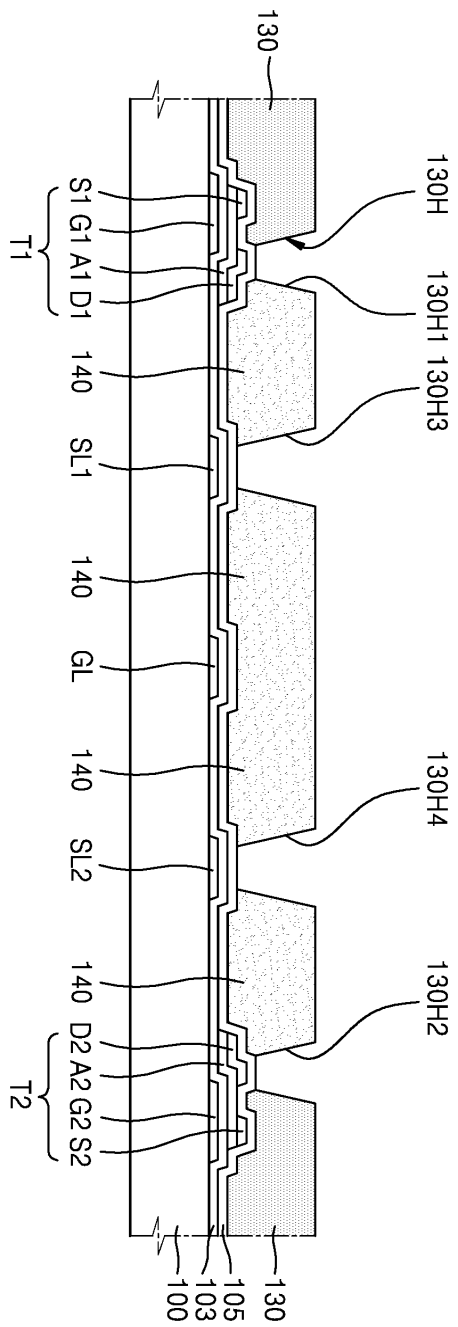
도면6a



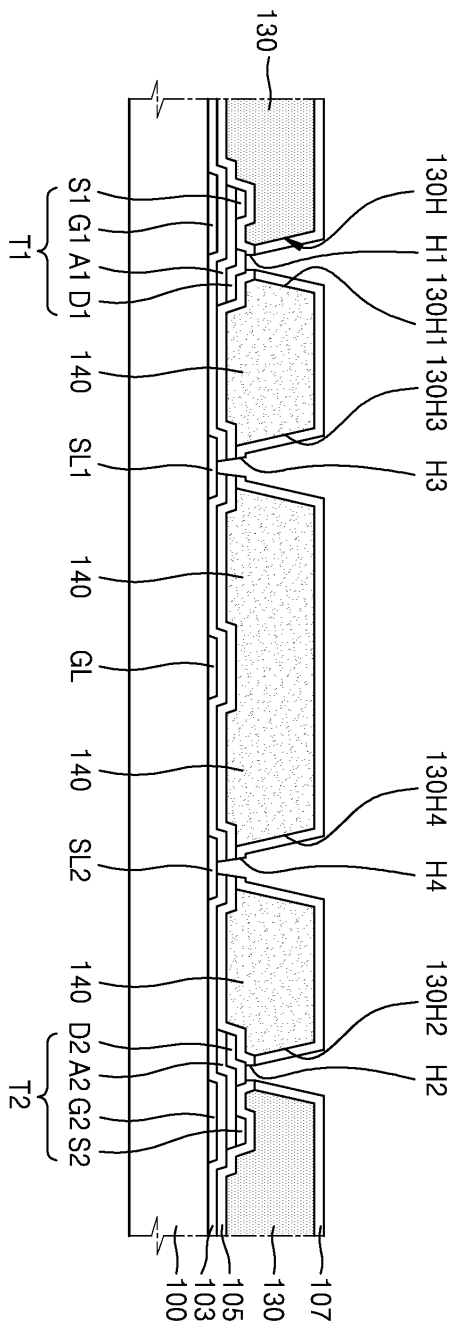
도면6b



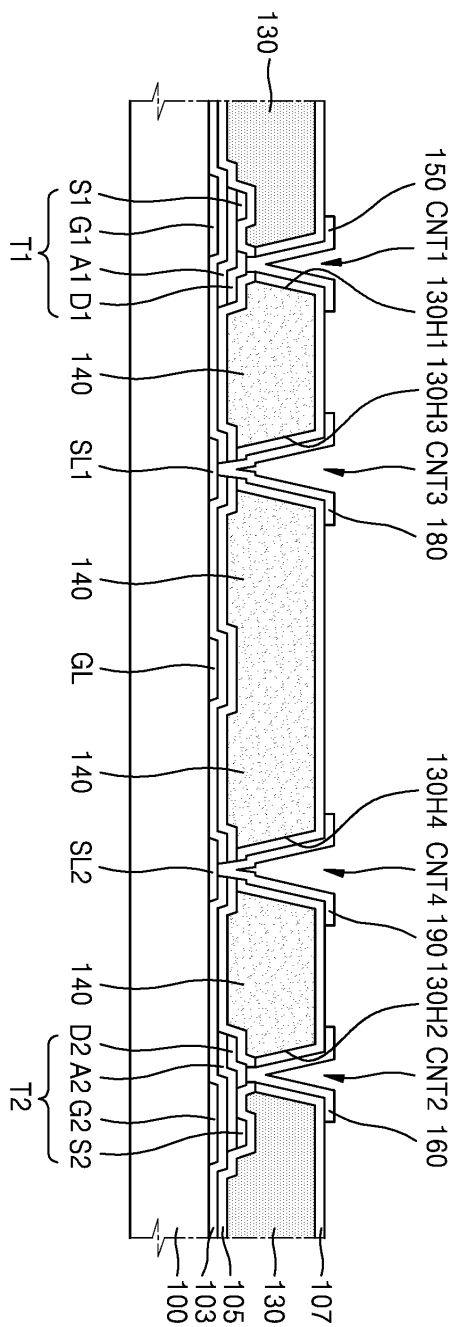
도면6c



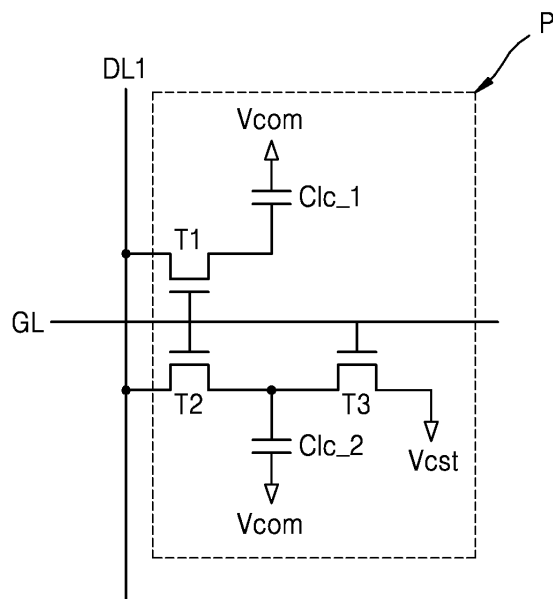
도면6d



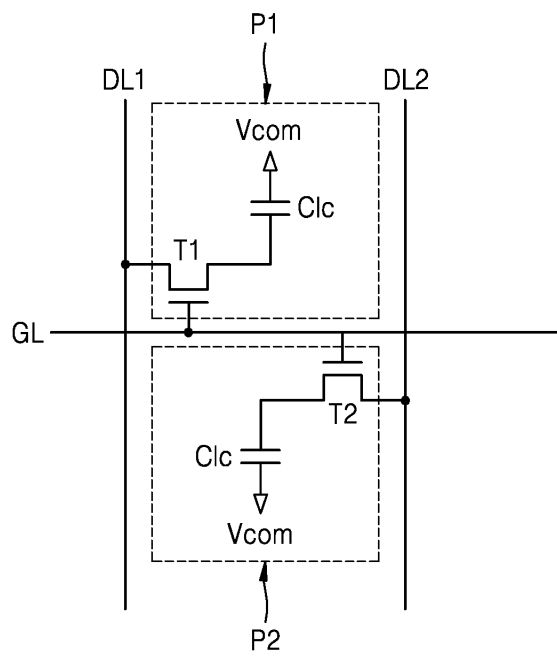
도면 6e



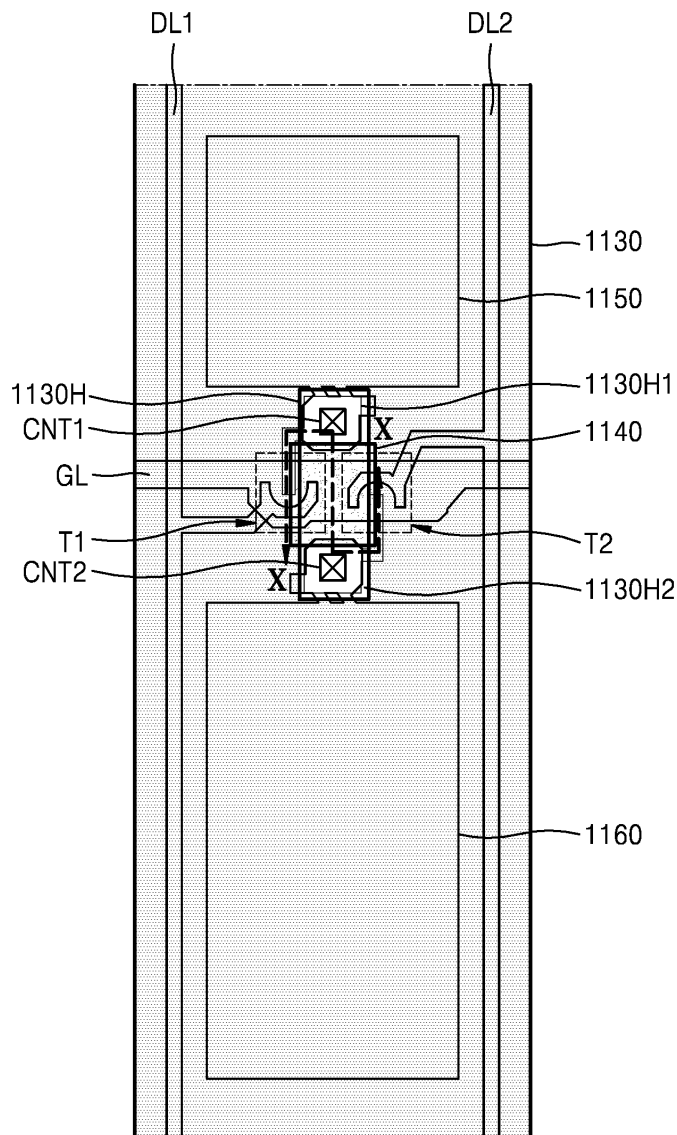
도면7



도면8



도면9



도면10

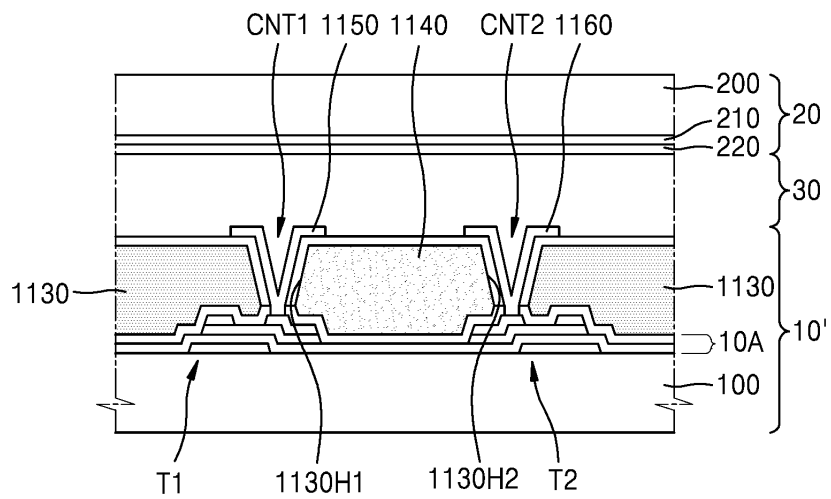


Fig. 10 is a cross-sectional view of a second embodiment of the device. It shows a similar structure to Fig. 9 but with different internal components. Labels include DL1, DL2, 130, SL1, 150, 180, 130H3, CNT3, 190, CNT4, SL2, 130H4, 160, 140, 130H1, CNT1, GL, 130H, CNT2, and 130H2. A central vertical channel is labeled III.