



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2017-0072512
(43) 공개일자 2017년06월27일

(51) 국제특허분류(Int. Cl.)
G09G 3/36 (2006.01) G06F 3/041 (2006.01)
(52) CPC특허분류
G09G 3/3648 (2013.01)
G06F 3/0418 (2013.01)
(21) 출원번호 10-2015-0180744
(22) 출원일자 2015년12월17일
심사청구일자 없음

(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)
(72) 발명자
김병우
서울특별시 성동구 광나루로9길 5 202호
유상희
경기도 파주시 청석로 300 청석마을 대원효성아파트 916동 1402호
(74) 대리인
특허법인인벤투스

전체 청구항 수 : 총 14 항

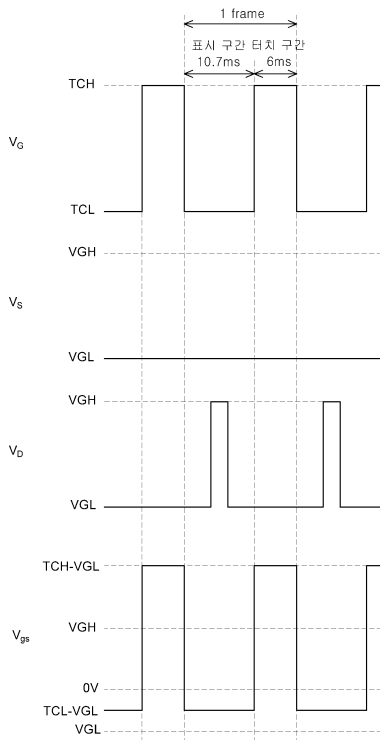
(54) 발명의 명칭 액정 표시 장치

(57) 요약

액정 표시 장치가 제공된다. 액정 표시 장치는 표시 구간 및 터치 구간으로 시분할 구동되고, 표시 영역과 비표시 영역을 포함하는 액정 표시 패널을 포함한다. 데이터 구동회로는 액정 표시 패널에 데이터 신호를 공급한다. 액정 표시 패널은 표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차되고, 교차된 영역마다 화소

(뒷면에 계속)

대표도 - 도6



가 배치된 화소 어레이, 표시 영역에 인접한 비표시 영역에 배치되고, 복수의 게이트 라인 각각에 연결된 복수의 스테이지를 포함하고, 복수의 게이트 라인에 게이트 신호를 공급하는 게이트 구동회로, 및 화소와 스테이지 사이에 배치되고, 터치 구간동안 발생하는 노이즈를 저감시키는 보상 트랜지스터를 포함하는 노이즈 저감부를 포함한다. 데이터 구동회로는 표시 구간동안 게이트 로우 전압(VGL)보다 낮은 전압을 갖는 보상 트랜지스터 제어 신호를 보상 트랜지스터의 게이트 전극에 공급한다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치에서 터치 구간동안 게이트 신호의 리플의 영향을 저감시키는 보상 트랜지스터의 열화가 억제될 수 있다.

(52) CPC특허분류

G09G 3/3677 (2013.01)
G09G 2230/00 (2013.01)
G09G 2300/043 (2013.01)
G09G 2320/043 (2013.01)

장성욱

경기도 고양시 일산서구 일현로 97-11(탄현동, 일산 위브더제니스) 101동 1208호

(72) 발명자

조성현

서울특별시 서대문구 통일로34길 43 홍제원현대아파트 105동 301호

명세서

청구범위

청구항 1

하나의 프레임(frame)에서 표시 구간 및 터치 구간으로 시분할 구동되도록 구성되고, 표시 영역과 비표시 영역을 포함하는 액정 표시 패널; 및

상기 액정 표시 패널에 데이터 신호를 공급하도록 구성된 데이터 구동회로를 포함하고,

상기 액정 표시 패널은,

상기 표시 영역에서 데이터 라인, 상기 데이터 라인과 교차하는 게이트 라인 및 상기 데이터 라인과 상기 게이트 라인에 대응되는 화소가 배치된 화소 어레이;

상기 표시 영역에 인접한 비표시 영역에 배치되고, 상기 게이트 라인에 연결된 스테이지를 포함하고, 상기 게이트 라인에 게이트 신호를 공급하는 게이트 구동회로; 및

상기 화소와 상기 스테이지 사이에 배치되고, 상기 터치 구간동안 발생하는 노이즈를 저감시키도록 구성된 보상 트랜지스터를 포함하는 노이즈 저감부를 포함하고,

상기 데이터 구동회로는 상기 표시 구간동안 게이트 로우 전압(VGL)보다 낮은 전압을 갖는 보상 트랜지스터 제어 신호를 상기 보상 트랜지스터의 게이트 전극에 공급하도록 구성된, 액정 표시 장치.

청구항 2

제1항에 있어서,

상기 데이터 구동회로는 상기 터치 구간동안 게이트 하이 전압(VGH)을 갖는 상기 보상 트랜지스터 제어 신호를 상기 보상 트랜지스터의 상기 게이트 전극에 공급하도록 구성된, 액정 표시 장치.

청구항 3

제2항에 있어서,

상기 데이터 구동회로는 상기 게이트 하이 전압의 듀티비(duty rate)가 상기 하나의 프레임에 대한 상기 터치 구간의 비율에 대응하는 상기 보상 트랜지스터 제어 신호를 상기 보상 트랜지스터의 상기 게이트 전극에 공급하도록 구성된, 액정 표시 장치.

청구항 4

제1항에 있어서,

상기 보상 트랜지스터는,

상기 게이트 라인에 연결된 드레인 전극 및 게이트 로우 전압(VGL) 라인에 연결된 소스 전극을 포함하는, 액정 표시 장치.

청구항 5

제4항에 있어서,

상기 터치 구간동안 상기 보상 트랜지스터의 상기 게이트 전극의 전압에서 상기 소스 전극의 전압을 뺀 값은 양수인, 액정 표시 장치.

청구항 6

제4항에 있어서,

상기 표시 구간동안 상기 보상 트랜지스터의 상기 게이트 전극의 전압에서 상기 소스 전극의 전압을 뺀 값은 음

수인, 액정 표시 장치.

청구항 7

표시 구간동안 턴-온(turn-on)되도록 구성되고 터치 구간동안 턴-오프(turn-off)되도록 구성된, 구동 트랜지스터를 포함하는 화소가 표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차된 영역 각각에 대응하여 배치된 화소 어레이;

상기 표시 영역에 인접한 비표시 영역에 배치되고, 상기 구동 트랜지스터를 턴-온 하기 위한 게이트 신호를 상기 복수의 게이트 라인에 시분할하여 공급하도록 구성된 게이트 구동회로;

상기 복수의 데이터 라인에 데이터 신호를 공급하도록 구성된 데이터 구동회로; 및

상기 화소 및 상기 게이트 구동회로 사이에 배치되고, 상기 터치 구간동안 발생하는 노이즈를 저감시키도록 구성된 보상 트랜지스터를 포함하는 노이즈 저감부를 포함하고,

상기 데이터 구동회로는 상기 노이즈 저감부에 상기 보상 트랜지스터의 문턱 전압의 포지티브 시프트(positive shift)를 보상할 수 있는, 보상 트랜지스터 제어 신호를 공급하도록 구성된, 액정 표시 장치.

청구항 8

제7항에 있어서,

상기 데이터 구동회로는 상기 보상 트랜지스터의 게이트 전극에 상기 보상 트랜지스터 제어 신호를 공급하도록 구성된, 액정 표시 장치.

청구항 9

제8항에 있어서,

상기 데이터 구동회로는 제어 하이 전압(TCH) 및 제어 로우 전압(TCL) 사이를 스윙하는 상기 보상 트랜지스터 제어 신호를 공급하고,

상기 제어 하이 전압은 게이트 하이 전압(VGH)이고,

상기 제어 로우 전압은 게이트 로우 전압(VGL)보다 낮은 소정의 전압인, 액정 표시 장치.

청구항 10

제7항에 있어서,

상기 표시 구간동안 상기 보상 트랜지스터 제어 신호는 상기 보상 트랜지스터의 문턱 전압을 네거티브 시프트(negative shift)시키도록 구성된, 액정 표시 장치.

청구항 11

제7항에 있어서,

상기 터치 구간동안 상기 보상 트랜지스터 제어 신호는 상기 보상 트랜지스터의 문턱 전압을 포지티브 시프트시키도록 구성된, 액정 표시 장치.

청구항 12

제8항에 있어서,

상기 표시 구간 및 상기 터치 구간에 대응되는 상기 보상 트랜지스터 제어 신호의 듀티비는,

상기 표시 구간에 대응되는 상기 보상 트랜지스터의 상기 게이트 전극과 소스 전극 사이의 전압값 및 상기 터치 구간에 대응되는 상기 보상 트랜지스터의 상기 게이트 전극과 상기 소스 전극 사이의 전압값에 기초하여 상기 보상 트랜지스터의 상기 문턱 전압의 상기 포지티브 시프트 또는 네거티브 시프트를 억제하도록 결정된, 액정 표시 장치.

청구항 13

제12항에 있어서,

상기 보상 트랜지스터 제어 신호의 듀티비는,

상기 터치 구간에 대응되는 상기 보상 트랜지스터의 문턱 전압 포지티브 시프트 속도와 상기 표시 구간에 대응되는 상기 보상 트랜지스터의 문턱 전압 네거티브 시프트 속도를 기초로 상기 포지티브 시프트 또는 네거티브 시프트를 억제하도록 결정된, 액정 표시 장치.

청구항 14

제13항에 있어서,

상기 보상 트랜지스터 제어 신호의 듀티비는,

상기 문턱 전압이 상기 포지티브 시프트 또는 네거티브 시프트를 억제하도록 설정된 범위 내에서 스윙하도록 결정된, 액정 표시 장치.

발명의 설명

기술 분야

[0001] 본 발명은 액정 표시 장치에 관한 것으로서, 보다 상세하게는 터치 구간동안 발생하는 노이즈를 저감시키는 보상 트랜지스터의 열화를 억제할 수 있는 액정 표시 장치에 관한 것이다.

배경 기술

[0002] 모바일폰, 태블릿, 노트북 컴퓨터, 텔레비전 및 모니터와 같은 다양한 전자 디바이스에 평면 패널 표시 장치 (flat panel display; FPD)가 채용되어 왔다. 최근 FPD에는 액정 표시 장치(Liquid Crystal Display Device), 유기 발광 표시 장치(Organic Light Emitting Diode Display) 등이 있다. 이와 같은 표시 장치는 복수의 화소를 포함하고, 영상이 표시되고 복수의 화소로 이루어진 화소 어레이와 복수의 화소 각각에서 광이 투과되거나 발광되도록 제어하는 구동회로를 포함한다. 표시 장치의 구동회로는 화소 어레이의 데이터 라인들에 데이터 신호를 공급하는 데이터 구동회로, 데이터 신호에 동기되는 게이트 신호(또는 스캔 신호)를 화소 어레이의 게이트 라인들(또는 스캔 라인)에 순차적으로 공급하는 게이트 구동회로(또는 스캔 구동회로) 및 데이터 구동회로와 게이트 구동회로를 제어하는 타이밍 컨트롤러 등을 포함한다.

[0003] 복수의 화소 각각은 게이트 라인을 통해 공급되는 게이트 신호에 응답하여 데이터 라인의 전압을 화소 전극에 공급하는 박막 트랜지스터(Thin Film Transistor)를 포함할 수 있다. 게이트 신호는 게이트 하이 전압(Gate High Voltage; VGH)과 게이트 로우 전압(Gate Low Voltage; VGL) 사이에서 스윙(swing)한다. 즉, 게이트 신호는 펄스 형태로 나타난다. 게이트 하이 전압(VGH)은 표시 패널에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다. 화소들의 박막 트랜지스터는 게이트 하이 전압에 응답하여 턴-온(turn-on)된다.

[0004] 최근에는 사용자의 터치 입력을 감지하는 장치인 터치 스크린 패널(Touch Screen Panel; TSP)이 탑재된 액정 표시 장치가 널리 사용되고 있다. 터치 스크린 패널은 액정 표시 장치 상부에 온-셀(on-cell) 방식으로 부착될 수 있다. 그러나, 온-셀 방식의 경우, 액정 표시 장치의 두께가 증가되고, 증가된 두께로 인해 액정 표시 장치의 시인성이 저하되는 단점이 있다. 이를 해결하기 위해, 터치 스크린 패널이 액정 표시 장치 내에 일체화된 인-셀(In-Cell) 방식의 터치 스크린 패널이 개발되었다.

[0005] 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치의 공통 전극은 터치 전극으로도 사용될 수 있다. 또한, 공통 전극과 연결된 공통 전압 라인이 터치 신호를 수신하는 터치 신호 라인으로 사용될 수도 있다. 즉, 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치는 시분할 구동을 하여, 공통 전극이 제1 시구간 동안에는 화소 전극과 전기장을 형성하는 공통 전극으로 동작하고, 제2 시구간 동안에는 터치 전극으로 동작한다. 이에, 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치는 제1 시구간을 표시 구간으로 이용하고, 제2 시구간을 터치 구간으로 이용한다.

[0006] [관련기술문헌]

[0007] 1. 표시장치 및 그 구동 방법 (한국공개특허번호 제 10-2015-0044318호)

발명의 내용

해결하려는 과제

- [0008] 본 발명의 발명자들은 상술한 바와 같이 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치에서 터치 구간동안 발생하는 게이트 신호의 노이즈, 예를 들어, 리플(ripple)이 공통 전압에 영향을 주어 터치 스크린 패널의 오동작을 유발하는 문제점을 인식하였다.
- [0009] 이에, 게이트 신호의 리플에 의한 터치 스크린 패널의 문제점을 해결하기 위해 보상 트랜지스터가 사용된다. 여기서, 보상 트랜지스터는 터치 구간동안 발생하는 게이트 신호의 리플을 빠른 시간 내에 방전시켜 공통 전압에 대한 게이트 신호의 리플에 의한 영향을 저감시킨다.
- [0010] 이와 같은 보상 트랜지스터도 터치 구간동안 높은 전압에 의한 PBTS(Positive Bias Temperature Shift)를 받음으로써, 보상 트랜지스터가 점점 열화되고, 보상 트랜지스터의 문턱 전압(Threshold Voltage; Vth)은 포지티브 시프트(positive shift)된다. 나아가, 보상 트랜지스터의 지속적인 열화로 인해 터치 구간동안 공통 전압에 리플이 억제되지 않고 터치 스크린 패널의 오동작도 억제되지 않는 문제점이 발생한다.
- [0011] 이에, 상술한 보상 트랜지스터의 포지티브 시프트로 인해 발생하는 문제를 해결하기 위해, 보상 트랜지스터의 열화로 인한 문제점을 저감시킬 수 있는 액정 표시 장치에 대한 필요성이 존재한다. 터치 스크린 패널의 오동작을 억제하는 보상 트랜지스터의 신뢰성을 향상시킬 수 있는 액정 표시 장치의 새로운 방법을 발명하였다.
- [0012] 이에, 본 발명이 해결하고자 하는 과제는 터치 구간동안 보상 트랜지스터의 포지티브 시프트를 억제할 수 있는 액정 표시 장치를 제공하는 것이다.
- [0013] 본 발명의 과제들은 이상에서 언급한 과제들로 제한되지 않으며, 언급되지 않은 또 다른 과제들은 아래의 기재로부터 당업자에게 명확하게 이해될 수 있을 것이다.

과제의 해결 수단

- [0014] 본 발명의 일 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 하나의 프레임(frame)에서 표시 구간 및 터치 구간으로 시분할 구동되도록 구성되고, 표시 영역과 비표시 영역을 포함하는 액정 표시 패널을 포함한다. 액정 표시 패널에 데이터 신호를 공급하도록 구성된 데이터 구동회로를 포함한다. 액정 표시 패널은 표시 영역에서 데이터 라인, 데이터 라인과 교차하는 게이트 라인 및 데이터 라인과 게이트 라인에 대응되는 화소가 배치된 화소 어레이, 표시 영역에 인접한 비표시 영역에 배치되고, 게이트 라인에 연결된 스테이지를 포함하고, 게이트 라인에 게이트 신호를 공급하는 게이트 구동회로, 및 화소와 스테이지 사이에 배치되고, 터치 구간동안 발생하는 노이즈를 저감시키도록 구성된 보상 트랜지스터를 포함하는 노이즈 저감부를 포함한다. 데이터 구동회로는 표시 구간동안 게이트 로우 전압(VGL)보다 낮은 전압을 갖는 보상 트랜지스터 제어 신호를 보상 트랜지스터의 게이트 전극에 공급 하도록 구성된다. 본 발명의 일 실시예에 따른 액정 표시 장치에서는 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치에서 터치 구간동안 게이트 신호의 리플의 영향을 저감시키는 보상 트랜지스터의 열화가 억제될 수 있다.
- [0015] 데이터 구동회로는 터치 구간동안 게이트 하이 전압(VGH)을 갖는 보상 트랜지스터 제어 신호를 보상 트랜지스터의 게이트 전극에 공급하도록 구성될 수 있다.
- [0016] 데이터 구동회로는 게이트 하이 전압의 듀티비(duty rate)가 하나의 프레임에 대한 터치 구간의 비율에 대응하는 보상 트랜지스터 제어 신호를 보상 트랜지스터의 게이트 전극에 공급하도록 구성될 수 있다.
- [0017] 보상 트랜지스터는 게이트 라인에 연결된 드레인 전극 및 게이트 로우 전압(VGL) 라인에 연결된 소스 전극을 포함할 수 있다.
- [0018] 터치 구간동안 보상 트랜지스터의 게이트 전극의 전압에서 소스 전극의 전압을 뺀 값은 양수일 수 있다.
- [0019] 표시 구간동안 보상 트랜지스터의 게이트 전극의 전압에서 소스 전극의 전압을 뺀 값은 음수일 수 있다.
- [0020] 본 발명의 다른 실시예에 따른 액정 표시 장치가 제공된다. 액정 표시 장치는 표시 구간동안 턴-온(turn-on)되도록 구성되고 터치 구간동안 턴-오프(turn-off)되도록 구성된, 구동 트랜지스터를 포함하는 화소가 표시 영역에서 복수의 데이터 라인 및 복수의 게이트 라인이 교차된 영역 각각에 대응하여 배치된 화소 어레이를 포함한다. 게이트 구동회로는 표시 영역에 인접한 비표시 영역에 배치되고, 구동 트랜지스터를 턴-온 하기 위한 게

트 신호를 복수의 게이트 라인에 시분할하여 공급하도록 구성된다. 데이터 구동회로는 복수의 데이터 라인에 데이터 신호를 공급하도록 구성된다. 노이즈 저감부는 화소 및 게이트 구동회로 사이에 배치되고, 터치 구간동안 발생하는 노이즈를 저감시키도록 구성된 보상 트랜지스터를 포함한다. 데이터 구동회로는 노이즈 저감부에 보상 트랜지스터의 문턱 전압의 포지티브 시프트(positive shift)를 보상할 수 있는, 보상 트랜지스터 제어 신호를 공급하도록 구성된다. 본 발명의 다른 실시예에 따른 액정 표시 장치에서는 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치에서 터치 스크린 패널의 오동작을 억제하는 보상 트랜지스터의 신뢰성이 향상될 수 있다.

- [0021] 데이터 구동회로는 보상 트랜지스터의 게이트 전극에 보상 트랜지스터 제어 신호를 공급하도록 구성될 수 있다.
- [0022] 데이터 구동회로는 제어 하이 전압(TCH) 및 제어 로우 전압(TCL) 사이를 스윙하는 보상 트랜지스터 제어 신호를 공급하고, 제어 하이 전압은 게이트 하이 전압(VGH)이고, 제어 로우 전압은 게이트 로우 전압(VGL)보다 낮은 소정의 전압일 수 있다.
- [0023] 표시 구간동안 보상 트랜지스터 제어 신호는 보상 트랜지스터의 문턱 전압을 네거티브 시프트(negative shift)시키도록 구성될 수 있다.
- [0024] 터치 구간동안 보상 트랜지스터 제어 신호는 보상 트랜지스터의 문턱 전압을 포지티브 시프트시키도록 구성될 수 있다.
- [0025] 표시 구간 및 터치 구간에 대응되는 보상 트랜지스터 제어 신호의 듀티비는 표시 구간에 대응되는 보상 트랜지스터의 게이트 전극과 소스 전극 사이의 전압값 및 터치 구간에 대응되는 보상 트랜지스터의 게이트 전극과 소스 전극 사이의 전압값에 기초하여 보상 트랜지스터의 문턱 전압의 포지티브 시프트 또는 네거티브 시프트를 억제하도록 결정될 수 있다.
- [0026] 보상 트랜지스터 제어 신호의 듀티비는 터치 구간에 대응되는 보상 트랜지스터의 문턱 전압 포지티브 시프트 속도와 표시 구간에 대응되는 보상 트랜지스터의 문턱 전압 네거티브 시프트 속도를 기초로 포지티브 시프트 또는 네거티브 시프트를 억제하도록 결정될 수 있다.
- [0027] 보상 트랜지스터 제어 신호의 듀티비는 문턱 전압이 포지티브 시프트 또는 네거티브 시프트를 억제하도록 설정된 범위 내에서 스윙하도록 결정될 수 있다.
- [0028] 기타 실시예의 구체적인 사항들은 상세한 설명 및 도면들에 포함되어 있다.

발명의 효과

- [0029] 본 발명은 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치에서 터치 구간동안 게이트 신호의 리플의 영향을 저감시키는 보상 트랜지스터의 열화를 억제하는 보상 트랜지스터 제어 신호를 공급하는 데이터 구동회로를 포함하는 액정 표시 장치를 제작할 수 있다.
- [0030] 본 발명에 따른 효과는 이상에서 예시된 내용에 의해 제한되지 않으며, 더욱 다양한 효과들이 본 명세서 내에 포함되어 있다.

도면의 간단한 설명

- [0031] 도 1은 본 발명의 일 실시예에 따른 액정 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다.
- 도 2는 본 발명의 일 실시예에 따른 게이트 구동회로의 스테이지, 노이즈 저감부 및 이들에 공급되는 제어 신호의 관계를 나타내는 블록도이다.
- 도 3은 본 발명의 일 실시예에 따른 화소 어레이, 게이트 구동회로 및 노이즈 저감부 사이의 관계를 나타내는 개략적인 회로도이다.
- 도 4는 비교예에 따른 보상 트랜지스터에 공급되는 신호를 나타내는 파형도이다.
- 도 5는 비교예에 따른 시간에 대한 보상 트랜지스터의 문턱 전압을 나타내는 그래프이다.
- 도 6은 본 발명의 일 실시예에 따른 보상 트랜지스터에 공급되는 신호를 나타내는 파형도이다.
- 도 7은 본 발명의 일 실시예에 따른 시간에 대한 보상 트랜지스터의 문턱 전압을 나타내는 그래프이다.

발명을 실시하기 위한 구체적인 내용

- [0032] 본 발명의 이점 및 특징, 그리고 그것들을 달성하는 방법은 첨부되는 도면과 함께 상세하게 후술되어 있는 실시예들을 참조하면 명확해질 것이다. 그러나 본 발명은 이하에서 개시되는 실시예들에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 것이며, 단지 본 실시예들은 본 발명의 개시가 완전하도록 하며, 본 발명이 속하는 기술분야에서 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이며, 본 발명은 청구항의 범주에 의해 정의될 뿐이다.
- [0033] 본 발명의 실시예를 설명하기 위한 도면에 개시된 형상, 크기, 비율, 각도, 개수 등은 예시적인 것이므로 본 발명이 도시된 사항에 한정되는 것은 아니다. 또한, 본 발명을 설명함에 있어서, 관련된 공지 기술에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우 그 상세한 설명은 생략한다. 본 명세서 상에서 언급된 '포함한다', '갖는다', '이루어진다' 등이 사용되는 경우 '~만'이 사용되지 않는 이상 다른 부분이 추가될 수 있다. 구성요소를 단수로 표현한 경우에 특별히 명시적인 기재 사항이 없는 한 복수를 포함하는 경우를 포함한다.
- [0034] 구성요소를 해석함에 있어서, 별도의 명시적 기재가 없더라도 오차 범위를 포함하는 것으로 해석한다.
- [0035] 위치 관계에 대한 설명일 경우, 예를 들어, '~상에', '~상부에', '~하부에', '~옆에' 등으로 두 부분의 위치 관계가 설명되는 경우, '바로' 또는 '직접'이 사용되지 않는 이상 두 부분 사이에 하나 이상의 다른 부분이 위치할 수도 있다.
- [0036] 소자 또는 층이 다른 소자 또는 층 위 (on)로 지칭되는 것은 다른 소자 바로 위에 또는 중간에 다른 층 또는 다른 소자를 개재한 경우를 모두 포함한다.
- [0037] 비록 제1, 제2 등이 다양한 구성요소들을 서술하기 위해서 사용되나, 이들 구성요소들은 이들 용어에 의해 제한되지 않는다. 이들 용어들은 단지 하나의 구성요소를 다른 구성요소와 구별하기 위하여 사용하는 것이다. 따라서, 이하에서 언급되는 제1 구성요소는 본 발명의 기술적 사상 내에서 제2 구성요소일 수도 있다.
- [0038] 명세서 전체에 걸쳐 동일 참조 부호는 동일 구성 요소를 지칭한다.
- [0039] 도면에서 나타난 각 구성의 크기 및 두께는 설명의 편의를 위해 도시된 것이며, 본 발명이 도시된 구성의 크기 및 두께에 반드시 한정되는 것은 아니다.
- [0040] 본 발명의 여러 실시예들의 각각 특징들이 부분적으로 또는 전체적으로 서로 결합 또는 조합 가능하며, 당업자가 충분히 이해할 수 있듯이 기술적으로 다양한 연동 및 구동이 가능하며, 각 실시예들이 서로에 대하여 독립적으로 실시 가능할 수도 있고 연관 관계로 함께 실시 가능할 수도 있다.
- [0041] 이하, 첨부된 도면을 참조하여 본 발명의 다양한 실시예들을 상세히 설명한다.
- [0042] 도 1은 본 발명의 일 실시예에 따른 표시 장치의 구동회로 및 구동회로의 관계를 나타내는 블록도이다. 도 1을 참조하면, 액정 표시 장치(100)는 액정 표시 패널(PNL)과 액정 표시 패널(PNL)의 화소 어레이(pixel array)(110)에 입력 영상의 데이터를 입력하기 위한 구동회로를 포함한다. 액정 표시 장치(100)는 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치로서, 화소의 공통 전극(Ec)은 터치 스크린 패널의 터치 전극으로 사용된다. 이하, 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치(100)를 기준으로 설명한다.
- [0043] 도 1을 참조하면, 액정 표시 패널(PNL)은 복수의 데이터 라인(139), 복수의 데이터 라인(139)과 직교하는 복수의 게이트 라인(149), 및 복수의 데이터 라인(150)과 복수의 게이트 라인(149)에 의해 정의된 매트릭스 형태로 화소들이 배치된 화소 어레이(110)를 포함한다. 화소 어레이(110)의 화소마다 화소 각각을 구동하는 구동 트랜지스터(TFT)가 배치되고, 구동 트랜지스터(TFT)는 게이트 라인(149)을 통해 게이트 신호가 입력되는 게이트 전극, 데이터 라인(139)을 통해 데이터 신호가 입력되는 소스 전극 및 화소 전극(Ep)에 연결되는 드레인 전극을 포함한다. 이러한 화소는 구동 트랜지스터(TFT)는 하나의 프레임(frame)에서 표시 구간동안에는 턴-온(turn-on)되고 터치 구간동안에는 턴-오프(turn-off)된다.
- [0044] 도 1을 참조하면, 액정 표시 장치(100)의 구동회로는 복수의 데이터 라인(139)에 데이터 전압을 공급하는 데이터 구동회로(130), 데이터 전압에 동기되는 게이트 신호를 복수의 게이트 라인(149)에 순차적으로 공급하는 게이트 구동회로(140) 및 타이밍 컨트롤러(Timing Controller, TCON)(120)를 포함한다.
- [0045] 타이밍 컨트롤러(120)는 외부의 호스트 시스템으로부터 수신된 입력 영상의 데이터를 데이터 구동회로(130) 및

게이트 구동회로(140)로 전송한다. 타이밍 콘트롤러(120)는 외부의 호스트 시스템으로부터 입력 영상에 동기되는 수직 동기신호, 수평 동기신호, 데이터 인에이블 신호 및 도트 클럭 등의 타이밍 신호를 수신한다. 타이밍 콘트롤러(120)는 입력된 타이밍 신호를 기준으로 데이터 구동회로(130)와 게이트 구동회로(140)의 동작 타이밍을 제어하기 위한 다양한 제어 신호를 생성한다. 즉, 타이밍 콘트롤러(120)는 데이터 구동회로(130)를 제어하기 위한 데이터 드라이버 제어 신호(Data Driver Control signal; DDC)를 생성하고, 게이트 구동회로(140)를 제어하기 위한 게이트 드라이버 제어 신호(Gate Driver Control signal; GDC)를 생성한다. 이러한 타이밍 콘트롤러(120)는 액정 표시 패널(PNL)의 외부에 배치될 수 있다. 구체적으로, 타이밍 콘트롤러(120)는 인쇄 회로 기판에 배치될 수 있다. 이에 따라, 타이밍 콘트롤러(120)는 액정 표시 패널(PNL)의 외부에서 데이터 드라이버 제어 신호(DDC)를 데이터 구동회로(130)로 전송하고, 게이트 드라이버 제어 신호(GDC)를 게이트 드라이버로 전송한다. 단 이에 제한되지 않으며 타이밍 콘트롤러(120)는 액정 표시 패널(PNL)의 내부에 배치되는 것도 가능하다. 또한 타이밍 콘트롤러(120)는 데이터 구동회로(130)와 일체화되는 것도 가능하다.

[0046] 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 입력 영상의 데이터와 데이터 드라이버 제어 신호(DDC)를 수신한다. 데이터 구동회로(130)는 타이밍 콘트롤러(120)로부터 전송되는 데이터 드라이버 제어 신호(DDC)에 의해 입력 영상의 데이터를 감마 보상 전압으로 변환하여 데이터 전압을 생성하고, 데이터 전압을 복수의 데이터 라인(139)로 출력한다. 데이터 구동회로(130)는 복수의 소스 전극 드라이버 IC(Integrated Circuit)를 포함한다. 소스 전극 드라이버 IC는 COG(Chip On Glass) 공정이나 TAB(Tape Automated Bonding) 공정에 의해 복수의 데이터 라인(139)에 접속된다.

[0047] 또한, 데이터 구동회로(130)는 다양한 제어 신호를 액정 표시 패널(PNL)에 공급할 수 있다. 예를 들어, 데이터 구동회로(130)는 게이트 로우 전압(VGL) 및 게이트 하이 전압(VGH)을 생성하여 액정 표시 패널(PNL)에 공급할 수 있다.

[0048] 게이트 구동회로(140)는 GIP(Gate in panel) 회로로 구현될 수 있다. 게이트 구동회로(140)는 레벨 시프터(Level shifter)로부터 전송되는 신호를 수신하여 GIP 회로를 구동시켜 게이트 신호를 게이트 라인(149)에 공급한다. 여기서, 레벨 시프터는 GIP 회로와 물리적으로 분리되어 액정 표시 패널(PNL)의 외부에 배치될 수 있으며, 액정 표시 패널(PNL)에 연결된 외부 회로부(예를 들어, 인쇄 회로 기판)에 배치될 수 있다. 단 이에 제한되지 않으며, 레벨 시프터는 게이트 구동회로(140)와 일체화될 수 있다. 도 1에서는 게이트 구동회로(140)가 액정 표시 패널(PNL)의 일측에만 배치된 것으로 도시되었으나, 실시예에 따라 액정 표시 패널(PNL)의 양측에 배치될 수 있고, 게이트 구동회로(140)가 액정 표시 패널(PNL)에서 배치되는 위치는 이에 한정되지 않는다. 이하, 게이트 구동회로(140)는 GIP 회로인 것을 기준으로 설명한다.

[0049] 타이밍 콘트롤러(120)로부터 전송되는 게이트 드라이버 제어 신호(GDC)는 레벨 시프터에 의해 전압 레벨이 변환되어 GIP 회로에 입력된다. 레벨 시프터에 입력되는 신호는 디지털 신호이기 때문에 액정 표시 패널(PNL)의 박막 트랜지스터들을 구동할 수 없다. 이에, 레벨 시프터는 타이밍 콘트롤러(120)로부터 전송된 게이트 드라이버 제어 신호(GDC) 각각의 전압을 시프트(shift)하여 게이트 로우 전압(VGL)과 게이트 하이 전압(VGH) 사이에서 스윙하는 전압을 갖는 신호로 변환한다. 게이트 하이 전압(VGH)은 액정 표시 패널(PNL)에 형성된 박막 트랜지스터의 문턱 전압보다 높은 전압으로 설정되고, 게이트 로우 전압(VGL)은 박막 트랜지스터의 문턱 전압보다 낮은 전압으로 설정된다. 이와 같이, 레벨 시프터에서 변환된 신호는 GIP 회로를 통해 시분할되어 게이트 라인 각각에 공급된다.

[0050] 도 1을 참조하면, 액정 표시 장치(100)는 화소 어레이(110)와 게이트 구동회로(140) 사이에 배치된 노이즈 저감부(150)를 더 포함한다.

[0051] 노이즈 저감부(150)는 터치 구간동안 발생하는 게이트 신호의 노이즈가 공통 전압에 주는 영향을 저감시키도록 구성된다. 노이즈 저감부(150)는 게이트 구동회로(140)에서 출력된 게이트 신호를 수신하고, 게이트 신호의 리플과 같은 노이즈를 저감시켜 화소 어레이(110)에 공급한다. 이에 따라, 노이즈 저감부(150)는 화소 어레이(110)의 화소에 터치 구간동안 발생하는 노이즈를 저감시켜 공통 전압의 노이즈를 감소시킬 수 있다.

[0052] 특히, 노이즈 저감부(150)는 데이터 구동회로(130)로부터 제어 신호를 수신하여 구동될 수 있다. 데이터 구동회로(130)로부터 수신하는 구체적인 제어 신호의 파형 및 특성에 대해서는 도 6 및 도 7을 참조하여 후술한다.

[0053] 본 발명의 일 실시예에 따른 액정 표시 장치(100)는 화소 어레이(110)를 구동하기 위한 타이밍 콘트롤러(120), 데이터 구동회로(130), 게이트 구동회로(140) 및 노이즈 저감부(150)를 포함한다. 여기서, 노이즈 저감부(150)는 터치 구간동안에 입력되는 게이트 신호에서 노이즈를 저감시키므로, 게이트 신호에 포함된 노이즈에 의한 공

통 전압의 노이즈를 감소시킨다. 이에 따라, 공통 전압의 노이즈에 의한 터치 스크린 패널의 오동작도 저감된다. 노이즈 저감부(150)의 구체적인 구성에 대해서는 도 2 및 도 3을 참조하여 후술한다.

- [0054] 도 2는 본 발명의 일 실시예에 따른 게이트 구동회로의 스테이지, 노이즈 저감부 및 이들에 공급되는 제어 신호의 관계를 나타내는 블록도이다. 도 3은 본 발명의 일 실시예에 따른 화소 어레이, 게이트 구동회로 및 노이즈 저감부 사이의 관계를 나타내는 개략적인 회로도이다.
- [0055] 도 2 및 도 3을 참조하면, 게이트 구동회로(140)는 화소 어레이(110)로부터 이격되어 화소 어레이(110)의 일측에 배치된다. 게이트 구동회로(140)는 복수의 스테이지를 포함한다. 각각의 스테이지는 시프트 레지스터로 구성될 수 있다. 구체적으로, 화소 어레이(110)의 좌측에 배치된 게이트 구동회로(140)는 종속적으로 접속된 복수의 스테이지(ST1 내지 STn)를 포함한다. 나아가, 스테이지(ST1 내지 STn) 각각은 Q 노드에 연결된 게이트 전극을 포함하는 풀-업(pull-up) 트랜지스터(PU1 내지 PUn) 및 QB 노드에 연결된 게이트 전극 및 게이트 로우 전압(VGL) 라인에 연결된 소스 전극을 포함하는 풀-다운(pull-down) 트랜지스터(PD1 내지 PDn)를 포함한다. 여기서, 스테이지(ST1 내지 STn)는 풀-업 트랜지스터(PU1 내지 PUn) 및 풀-다운 트랜지스터(PD1 내지 PDn) 중 하나의 출력을 게이트 신호로 출력한다.
- [0056] 제1 스테이지(ST1)를 제외한 제k 스테이지(STk)에 입력되는 제1 캐리 신호(Gout_Pre)는 제k-1 스테이지(STk-1)의 출력(Gout)이고, 마지막 스테이지(STn)를 제외한 제k 스테이지(STk)에 입력되는 제2 캐리 신호(Gout_Post)는 제k+1 스테이지(STk+1)의 출력(Gout)이다. 제1 스테이지(ST1)에는 제1 캐리 신호(Gout_Pre)가 입력되지 않고 스타트 펄스(VST)가 입력된다. 마지막 스테이지(STn)에는 제2 캐리 신호(Gout_Post)가 입력되지 않고 더미 스테이지(Dummy stage)(End Generator; EG)로부터 리셋 펄스가 입력된다. 여기서, n은 게이트 라인의 수이며, k는 1 내지 n 사이의 임의의 정수이다. 예를 들어, n은 1920일 수 있다.
- [0057] 구체적으로, 게이트 구동회로(140)의 스테이지(ST1 내지 STn)는 스타트 펄스(VST)에 응답하여 게이트 신호를 출력하기 시작한다. 스테이지(ST1 내지 STn) 각각으로부터 출력된 게이트 신호는 게이트 라인(G1 내지 Gn)에 공급됨과 동시에 제1 캐리 신호(Gout_Pre)로서 다음 스테이지에 입력된다.
- [0058] 게이트 구동회로(140)는 게이트 드라이버 제어 신호(GDC)를 수신하여 전압을 출력한다. 즉, 게이트 구동회로(140)는 복수의 스테이지(ST1 내지 STn)를 통해 레벨 시프터에서 생성된 게이트 신호를 게이트 드라이버 제어 신호(GDC)에 의해 게이트 라인(G1 내지 Gn)에 순차적으로 공급한다. 여기서, 게이트 드라이버 제어 신호(GDC)는 스타트 펄스(Gate Start Pulse; GSP)(VST) 및 시프트 클럭(Gate Shift Clock; GSC)(CLK) 등을 포함한다. 이에 따라, 게이트 구동회로(140)는 게이트 라인들(G1, G2, ..., Gn)에 게이트 신호를 순차적으로 공급한다.
- [0059] 게이트 구동회로(140)는 출력을 발생하지 않고 이전 스테이지에 제2 캐리 신호(Gout_Post)를 공급하는 더미 스테이지(EG)를 포함한다. 즉, 게이트 구동회로(140)는 마지막 스테이지(STn)의 다음 스테이지로 더미 스테이지(EG)를 포함한다. 즉, 마지막 게이트 신호를 출력하는 마지막 스테이지(STn)에는 더미 스테이지(EG)가 연결되고, 더미 스테이지(EG)는 게이트 신호를 출력하지 않고 마지막 스테이지(STn)에 제2 캐리 신호(Gout_Post)를 공급한다.
- [0060] 또한, 게이트 구동회로(140)의 스테이지(ST1 내지 STn)에는 시프트 클럭(CLK)이 입력된다. 시프트 클럭(CLK)은 제1 캐리 신호(Gout_Pre) 및 제2 캐리 신호(Gout_Post)가 게이트 구동회로(140)에 입력되는 타이밍을 제어한다.
- [0061] 도 2 및 도 3을 참조하면, 노이즈 저감부(150)는 게이트 라인(G1 내지 Gn) 각각에 연결된 보상 트랜지스터(TT1 내지 TTn)를 포함한다. 구체적으로, 보상 트랜지스터(TT1 내지 TTn) 각각은 보상 트랜지스터 제어(Tail TFT Control Signal; TCS) 라인 각각에 연결된 게이트 전극, 게이트 라인(G1 내지 Gn) 각각에 연결된 드레인 전극 및 게이트 로우 전압(VGL) 라인에 연결된 소스 전극을 포함한다. 이에 따라, 노이즈 저감부(150)는 게이트 라인(G1 내지 Gn)의 수만큼 보상 트랜지스터(TT1 내지 TTn)를 갖는다.
- [0062] 여기서, 노이즈 저감부(150)는 표시 구간동안에는 턴-오프되어, 스테이지(ST1 내지 STn)에서 게이트 라인(G1 내지 Gn)에 공급하는 게이트 신호를 그대로 화소 어레이(110)에 전달한다. 반면, 노이즈 저감부(150)는 터치 구간동안에는 턴-온되어, 게이트 라인(G1 내지 Gn)에 연결된 드레인 전극에 게이트 로우 전압(VGL)이 공급된다. 이에 따라, 터치 구간동안에는 게이트 라인(G1 내지 Gn)을 통해 화소 어레이(110)에는 게이트 로우 전압(VGL)만이 전달되므로, 게이트 라인(G1 내지 Gn)을 통해 화소 어레이(110)에 전달되는 스테이지(ST1 내지 STn)에서 생성된 게이트 신호의 노이즈(예를 들어, 리플)가 저감된다. 즉, 터치 구간동안에는 노이즈 저감부(150)의 보상 트랜지스터(TT1 내지 TTn)가 활성화되어 화소 어레이(110)에 전달되는 노이즈가 저감된다.
- [0063] 본 발명의 일 실시예에 따른 인-셀 방식의 터치 스크린 패널이 적용된 액정 표시 장치(100)는 화소 어레이(110)

및 게이트 구동회로(140) 사이에 배치된 노이즈 저감부(150)를 포함한다. 노이즈 저감부(150)의 보상 트랜지스터(TT1 내지 TTn)는 표시 구간동안에는 턴-오프되어 게이트 구동회로(140)가 생성한 게이트 신호를 화소 어레이(110)에 전달한다. 반면, 노이즈 저감부(150)의 보상 트랜지스터(TT1 내지 TTn)는 터치 구간동안에는 턴-온되어 게이트 로우 전압(VGL)을 화소 어레이(110)에 공급하여, 터치 구간동안 게이트 구동회로(140)에서 발생할 수 있는 게이트 신호의 노이즈가 화소 어레이(110)에 전달되지 않도록 억제한다. 이에 따라, 노이즈 저감부(150)는 화소 어레이(110)에 전달되는 노이즈를 저감시킨다.

[0064] 이와 같이, 노이즈 저감부(150)는 보상 트랜지스터(TT1 내지 TTn)의 동작에 의해 터치 구간동안 화소 어레이(110)에 전달되는 게이트 신호의 노이즈를 저감시킬 수 있는바, 보상 트랜지스터(TT1 내지 TTn)의 소자 특성(예를 들어, 문턱 전압 특성)을 유지하는 것은 터치 구간동안 화소 어레이(110)에 전달되는 게이트 신호의 노이즈를 저감시키는데 중요한 요인이 된다. 구체적으로, 보상 트랜지스터(TT1 내지 TTn)의 문턱 전압(V_{th})은 게이트 전극(G)과 소스 전극(S) 사이의 전압(V_{gs})의 바이어스(bias)에 의해 열화된다. 게이트 전극(G)과 소스 전극(S) 사이의 전압(V_{gs})이 양수인 경우 보상 트랜지스터(TT1 내지 TTn)의 문턱 전압(V_{th})은 포지티브 시프트되고, 게이트 전극(G)과 소스 전극(S) 사이의 전압(V_{gs})이 음수인 경우 보상 트랜지스터(TT1 내지 TTn)의 문턱 전압(V_{th})은 네거티브 시프트된다. 이에, 장시간 동안 트랜지스터(TT1 내지 TTn)의 문턱 전압(V_{th})이 시프트되면, 트랜지스터(TT1 내지 TTn)의 특성이 열화된다. 이에 따라, 보상 트랜지스터(TT1 내지 TTn)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(V_{gs})은 터치 구간동안 화소 어레이(110)에 전달되는 게이트 신호의 노이즈를 억제하는 효율에 영향을 줄 수 있다.

[0065] 이에, 데이터 구동회로(130)는 보상 트랜지스터(TT1 내지 TTn)의 문턱 전압(V_{th})의 포지티브 시프트를 억제하도록 보상 트랜지스터 제어(TCS) 라인을 통해 노이즈 저감부(150)에 보상 트랜지스터 제어 신호를 공급한다. 노이즈 저감부(150)의 보상 트랜지스터(TT1 내지 TTn)에 공급되는 보상 트랜지스터 제어 신호 및 이에 따른 보상 트랜지스터(TT1 내지 TTn)의 문턱 전압(V_{th}) 특성의 변화에 대해서는 이하 도 4 내지 도 7을 참조하여 비교예와 본 발명의 일 실시예를 비교하여 후술한다.

[0066] 도 4는 비교예에 따른 보상 트랜지스터에 공급되는 신호를 나타내는 파형도이다. 도 5는 비교예에 따른 시간에 대한 보상 트랜지스터의 문턱 전압을 나타내는 그래프이다. 도 4 및 도 5는 도 3의 액정 표시 장치(100)에서 제1 스테이지(ST1) 및 제1 데이터 라인(D1) 및 제1 게이트 라인(G1)이 교차된 영역에 배치된 화소 사이에 배치된 노이즈 저감부(150) 및 제1 보상 트랜지스터(TT1)를 기준으로 도시된 비교예에 따른 파형도와 그래프이다. 설명의 편의를 위해 도 3을 참조하여 후술한다.

[0067] 도 4를 참조하면, 하나의 프레임은 10.7msec의 표시 구간 및 6msec의 터치 구간으로 구성된다. 즉, 하나의 프레임은 16.7msec이고, 액정 표시 장치(100)는 60Hz로 구동한다.

[0068] 도 3 및 도 4를 참조하면, 제1 보상 트랜지스터(TT1)의 게이트 전극(G)에는 보상 트랜지스터 제어(TCS) 라인을 통해 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL) 사이를 스윙하는 게이트 전압(VG)이 인가된다. 구체적으로, 표시 구간동안에는 보상 트랜지스터 제어(TCS) 라인을 통해 제1 보상 트랜지스터(TT1)의 게이트 전극(G)에 게이트 로우 전압(VGL)이 인가되고, 터치 구간동안에는 보상 트랜지스터 제어(TCS) 라인을 통해 제1 보상 트랜지스터(TT1)의 게이트 전극(G)에 게이트 하이 전압(VGH)이 인가된다.

[0069] 도 3 및 도 4를 참조하면, 제1 보상 트랜지스터(TT1)의 소스 전극(S)에는 게이트 로우 전압(VGL)이 인가된다. 즉, 제1 보상 트랜지스터(TT1)의 소스 전극(S)은 게이트 로우 전압(VGL) 라인에 직접 연결되어 있으므로, 제1 보상 트랜지스터(TT1)의 소스 전극(S)에는 표시 구간 및 터치 구간동안 계속 게이트 로우 전압(VGL)이 인가된다.

[0070] 도 3 및 도 4를 참조하면, 제1 보상 트랜지스터(TT1)의 드레인 전극에는 제1 게이트 라인(G1)에 공급되는 게이트 신호가 인가된다. 구체적으로, 표시 구간동안에는 제1 보상 트랜지스터(TT1)의 드레인 전극(D)에 게이트 로우 전압(VGL)이 인가되어 제1 보상 트랜지스터(TT1)가 턴-오프된다. 제1 보상 트랜지스터(TT1)의 드레인 전극(D)은 제1 스테이지(ST1)의 출력 전압 노드와 제1 게이트 라인(G1)으로 연결되어 있다. 이에 따라, 제1 보상 트랜지스터(TT1)의 드레인 전극(D)에는 표시 구간동안 제1 게이트 라인(G1)에 공급되는 게이트 신호가 그대로 인가된다. 한편, 터치 구간동안에는 제1 보상 트랜지스터(TT1)의 게이트 전극(G)에 게이트 하이 전압(VGH)이 인가되어 제1 보상 트랜지스터(TT1)가 턴-온된다. 제1 보상 트랜지스터(TT1)가 턴-온되면, 제1 보상 트랜지스터(TT1)의 드레인 전극(D)이 소스 전극(S)과 채널을 통해 연결된다. 이에 따라, 제1 보상 트랜지스터(TT1)의 드레인 전극(D)에는 터치 구간동안 소스 전극(S)에 연결된 게이트 로우 전압(VGL)이 그대로 인가된다.

- [0071] 도 3 및 도 4를 참조하면, 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 0V로부터 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)을 뺀 전압 사이를 스윙한다. 구체적으로, 표시 구간 동안에 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 0V이고, 터치 구간 동안에 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)을 뺀 전압이다. 예를 들어, 게이트 하이 전압(VGH)이 14V이고, 게이트 로우 전압(VGL)이 -12V인 경우, 터치 구간 동안 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 26V이다.
- [0072] 이에 따라, 제1 보상 트랜지스터(TT1)에 표시 구간 동안 게이트 전극(G)과 소스 전극(S) 사이에는 0V만 인가되고, 터치 구간 동안 게이트 전극(G)과 소스 전극(S) 사이에는 항상 양의 전압(positive voltage)만이 인가된다. 즉, 제1 보상 트랜지스터(TT1)는 하나의 프레임 동안 항상 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)이 0V보다 크거나 같다. 다시 말해, 제1 보상 트랜지스터(TT1)에는 계속 포지티브 바이어스 전압만 인가된다. 이와 같이 제1 보상 트랜지스터(TT1)에 포지티브 바이어스 전압만이 인가되는 경우, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)도 포지티브 시프트만 이루어진다.
- [0073] 도 4 및 도 5를 참조하면, 제1 보상 트랜지스터(TT1)에 포지티브 바이어스 전압만이 인가됨에 따라, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)도 시간이 지남에 따라 지속적으로 포지티브 시프트된다. 이에 따라, 오랜 시간이 지난 후 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)은 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)과 동일해진다. 예를 들어, 액정 표시 장치(100)를 구동한지 10시간이 지나면, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)은 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)의 최댓값인 26V로 수렴한다.
- [0074] 여기서, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)이 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)과 동일해지면, 터치 구간에서도 제1 보상 트랜지스터(TT1)는 턴-온되지 않는다. 즉, 제1 보상 트랜지스터(TT1)는 계속 턴-오프 상태로 유지된다. 제1 보상 트랜지스터(TT1)가 턴-오프 상태인 경우, 표시 구간에서와 같이 터치 구간에서도 제1 보상 트랜지스터(TT1)는 드레인 전극(D)을 통해 게이트 신호를 그대로 화소에 전달한다.
- [0075] 이에 따라, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)이 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)과 동일해지면, 제1 보상 트랜지스터(TT1)는 항상 턴-오프 상태에 있으므로, 터치 구간에서 게이트 신호의 노이즈도 그대로 화소에 전달된다.
- [0076] 이에, 비교예에 따른 제1 보상 트랜지스터(TT1)가 열화됨에 따라 터치 구간 동안 제1 보상 트랜지스터(TT1)가 동작하지 않게 되고, 노이즈 저감부(150)는 게이트 신호의 노이즈를 그대로 화소 어레이(110)에 전달하여 노이즈를 저감하는 역할을 하지 못한다.
- [0077] 도 6은 본 발명의 일 실시예에 따른 보상 트랜지스터에 공급되는 신호를 나타내는 파형도이다. 도 7은 본 발명의 일 실시예에 따른 시간에 대한 보상 트랜지스터의 문턱 전압을 나타내는 그래프이다. 도 6 및 도 7은 도 3의 액정 표시 장치(100)에서 제1 스테이지(ST1) 및 제1 데이터 라인(D1) 및 제1 게이트 라인(G1)이 교차된 영역에 배치된 화소 사이에 배치된 노이즈 저감부(150) 및 제1 보상 트랜지스터(TT1)를 기준으로 도시된 본 발명의 일 실시예에 따른 파형도와 그래프이다. 도 6에 도시된 파형도는 도 4에 도시된 파형도에서 제1 보상 트랜지스터(TT1)의 게이트 전압(VG) 및 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)이 상이할 뿐, 나머지 파형도의 실질적인 구성은 동일한 바, 중복 설명은 생략한다. 설명의 편의를 위해 도 1 및 도 3을 참조하여 후술한다.
- [0078] 도 3 및 도 6을 참조하면, 제1 보상 트랜지스터(TT1)의 게이트 전극(G)에는 보상 트랜지스터 제어(TCS) 라인을 통해 보상 트랜지스터 제어 신호가 인가된다. 다시 말해, 데이터 구동회로(130)는 제1 보상 트랜지스터(TT1)의 게이트 전극(G)에 보상 트랜지스터 제어 신호를 공급한다. 구체적으로, 보상 트랜지스터 제어 신호는 표시 구간 동안 제어 로우 전압(TCL)을 갖고, 터치 구간 동안 제어 하이 전압(TCH)을 갖는다. 즉, 보상 트랜지스터 제어 신호는 제어 하이 전압(TCH)에서 제어 로우 전압(TCL) 사이를 스윙한다. 여기서, 제어 하이 전압(TCH)은 게이트 하이 전압(VGH)일 수 있다. 제어 로우 전압(TCL)은 게이트 로우 전압(VGL)보다 낮은 전압이다. 예를 들어, 제어 하이 전압(TCH)은 14V이고, 제어 로우 전압(TCL)은 -20V이다.
- [0079] 이에 따라, 데이터 구동회로(130)는 보상 트랜지스터 제어(TCS) 라인을 통해 표시 구간 동안 게이트 로우 전압(VGL)보다 낮은 제어 로우 전압(TCL)을 갖고 터치 구간 동안 게이트 하이 전압(VGH)과 같은 제어 하이 전압(TCH)을 갖는 보상 트랜지스터 제어 신호를 노이즈 저감부(150)에 공급한다.

[0080] 도 3 및 도 6을 참조하면, 제1 보상 트랜지스터(TT1)의 게이트 전극과 소스 전극 사이의 전압(Vgs)은 제어 로우 전압(TCL)에서 게이트 로우 전압(VGL)을 뺀 전압으로부터 제어 하이 전압(TCH)에서 게이트 로우 전압(VGL)을 뺀 전압 사이를 스윙한다. 표시 구간동안에 제어 로우 전압(TCL)은 게이트 로우 전압(VGL)보다 낮으므로, 표시 구간동안 제1 보상 트랜지스터(TT1)의 게이트 전극과 소스 전극 사이의 전압(Vgs)은 0V보다 작다.

[0081] 터치 구간동안에 제어 하이 전압(TCH)이 게이트 하이 전압(VGH)인 경우, 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 게이트 하이 전압(VGH)에서 게이트 로우 전압(VGL)을 뺀 전압이다. 또한, 표시 구간동안에 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 제어 로우 전압(TCL)에서 게이트 로우 전압(VGL)을 뺀 전압이다. 예를 들어, 제어 하이 전압(TCH) 및 게이트 하이 전압(VGH)이 14V이고, 제어 로우 전압(TCL)은 -20V이고, 게이트 로우 전압(VGL)이 -12V인 경우, 터치 구간동안 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 26V이고, 표시 구간동안 제1 보상 트랜지스터(TT1)의 게이트 전극(G)과 소스 전극(S) 사이의 전압(Vgs)은 -8V이다.

[0082] 도 6을 참조하면, 하나의 프레임은 10.7msec의 표시 구간 및 6msec의 터치 구간으로 구성된다. 즉, 하나의 프레임은 16.7msec이고, 액정 표시 장치(100)는 60Hz로 구동한다. 표시 구간 및 터치 구간 각각에서의 제1 보상 트랜지스터(TT1)의 게이트 전극과 소스 전극 사이의 전압(Vgs)과 보상 트랜지스터 제어 신호에서 터치 구간의 듀티비(duty rate)는 다음 [표 1]과 같다.

표 1

	표시 구간	터치 구간
Vgs(V)	-20-(-12)=-8	14-(-12)=26
듀티비(%)	(10.7/16.7)*100=64	(6/16.7)*100=36

[0084] 이에 따라, 터치 구간동안 제1 보상 트랜지스터(TT1)의 게이트 전극과 소스 전극 사이의 전압(Vgs)은 26V이고, 보상 트랜지스터 제어 신호에서 제어 하이 전압(TCH)의 듀티비는 약 36%이다.

[0085] 여기서, Vgs 듀티비는 하나의 프레임을 기준으로 표시 구간 및 터치 구간에 대응되도록 설정될 수 있다. 즉, Vgs 듀티비는 표시 구간에 대응하여 네거티브 바이어스를 갖고 터치 구간에 대응하여 포지티브 바이어스를 갖도록 설정될 수 있다. 예를 들어, Vgs 듀티비는 포지티브 바이어스를 기준으로 하나의 프레임에서 약 36%이며, 이는 하나의 프레임에서 터치 구간의 비율과 동일하게 설정된다. 이를 위해, 보상 트랜지스터 제어 신호는 표시 구간동안 제어 로우 전압(TCL)을 갖고, 터치 구간동안 제어 하이 전압(TCH)을 갖도록 설정될 수 있다.

[0086] 또한, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)의 시프트를 보상하기 위해서, Vgs 듀티비는 표시 구간의 Vgs와 터치 구간의 Vgs에 기초하여 보상 트랜지스터의 문턱 전압(Vth)의 포지티브 시프트 또는 네거티브 시프트를 억제하도록 결정될 수 있다.

[0087] 구체적으로, 보상 트랜지스터의 문턱 전압(Vth)이 시프트 되는 속도는 표시 구간의 Vgs 또는 터치 구간의 Vgs의 전압값에 따라 조절될 수 있다. 예를 들어, 터치 구간의 Vgs가 -8V보다 더 낮은 -12V일 경우, 네거티브 시프트가 동일한 시간동안 더 빠르게 진행될 수 있다. 반대로 표시 구간의 Vgs가 26V보다 더 높은 30V일 경우 포지티브 시프트가 동일한 시간동안 더 빠르게 진행될 수 있다.

[0088] 즉, 보상 트랜지스터의 문턱 전압(Vth)의 시프트 정도는 Vgs의 전압 크기 및 전압이 인가된 시간에 따라 조절될 수 있기 때문에, Vgs 듀티비는 표시 구간의 Vgs와 터치 구간의 Vgs를 고려하여 조절될 수 있다. 이에 따라, 보상 트랜지스터의 문턱 전압(Vth)이 포지티브 시프트 또는 네거티브 시프트를 억제하도록 설정된 범위 내에서 스윙하도록 보상 트랜지스터 제어 신호의 듀티비가 결정될 수 있다.

[0089] 도 6 및 도 7을 참조하면, 터치 구간동안 제1 보상 트랜지스터(TT1)의 게이트 전극과 소스 전극 사이의 전압(Vgs)은 양의 전압을 갖고, 표시 구간동안 제1 보상 트랜지스터(TT1)의 게이트 전극과 소스 전극 사이의 전압(Vgs)은 음의 전압을 갖는다. 즉, 제1 보상 트랜지스터(TT1)에 터치 구간동안에는 포지티브 바이어스 전압이 인가되고, 표시 구간동안에는 네거티브 바이어스 전압이 인가된다.

[0090] 도 6 및 도 7을 참조하면, 표시 구간동안 네거티브 바이어스 전압이 제1 보상 트랜지스터(TT1)에 인가됨에 따라, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)은 네거티브 시프트된다. 또한, 터치 구간동안 포지티브 바이어스 전압이 제1 보상 트랜지스터(TT1)에 인가됨에 따라, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)은 포지티브 시프트된다. 즉, 표시 구간동안 보상 트랜지스터 제어 신호는 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)을

네거티브 시프트시키고, 터치 구간동안 보상 트랜지스터 제어 신호는 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)을 포지티브 시프트시킨다.

[0091] 이와 같이, 하나의 프레임에서 네거티브 바이어스 전압과 포지티브 바이어스 전압을 표시 구간 및 터치 구간마다 상이하게 인가함에 따라, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)도 네거티브 시프트와 포지티브 시프트를 반복하게 된다. 이에 따라, 제1 보상 트랜지스터(TT1)의 문턱 전압(Vth)은 보상 트랜지스터 제어 신호에 의해 포지티브 시프트 및 네거티브 시프트 중 어느 하나만 계속되어 액정 표시 장치(100)가 장시간 구동한 이후에도 크게 열화되지 않는다.

[0092] 이에 따라, 제1 보상 트랜지스터(TT1)는 장시간 동안 터치 구간에서는 턴-온되고 표시 구간에서는 턴-오프된다. 나아가, 터치 구간동안 제1 게이트 라인(G1)에 연결된 제1 보상 트랜지스터(TT1)의 드레인 전극이 제1 보상 트랜지스터(TT1)의 소스 전극에 연결된 게이트 로우 전압(VGL) 라인에 연결된다. 이로 인해, 터치 구간동안에는 제1 게이트 라인(G1)이 연결된 화소에 게이트 로우 전압(VGL)이 공급되고 게이트 신호의 노이즈는 제1 게이트 라인(G1)이 연결된 화소에 전달되지 않는다. 따라서, 노이즈 저감부(150)는 장시간 구동 이후에도 보상 트랜지스터(TT1 내지 TTn)를 통해 터치 구간동안 발생하는 노이즈를 저감시킬 수 있다.

[0093] 본 발명의 일 실시예에 따른 액정 표시 장치(100)는 터치 구간동안 발생하는 노이즈를 저감시킬 수 있도록 구성된 보상 트랜지스터(TT1 내지 TTn)를 포함하는 노이즈 저감부(150)를 포함한다. 또한, 데이터 구동회로(130)는 보상 트랜지스터(TT1 내지 TTn)에 연결된 보상 트랜지스터 제어(TCS) 라인을 통해 터치 구간동안에는 포지티브 바이어스 전압을 인가하고 표시 구간동안에는 네거티브 바이어스 전압을 인가한다. 즉, 데이터 구동회로(130)는 보상 트랜지스터(TT1 내지 TTn)의 문턱 전압(Vth)의 지속적인 포지티브 시프트를 억제하도록 보상 트랜지스터 제어 신호를 노이즈 저감부(150)에 공급한다.

[0094] 이에 따라, 보상 트랜지스터(TT1 내지 TTn)의 문턱 전압(Vth)은 하나의 프레임동안 포지티브 시프트와 네거티브 시프트를 반복하게 되고, 장시간 구동 이후에도 크게 열화되지 않는다. 즉, 액정 표시 장치(100)가 장시간 구동되더라도 보상 트랜지스터(TT1 내지 TTn) 및 노이즈 저감부(150)는 정상적으로 동작하여, 터치 구간동안 발생하는 게이트 신호의 노이즈가 화소 어레이(110)에 전달되는 것을 억제시킬 수 있다.

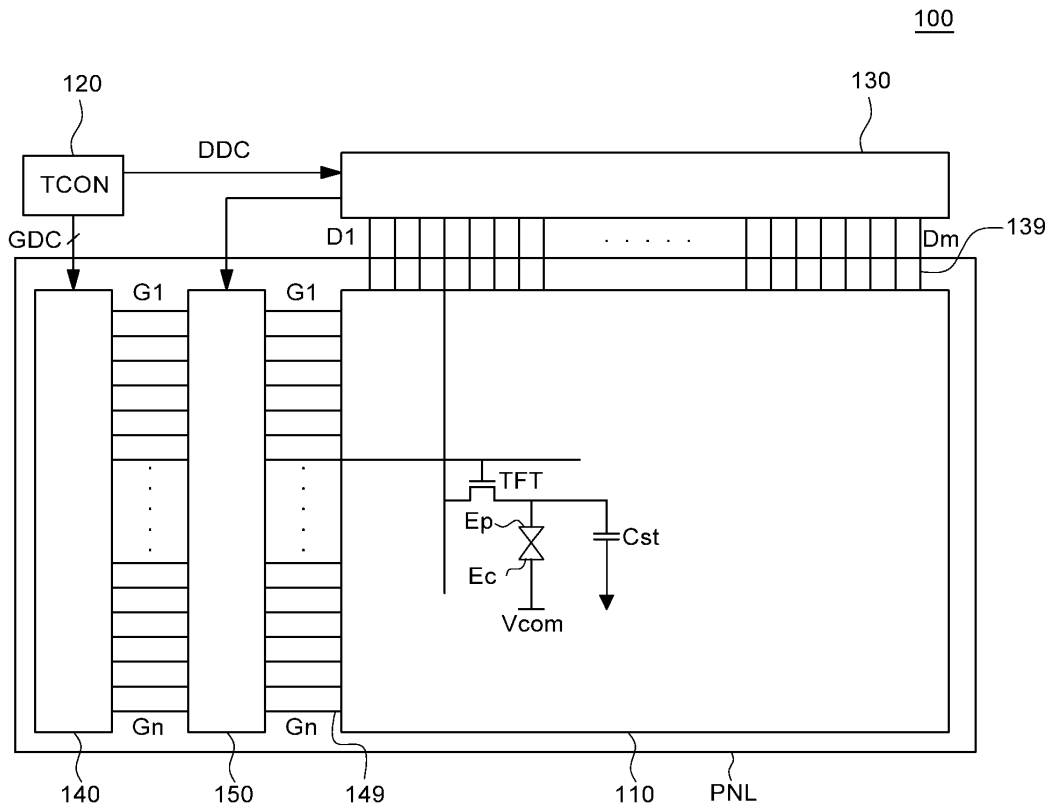
[0095] 이상 첨부된 도면을 참조하여 본 발명의 실시예들을 더욱 상세하게 설명하였으나, 본 발명은 반드시 이러한 실시예로 국한되는 것은 아니고, 본 발명의 기술사상을 벗어나지 않는 범위 내에서 다양하게 변형 실시될 수 있다. 따라서, 본 발명에 개시된 실시예들은 본 발명의 기술 사상을 한정하기 위한 것이 아니라 설명하기 위한 것이고, 이러한 실시예에 의하여 본 발명의 기술 사상의 범위가 한정되는 것은 아니다. 본 발명의 보호 범위는 아래의 청구범위에 의하여 해석되어야 하며, 그와 동등한 범위 내에 있는 모든 기술 사상은 본 발명의 권리범위에 포함되는 것으로 해석되어야 할 것이다.

부호의 설명

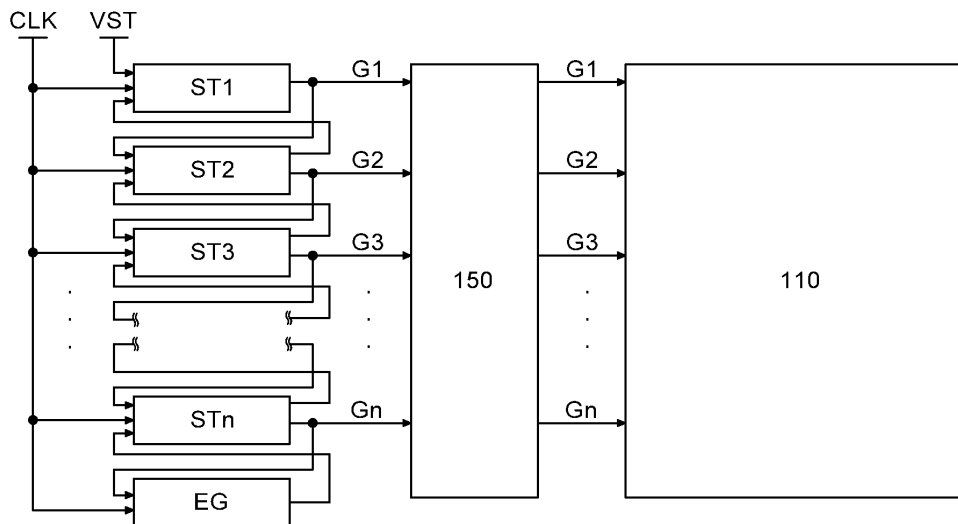
- [0096] 100: 표시 장치
- 110: 화소 어레이
- 120: 타이밍 콘트롤러
- 130: 데이터 구동회로
- 139: 데이터 라인
- 140: 게이트 구동회로
- 149: 게이트 라인
- 150: 노이즈 저감부

도면

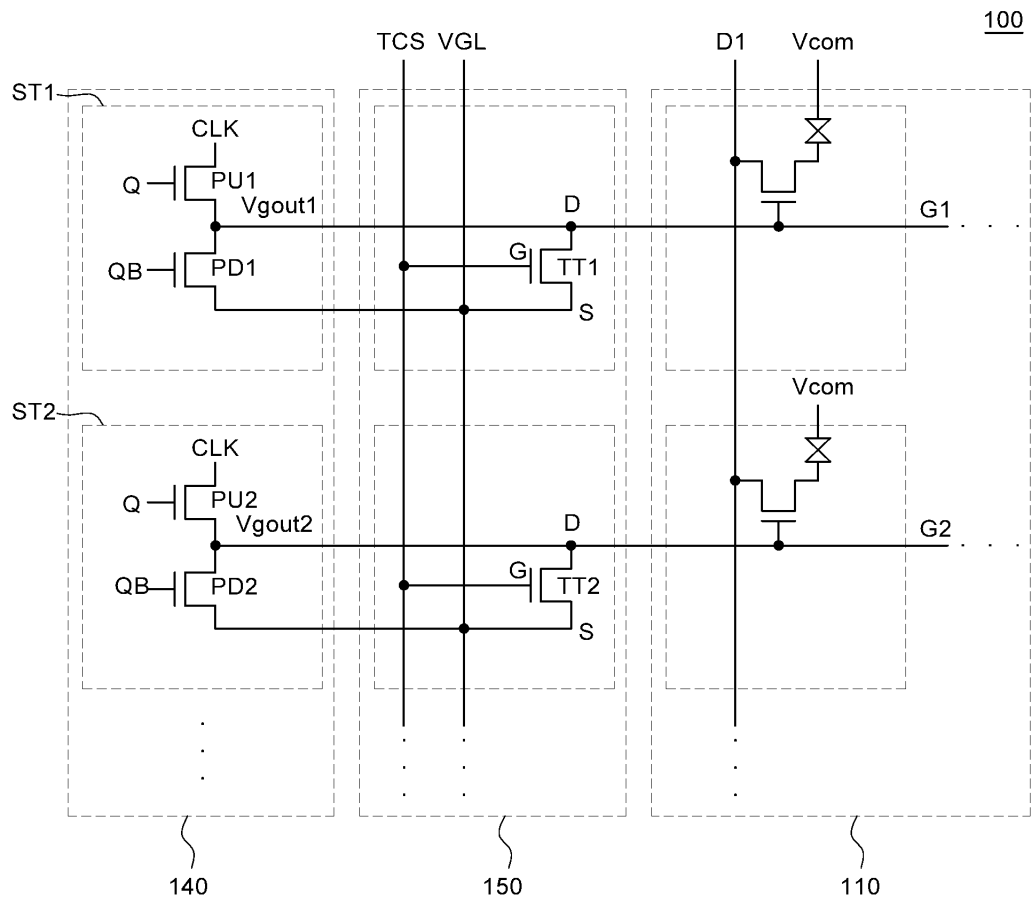
도면1



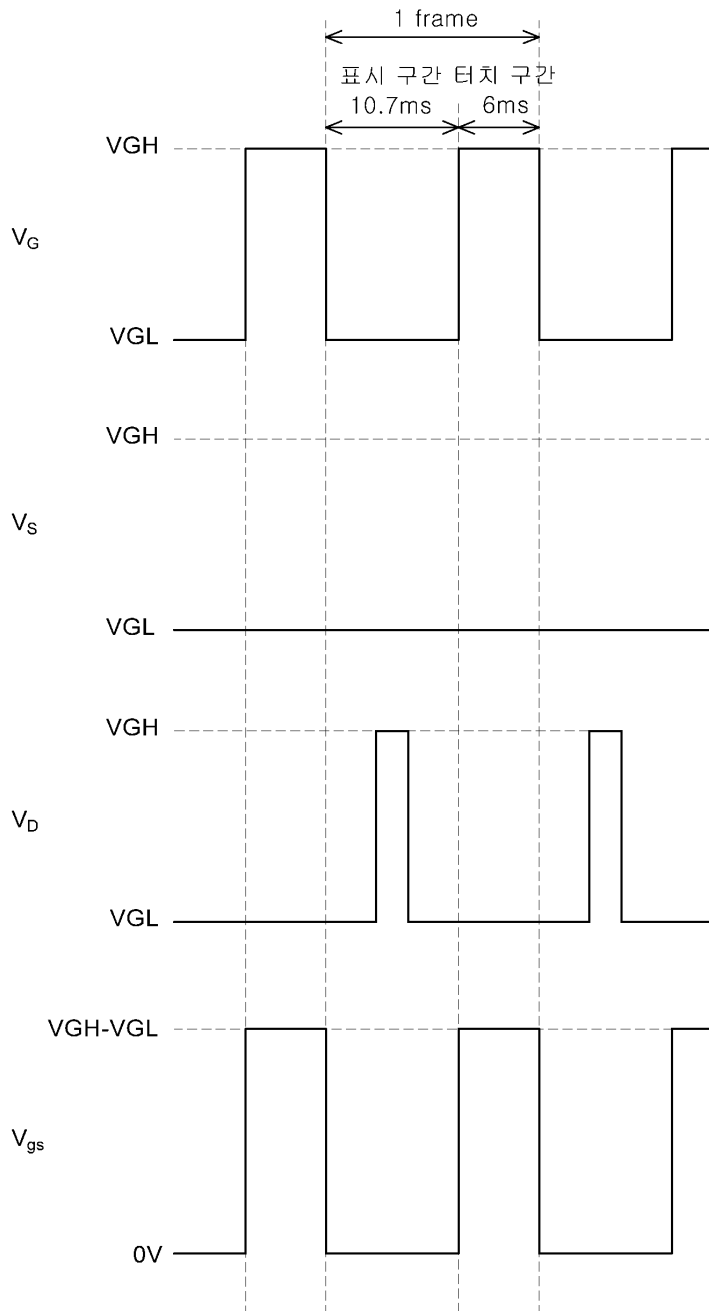
도면2



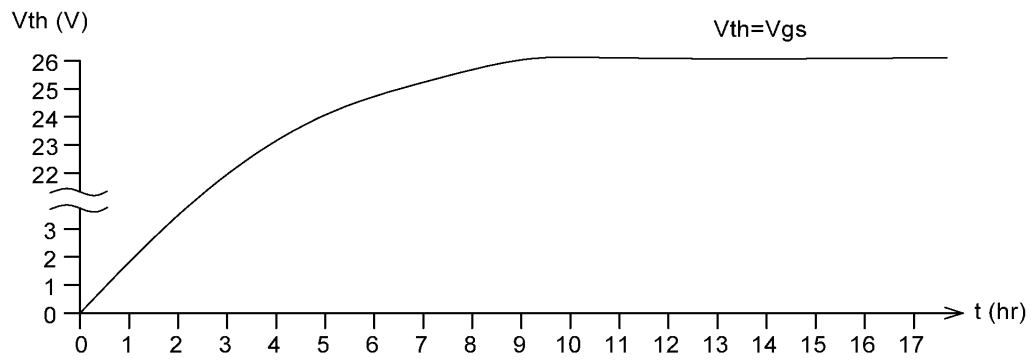
도면3



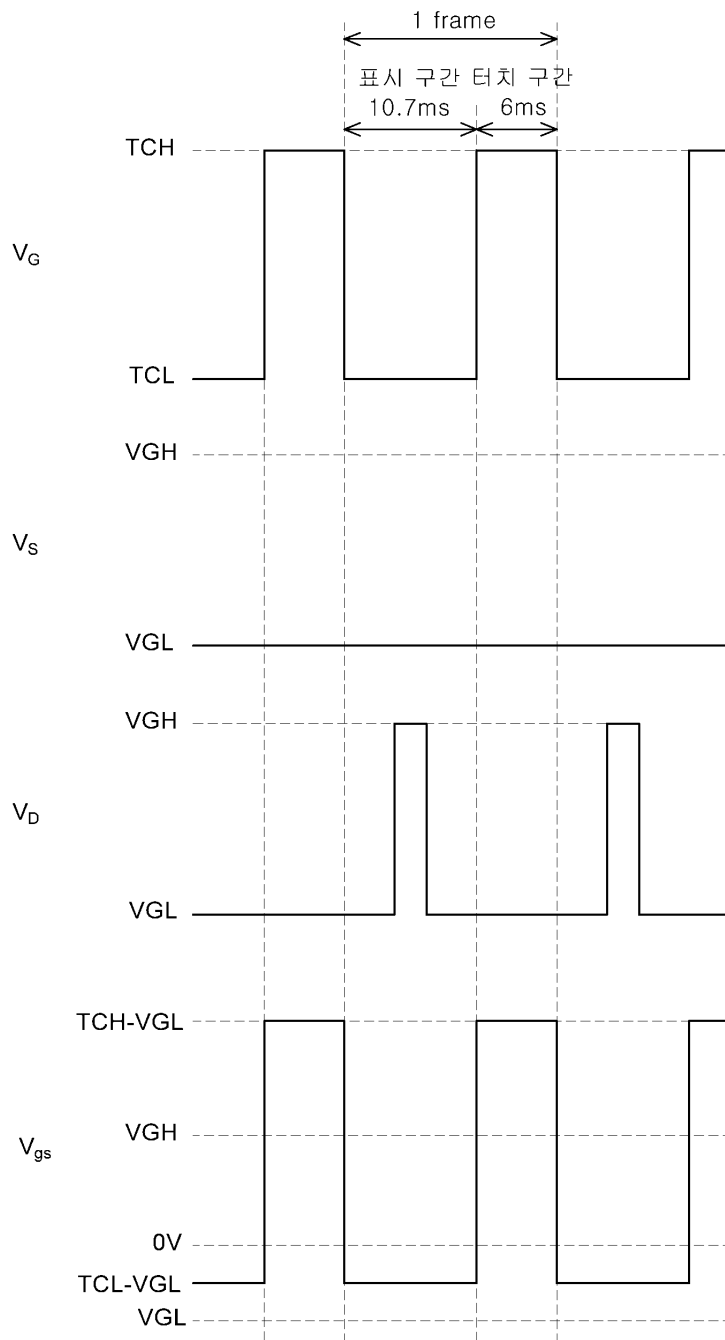
도면4



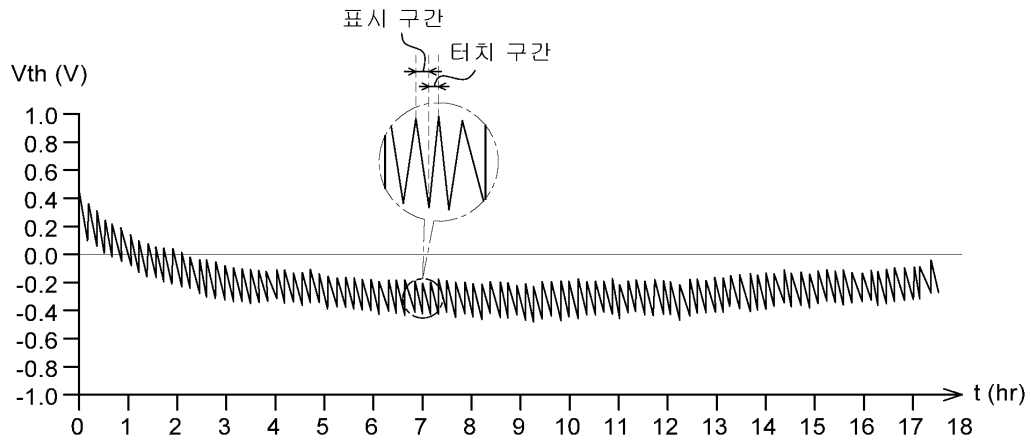
도면5



도면6



도면7



专利名称(译)	液晶显示器		
公开(公告)号	KR1020170072512A	公开(公告)日	2017-06-27
申请号	KR1020150180744	申请日	2015-12-17
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	KIM BYOUNG WOO 김병우 YU SANG HEE 유상희 CHO SUNG HYUN 조성현 CHANG SUNG WOOK 장성욱		
发明人	김병우 유상희 조성현 장성욱		
IPC分类号	G09G3/36 G06F3/041		
CPC分类号	G09G3/3648 G09G3/3677 G06F3/0418 G09G2230/00 G09G2300/043 G09G2320/043		
外部链接	Espacenet		

摘要(译)

提供液晶显示器。液晶显示器包括显示周期，对触摸周期进行分时操作的显示区域，以及包括非显示区域的LCD面板。数据驱动电路将数据信号提供给LCD面板。LCD面板包括降噪单元，该降噪单元包括像素阵列，其中多条数据线和多条栅极线在显示区域中交叉，并且像素布置在交叉区域，栅极驱动电路布置在非显示区域中与显示区域相邻的区域包括分别与多条栅极线连接的多级，并将栅极信号提供给多条栅极线，以及配置在像素和级之间的补偿晶体管，减少触摸周期产生的噪声。与显示周期的栅极低电压 (VGL) 相比，数据驱动电路具有低功率的补偿晶体管控制信号被提供给补偿晶体管的栅极。在根据本发明优选实施例的液晶显示器中，在其中触摸屏面板的液晶显示器中，可以抑制补偿晶体管的劣化，从而减小栅极信号的纹波对触摸时段的影响。应用计数磷的模式。

