



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0042014
(43) 공개일자 2016년04월18일

(51) 국제특허분류(Int. Cl.)
G02F 1/1362 (2006.01) G02F 1/133 (2006.01)
G09G 3/36 (2006.01) H01L 27/12 (2006.01)
(52) CPC특허분류
G02F 1/13624 (2013.01)
G02F 1/13306 (2013.01)
(21) 출원번호 10-2016-7006006
(22) 출원일자(국제) 2013년08월19일
심사청구일자 2016년03월07일
(85) 번역문제출일자 2016년03월07일
(86) 국제출원번호 PCT/CN2013/081717
(87) 국제공개번호 WO 2015/021660
국제공개일자 2015년02월19일
(30) 우선권주장
201310356777.7 2013년08월15일 중국(CN)

(71) 출원인
센젠 차이나 스타 옵토일렉트로닉스 테크놀로지
컴퍼니 리미티드
중국 광둥, 센젠, 구양밍 디스트릭트, 탕밍 로드,
넘버 9-2
(72) 발명자
등, 청차이
중국 518132 광둥, 센젠 시티, 구양밍 뉴 디스트릭
트, 탕밍 로드, 넘버 9-2
(74) 대리인
박소현

전체 청구항 수 : 총 13 항

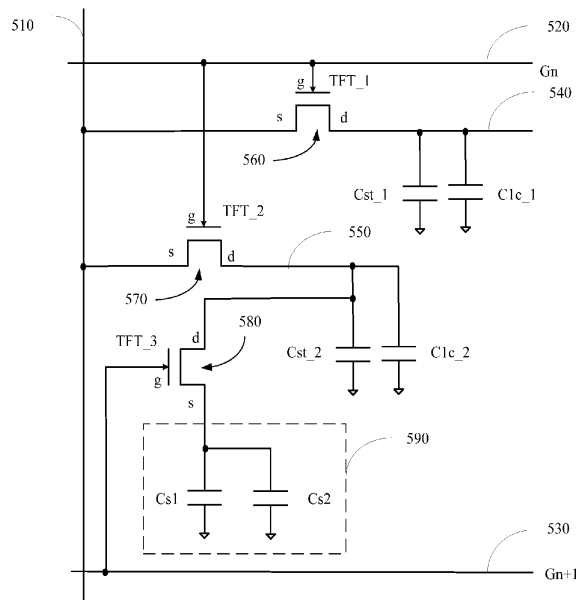
(54) 발명의 명칭 어레이 기관 및 액정 디스플레이 장치

(57) 요약

어레이 기관은 화소유닛(421), 공통전극(440), 데이터라인(510), 및 데이터라인(510)과 교차되면서 상호 평행한 제 1 스캔라인(520)과 제 2 스캔라인(530)을 포함하고; 화소유닛(421)은 제 1 화소전극(540), 제 2 화소전극(550), 제 1 스위치(560), 제 2 스위치(570), 제 3 스위치(580) 및 제어회로(590)를 포함하며; 제 1 스캔라인

(뒷면에 계속)

대표도 - 도5



(520)은 제 1 스위치(560) 및 제 2 스위치(570)의 제어단과 연결되어 스캔신호를 제공하고; 데이터라인(510)은 제 1 스위치(560) 및 제 2 스위치(570)의 입력단과 연결되며; 제 1 화소전극(540)은 제 1 스위치(560)의 출력단과 연결되고; 제 2 화소전극(550)은 제 2 스위치(570)의 출력단과 연결되며; 제 3 스위치(580)의 제어단은 제 2 스캔라인(530)과 연결되어 스캔신호를 제공하고; 제 3 스위치(580)의 제 1 단은 제 2 화소전극(550)과 연결되며, 제 3 스위치(580)의 제 2 단은 제어회로(590)와 연결된다. 또한 액정 디스플레이 장치를 더 제공한다. 하나의 제어회로(590)를 추가함으로써, 액정 디스플레이 장치의 대시야각에서의 색상 변이가 개선되고, 잔상을 제거하여 디스플레이 품질이 향상된다.

(52) CPC특허분류

G02F 1/136213 (2013.01)

G09G 3/3607 (2013.01)

G09G 3/3614 (2013.01)

G09G 3/3659 (2013.01)

G09G 3/3677 (2013.01)

H01L 27/124 (2013.01)

명세서

청구범위

청구항 1

화소유닛, 공통전극 배선, 데이터라인, 및 상기 데이터라인과 교차되면서 상호 평행한 제 1 스캔라인과 제 2 스캔라인을 포함하는 어레이 기판에 있어서,

하나의 상기 화소유닛에 대응되는 상기 제 2 스캔라인과 이웃한 다음 화소유닛에 대응되는 제 1 스캔라인은 동일한 스캔라인이며;

상기 화소유닛은 제 1 화소전극, 제 2 화소전극, 제 1 스위치, 제 2 스위치와 제 3 스위치를 포함하고, 상기 화소유닛은 제어회로를 더 포함하며; 상기 제 1 스위치와 상기 제 2 스위치는 모두 제어단, 입력단 및 출력단을 포함하고, 상기 제 1 스캔라인은 상기 제 1 스위치 및 제 2 스위치의 제어단과 연결되어 상기 제 1 스위치와 제 2 스위치에 스캔신호를 제공하고, 상기 데이터라인은 상기 제 1 스위치 및 제 2 스위치의 입력단과 연결되며, 상기 제 1 화소전극은 상기 제 1 스위치의 출력단과 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치의 출력단과 연결되며, 상기 제 3 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 상기 제 2 스캔라인은 상기 제 3 스위치의 제어단과 연결되어 상기 제 3 스위치에 스캔신호를 제공하고, 상기 제 2 화소전극은 제 3 스위치의 제 1 단과 연결되며;

상기 제어회로는 제 1 커패시터와 제 2 커패시터를 포함하고, 상기 제 1 커패시터와 제 2 커패시터의 구조는 동일하여, 모두 순차적으로 제 1 금속층, 절연층, 반도체층 및 제 2 금속층을 포함하며, 상기 제 1 커패시터의 제 2 금속층과 상기 제 2 커패시터의 제 1 금속층은 상기 제 3 스위치의 제 2 단과 연결되고, 상기 제 1 커패시터의 제 1 금속층과 상기 제 2 커패시터의 제 2 금속층은 상기 공통전극 배선과 연결되며;

정극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 감소되고, 부극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 증가되어, 상기 제 1 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전 시의 커패시턴스값보다 크고, 상기 제 2 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전시의 커패시턴스값보다 작음으로써, 정극성 반전시 상기 제 1 커패시터의 커패시턴스값과 제 2 커패시터의 커패시턴스값의 합과 부극성 반전 시 상기 제 1 커패시터와 제 2 커패시터의 커패시턴스값의 합이 동일해지며, 상기 제어회로에 의해 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값이 동일해지는 어레이 기판.

청구항 2

제 1항에 있어서,

상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 모두 박막 트랜지스터로서, 각각 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 트랜지스터이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 상기 제 3 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되는 어레이 기판.

청구항 3

제 1항에 있어서,

상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 각각 제 1 달링턴 트랜지스터 또는 트라이오드, 제 2 달링턴 트랜지스터 또는 트라이오드 및 제 3 달링턴 트랜지스터 또는 트라이오드이며, 상기 제 1 스위치의 제어단, 입

력단과 출력단은 각각 상기 제 1 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 제 3 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되는 어레이 기판.

청구항 4

화소유닛, 공통전극 배선, 데이터라인, 및 상기 데이터라인과 교차되면서 상호 평행한 제 1 스캔라인과 제 2 스캔라인을 포함하는 어레이 기판에 있어서,

상기 화소유닛은 제 1 화소전극, 제 2 화소전극, 제 1 스위치, 제 2 스위치와 제 3 스위치를 포함하고, 상기 화소유닛은 제어회로를 더 포함하며; 상기 제 1 스위치와 상기 제 2 스위치는 모두 제어단, 입력단 및 출력단을 포함하고, 상기 제 1 스캔라인은 상기 제 1 스위치 및 제 2 스위치의 제어단과 연결되어 상기 제 1 스위치와 제 2 스위치에 스캔신호를 제공하고, 상기 데이터라인은 상기 제 1 스위치 및 제 2 스위치의 입력단과 연결되며, 상기 제 1 화소전극은 상기 제 1 스위치의 출력단과 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치의 출력단과 연결되며, 상기 제 3 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 상기 제 2 스캔라인은 상기 제 3 스위치의 제어단과 연결되어 상기 제 3 스위치에 스캔신호를 제공하며, 상기 제 2 화소전극은 제 3 스위치의 제 1 단과 연결되고, 상기 제어회로는 상기 제 3 스위치의 제 2 단과 연결되며;

그 중, 정극성 반전 및 부극성 반전 시, 상기 제어회로는 상기 제 3 스위치가 도통 시 상기 제 2 화소전극에 작용하여 상기 제 2 화소전극의 전압을 변경시키고, 또한 상기 제어회로는 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값을 동일하게 함으로써, 정극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율, 및 부극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율이 동일해지는 어레이 기판.

청구항 5

제 4항에 있어서,

상기 제어회로는 제 1 커패시터와 제 2 커패시터를 포함하고, 상기 제 1 커패시터와 제 2 커패시터의 구조는 동일하여, 모두 순차적으로 제 1 금속층, 절연층, 반도체층 및 제 2 금속층을 포함하며, 상기 제 1 커패시터의 제 2 금속층과 상기 제 2 커패시터의 제 1 금속층은 상기 제 3 스위치의 제 2 단과 연결되고, 상기 제 1 커패시터의 제 1 금속층과 상기 제 2 커패시터의 제 2 금속층은 상기 공통전극 배선과 연결되며;

정극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 감소되고, 부극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 증가되어, 상기 제 1 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전 시의 커패시턴스값보다 크고, 상기 제 2 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전시의 커패시턴스값보다 작음으로써, 정극성 반전시 상기 제 1 커패시터의 커패시턴스값과 제 2 커패시터의 커패시턴스값의 합과 부극성 반전 시 상기 제 1 커패시터와 제 2 커패시터의 커패시턴스값의 합이 동일해지며, 상기 제어회로에 의해 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값이 동일해지는 어레이 기판.

청구항 6

제 4항에 있어서,

상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 모두 박막 트랜지스터로서, 각각 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 트랜지스터이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기

제 2 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 상기 제 3 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되는 어레이 기판.

청구항 7

제 4항에 있어서,

상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 각각 제 1 달링턴 트랜지스터 또는 트라이오드, 제 2 달링턴 트랜지스터 또는 트라이오드 및 제 3 달링턴 트랜지스터 또는 트라이오드이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 제 3 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되는 어레이 기판.

청구항 8

제 4항에 있어서,

하나의 상기 화소유닛에 대응되는 상기 제 2 스캔라인과 이웃한 다음 화소유닛에 대응되는 제 1 스캔라인은 동일한 스캔라인인 어레이 기판.

청구항 9

마주보게 설치되는 제 1 기판, 제 2 기판, 제 1 기판과 제 2 기판 사이에 협지되는 액정층을 포함하는 액정 디스플레이 장치에 있어서,

상기 제 2 기판은

화소유닛, 공통전극 배선, 데이터라인, 및 상기 데이터라인과 교차하면서 상호 평행한 제 1 스캔라인 및 제 2 스캔라인을 포함하며;

상기 화소유닛은 제 1 화소전극, 제 2 화소전극, 제 1 스위치, 제 2 스위치와 제 3 스위치를 포함하고, 상기 화소유닛은 제어회로를 더 포함하며; 상기 제 1 스위치와 상기 제 2 스위치는 모두 제어단, 입력단 및 출력단을 포함하고, 상기 제 1 스캔라인은 상기 제 1 스위치 및 제 2 스위치의 제어단과 연결되어 상기 제 1 스위치와 제 2 스위치에 스캔신호를 제공하고, 상기 데이터라인은 상기 제 1 스위치 및 제 2 스위치의 입력단과 연결되며, 상기 제 1 화소전극은 상기 제 1 스위치의 출력단과 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치의 출력단과 연결되며, 상기 제 3 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 상기 제 2 스캔라인은 상기 제 3 스위치의 제어단과 연결되어 상기 제 3 스위치에 스캔신호를 제공하며, 상기 제 2 화소전극은 제 3 스위치의 제 1 단과 연결되고, 상기 제어회로는 상기 제 3 스위치의 제 2 단과 연결되며;

그 중, 정극성 반전 및 부극성 반전 시, 상기 제어회로는 상기 제 3 스위치가 도통 시 상기 제 2 화소전극에 작용하여 상기 제 2 화소전극의 전압을 변경시키고, 또한 상기 제어회로는 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값을 동일하게 함으로써, 정극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율, 및 부극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율이 동일해지는 액정 디스플레이 장치.

청구항 10

제 9항에 있어서,

상기 제어회로는 제 1 커패시터와 제 2 커패시터를 포함하고, 상기 제 1 커패시터와 제 2 커패시터의 구조는 동일하여, 모두 순차적으로 제 1 금속층, 절연층, 반도체층 및 제 2 금속층을 포함하며, 상기 제 1 커패시터의 제

2 금속층과 상기 제 2 커패시터의 제 1 금속층은 상기 제 3 스위치의 제 2 단과 연결되고, 상기 제 1 커패시터의 제 1 금속층과 상기 제 2 커패시터의 제 2 금속층은 상기 공통전극 배선과 연결되며;

정극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 감소되고, 부극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 증가되어, 상기 제 1 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전 시의 커패시턴스값보다 크고, 상기 제 2 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전시의 커패시턴스값보다 작음으로써, 정극성 반전시 상기 제 1 커패시터의 커패시턴스값과 제 2 커패시터의 커패시턴스값의 합과 부극성 반전 시 상기 제 1 커패시터와 제 2 커패시터의 커패시턴스값의 합이 동일해지며, 상기 제어 회로에 의해 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값이 동일해지는 액정 디스플레이 장치.

청구항 11

제 9항에 있어서,

상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 모두 박막 트랜지스터로서, 각각 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 트랜지스터이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 상기 제 3 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되는 액정 디스플레이 장치.

청구항 12

제 9항에 있어서,

상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 각각 제 1 달링턴 트랜지스터 또는 트라이오드, 제 2 달링턴 트랜지스터 또는 트라이오드 및 제 3 달링턴 트랜지스터 또는 트라이오드이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 제 3 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되는 액정 디스플레이 장치.

청구항 13

제 9항에 있어서,

하나의 상기 화소유닛에 대응되는 상기 제 2 스캔라인과 이웃한 다음 화소유닛에 대응되는 제 1 스캔라인은 동일한 스캔라인인 액정 디스플레이 장치.

발명의 설명

기술 분야

[0001] 본 출원은 디스플레이 장치 기술분야에 관한 것으로서, 특히 어레이 기판 및 액정 디스플레이 장치에 관한 것이다.

배경 기술

[0002] TFT-LCD는 어레이 기판을 포함하며, 어레이 기판에 각각 R, G, B에 대응되는 다수의 화소영역이 매트릭스 방식으로 설치되고, 화소영역을 제어하는 스캔라인, 데이터라인, TFT 및 저장 커패시터와 액정 커패시터 등이 더 설

치된다.

- [0003] 현재의 TFT-LCD에서, 특히 수직배향(VA) 액정모드를 채택하는 대형 LCD에는 대시야각의 색상 변이(Color Shift) 문제가 보편적으로 존재한다.
- [0004] 이러한 문제를 개선하기 위하여, 현재의 보편적인 방법은 하나의 화소영역을 메인 영역(A)과 서브 영역(B) 2개의 분할 영역으로 구분하여, 두 분할 영역의 경계 부위에 빛이 투과되지 않도록 하고, 동일한 비디오 신호(그레이 스케일) 하에, 두 영역의 전압을 달리 하여, 상이한 γ (감마) 곡선이 나타나게 하는 방식이다. 두 영역이 합성한 γ 곡선은 대시야각에서 정면 시야각과의 차이를 감소시켜 대시야각의 색상 변이 문제가 현저하게 개선된다.
- [0005] 도 1은 종래 기술의 TFT-LCD의 어레이 기관 중 전하공유 08(Charging Sharing, CS) 회로도이다. 도 1을 참조하면, 각각의 화소 영역은 데이터라인(110), 제 1 스캔라인(120), 제 2 스캔라인(130), 제 1 화소전극(140), 제 2 화소전극(150), 제 1 박막 트랜지스터(TFT_A), 제 2 박막 트랜지스터(TFT_B), 제 3 박막 트랜지스터(TFT_C)를 포함한다. 데이터라인(110)은 제 1 박막 트랜지스터(TFT_A) 및 제 2 박막 트랜지스터(TFT_B)의 소스와 연결되며, 제 1 화소전극(140)은 제 1 박막 트랜지스터(TFT_A)의 드레인과 연결되고, 제 2 화소전극(150)은 제 2 박막 트랜지스터(TFT_B)의 드레인과 연결되며; 제 2 스캔라인(130)은 제 3 박막 트랜지스터(TFT_C)의 게이트와 연결되어 스캔신호를 제공하고, 제 3 박막 트랜지스터(TFT_C)의 드레인은 제 2 화소전극(150)과 연결되며, 제 3 박막 트랜지스터(TFT_C)의 소스는 커패시터(Cs1)를 통해 공통전극과 연결된다.
- [0006] TFT-LCD의 구동은 순차주사 구동이며, n번째 행을 스캔 시, 제 1 스캔라인(120)상의 신호(Vgn)는 고전위이고(제 2 스캔라인(130) 상의 신호(Vgn+1)는 저전위이다), 제 1 박막 트랜지스터(TFT_A)와 제 2 박막 트랜지스터(TFT_B)는 개방되며(제 3 박막 트랜지스터(TFT_C)는 폐쇄된다), 데이터라인(110)은 제 1 화소전극(140)과 연결된 제 1 저장 커패시터(Cst_A)와 제 1 액정 커패시터(Clc_A), 및 제 2 화소전극(150)과 연결된 제 2 저장 커패시터(Cst_B)와 제 2 액정 커패시터(Clc_B)에 대하여 충전을 시작하여, 제 1 화소전극(140)의 화소전압(VA)과 제 2 화소전극(150)의 화소전압(VB)이 모두 데이터라인(110) 상의 전압(Vd)에 의해 충전된다. n+1번째까지 스캔 시, 제 1 스캔라인(120) 상의 신호(Vgn)는 저전위로 스위칭되고, 제 2 스캔라인(130) 상의 신호(Vgn+1)는 고전위로 스위칭되며, 제 1 박막 트랜지스터(TFT_A)와 제 2 박막 트랜지스터(TFT_B)는 폐쇄되고, 제 3 박막 트랜지스터(TFT_C)는 개방되며, 제 2 화소전극(150)의 화소전압(VB)은 제 1 커패시터(Cs1)를 통해 공통전극으로 누전되어 제 2 화소전극(150)의 화소전압(VB)에 변화가 발생함으로써, 제 1 화소전극(140)의 화소전압(VA)과 제 2 화소전극(150)의 화소전압(VB)이 달라지게 되어 낮은 색상 변이(Low Color Shift) 효과를 얻을 수 있다. VA와 VB를 각각 A영역과 B영역의 화소전압으로 설정하면, 즉 그 비율 $VB/VA = (Cst_B + Clc_B) / (Cst_B + Clc_B + 2Cs1)$ 은 설계 시 매우 핵심적인 파라미터로서, 그 중 커패시터(Cs1)의 작용이 대단히 중요하여 그 값으로 VB/VA값의 크기가 결정된다.
- [0007] 도 2는 도 1 중 커패시터(Cs1)의 상용되는 구조도이다. 도 2를 참조하면, 커패시터(Cs1)는 순차적으로 제 1 금속층(M1), 절연층(SiNx), 반도체층(AS(a-si)) 및 제 2 금속층(M2)을 포함한다. 제 1 금속층(M1)과 제 2 금속층(M2)은 어레이 기관의 게이트 금속층과 소스 금속층에 대응되며, 즉 어레이 기관에 게이트 금속층을 스퍼터링하여 박막 트랜지스터의 금속 게이트를 형성 시, 상기 게이트 금속층에 제 1 금속층(M1)을 식각하여 형성하고, 어레이 기관에 소스 금속층을 스퍼터링하여 박막 트랜지스터의 금속 소스를 형성 시, 상기 소스 금속층에 제 2 금속층(M2)을 식각하여 형성하며; 절연층(SiNx)은 어레이 기관 상의 게이트 절연층에 대응되고; 반도체층(AS)은 어레이 기관 상의 TFT 반도체층에 대응되며, 즉 어레이 기관에 TFT의 반도체층을 형성 시, 광식각 등 공정을 통해 TFT에 필요한 반도체층을 형성할 때, 역시 광식각 등 공정을 통해 커패시터의 반도체층(AS)을 형성한다. 실제 어레이 기관에서, M2는 일반적으로 화소전극의 전압과 연결되고, M1은 일반적으로 공통전극의 배선과 연결된다.
- [0008] 도 3은 커패시터(Cs1)의 C-V(커패시턴스-전압) 곡선도이다. 도 3을 참조하면, 커패시터(Cs1)의 C-V 곡선도의 특징은 정의 반주기의 커패시턴스값이 부의 반주기의 커패시턴스값보다 크다는데 있으며, 그 중 화소전극의 전압(예를 들어 VB, VA)이 공통전극의 전압(Vcom)보다 큰 것이 정의 반주기이고, 화소전극의 전압이 공통전극의 전압(Vcom)보다 작은 것이 부의 반주기이다. 각각의 화소영역에 있어서, 정의 반주기와 부의 반주기가 교대되는 것은 TFT-LCD 구동 시의 기본적인 요구 조건 중 하나이다. 이상적인 경우, 정의 반주기의 VB/VA가 일치함을 유지하는 것이 가장 바람직하나, 실제로는 일반적으로 $Cs1(\text{정의 반주기}) > Cs1(\text{부의 반주기})$ 이거나 또는 반대의 경우가 나타날 수 있어, VB/VA값의 정의 반주기가 부의 반주기보다 작은 결과를 초래한다.
- [0009] 따라서, CS08과 같은 이러한 LCS 회로는 실제 응용 시 VB/VA 값의 정의 반주기가 비대칭인 문제가

존재하여, LCS 효과에 영향을 미치는 이외에, 잔상(Image Sticking) 등과 같은 패널의 디스플레이 품질에 영향을 주는 문제도 가져올 수 있다.

발명의 내용

해결하려는 과제

[0010] 본 출원이 주로 해결하고자 하는 기술문제는 정, 부 반주기의 두 영역의 전압 비가 부등한 문제를 보상하여, 액정 디스플레이 장치의 대시야각의 색상 변이를 개선하고, 잔상을 제거하여 디스플레이 품질을 향상시킬 수 있는 어레이 기관 및 액정 디스플레이를 제공하고자 하는데 있다.

과제의 해결 수단

[0011] 상기 기술문제를 해결하기 위하여, 본 발명이 채택한 일 기술방안은 다음과 같다.

[0012] 본 발명은 어레이 기관을 제공하며, 이는 화소유닛, 공통전극 배선, 데이터라인, 및 상기 데이터라인과 교차되면서 상호 평행한 제 1 스캔라인과 제 2 스캔라인을 포함하고, 하나의 상기 화소유닛에 대응되는 상기 제 2 스캔라인과 이웃한 다음 화소유닛에 대응되는 제 1 스캔라인은 동일한 스캔라인이며; 상기 화소유닛은 제 1 화소전극, 제 2 화소전극, 제 1 스위치, 제 2 스위치와 제 3 스위치를 포함하고, 상기 화소유닛은 제어회로를 더 포함하며; 상기 제 1 스위치와 상기 제 2 스위치는 모두 제어단, 입력단 및 출력단을 포함하고, 상기 제 1 스캔라인은 상기 제 1 스위치 및 제 2 스위치의 제어단과 연결되어 상기 제 1 스위치와 제 2 스위치에 스캔신호를 제공하고, 상기 데이터라인은 상기 제 1 스위치 및 제 2 스위치의 입력단과 연결되며, 상기 제 1 화소전극은 상기 제 1 스위치의 출력단과 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치의 출력단과 연결되며, 상기 제 3 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 상기 제 2 스캔라인은 상기 제 3 스위치의 제어단과 연결되어 상기 제 3 스위치에 스캔신호를 제공하고, 상기 제 2 화소전극은 제 3 스위치의 제 1 단과 연결되며; 상기 제어회로는 제 1 커패시터와 제 2 커패시터를 포함하고, 상기 제 1 커패시터와 제 2 커패시터의 구조는 동일하여, 모두 순차적으로 제 1 금속층, 절연층, 반도체층 및 제 2 금속층을 포함하며, 상기 제 1 커패시터의 제 2 금속층과 상기 제 2 커패시터의 제 1 금속층은 상기 제 3 스위치의 제 2 단과 연결되고, 상기 제 1 커패시터의 제 1 금속층과 상기 제 2 커패시터의 제 2 금속층은 상기 공통전극 배선과 연결되며; 정극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 감소되고, 부극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 증가되어, 상기 제 1 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전 시의 커패시턴스값보다 크고, 상기 제 2 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전시의 커패시턴스값보다 작음으로써, 정극성 반전시 상기 제 1 커패시터의 커패시턴스값과 제 2 커패시터의 커패시턴스값의 합과 부극성 반전 시 상기 제 1 커패시터와 제 2 커패시터의 커패시턴스값의 합이 동일해지며, 상기 제어회로에 의해 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값이 동일하다.

[0013] 그중, 상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 모두 박막 트랜지스터로서, 각각 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 트랜지스터이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 상기 제 3 박막 트랜지스터의 게이트, 소스 및 드레인에 대응된다.

[0014] 그중, 상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 각각 제 1 달링턴 트랜지스터 또는 트라이오드, 제 2 달링턴 트랜지스터 또는 트라이오드 및 제 3 달링턴 트랜지스터 또는 트라이오드이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 제 3 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응된다.

[0015] 상기 기술문제를 해결하기 위하여, 본 발명이 채택한 일 기술방안은 다음과 같다.

[0016] 본 발명은 어레이 기관을 제공하며, 이는 화소유닛, 공통전극 배선, 데이터라인, 및 상기 데이터라인과 교차되면서 상호 평행한 제 1 스캔라인과 제 2 스캔라인을 포함하고, 상기 화소유닛은 제 1 화소전극, 제 2 화소전극, 제 1 스위치, 제 2 스위치와 제 3 스위치를 포함하고, 상기 화소유닛은 제어회로를 더 포함하며; 상기 제 1 스

위치와 상기 제 2 스위치는 모두 제어단, 입력단 및 출력단을 포함하고, 상기 제 1 스캔라인은 상기 제 1 스위치 및 제 2 스위치의 제어단과 연결되어 상기 제 1 스위치와 제 2 스위치에 스캔신호를 제공하고, 상기 데이터라인은 상기 제 1 스위치 및 제 2 스위치의 입력단과 연결되며, 상기 제 1 화소전극은 상기 제 1 스위치의 출력단과 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치의 출력단과 연결되며, 상기 제 3 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 상기 제 2 스캔라인은 상기 제 3 스위치의 제어단과 연결되어 상기 제 3 스위치에 스캔신호를 제공하며, 상기 제 2 화소전극은 제 3 스위치의 제 1 단과 연결되고, 상기 제어회로는 상기 제 3 스위치의 제 2 단과 연결되고, 그 중, 정극성 반전 및 부극성 반전 시, 상기 제어회로는 상기 제 3 스위치가 도통 시 상기 제 2 화소전극에 작용하여 상기 제 2 화소전극의 전압을 변경시키고, 또한 상기 제어회로는 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값을 동일하게 함으로써, 정극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율, 및 부극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율이 동일하다.

[0017] 그중, 상기 제어회로는 제 1 커패시터와 제 2 커패시터를 포함하고, 상기 제 1 커패시터와 제 2 커패시터의 구조는 동일하여, 모두 순차적으로 제 1 금속층, 절연층, 반도체층 및 제 2 금속층을 포함하며, 상기 제 1 커패시터의 제 2 금속층과 상기 제 2 커패시터의 제 1 금속층은 상기 제 3 스위치의 제 2 단과 연결되고, 상기 제 1 커패시터의 제 1 금속층과 상기 제 2 커패시터의 제 2 금속층은 상기 공통전극 배선과 연결되며; 정극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 감소되고, 부극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 증가되어, 상기 제 1 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전 시의 커패시턴스값보다 크고, 상기 제 2 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전시의 커패시턴스값보다 작음으로써, 정극성 반전시 상기 제 1 커패시터의 커패시턴스값과 제 2 커패시터의 커패시턴스값의 합과 부극성 반전 시 상기 제 1 커패시터와 제 2 커패시터의 커패시턴스값의 합이 동일해지며, 상기 제어회로에 의해 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값이 동일하다.

[0018] 그중, 상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 모두 박막 트랜지스터로서, 각각 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 트랜지스터이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 상기 제 3 박막 트랜지스터의 게이트, 소스 및 드레인에 대응된다.

[0019] 그중, 상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 각각 제 1 달링턴 트랜지스터 또는 트라이오드, 제 2 달링턴 트랜지스터 또는 트라이오드 및 제 3 달링턴 트랜지스터 또는 트라이오드이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 제 3 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응된다.

[0020] 그중, 하나의 상기 화소유닛에 대응되는 상기 제 2 스캔라인과 이웃한 다음 화소유닛에 대응되는 제 1 스캔라인은 동일한 스캔라인이다.

[0021] 상기 기술문제를 해결하기 위하여, 본 발명이 채택한 일 기술방안은 다음과 같다.

[0022] 본 발명은 액정 디스플레이 장치를 제공하며, 이는 마주보게 설치되는 제 1 기판, 제 2 기판, 제 1 기판과 제 2 기판 사이에 협지되는 액정층을 포함하고, 상기 제 2 기판은 화소유닛, 공통전극 배선, 데이터라인, 및 상기 데이터라인과 교차하면서 상호 평행한 제 1 스캔라인 및 제 2 스캔라인을 포함하며; 상기 화소유닛은 제 1 화소전극, 제 2 화소전극, 제 1 스위치, 제 2 스위치와 제 3 스위치를 포함하고, 상기 화소유닛은 제어회로를 더 포함하며; 상기 제 1 스위치와 상기 제 2 스위치는 모두 제어단, 입력단 및 출력단을 포함하고, 상기 제 1 스캔라인은 상기 제 1 스위치 및 제 2 스위치의 제어단과 연결되어 상기 제 1 스위치와 제 2 스위치에 스캔신호를 제공하고, 상기 데이터라인은 상기 제 1 스위치 및 제 2 스위치의 입력단과 연결되며, 상기 제 1 화소전극은 상기 제 1 스위치의 출력단과 연결되고, 상기 제 2 화소전극은 상기 제 2 스위치의 출력단과 연결되며, 상기 제 3 스위치는 제어단, 제 1 단 및 제 2 단을 포함하고, 상기 제 2 스캔라인은 상기 제 3 스위치의 제어단과 연결되어

상기 제 3 스위치에 스캔신호를 제공하며, 상기 제 2 화소전극은 제 3 스위치의 제 1 단과 연결되고, 상기 제어회로는 상기 제 3 스위치의 제 2 단과 연결되며; 그 중, 정극성 반전 및 부극성 반전 시, 상기 제어회로는 상기 제 3 스위치가 도통 시 상기 제 2 화소전극에 작용하여 상기 제 2 화소전극의 전압을 변경시키고, 또한 상기 제어회로는 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값을 동일하게 함으로써, 정극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율, 및 부극성 반전 시 상기 제 2 화소전극과 공통전극 배선 사이의 전압차와 상기 제 1 화소전극과 공통전극 배선 사이의 전압차의 비율이 동일하다.

[0023] 그중, 상기 제어회로는 제 1 커패시터와 제 2 커패시터를 포함하고, 상기 제 1 커패시터와 제 2 커패시터의 구조는 동일하여, 모두 순차적으로 제 1 금속층, 절연층, 반도체층 및 제 2 금속층을 포함하며, 상기 제 1 커패시터의 제 2 금속층과 상기 제 2 커패시터의 제 1 금속층은 상기 제 3 스위치의 제 2 단과 연결되고, 상기 제 1 커패시터의 제 1 금속층과 상기 제 2 커패시터의 제 2 금속층은 상기 공통전극 배선과 연결되며; 정극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 감소되고, 부극성 반전 시, 상기 제 2 스캔라인이 스캔신호를 입력하여 상기 제 3 스위치의 도통을 제어 시, 상기 제 2 화소전극의 전압은 상기 제 1 커패시터와 상기 제 2 커패시터를 통해 증가되어, 상기 제 1 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전 시의 커패시턴스값보다 크고, 상기 제 2 커패시터는 정극성 반전 시의 커패시턴스값이 부극성 반전 시의 커패시턴스값보다 작음으로써, 정극성 반전 시 상기 제 1 커패시터의 커패시턴스값과 제 2 커패시터의 커패시턴스값의 합과 부극성 반전 시 상기 제 1 커패시터와 제 2 커패시터의 커패시턴스값의 합이 동일해지며, 상기 제어회로에 의해 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값이 동일하다.

[0024] 그중, 상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 모두 박막 트랜지스터로서, 각각 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 트랜지스터이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 상기 제 3 박막 트랜지스터의 게이트, 소스 및 드레인에 대응된다.

[0025] 그중, 상기 제 1 스위치, 제 2 스위치 및 제 3 스위치는 각각 제 1 달링턴 트랜지스터 또는 트라이오드, 제 2 달링턴 트랜지스터 또는 트라이오드 및 제 3 달링턴 트랜지스터 또는 트라이오드이며, 상기 제 1 스위치의 제어단, 입력단과 출력단은 각각 상기 제 1 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되고, 상기 제 2 스위치의 제어단, 입력단과 출력단은 각각 상기 제 2 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되며, 상기 제 3 스위치의 제어단, 제 1 단과 제 2 단은 각각 제 3 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응된다.

[0026] 그중, 하나의 상기 화소유닛에 대응되는 상기 제 2 스캔라인과 이웃한 다음 화소유닛에 대응되는 제 1 스캔라인은 동일한 스캔라인이다.

발명의 효과

[0027] 종래 기술과 달리, 본 발명은 하나의 제어회로를 추가하여 제 2 화소전극의 전압과 제 1 화소전극의 전압의 비율을 일정하게 함으로써, 액정 디스플레이 장치의 대시야각의 색상 변이를 개선하고, 잔상을 제거하여 디스플레이 품질을 향상시킬 수 있다.

도면의 간단한 설명

[0028] 도 1은 종래 기술의 TFT-LCD의 어레이 기판 중 전하공유회로의 회로도이다.

도 2는 도 1 중 커패시터(Cs1)의 상용 구조도이다.

도 3은 도 1 중 커패시터(Cs1)의 C-V(커패시턴스-전압) 곡선도이다.

도 4는 본 발명의 액정 디스플레이 장치의 일 실시예의 구조도이다.

도 5는 도 4 중 화소유닛의 화소 등가회로도이다.

도 6은 도 5 중 제어회로의 구조도이다.

발명을 실시하기 위한 구체적인 내용

- [0029] 이하 첨부도면과 실시예를 결합하여 본 발명에 대해 상세히 설명한다.
- [0030] 본 발명의 요지는 다수의 화소유닛을 포함하는 어레이 기판, 및 상기 어레이 기판으로 구성되는 액정 디스플레이 장치를 제공하고자 하는데 있다.
- [0031] 도 4를 참조하면, 도 4는 본 발명의 액정 디스플레이 장치의 일 실시예의 구조도이다. 액정 디스플레이 장치(40)는 마주보게 설치되는 제 1 기판(410), 제 2 기판(420), 제 1 기판과 제 2 기판 사이에 협지되는 액정층(미도시)을 포함한다. 그 중, 제 1 기판(410)은 CF(Color Filter, 컬러필터) 기판으로서, 공통전극(430)이 CF 기판(410)에 설치되고, 제 2 기판(420)은 TFT(Thin Film Transistor, 박막 트랜지스터) 어레이 기판이다.
- [0032] 도 5는 도 4 중 화소유닛의 화소 등가회로도이다. 도 4와 도 5를 참조하면, 하나의 화소유닛을 예로 들면, 본 실시예에서, 액정 디스플레이 장치(40)의 TFT 어레이 기판(420)은 화소유닛(421), 공통전극 배선(440), 데이터 라인(510), 데이터라인(510)과 교차되면서 상호 평행한 제 1 스캔라인(520) 및 제 2 스캔라인(530)을 포함한다.
- [0033] 화소유닛(421)은 제 1 화소전극(540), 제 2 화소전극(550), 제 1 스위치(560), 제 2 스위치(570), 제 3 스위치(580) 및 제어회로(590)를 포함하며; 그 중, 제 1 스위치(560)와 제 2 스위치(570)는 모두 제어단, 입력단 및 출력단을 포함한다.
- [0034] 제 1 스캔라인(520)은 제 1 스위치(560) 및 제 2 스위치(570)의 제어단과 연결되어, 제 1 스위치(560)와 제 2 스위치(570)에 스캔신호를 제공하고; 데이터라인(510)은 제 1 스위치(560) 및 제 2 스위치(570)의 입력단과 연결되며; 제 1 화소전극(540)은 제 1 스위치(560)의 출력단과 연결되고, 또한 제 1 화소전극(540)은 병렬 연결된 제 1 저장 커패시터(Cst_1) 및 제 1 액정 커패시터(Clc_1)와도 연결되며, 제 2 화소전극(550)은 제 2 스위치(570)의 출력단과 연결되고, 또한 제 2 화소전극(550)은 병렬 연결된 제 2 커패시터(Cst_2) 및 제 2 액정 커패시터(Clc_2)와도 연결된다. 그 중, 제 1 액정 커패시터(Clc_1)는 제 1 화소전극(540)과 제 1 기판(410)의 공통전극(430) 사이에 액정분자가 개재되어 구성되는 등가 커패시터이고, 제 2 액정 커패시터(Clc_2)는 제 2 화소전극(550)과 제 1 기판(410)의 공통전극(430) 사이에 액정분자가 개재되어 구성되는 등가 커패시터이며; 제 1 저장 커패시터(Cst_1)는 제 1 화소전극(540) 및 제 2 기판(420) 상에 설치되는 공통전극 배선(440)으로 구성된다. 제 2 저장 커패시터(Cst_2)는 제 2 화소전극(550) 및 제 2 기판(420) 상에 설치되는 공통전극 배선(440)으로 구성된다.
- [0035] 제 3 스위치(580)는 제어단, 제 1 단 및 제 2 단을 포함하여, 제 3 스위치(580)의 제어단은 제 2 스캔라인(530)과 연결되어 제 3 스위치(580)에 스캔신호를 제공하고, 제 3 스위치(580)의 제 1 단은 제 2 화소전극(550)과 연결되며, 제 3 스위치의 제 2 단은 제어회로(590)와 연결된다.
- [0036] 도 6을 함께 참조하면, 도 6은 도 5 중의 제어회로의 구조도이다. 제어회로(590)는 제 1 커패시터(Cs1)와 제 2 커패시터(Cs2)를 포함하고, 제 1 커패시터(Cs1)와 제 2 커패시터(Cs2)의 구조는 동일하여, 모두 순차적으로 제 1 금속층(M1), 절연층(SiNx), 반도체층(AS) 및 제 2 금속층(M2)을 포함하며, 제 1 커패시터(Cs1)의 제 2 금속층(M2)과 제 2 커패시터(Cs2)의 제 1 금속층(M1)은 제 3 스위치(580)의 제 2 단과 연결되고, 제 1 커패시터(Cs1)의 제 1 금속층(M1)과 제 2 커패시터(Cs2)의 제 2 금속층(M2)은 제 2 기판(420) 상의 공통전극 배선(440)과 연결된다. 그 중, 제 1 금속층(M1)과 제 2 금속층(M2)은 어레이 기판의 게이트 금속층 및 소스 금속층에 대응되며, 즉 어레이 기판에 게이트 금속층을 스퍼터링하여 박막 트랜지스터의 금속 게이트를 형성 시, 상기 게이트 금속층에 제 1 금속층(M1)을 식각하여 형성하고, 어레이 기판에 소스 금속층을 스퍼터링하여 박막 트랜지스터의 금속 소스를 형성 시, 상기 소스 금속층에 제 2 금속층(M2)을 식각하여 형성한다. 절연층(SiNx)은 어레이 기판 상의 게이트 절연층에 대응되고; 반도체층(AS)은 어레이 기판 상의 TFT 반도체층에 대응되며, 즉 어레이 기판에 TFT의 반도체층을 형성 시, 광식각 등 공정을 통해 TFT에 필요한 반도체층을 형성할 때, 역시 광식각 등 공정을 통해 커패시터의 반도체층(AS)을 형성한다.
- [0037] 정극성 반전 및 부극성 반전 시, 제어회로(590)는 제 3 스위치(580)가 도통 시 제 2 화소전극(550)에 작용하여 제 2 화소전극(550)의 전압을 변경시키며, 또한 제어회로(590)는 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값을 동일하게 함으로써, 정극성 반전 시 제 2 화소전극(550)과 공통전극 배선(440) 사이의 전압차와 제 1 화소전극(540)과 공통전극 배선(440) 사이의 전압차의 비율, 및 부극성 반전 시 제 2 화소전극(550)과 공통전극 배선(440) 사이의 전압차와 제 1 화소전극(540)과 공통전극 배선(440) 사이의 전압차의 비율이 동일해진다.

- [0038] 도 5를 계속 참조하면, 제 1 스위치(560), 제 2 스위치(570), 제 3 스위치(580)가 모두 박막 트랜지스터인 예를 들어 설명한다. 제 1 스위치(560), 제 2 스위치(570), 제 3 스위치(580)는 각각 제 1 박막 트랜지스터, 제 2 박막 트랜지스터 및 제 3 박막 트랜지스터이며, 제 1 스위치(560)의 제어단, 입력단 및 출력단은 각각 제 1 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되고, 제 2 스위치(570)의 제어단, 입력단 및 출력단은 각각 제 2 박막 트랜지스터의 게이트, 소스 및 드레인에 대응되며, 제 3 스위치(580)의 제어단, 제 1 단 및 제 2 단은 각각 제 3 박막 트랜지스터의 게이트, 드레인 및 소스에 대응된다.
- [0039] TFT-LCD의 구동은 순차주사 구동이며, n번째 행까지 스캔 시, 제 1 스캔라인(520)(즉 제 1 스캔라인(G_n))상의 신호(V_{gn})는 하이레벨이고, 이때 제 2 스캔라인(530)(즉 제 2 스캔라인(G_{n+1}))상의 신호(V_{gn+1})는 로우레벨이며, 제 1 박막 트랜지스터(560)와 제 2 박막 트랜지스터(570)는 개방되고, 제 3 박막 트랜지스터(580)는 폐쇄되며, 데이터라인(510)은 병렬 연결된 제 1 저장 커패시터(C_{st_1})와 제 1 액정 커패시터(C_{lc_1}), 및 병렬 연결된 제 2 저장 커패시터(C_{st_2})와 제 2 액정 커패시터(C_{lc_2})에 대해 충전을 시작함으로써, 제 1 화소전극(540)과 제 2 화소전극(550)이 동일한 전압을 획득하게 된다. n+1번째 행까지 스캔 시, 제 2 스캔라인(530)상의 신호(V_{gn+1})는 하이레벨이고, 제 1 스캔라인(520)상의 신호(V_{gn})는 로우레벨로 스위칭되며, 이때, 제 1 박막 트랜지스터(560), 제 2 박막 트랜지스터(570)는 폐쇄되고, 제 3 박막 트랜지스터(580)는 개방된다. 제 2 화소전극(550)과 공통전극 배선(440) 사이에 전압차가 존재하므로, 제 2 화소전극(550)은 제 1 커패시터(C_{s1})와 제 2 커패시터(C_{s2})를 통해 공통전극 배선(440)으로 방전시킴으로써 제 2 화소전극(550)의 전압을 변경시킨다.
- [0040] 제 3 박막 트랜지스터(580)가 도통된 상황에서, 정극성 반전 시, 즉 제 2 화소전극(550)의 전압이 공통전극 배선(440) 사이의 전압보다 큰 경우, 제 1 커패시터(C_{s1})는 정의 반주기에 처하고, 제 2 커패시터(C_{s2})는 부의 반주기에 처하며, 제 1 커패시터(C_{s1})의 커패시턴스값은 제 2 커패시터(C_{s2})의 커패시턴스값보다 크고, 제 2 화소전극(550)의 전압은 제 1 커패시터(C_{s1})와 제 2 커패시터(C_{s2})를 통해 감소된다. 부극성 반전 시, 즉 제 2 화소전극(550)의 전압이 공통전극 배선(440) 사이의 전압보다 작은 경우, 제 1 커패시터(C_{s1})는 부의 반주기에 처하고, 제 2 커패시터(C_{s2})는 정의 반주기에 처하며, 제 1 커패시터(C_{s1})의 커패시턴스값은 제 2 커패시터(C_{s2})의 커패시턴스값보다 작고, 제 2 화소전극(550)의 전압은 제 1 커패시터(C_{s1})와 제 2 커패시터(C_{s2})를 통해 증가된다. 제 1 커패시터(C_{s1})와 제 2 커패시터(C_{s2})의 구조와 용량값이 모두 동일하므로, 정극성 반전과 부극성 반전 시, 제 1 커패시터(C_{s1})와 제 2 커패시터(C_{s2})의 커패시턴스값의 합은 일정함을 유지할 수 있으며, 즉 제어회로(590)가 정극성 반전 시의 유효 커패시턴스의 커패시턴스값과 부극성 반전 시의 유효 커패시턴스의 커패시턴스값을 동일하게 함으로써, 정극성 반전 시 제 2 화소전극(550)과 공통전극 배선(440) 사이의 전압차와 제 1 화소전극(540)과 공통전극 배선(440) 사이의 전압차의 비율, 및 부극성 반전 시 제 2 화소전극(550)과 공통전극 배선(440) 사이의 전압차와 제 1 화소전극(540)과 공통전극 배선(440) 사이의 전압차의 비율이 동일해진다.
- [0041] n+2번째 행까지 스캔 시, 제 2 스캔라인(530)상의 신호(V_{gn+1})는 로우레벨이고, 제 3 박막 트랜지스터(580)는 폐쇄되며, 제 2 화소전극(550)은 제 1 커패시터(C_{s1})와 제 2 커패시터(C_{s2})를 통해 공통전극 배선(440)으로의 방전을 중지하고, 제 2 화소전극(550) 상의 전압은 다음 프레임이 디스플레이될 때까지 유지된다. 이때, 화소유닛(421)에 대응되는 제 2 스캔라인(530)과 이웃한 다음 화소유닛에 대응되는 제 1 스캔라인은 동일한 스캔라인이다.
- [0042] 주의해야 할 점은, 본 발명에서, 제 2 기판(420) 상의 공통전극 배선(440)과 제 1 기판(410) 상의 공통전극(430)은 직접 연결되지 않고, 2개의 상이한 전압원을 통해 전압을 제공할 수도 있으나, 2개의 전압원의 전압 크기가 동일할 것을 엄격히 보장하여야 한다. 그 중, 공통전극(430)과 공통전극 배선(440)에 제공되는 전압값은 5V보다 크거나 같고 7V보다 작거나 같은 것이 바람직하고; 제 1 스캔라인(520)과 제 2 스캔라인(530)에 제공되는 전압은 20V보다 크거나 같고 30V보다 작거나 같은 것이 바람직하다.
- [0043] 본 실시예에서, 제 1 스위치(560), 제 2 스위치(570), 제 3 스위치(580)는 모두 박막 트랜지스터이며, 마찬가지로, 제 1 스위치(560), 제 2 스위치(570), 제 3 스위치(580)는 트라이오드, 달링턴 트랜지스터 또는 기타 트랜지스터로 대체하여 기타 실시예를 형성할 수도 있다. 제 1 스위치(560)의 제어단, 입력단과 출력단은 각각 제 1 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되고, 제 2 스위치(570)의 제어단, 입력단과 출력단은 각각 제 2 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응되며, 제 3 스위치(580)의 제어단, 제 1 단과 제 2 단은 각각 제 3 달링턴 트랜지스터 또는 트라이오드의 베이스극, 집전극 및 이미터극에 대응된다.
- [0044] 또한, 본 실시예에서, 제어회로(590)는 제 1 커패시터(C_{s1})와 제 2 커패시터(C_{s2})이며, 제어회로(590)는 제 3 스위치가 도통될 때 정극성 반전과 부극성 반전 시 제어회로(590)의 유효 커패시턴스의 커패시턴스값이 동일함

을 보장하도록, 제 1 커패시터(Cs1) 및 제 2 커패시터(Cs2)와 구조, 연결방식, 용량값이 동일한 2개 또는 다수의 커패시터일 수도 있으며, 따라서 기타 형식을 형성하는 실시예에 대하여 본 발명은 구체적으로 한정하지 않는다.

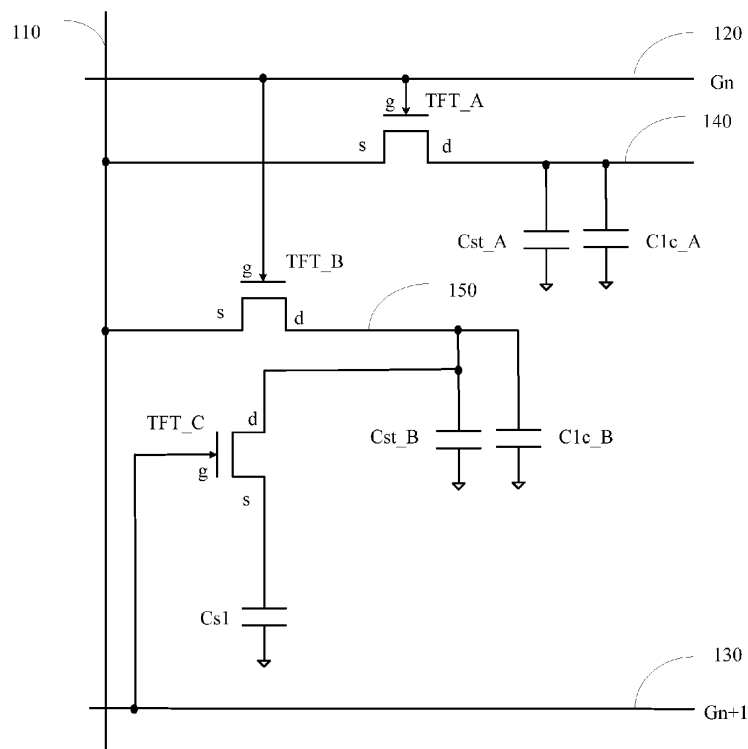
[0045] 도 5를 계속 참조하면, 도 5는 어레이 기판의 화소유닛의 일 실시예의 화소 등가회로도이다. 화소유닛은 제 1 화소전극(540), 제 2 화소전극(550), 제 1 스위치(560), 제 2 스위치(570), 제 3 스위치(580) 및 제어회로(590)를 포함하며; 그 중, 제 1 스위치(560)와 제 2 스위치(570)는 모두 제어단, 입력단 및 출력단을 포함한다. 구체적인 구현 과정은 상기 실시예의 설명과 같으므로, 여기서는 중복 설명을 생략한다.

[0046] 상기 방안은 하나의 제어회로를 추가하여 제 2 화소전극의 전압과 제 1 화소전극의 전압의 비율을 일정하게 함으로써, 액정 디스플레이 장치의 대시야각의 색상 변이를 개선하고, 잔상을 제거하여 디스플레이 품질을 향상시킬 수 있다.

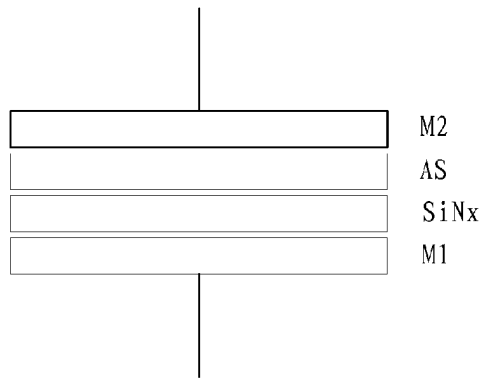
[0047] 이상은 단지 본 발명의 실시예일뿐, 결코 이로써 본 발명의 범위를 제한하는 것은 아니며, 본 발명의 명세서 및 도면의 내용을 이용하여 실시되는 등가의 구조 또는 등가의 과정 변환, 또는 직접 또는 간접적으로 기타 관련 기술 분야에 운용하는 경우, 모두 같은 이치로 본 발명의 보호 범위 내에 포함된다.

도면

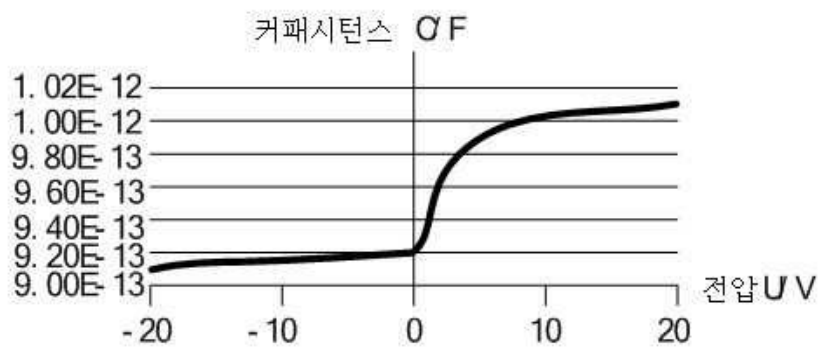
도면1



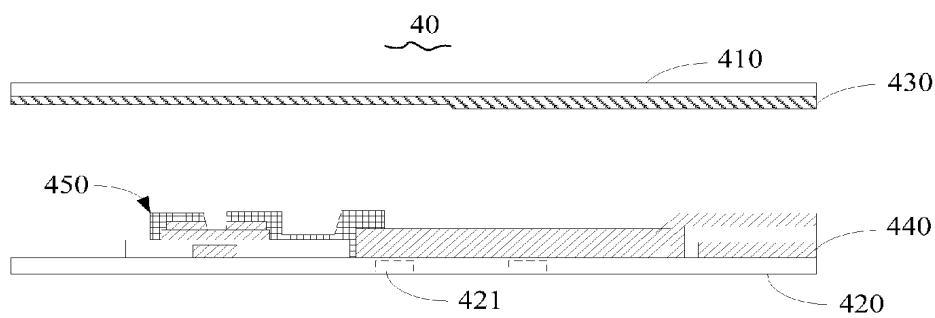
도면2



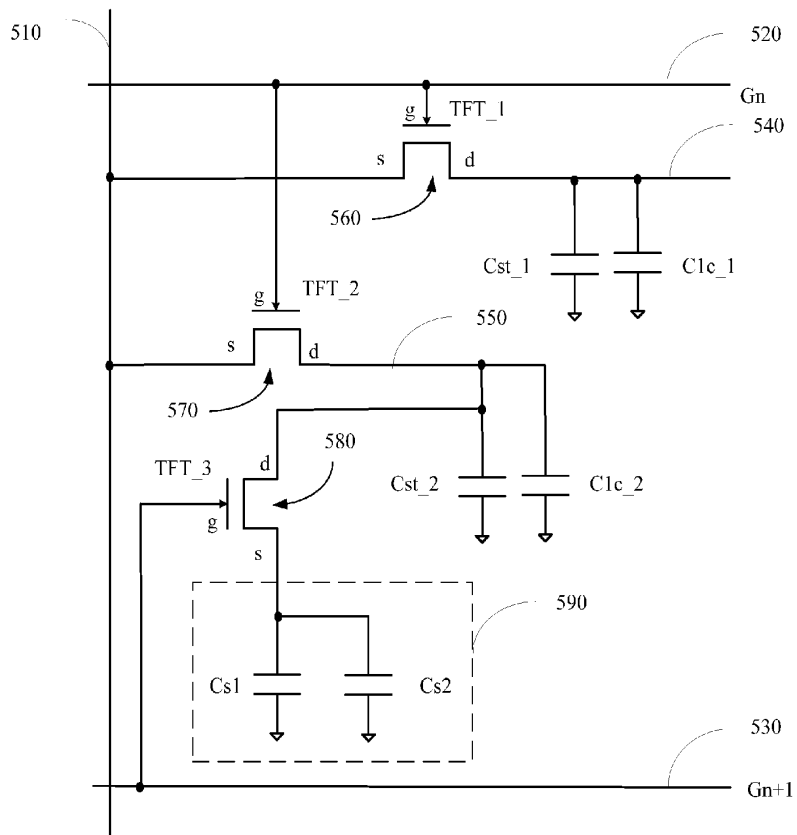
도면3



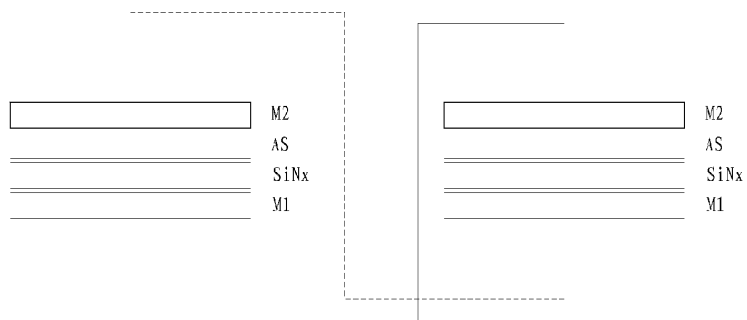
도면4



도면5



도면6



专利名称(译)	标题：阵列基板和液晶显示装置		
公开(公告)号	KR1020160042014A	公开(公告)日	2016-04-18
申请号	KR1020167006006	申请日	2013-08-19
[标]申请(专利权)人(译)	深圳市华星光电技术有限公司		
申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
当前申请(专利权)人(译)	中国深圳恒星光电科技有限公司		
[标]发明人	DONG CHENGCAI 동청차이		
发明人	동,청차이		
IPC分类号	G02F1/1362 G02F1/133 G09G3/36 H01L27/12		
CPC分类号	G02F1/136213 G02F1/13624 G09G3/3607 G09G3/3614 G09G3/3659 G09G3/3677 G09G2320/0257 G02F1/1362 G02F1/1368 G09G3/36 G02F1/13306 H01L27/124		
代理人(译)	朴素贤		
优先权	201310356777.7 2013-08-15 CN		
外部链接	Espacenet		

摘要(译)

同时阵列面板包括像素单元 (421)，公共电极 (440) 和数据线 (510)，数据线 (510)，第一扫描线 (520) 和第二扫描线 (530)。在交叉时相互平行并且像素单元 (421) 包括第一像素电极 (540)，第二像素电极 (550)，第一开关 (560)，第二开关 (570)，第三开关 (580) 和控制电路 (590) 它连接到第二开关 (570) 的控制级，第一开关 (560) 和第一扫描线 (520) 提供扫描信号，数据线 (510) 连接到输入端子第二开关 (570) 和第一开关 (560) 连接第一像素电极 (540) 第一开关 (560) 的输出端子和第二像素电极 (550) 连接到第二开关 (570) 的输出端子，第三开关 (580) 的控制级连接到第二扫描线 (530) 提供扫描信号，并且第三开关 (580) 的第一步骤连接到第二像素电极 (550)，第三开关 (580) 的第二端连接到控制电路 (590)。此外，更多地提供液晶显示装置。添加一个控制电路 (590)。这样，改善了液晶显示装置在大视角下的色移，消除了余像，提高了显示质量。

