(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0118027
(43) 공개일자 2014년10월08일

(51) 국제특허분류(Int. Cl.)
G02F 1/1335 (2006.01) *G02F 1/136* (2006.01)
(21) 출원번호 10-2013-0033165
(22) 출원일자 2013년03월28일
심사청구일자 없음

(71) 출원인
삼성디스플레이 주식회사
경기도 용인시 기흥구 삼성2로 95 (농서동)
(72) 발명자
남중건
서울특별시 관악구 관악로 285 (봉천동, 동아아파트) 104동 201호
한경태
충청남도 아산시 탕정면 탕정면로 37 (탕정트라팰리스아파트) 101동 3005호
(뒷면에 계속)
(74) 대리인
박영우

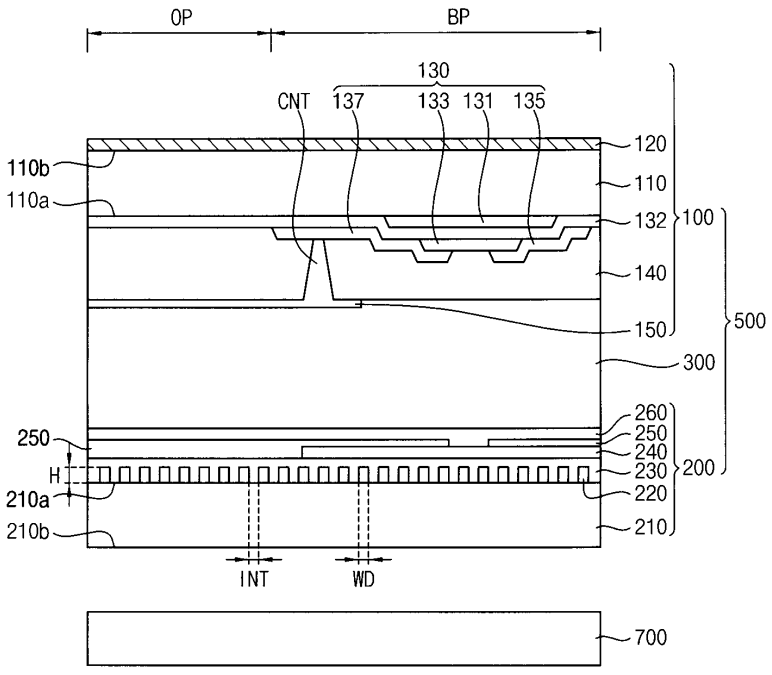
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 **액정표시장치**

(57) 요 약

액정표시장치는 액정표시패널 및 액정표시패널에 광을 제공하는 백라이트 유닛을 포함한다. 액정표시패널은 박막 트랜지스터가 배치되는 제1 기판, 제1 기판에 대향하는 제2 기판, 제1 기판 및 제2 기판 사이에 배치되는 액정층, 및 제2 기판에 배치되고 소정의 간격을 갖고 서로 이격되는 복수의 금속 패턴을 포함하는 제1 편광자를 포함한다. 백라이트 유닛은 제2 기판에 대향한다.

대 표 도 - 도1



(72) 발명자

이대영

경기도 수원시 영통구 동수원로 316 (매탄동, 임광아파트) 6동 809호

장대환

경기도 광명시 안양천로502번길 12 (철산동, 리버빌주공아파트) 101동 1405호

조국래

충청남도 아산시 탕정면 탕정면로 37 (탕정트라팰리스아파트) 201동 205호

타카쿠와 아츠시

경기도 화성시 동탄중앙로 189 (반송동, 동탄시범다은마을월드메르디앙반도유보라) 335-306

특허청구의 범위

청구항 1

액정표시패널; 및

상기 액정표시패널에 광을 제공하는 백라이트 유닛을 포함하고,

상기 액정표시패널은

박막 트랜지스터가 배치되는 제1 기판;

상기 제1 기판에 대향하는 제2 기판;

상기 제1 기판 및 제2 기판 사이에 배치되는 액정층; 및

상기 제2 기판에 배치되고, 소정의 간격을 갖고 서로 이격되는 복수의 금속 패턴을 포함하는 제1 편광자를 포함하며,

상기 백라이트 유닛은 상기 제2 기판에 대향하는 액정표시장치.

청구항 2

제1항에 있어서, 상기 금속 패턴들의 간격은 가시광 파장보다 작은 것을 특징으로 하는 액정표시장치.

청구항 3

제1항에 있어서, 상기 제1 편광자는 상기 백라이트 유닛에 대향하도록 상기 제2 기판에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 4

제1항에 있어서, 상기 제1 편광자는 상기 액정층에 대향하도록 상기 제2 기판에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 5

제1항에 있어서, 상기 액정표시패널은 상기 제1 기판 또는 제2 기판에 배치되는 컬러필터를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 6

제1항에 있어서, 상기 제1 편광자는 수평 방향을 따라 상기 박막 트랜지스터로부터 이격되는 것을 특징으로 하는 액정표시장치.

청구항 7

제1항에 있어서, 상기 제1 편광자는 상기 박막 트랜지스터에 중첩하는 것을 특징으로 하는 액정표시장치.

청구항 8

제1항에 있어서, 상기 액정표시패널은 상기 제2 기판에 배치되어 상기 박막 트랜지스터에 중첩하는 판형 패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 9

제8항에 있어서, 상기 판형 패턴 및 제1 편광자는 상기 제2 기판의 동일한 면에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 10

제1항에 있어서, 상기 액정표시패널은 상기 제1 편광자를 커버하는 패시베이션층을 더 포함하는 것을 특징으로

하는 액정표시장치.

청구항 11

제1항에 있어서, 상기 액정표시패널은, 상기 제1 기판에 배치되며 소정의 간격을 갖고 서로 이격되는 복수의 금속 패턴을 포함하는 제2 편광자를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 12

제11항에 있어서, 상기 제2 편광자는 상기 제1 편광자에 비해 반사율이 낮은 것을 특징으로 하는 액정표시장치.

청구항 13

제1항에 있어서, 상기 액정표시패널은 상기 제1 기판에 배치되는 흡수형 편광자를 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 14

제1항에 있어서, 상기 박막 트랜지스터는 게이트 전극, 반도체 패턴, 소스 전극 및 드레인 전극을 포함하며,

상기 반도체 패턴은 상기 소스 전극 및 드레인 전극과 부분적으로 중첩하는 것을 특징으로 하는 액정표시장치.

청구항 15

제14항에 있어서, 상기 게이트 전극은 상기 반도체 패턴에 중첩하고, 상기 반도체 패턴의 상부 또는 하부에 배치되는 것을 특징으로 하는 액정표시장치.

청구항 16

제1항에 있어서, 상기 액정표시패널은 상기 박막 트랜지스터에 대응하여 상기 제2 기판에 배치되는 차광 패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 17

제1항에 있어서, 상기 액정표시패널은

상기 제1 기판에 배치되어 상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극; 및

상기 제2 기판에 배치되는 공통 전극을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 18

어레이 기판, 액정층 및 대향 기판을 포함하는 액정표시패널; 및

상기 액정표시패널에 광을 제공하는 백라이트 유닛을 포함하고,

상기 어레이 기판은

투명 기판;

상기 투명 기판의 일면에 배치되며, 소정의 간격을 갖는 복수의 금속 패턴을 포함하는 편광자;

상기 편광자를 커버하는 패시베이션층; 및

상기 패시베이션층에 배치되는 박막 트랜지스터를 포함하며,

상기 편광자는 수평 방향을 따라 상기 박막 트랜지스터로부터 이격되는 액정표시장치.

청구항 19

제18항에 있어서, 상기 어레이 기판은 상기 투명 기판의 타면에 배치되며 상기 박막 트랜지스터에 중첩하는 판형 패턴을 더 포함하는 것을 특징으로 하는 액정표시장치.

청구항 20

제18항에 있어서, 상기 대향 기판은 상기 박막 트랜지스터에 중첩하며 상기 광을 차단하는 차광 패턴을 포함하는 것을 특징으로 하는 액정표시장치.

명 세 서

기 술 분 야

[0001] 본 발명은 액정표시장치에 관한 것으로, 보다 상세하게는 표시 영상의 휘도를 향상시킬 수 있는 액정표시장치에 관한 것이다.

배 경 기 술

[0002] 일반적으로, 액정표시장치에서는, 어레이 기판 및 대향 기판 사이에 배치되는 액정의 배향에 따라 상기 기판들을 투과하는 광량이 조절됨으로써, 원하는 영상이 표시된다. 이를 위해 상기 액정표시장치는 표시 패널에 광을 제공하기 위한 광원을 필요로 한다. 상기 광원은 상기 액정표시장치의 백라이트 유닛에 포함된다. 상기 광원으로부터 출사된 광은 상기 어레이 기판, 대향 기판 및 액정층을 포함하는 표시 패널에 제공된다.

[0003] 상기 표시 패널은 표시 패널의 상부 또는 하부에 배치되어 상기 광을 편광시키는 편광 소자를 포함한다. 상기 편광 소자로는 예를 들어, 폴리비닐 알코올(polyvinyl alcohol; PVA) 필름이 사용된다. 상기 편광 소자는 편광도(polarization ratio; PR) 및 투과도(transmissivity)가 높을수록 우수한 성능을 갖는다.

[0004] 그러나 상기 광원으로부터 입사되는 광은 상기 PVA 필름에 의하여 50% 가량은 흡수되며, 나머지 50% 정도만 투과된다. 이에 따라, 상기 액정표시장치의 광 효율이 떨어지며, 휘도가 낮아지는 문제점이 있다.

[0005] 또한, 편광도 및 투과도를 향상시키기 위해 상기 편광 소자에 금속을 포함시키는 경우, 상기 표시 패널에 포함된 스위칭 소자 및 상기 금속 사이에 크로스토크(crosstalk)가 발생하는 문제점이 있다.

발명의 내용

해결하려는 과제

[0006] 이에 본 발명의 기술적 과제는 이러한 점에서 착안된 것으로, 본 발명의 목적은 스위칭 소자에 대한 전기적 영향을 줄이면서 백라이트 유닛에서 제공되는 광의 이용 효율을 높일 수 있는 편광 소자를 포함하는 액정표시장치를 제공하는 것이다.

과제의 해결 수단

[0007] 상기한 본 발명의 목적을 실현하기 위한 일 실시예에 따른 액정표시장치는 액정표시패널; 및 상기 액정표시패널에 광을 제공하는 백라이트 유닛을 포함한다. 상기 액정표시패널은 박막 트랜지스터가 배치되는 제1 기판; 상기 제1 기판에 대향하는 제2 기판; 상기 제1 기판 및 제2 기판 사이에 배치되는 액정층; 및 상기 제2 기판에 배치되고, 소정의 간격을 갖고 서로 이격되는 복수의 금속 패턴을 포함하는 제1 편광자를 포함한다. 상기 백라이트 유닛은 상기 제2 기판에 대향한다.

[0008] 본 발명의 일 실시예에 있어서, 상기 금속 패턴들의 간격은 가시광 파장보다 작을 수 있다.

[0009] 본 발명의 일 실시예에 있어서, 상기 제1 편광자는 상기 백라이트 유닛에 대향하도록 상기 제2 기판에 배치될 수 있다.

[0010] 본 발명의 일 실시예에 있어서, 상기 제1 편광자는 상기 액정층에 대향하도록 상기 제2 기판에 배치될 수 있다.

[0011] 본 발명의 일 실시예에 있어서, 상기 액정표시패널은 상기 제1 기판 또는 제2 기판에 배치되는 컬러필터를 더 포함할 수 있다.

[0012] 본 발명의 일 실시예에 있어서, 상기 제1 편광자는 수평 방향을 따라 상기 박막 트랜지스터로부터 이격될 수 있다.

[0013] 본 발명의 일 실시예에 있어서, 상기 제1 편광자는 상기 박막 트랜지스터에 중첩할 수 있다.

[0014] 본 발명의 일 실시예에 있어서, 상기 액정표시패널은 상기 제2 기판에 배치되어 상기 박막 트랜지스터에 중첩하는 판형 패턴을 더 포함할 수 있다.

[0015] 본 발명의 일 실시예에 있어서, 상기 판형 패턴 및 제1 편광자는 상기 제2 기판의 동일한 면에 배치될 수 있다.

[0016] 본 발명의 일 실시예에 있어서, 상기 액정표시패널은 상기 제1 편광자를 커버하는 패시베이션층을 더 포함할 수 있다.

[0017] 본 발명의 일 실시예에 있어서, 상기 액정표시패널은, 상기 제1 기판에 배치되며 소정의 간격을 갖고 서로 이격되는 복수의 금속 패턴을 포함하는 제2 편광자를 더 포함할 수 있다.

[0018] 본 발명의 일 실시예에 있어서, 상기 제2 편광자는 상기 제1 편광자에 비해 반사율이 낮을 수 있다.

[0019] 본 발명의 일 실시예에 있어서, 상기 액정표시패널은 상기 제1 기판에 배치되는 흡수형 편광자를 더 포함할 수 있다.

[0020] 본 발명의 일 실시예에 있어서, 상기 박막 트랜지스터는 게이트 전극, 반도체 패턴, 소스 전극 및 드레인 전극을 포함하며, 상기 반도체 패턴은 상기 소스 전극 및 드레인 전극과 부분적으로 중첩할 수 있다.

[0021] 본 발명의 일 실시예에 있어서, 상기 게이트 전극은 상기 반도체 패턴에 중첩하고, 상기 반도체 패턴의 상부 또는 하부에 배치될 수 있다.

[0022] 본 발명의 일 실시예에 있어서, 상기 액정표시패널은 상기 박막 트랜지스터에 대응하여 상기 제2 기판에 배치되는 차광 패턴을 더 포함할 수 있다.

[0023] 본 발명의 일 실시예에 있어서, 상기 액정표시패널은 상기 제1 기판에 배치되어 상기 박막 트랜지스터에 전기적으로 연결되는 화소 전극; 및 상기 제2 기판에 배치되는 공통 전극을 더 포함할 수 있다.

[0024] 상기한 본 발명의 목적을 실현하기 위한 다른 실시예에 따른 액정표시장치는 어레이 기판, 액정층 및 대향 기판을 포함하는 액정표시패널; 및 상기 액정표시패널에 광을 제공하는 백라이트 유닛을 포함하고, 상기 어레이 기판은 투명 기판; 상기 투명 기판의 일면에 배치되며, 소정의 간격을 갖는 복수의 금속 패턴을 포함하는 편광자; 상기 편광자를 커버하는 패시베이션층; 및 상기 패시베이션층에 배치되는 박막 트랜지스터를 포함하며, 상기 편광자는 수평 방향을 따라 상기 박막 트랜지스터로부터 이격된다.

[0025] 본 발명의 일 실시예에 있어서, 상기 어레이 기판은 상기 투명 기판의 타면에 배치되며 상기 박막 트랜지스터에 중첩하는 판형 패턴을 더 포함할 수 있다.

[0026] 본 발명의 일 실시예에 있어서, 상기 대향 기판은 상기 박막 트랜지스터에 중첩하며 상기 광을 차단하는 차광 패턴을 포함할 수 있다.

발명의 효과

[0027] 본 발명의 실시예들에 따른 액정표시장치에 따르면, 와이어 그리드(wire grid) 편광 소자와 스위칭 소자의 거리를 이격시킴으로써, 와이어 그리드 편광 소자에 포함된 금속이 스위칭 소자에 영향을 주어 스위칭 소자의 전기적 특성이 변하는 것을 줄일 수 있다.

[0028] 또한, 와이어 그리드 편광 소자가 개구 영역에 배치됨으로써, 백라이트 유닛으로부터 제공되는 광의 이용 효율을 증가시키고, 그에 따라 액정표시장치의 휘도를 향상시킬 수 있다.

[0029] 나아가, 액정표시장치의 베젤(bezel)의 크기를 줄이기 위하여 스위칭 소자가 상부 기판에 배치되는 경우에도, 스위칭 소자 및 와이어 그리드 편광 소자의 거리를 이격시킴으로써, 스위칭 소자의 전기적 특성이 유지되고, 액정표시장치의 휘도가 향상될 수 있다.

도면의 간단한 설명

[0030] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치의 단면도이다.

도 2는 도 1의 액정표시장치에서 반사 또는 편광되는 광을 도시한 단면도이다.

도 3은 본 발명의 제2 실시예에 따른 액정표시장치의 단면도이다.

도 4는 본 발명의 제3 실시예에 따른 액정표시장치의 단면도이다.

도 5는 본 발명의 제4 실시예에 따른 액정표시장치의 단면도이다.

도 6은 본 발명의 제5 실시예에 따른 액정표시장치의 단면도이다.

도 7은 본 발명의 제6 실시예에 따른 액정표시장치의 단면도이다.

도 8은 본 발명의 제7 실시예에 따른 액정표시장치의 단면도이다.

도 9는 본 발명의 제8 실시예에 따른 액정표시장치의 단면도이다.

도 10은 본 발명의 제9 실시예에 따른 액정표시장치의 단면도이다.

도 11은 본 발명의 제10 실시예에 따른 액정표시장치의 단면도이다.

도 12는 본 발명의 제11 실시예에 따른 액정표시장치의 단면도이다.

도 13은 본 발명의 제12 실시예에 따른 액정표시장치의 단면도이다.

도 14는 본 발명의 제13 실시예에 따른 액정표시장치의 단면도이다.

도 15는 본 발명의 제14 실시예에 따른 액정표시장치의 단면도이다.

도 16은 본 발명의 제15 실시예에 따른 액정표시장치의 단면도이다.

도 17은 본 발명의 제16 실시예에 따른 액정표시장치의 단면도이다.

도 18은 본 발명의 제17 실시예에 따른 액정표시장치의 단면도이다.

도 19는 본 발명의 제18 실시예에 따른 액정표시장치의 단면도이다.

발명을 실시하기 위한 구체적인 내용

[0031] 이하, 도면들을 참조하여 본 발명의 바람직한 실시예들을 보다 상세하게 설명하기로 한다.

[0032] 실시예 1

[0033] 도 1은 본 발명의 제1 실시예에 따른 액정표시장치의 단면도이다.

[0034] 도 1을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다.

[0035] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0036] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0037] 상기 어레이 기판(100)은 제1 투명 기판(110), 흡수형 편광층(120), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0038] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다. 예를 들어, 상기 제1 투명 기판(110)은 유리(glass), 석영(quartz), 플라스틱(plastic), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate) 수지, 폴리에틸린(polyethylene) 수지, 또는 폴리카보네이트(polycarbonate) 수지를 포함할 수 있다. 이하, 어느 구성들이 상기 제1 면(110a) 상에 배치되는 경우, 상기 제1 투명 기판(110)의 하면에 순차적으로 배치되는 것을 나타내며, 어느 구성들이 상기 제2 면(110b) 상에 배치되는 경우, 상기 제1 투명 기판(110)의 상면에 순차적으로 배치되는 것을 나타낸다.

[0039] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 게이트 전극(131)은 게이트 라인(미도시)에 전기적으로 연결되며, 상기 박막 트랜지스터(130)를 구동하기 위한 게이트 신호를 게이트 구동부(미도시)로부터 인가받는다. 상기 게이트 전극(131)은 구리(Cu) 또는 구리 산화물(CuOx)을 포함할 수 있다. 또는, 상기 게이트 전극(131)은 갈륨 도핑된 아연 산화물(gallium doped zinc oxide; GZO), 인듐 도핑된 아연 산화물(indium doped zinc oxide; IZO) 또는 구리-망간 합금(CuMn)을 포

함할 수 있다.

[0040] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 게이트 절연층(132)은 투명한 절연 물질, 예컨대, 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0041] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다. 상기 반도체 패턴(133)은 인듐(indium; In), 아연(zinc; Zn), 갈륨(gallium; Ga), 주석(tin; Sn) 또는 하프늄(hafnium; Hf)을 포함할 수 있다. 예를 들어, 상기 반도체 패턴(133)은 인듐 갈륨 아연 산화물(indium gallium zinc oxide; IGZO), 인듐 주석 아연 산화물(indium tin zinc oxide; ITZO) 또는 하프늄 인듐 아연 산화물(hafnium indium zinc oxide; HIZO)을 포함하는 산화물 반도체 패턴일 수 있다.

[0042] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0043] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다. 상기 유기 절연층(140)은 유기 절연 물질, 예컨대 아크릴(acryl) 수지 또는 페놀(phenol) 수지를 포함할 수 있다.

[0044] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다. 예를 들어, 상기 화소 전극(150)은 인듐 아연 산화물(indium zinc oxide; IZO), 인듐 주석 산화물(indium tin oxide; ITO), 주석 산화물(SnOx) 또는 아연 산화물(ZnOx)을 포함할 수 있다.

[0045] 상기 흡수형 편광층(120)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 흡수형 편광층(120)은 트리아세틸 셀룰로오즈(triacetylcellulose; TAC)층 또는 폴리비닐 알코올(polyvinyl alcohol; PVA)층을 포함할 수 있다.

[0046] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0047] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다. 예를 들어, 상기 제2 투명 기판(210)은 유리(glass), 석영(quartz), 플라스틱(plastic), 폴리에틸렌 테레프탈레이트(polyethylene terephthalate) 수지, 폴리에틸린(polyethylene) 수지, 또는 폴리카보네이트(polycarbonate) 수지를 포함할 수 있다. 이하, 어느 구성들이 상기 제3 면(210a) 상에 배치되는 경우, 상기 제2 투명 기판(210)의 상면에 순차적으로 배치되는 것을 나타내며, 어느 구성들이 상기 제4 면(210b) 상에 배치되는 경우, 상기 제2 투명 기판(210)의 하면에 순차적으로 배치되는 것을 나타낸다.

[0048] 상기 편광자(220)는 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 편광자(220)는 소정의 간격(INT)만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭(WD) 및 두께(H)를 갖는다. 즉, 상기 편광자(220)는 와이어 그리드(wire grid) 편광 소자를 형성한다. 상기 금속 패턴들의 폭(WD) 및 두께(H)는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 두께(H)는 실질적으로 상기 폭(WD)의 3 배일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(220)에 의해 반사될 수 있다. 상기 금속 패턴들의 폭(WD) 및 간격(INT)이 입사광의 파장보다 작은 경우, 상기 입사광에 대한 편광도가 향상된다. 예를 들어, 상기 입사광이 약 400 나노미터(nm) 내지 700 나노미터(nm)의 파장을 갖는 가시광인 경우, 상기 폭(WD) 및 간격(INT)은 실질적으로 400 nm 이하일 수 있다. 예를 들어, 상기 폭(WD), 간격(INT) 및 두께(H)는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)는 반사도가 높은 금속 또는 합금을 포함할 수 있다. 예를 들어, 상기 편광자(220)는 알루미늄(Al), 금(Au), 은(Ag), 구리(Cu), 크롬(Cr), 철(Fe), 니켈(Ni) 또는 그들의 합금을 포함할 수 있다.

[0049] 본 실시예에서, 상기 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다. 상기 차광 영역(BP)에 대응하는 편광자(220)는 상기 차광 패턴(240)과 함께, 상기 백라이트 유닛(700)으로부터 입사되는 광을

반사시킬 수 있고, 상기 개구 영역(OP)에 대응하는 편광자(220)는 상기 백라이트 유닛(700)으로부터 입사되는 광을 투과시킬 수 있다. 이와 같이, 상기 편광자(220)가 배치되는 영역에 따라 상기 백라이트 유닛(700)의 광이 투과 또는 반사될 수 있다. 이에 대해서는, 후술할 도 2를 참조하여 보다 상세히 설명하도록 한다.

[0050] 본 실시예에 따른 액정표시장치에 포함된 편광자(220)는 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0051] 상기 패시베이션층(230)은 상기 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치되어, 상기 편광자(220)를 커버한다. 상기 패시베이션층(230)은 상기 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0052] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 패시베이션층(230) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0053] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 패시베이션층(230) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0054] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다. 예를 들어, 상기 공통 전극(260)은 인듐 아연 산화물(indium zinc oxide; IZO), 인듐 주석 산화물(indium tin oxide; ITO), 주석 산화물(SnOx) 또는 아연 산화물(ZnOx)을 포함할 수 있다.

[0055] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0056] 도 2는 도 1의 액정표시장치에서 반사 또는 편광되는 광을 도시한 단면도이다.

[0057] 도 2를 참조하면, 상기 백라이트 유닛(700)에서 출사된 광은 상기 제2 투명 기판(210)을 투과하여 상기 편광자(220)에 제공된다. 상기 편광자(220)는 상기 입사되는 광의 일부를 투과시키고, 다른 일부를 반사시킨다.

[0058] 이때, 상기 차광 영역(BP)에서 상기 편광자(220)를 투과한 광은 상기 차광 패턴(240)에 의해 하향 반사될 수 있다. 이렇게 하향 반사된 광은 상기 제2 투명 기판(210) 또는 백라이트 유닛(700)에 의해 상향 반사되어, 상기 편광자(220)에 다시 제공될 수 있다.

[0059] 한편, 상기 개구 영역(OP)에서 상기 편광자(220)를 투과한 광은 상기 컬러필터 패턴(250) 및 액정층(300)을 투과하며, 상기 제1 투명 기판(110) 상에 배치된 상기 흡수형 편광층(120)에 제공될 수 있다. 이렇게 제공된 광의 일부는 상기 흡수형 편광층(120)에 흡수되고 나머지 일부는 액정표시패널(500)의 외부로 출사될 수 있다.

[0060] 한편, 상기 액정표시패널(500)의 외부로부터 상기 어레이 기판(100)을 향하여 외부 광이 입사될 수도 있다. 이 경우, 상기 외부 광은 상기 흡수형 편광층(120)을 통과하면서 부분적으로 흡수 또는 투과되어 액정층(300)에 제공된다. 상기 액정층(300)에 제공되는 외부 광은 상기 편광자(220)에 의해 다시 상향 반사되어, 상기 액정표시패널(500)의 외부로 출사될 수 있다.

[0061] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220)가 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0062] 실시예 2

[0063] 도 3은 본 발명의 제2 실시예에 따른 액정표시장치의 단면도이다.

[0064] 도 3을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널

(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 편광자(220) 상에 패시베이션층 없이 차광 패턴(240) 및 컬러필터 패턴(250)이 배치되는 점을 제외하면, 도 1에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0065] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0066] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0067] 상기 어레이 기판(100)은 제1 투명 기판(110), 흡수형 편광층(120), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0068] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0069] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0070] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0071] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0072] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0073] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0074] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0075] 상기 흡수형 편광층(120)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다.

[0076] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0077] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0078] 상기 편광자(220)는 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(220)에 의해 반사될 수 있다. 본 실시예에서, 상기 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0079] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(220)는 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0080] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 편광자(220) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0081] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 편광자(220) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0082] 본 실시예에 따른 액정표시장치의 차광 패턴(240) 및 컬러필터 패턴(250)은 상기 편광자(220) 상에 직접 배치될 수 있다. 이 경우, 상기 편광자(220)에 포함되는 금속 패턴들의 사이에는 에어갭(air gap)이 형성될 수 있다. 다른 실시예에서, 상기 금속 패턴들의 사이에는 투과율을 높이기 위한 소정의 투명 물질이 배치될 수 있다.

[0083] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0084] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0085] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220)가 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0086] 실시예 3

[0087] 도 4는 본 발명의 제3 실시예에 따른 액정표시장치의 단면도이다.

[0088] 도 4를 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 편광자(220) 상에 패시베이션층 및 차광 패턴 없이 컬러필터 패턴(250)이 배치되는 점을 제외하면, 도 1에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0089] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0090] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0091] 상기 어레이 기판(100)은 제1 투명 기판(110), 흡수형 편광층(120), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0092] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0093] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0094] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0095] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0096] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0097] 본 실시예에서, 상기 게이트 전극(131), 소스 전극(135) 및 드레인 전극(137)은 불투명한 도전성 물질을 포함할 수 있다. 그에 따라, 상기 게이트 전극(131), 소스 전극(135) 및 드레인 전극(137)은 상기 액정층(300)으로부터 제공되는 광을 차단할 수 있다.

[0098] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0099] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0100] 상기 흡수형 편광층(120)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다.

[0101] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0102] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0103] 상기 편광자(220)는 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(220)에 의해 반사될 수 있다. 본 실시예에서, 상기 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0104] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(220)는 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0105] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 편광자(220) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 영역(BP)에 부분적으로 대응할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0106] 본 실시예에 따른 컬러필터 패턴(250)은 상기 편광자(220) 상에 직접 배치될 수 있다. 이 경우, 상기 편광자(220)에 포함되는 금속 패턴들의 사이에는 에어갭(air gap)이 형성될 수 있다. 다른 실시예에서, 상기 금속 패턴들의 사이에는 투과율을 높이기 위한 소정의 투명 물질이 배치될 수 있다.

[0107] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0108] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0109] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220)가 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0110] 실시예 4

[0111] 도 5는 본 발명의 제4 실시예에 따른 액정표시장치의 단면도이다.

[0112] 도 5를 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광

영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 컬러필터 패턴(143)이 어레이 기판(100)에 포함되고, 대향 기판(200)에 차광 패턴 대신 판형 패턴(225)이 포함되는 점을 제외하면, 도 1에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0113] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0114] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0115] 상기 어레이 기판(100)은 제1 투명 기판(110), 흡수형 편광층(120), 박막 트랜지스터(130), 게이트 절연층(132), 컬러필터 패턴(143), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0116] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0117] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0118] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0119] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0120] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0121] 상기 컬러필터 패턴(143)은 상기 개구 영역(OP)에 대응하며 상기 박막 트랜지스터(130)가 형성된 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 또한, 상기 컬러필터 패턴(143)은 상기 차광 영역(BP)에 부분적으로 대응할 수 있다. 상기 컬러필터 패턴(143)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(143)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0122] 상기 유기 절연층(140)은 상기 컬러필터 패턴(143)이 배치된 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0123] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0124] 상기 흡수형 편광층(120)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다.

[0125] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 판형 패턴(225), 패시베이션층(230) 및 공통 전극(260)을 포함한다.

[0126] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0127] 상기 편광자(220)는 상기 개구 영역(OP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 예를 들어, 상기 편광자(220)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편

광자(220)에 의해 반사될 수 있다.

[0128] 상기 판형 패턴(225)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 판형 패턴(225)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(225)은 상기 제2 투명 기판(210)의 제3 면(210a) 상에서, 상기 편광자(220)와 동일한 층에 배치된다. 상기 판형 패턴(225)은 상기 편광자(220)와 실질적으로 동일한 물질을 포함할 수 있다. 상기 판형 패턴(225)은 상기 편광자(220) 보다 두껍게 형성될 수 있다. 다른 실시예에서, 상기 판형 패턴(225)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0129] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(220) 및 판형 패턴(225)은 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(220) 및 판형 패턴(225)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0130] 상기 패시베이션층(230)은 상기 편광자(220) 및 판형 패턴(225)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 패시베이션층(230)은 상기 편광자(220) 및 판형 패턴(225)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 패시베이션층(230)은 투명한 물질을 포함할 수 있다.

[0131] 상기 공통 전극(260)은 상기 패시베이션층(230)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0132] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0133] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220) 및 판형 패턴(225)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220)가 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 판형 패턴(225)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0134] 실시예 5

[0135] 도 6은 본 발명의 제5 실시예에 따른 액정표시장치의 단면도이다.

[0136] 도 6을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 편광자(220)와 판형 패턴(225)의 두께가 실질적으로 동일하고, 패시베이션층 없이 상기 편광자(220) 및 판형 패턴(225) 상에 공통 전극(260)이 배치되는 점을 제외하면, 도 5에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0137] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0138] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0139] 상기 어레이 기판(100)은 제1 투명 기판(110), 흡수형 편광층(120), 박막 트랜지스터(130), 게이트 절연층(132), 컬러필터 패턴(143), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0140] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0141] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0142] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배

치된다.

[0143] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0144] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0145] 상기 컬러필터 패턴(143)은 상기 개구 영역(OP)에 대응하며 상기 박막 트랜지스터(130)가 형성된 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 또한, 상기 컬러필터 패턴(143)은 상기 차광 영역(BP)에 부분적으로 대응할 수 있다. 상기 컬러필터 패턴(143)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(143)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0146] 상기 유기 절연층(140)은 상기 컬러필터 패턴(143)이 배치된 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0147] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0148] 상기 흡수형 편광층(120)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다.

[0149] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 판형 패턴(225) 및 공통 전극(260)을 포함한다.

[0150] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0151] 상기 편광자(220)는 상기 개구 영역(OP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 예를 들어, 상기 편광자(220)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(220)에 의해 반사될 수 있다.

[0152] 상기 판형 패턴(225)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 판형 패턴(225)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(225)은 상기 제2 투명 기판(210)의 제3 면(210a) 상에서, 상기 편광자(220)와 동일한 층에 배치된다. 상기 판형 패턴(225)은 상기 편광자(220)와 실질적으로 동일한 물질을 포함할 수 있다. 본 실시예에서, 상기 판형 패턴(225)은 상기 편광자(220)와 실질적으로 동일한 두께를 갖는다. 다른 실시예에서, 상기 판형 패턴(225)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0153] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(220) 및 판형 패턴(225)은 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(220) 및 판형 패턴(225)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0154] 상기 공통 전극(260)은 상기 편광자(220) 및 판형 패턴(225)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0155] 본 실시예에 따른 공통 전극(260)은 상기 편광자(220) 및 판형 패턴(225) 상에 직접 배치될 수 있다. 이 경우, 상기 편광자(220)에 포함되는 금속 패턴들의 사이에는 에어갭(air gap)이 형성될 수 있다. 다른 실시예에서, 상기 금속 패턴들의 사이에는 투과율을 높이기 위한 소정의 투명 물질이 배치될 수 있다.

[0156] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0157] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220) 및

판형 패턴(225)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220)가 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 판형 패턴(225)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0158] 실시예 6

[0159] 도 7은 본 발명의 제6 실시예에 따른 액정표시장치의 단면도이다.

[0160] 도 7을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 어레이 기판(110)의 제2 면(110b) 상에 흡수형 편광층 대신 제1 편광자(121) 및 제1 패시베이션층(123)이 배치되는 점을 제외하면, 도 1에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0161] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0162] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0163] 상기 어레이 기판(100)은 제1 투명 기판(110), 제1 편광자(121), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0164] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0165] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0166] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0167] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0168] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0169] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0170] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0171] 상기 제1 편광자(121)는 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 제1 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제1 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 제1 편광자(121)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0172] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 편광자(121)는 상기 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 편광자(121)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0173] 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 제1 편광자(121)를 커버한다. 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0174] 상기 대향 기판(200)은 제2 투명 기판(210), 제2 편광자(220), 제2 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0175] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0176] 상기 제2 편광자(220)는 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 제2 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제2 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 제2 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 제2 편광자(220)에 의해 반사될 수 있다. 본 실시예에서, 상기 제2 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0177] 본 실시예에서, 상기 제1 편광자(121)는 상기 제2 편광자(220) 보다 실질적으로 낮은 반사도(reflectivity)를 가질 수 있다. 이 경우, 상기 제1 편광자(121)는 상기 금속 패턴들의 상부에 배치되는 소정의 저반사 물질을 더 포함할 수 있다. 이와 같이, 상기 어레이 기판(100)에 포함되는 제1 편광자(121)가 상기 대향 기판(200)에 포함되는 제2 편광자(220)보다 낮은 반사도를 가짐으로써, 외부 광이 상기 제1 편광자(121)를 투과하여 액정층(300)으로 제공될 수 있다. 실시예에 따라, 상기 제1 편광자(121) 및 제2 편광자(220)는 실질적으로 동일한 물질을 포함할 수 있다.

[0178] 전술한 바와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 및 제2 편광자들(121, 220)은 액정층(300) 또는 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 및 제2 편광자들(121, 220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0179] 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치되어, 상기 제2 편광자(220)를 커버한다. 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다. 상기 제1 패시베이션층(123) 및 제2 패시베이션층(230)은 실질적으로 동일한 물질을 포함할 수 있다.

[0180] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 패시베이션층(230) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0181] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 패시베이션층(230) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0182] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0183] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0184] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 제1 및 제2 편광자들(121, 220)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 제1 및 제2 편광자들(121, 220)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 제1 및 제2 편광자들(121, 220)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0185] 실시예 7

[0186] 도 8은 본 발명의 제7 실시예에 따른 액정표시장치의 단면도이다.

[0187] 도 8을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 어레이 기판(110)의 제2 면(110b) 상에 흡수형 편광층 대신 제1 편광자(121) 및 제1 패시베이션층(123)이 배치되는 점을 제외하면, 도 5에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0188] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0189] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0190] 상기 어레이 기판(100)은 제1 투명 기판(110), 제1 편광자(121), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 컬러필터 패턴(143), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0191] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0192] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0193] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0194] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0195] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0196] 상기 컬러필터 패턴(143)은 상기 개구 영역(OP)에 대응하며 상기 박막 트랜지스터(130)가 형성된 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 또한, 상기 컬러필터 패턴(143)은 상기 차광 영역(BP)에 부분적으로 대응할 수 있다. 상기 컬러필터 패턴(143)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(143)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0197] 상기 유기 절연층(140)은 상기 컬러필터 패턴(143)이 배치된 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0198] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0199] 상기 제1 편광자(121)는 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 제1 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제1 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 제1 편광자(121)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0200] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 편광자(121)는 상기 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 편광자(121)으로 인해 상기 박막 트랜

지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0201] 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 제1 편광자(121)를 커버한다. 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0202] 상기 대향 기판(200)은 제2 투명 기판(210), 제2 편광자(220), 판형 패턴(225), 제2 패시베이션층(230) 및 공통 전극(260)을 포함한다.

[0203] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0204] 상기 제2 편광자(220)는 상기 개구 영역(OP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 제2 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제2 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 제2 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 제2 편광자(220)에 의해 반사될 수 있다.

[0205] 본 실시예에서, 상기 제1 편광자(121)는 상기 제2 편광자(220) 보다 실질적으로 낮은 반사도(reflectivity)를 가질 수 있다. 이 경우, 상기 제1 편광자(121)는 금속 패턴들의 상부에 배치되는 소정의 저반사 물질을 더 포함할 수 있다. 이와 같이, 상기 어레이 기판(100)에 포함되는 제1 편광자(121)가 상기 대향 기판(200)에 포함되는 제2 편광자(220)보다 낮은 반사도를 가짐으로써, 외부 광이 상기 제1 편광자(121)를 투과하여 액정층(300)으로 제공될 수 있다. 실시예에 따라, 상기 제1 편광자(121) 및 제2 편광자(220)는 실질적으로 동일한 물질을 포함할 수 있다.

[0206] 상기 판형 패턴(225)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 판형 패턴(225)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(225)은 상기 제2 투명 기판(210)의 제3 면(210a) 상에서, 상기 제2 편광자(220)과 동일한 층에 배치된다. 상기 판형 패턴(225)은 상기 제2 편광자(220)과 실질적으로 동일한 물질을 포함할 수 있다. 상기 판형 패턴(225)은 상기 제2 편광자(220) 보다 두껍게 형성될 수 있다. 다른 실시예에서, 상기 판형 패턴(225)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0207] 전술한 바와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 및 제2 편광자들(121, 220) 및 판형 패턴(225)은 액정층(300) 또는 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 및 제2 편광자(121, 220)과 판형 패턴(225)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0208] 상기 제2 패시베이션층(230)은 상기 제2 편광자(220) 및 판형 패턴(225)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 제2 패시베이션층(230)은 상기 제2 편광자(220) 및 판형 패턴(225)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(230)은 투명한 물질을 포함할 수 있다.

[0209] 상기 공통 전극(260)은 상기 제2 패시베이션층(230)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0210] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0211] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 제1 및 제2 편광자들(121, 220)과 판형 패턴(225)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(225)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(225)으로 인해 상기 박막 트랜지스터(130)에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0212] 실시예 8

[0213] 도 9는 본 발명의 제8 실시예에 따른 액정표시장치의 단면도이다.

[0214] 도 9를 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 대향 기판(200)에 포함되는 편광자(220)가 제2 투명 기판(210)의 제4면(210b)에 배치되고, 어레이 기판(100)에 포함되는 박막 트랜지스터(130)가 탑-게이트 구조를 갖는 점을 제외하면, 도 1에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0215] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0216] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0217] 상기 어레이 기판(100)은 제1 투명 기판(110), 흡수형 편광층(120), 박막 트랜지스터(130), 게이트 절연층(132), 무기 절연층(134), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0218] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0219] 상기 반도체 패턴(133)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a)에 배치된다.

[0220] 상기 게이트 절연층(132)은 상기 반도체 패턴(133)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되며, 상기 반도체 패턴(133)을 커버한다.

[0221] 상기 게이트 전극(131)은 상기 반도체 패턴(133)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0222] 상기 무기 절연층(134)은 상기 게이트 전극(131)이 형성된 상기 게이트 절연층(132) 상에 배치되며, 상기 게이트 전극(131)을 커버한다. 상기 게이트 절연층(132) 및 무기 절연층(134)은 실질적으로 동일한 물질을 포함할 수 있다. 예를 들어, 상기 게이트 절연층(132) 및 무기 절연층(134)은 투명한 절연 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0223] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 소스 전극(135)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제1 콘택홀(CNT1)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0224] 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 드레인 전극(137)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제2 콘택홀(CNT2)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0225] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0226] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 제3 콘택홀(CNT3)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0227] 상기 흡수형 편광층(120)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다.

[0228] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0229] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절

연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0230] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0231] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0232] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0233] 상기 편광자(220)는 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(220)에 의해 반사될 수 있다. 본 실시예에서, 상기 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0234] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(220)는 액정층(300) 및 제2 투명 기판(210)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0235] 상기 패시베이션층(230)은 상기 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 편광자(220)를 커버한다. 상기 패시베이션층(230)은 상기 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0236] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0237] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220)가 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0238] 실시예 9

[0239] 도 10은 본 발명의 제9 실시예에 따른 액정표시장치의 단면도이다.

[0240] 도 10을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 대향 기판(200)이 판형 패턴(225)을 더 포함하는 점을 제외하면, 도 9에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0241] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0242] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0243] 상기 어레이 기판(100)은 제1 투명 기판(110), 흡수형 편광층(120), 박막 트랜지스터(130), 게이트 절연층(132), 무기 절연층(134), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0244] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0245] 상기 반도체 패턴(133)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a)에 배치된다.

[0246] 상기 게이트 절연층(132)은 상기 반도체 패턴(133)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되며, 상기 반도체 패턴(133)을 커버한다.

[0247] 상기 게이트 전극(131)은 상기 반도체 패턴(133)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0248] 상기 무기 절연층(134)은 상기 게이트 전극(131)이 형성된 상기 게이트 절연층(132) 상에 배치되며, 상기 게이트 전극(131)을 커버한다.

[0249] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 소스 전극(135)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제1 콘택홀(CNT1)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0250] 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 드레인 전극(137)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제2 콘택홀(CNT2)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0251] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0252] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 제3 콘택홀(CNT3)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0253] 상기 흡수형 편광층(120)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다.

[0254] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 판형 패턴(225), 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0255] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0256] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0257] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0258] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0259] 상기 편광자(220)는 상기 개구 영역(OP)에 대응하여 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 예를 들어, 상기 편광자(220)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게

입사되는 광은 상기 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(220)에 의해 반사될 수 있다.

[0260] 상기 판형 패턴(225)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 판형 패턴(225)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(225)은 상기 제2 투명 기판(210)의 제4 면(210a) 상에서, 상기 편광자(220)과 동일한 층에 배치된다. 상기 판형 패턴(225)은 상기 편광자(220)과 실질적으로 동일한 물질을 포함할 수 있다. 상기 판형 패턴(225)은 상기 편광자(220) 보다 두껍게 형성될 수 있다. 다른 실시예에서, 상기 판형 패턴(225)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0261] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(220) 및 판형 패턴(225)은 액정층(300) 및 제2 투명 기판(210)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0262] 상기 패시베이션층(230)은 상기 편광자(220) 및 판형 패턴(225)이 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 편광자(220) 및 판형 패턴(225)을 커버한다. 상기 패시베이션층(230)은 상기 편광자(220) 및 판형 패턴(225)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0263] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0264] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220) 및 판형 패턴(225)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220) 및 판형 패턴(225)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 판형 패턴(225)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0265] 실시예 10

[0266] 도 11은 본 발명의 제10 실시예에 따른 액정표시장치의 단면도이다.

[0267] 도 11을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 어레이 기판(100)이 흡수형 편광층 대신 제1 편광자(121)를 포함하는 점을 제외하면, 도 9에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0268] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0269] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0270] 상기 어레이 기판(100)은 제1 투명 기판(110), 제1 편광자(121), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 무기 절연층(134), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0271] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0272] 상기 반도체 패턴(133)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a)에 배치된다.

[0273] 상기 게이트 절연층(132)은 상기 반도체 패턴(133)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되며, 상기 반도체 패턴(133)을 커버한다.

[0274] 상기 게이트 전극(131)은 상기 반도체 패턴(133)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0275] 상기 무기 절연층(134)은 상기 게이트 전극(131)이 형성된 상기 게이트 절연층(132) 상에 배치되며, 상기 게이트 전극(131)을 커버한다.

[0276] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 소스 전극(135)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제1 콘택홀(CNT1)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0277] 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 드레인 전극(137)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제2 콘택홀(CNT2)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0278] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0279] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 제3 콘택홀(CNT3)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0280] 상기 제1 편광자(121)는 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 제1 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제1 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 제1 편광자(121)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0281] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 편광자(121)는 상기 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 편광자(121)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0282] 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 제1 편광자(121)를 커버한다. 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0283] 상기 대향 기판(200)은 제2 투명 기판(210), 제2 편광자(220), 제2 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0284] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0285] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0286] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0287] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0288] 상기 제2 편광자(220)는 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 제2 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제2 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게

입사되는 광은 상기 제2 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 제2 편광자(220)에 의해 반사될 수 있다. 본 실시예에서, 상기 제2 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0289] 본 실시예에서, 상기 제1 편광자(121)는 상기 제2 편광자(220) 보다 실질적으로 낮은 반사도(reflectivity)를 가질 수 있다. 이 경우, 상기 제1 편광자(121)는 금속 패턴들의 상부에 배치되는 소정의 저반사 물질을 더 포함할 수 있다. 이와 같이, 상기 어레이 기판(100)에 포함되는 제1 편광자(121)가 상기 대향 기판(200)에 포함되는 제2 편광자(220)보다 낮은 반사도를 가짐으로써, 외부 광이 상기 제1 편광자(121)를 투과하여 액정층(300)으로 제공될 수 있다. 실시예에 따라, 상기 제1 편광자(121) 및 제2 편광자(220)는 실질적으로 동일한 물질을 포함할 수 있다.

[0290] 전술한 바와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 및 제2 편광자들(121, 220)은 액정층(300)과 제2 투명 기판(210), 또는 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 및 제2 편광자들(121, 220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0291] 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 제2 편광자(220)를 커버한다. 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0292] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0293] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 제1 및 제2 편광자들(121, 220)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 제1 및 제2 편광자들(121, 220)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 제1 및 제2 편광자들(121, 220)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0294] 실시예 11

[0295] 도 12는 본 발명의 제11 실시예에 따른 액정표시장치의 단면도이다.

[0296] 도 12를 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 대향 기판(200)이 판형 패턴(225)을 포함하는 점을 제외하면, 도 11에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0297] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0298] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 상부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 하부에 배치된다.

[0299] 상기 어레이 기판(100)은 제1 투명 기판(110), 제1 편광자(121), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 무기 절연층(134), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0300] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0301] 상기 반도체 패턴(133)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a)에 배치된다.

[0302] 상기 게이트 절연층(132)은 상기 반도체 패턴(133)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되며, 상기 반도체 패턴(133)을 커버한다.

[0303] 상기 게이트 전극(131)은 상기 반도체 패턴(133)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0304] 상기 무기 절연층(134)은 상기 게이트 전극(131)이 형성된 상기 게이트 절연층(132) 상에 배치되며, 상기 게이트 전극(131)을 커버한다.

[0305] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 소스 전극(135)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제1 콘택홀(CNT1)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0306] 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 무기 절연층(134) 상에 배치된다. 상기 드레인 전극(137)은 상기 게이트 절연층(132) 및 무기 절연층(134)을 관통하는 제2 콘택홀(CNT2)을 통해 상기 반도체 패턴(133)에 접촉한다.

[0307] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0308] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 제3 콘택홀(CNT3)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다.

[0309] 상기 제1 편광자(121)는 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 제1 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제1 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 제1 편광자(121)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0310] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 편광자(121)는 상기 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 편광자(121)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0311] 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 제1 편광자(121)를 커버한다. 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0312] 상기 대향 기판(200)은 제2 투명 기판(210), 제2 편광자(220), 판형 패턴(225), 제2 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0313] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0314] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0315] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0316] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0317] 상기 제2 편광자(220)는 상기 개구 영역(OP)에 대응하여 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 제2 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일

수 있다. 상기 제2 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 제2 편광자(220)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 제2 편광자(220)에 의해 반사될 수 있다.

[0318] 본 실시예에서, 상기 제1 편광자(121)는 상기 제2 편광자(220) 보다 실질적으로 낮은 반사도(reflectivity)를 가질 수 있다. 이 경우, 상기 제1 편광자(121)는 금속 패턴들의 상부에 배치되는 소정의 저반사 물질을 더 포함할 수 있다. 이와 같이, 상기 어레이 기판(100)에 포함되는 제1 편광자(121)가 상기 대향 기판(200)에 포함되는 제2 편광자(220)보다 낮은 반사도를 가짐으로써, 외부 광이 상기 제1 편광자(121)를 투과하여 액정층(300)으로 제공될 수 있다. 실시예에 따라, 상기 제1 편광자(121) 및 제2 편광자(220)는 실질적으로 동일한 물질을 포함할 수 있다.

[0319] 상기 판형 패턴(225)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 판형 패턴(225)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(225)은 상기 제2 투명 기판(210)의 제4 면(210b) 상에서, 상기 제2 편광자(220)과 동일한 층에 배치된다. 상기 판형 패턴(225)은 상기 제2 편광자(220)과 실질적으로 동일한 물질을 포함할 수 있다. 상기 판형 패턴(225)은 상기 제2 편광자(220) 보다 두껍게 형성될 수 있다. 다른 실시예에서, 상기 판형 패턴(225)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0320] 전술한 바와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 및 제2 편광자들(121, 220) 및 판형 패턴(225)은 액정층(300)과 제2 투명 기판(210), 또는 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(225)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0321] 상기 제2 패시베이션층(230)은 상기 제2 편광자(220) 및 판형 패턴(225)이 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 제2 편광자(220) 및 판형 패턴(225)을 커버한다. 상기 제2 패시베이션층(230)은 상기 제2 편광자(220) 및 판형 패턴(225)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0322] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 대향 기판(200)의 제4 면(210b)을 향하여 광을 제공한다.

[0323] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 제1 및 제2 편광자들(121, 220)과 판형 패턴(225)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(225)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(225)으로 인해 상기 박막 트랜지스터(130)에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0324] 실시예 12

[0325] 도 13은 본 발명의 제12 실시예에 따른 액정표시장치의 단면도이다.

[0326] 도 13을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 어레이 기판(100) 및 대향 기판(200)의 위치, 편광자(121)의 위치 및 판형 패턴(125)을 제외하면, 도 1에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0327] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0328] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 하부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 상부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 하부에 배치된다.

[0329] 상기 어레이 기판(100)은 제1 투명 기판(110), 편광자(121), 판형 패턴(125), 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(13

7)을 포함한다.

[0330] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다. 이하, 어느 구성들이 상기 제1 면(110a) 상에 배치되는 경우, 상기 제1 투명 기판(110)의 상면에 순차적으로 배치되는 것을 나타내며, 어느 구성들이 상기 제2 면(110b) 상에 배치되는 경우, 상기 제1 투명 기판(110)의 하면에 순차적으로 배치되는 것을 나타낸다.

[0331] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0332] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0333] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0334] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0335] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0336] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다.

[0337] 상기 편광자(121)는 상기 개구 영역(OP)에 대응하여 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 예를 들어, 상기 편광자(121)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(121)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(121)에 의해 반사될 수 있다.

[0338] 상기 판형 패턴(125)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 판형 패턴(125)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(125)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에서, 상기 편광자(121)과 동일한 층에 배치된다. 상기 판형 패턴(125)은 상기 편광자(121)과 실질적으로 동일한 물질을 포함할 수 있다. 상기 판형 패턴(125)은 상기 편광자(121)과 실질적으로 동일한 두께를 가질 수 있다. 다른 실시예에서, 상기 판형 패턴(125)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0339] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(121) 및 판형 패턴(125)은 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(121) 및 판형 패턴(125)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0340] 상기 패시베이션층(123)은 상기 편광자(121) 및 판형 패턴(125)이 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 편광자(121) 및 판형 패턴(125)을 커버한다. 상기 패시베이션층(123)은 상기 편광자(121) 및 판형 패턴(125)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0341] 상기 대향 기판(200)은 제2 투명 기판(210), 흡수형 편광층(270), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0342] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다. 이하, 어느 구성들이 상기 제3 면(210a) 상에 배치되는 경우, 상기 제2 투명 기판(210)의 하면에 순차적으로 배치되는 것을 나타내며, 어느 구성들이 상기 제4 면(210b) 상에 배치되는 경우, 상기 제2 투명 기판

(210)의 상면에 순차적으로 배치되는 것을 나타낸다.

[0343] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 차광 패턴(240)은 화소 영역의 경계에서 누설되는 광을 차단한다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0344] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0345] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0346] 상기 흡수형 편광층(270)은 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 흡수형 편광층(270)은 트리아세틸 셀룰로오즈(triacetylcellulose; TAC)층 또는 폴리비닐 알코올(polyvinyl alcohol; PVA)층을 포함할 수 있다.

[0347] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 제2 면(110b)을 향하여 광을 제공한다.

[0348] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(121) 및 판형 패턴(125)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(121) 및 판형 패턴(125)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(121) 및 판형 패턴(125)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0349] 실시예 13

[0350] 도 14는 본 발명의 제13 실시예에 따른 액정표시장치의 단면도이다.

[0351] 도 14를 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 대향 기판(200)이 제2 편광자(220) 및 제2 패시베이션층(230)을 포함하는 점을 제외하면, 도 13에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0352] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0353] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 하부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 상부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 하부에 배치된다.

[0354] 상기 어레이 기판(100)은 제1 투명 기판(110), 제1 편광자(121), 판형 패턴(125), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0355] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0356] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0357] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0358] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0359] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에

배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0360] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0361] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다.

[0362] 상기 제1 편광자(121)는 상기 개구 영역(OP)에 대응하여 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 예를 들어, 상기 제1 편광자(121)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 제1 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제1 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 제1 편광자(121)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 제1 편광자(121)에 의해 반사될 수 있다.

[0363] 상기 판형 패턴(125)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 판형 패턴(125)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(125)은 상기 제1 투명 기판(110)의 제2 면(110b) 상에서, 상기 제1 편광자(121)와 동일한 층에 배치된다. 상기 판형 패턴(125)은 상기 제1 편광자(121)와 실질적으로 동일한 물질을 포함할 수 있다. 상기 판형 패턴(125)은 상기 제1 편광자(121)와 실질적으로 동일한 두께를 가질 수 있다. 다른 실시예에서, 상기 판형 패턴(125)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0364] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 편광자(121) 및 판형 패턴(125)은 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 편광자(121) 및 판형 패턴(125)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0365] 상기 제1 패시베이션층(123)은 상기 제1 편광자(121) 및 판형 패턴(125)이 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 제1 편광자(121) 및 판형 패턴(125)을 커버한다. 상기 제1 패시베이션층(123)은 상기 제1 편광자(121) 및 판형 패턴(125)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0366] 상기 대향 기판(200)은 제2 투명 기판(210), 제2 편광자(220), 제2 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0367] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0368] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0369] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0370] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0371] 상기 제2 편광자(220)는 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 제2 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제2 편광자(220)의

금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 제2 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0372] 본 실시예에서, 상기 제2 편광자(220)는 상기 제1 편광자(121) 보다 실질적으로 낮은 반사도(reflectivity)를 가질 수 있다. 이 경우, 상기 제2 편광자(220)는 금속 패턴들의 상부에 배치되는 소정의 저반사 물질을 더 포함할 수 있다. 이와 같이, 상기 대향 기판(200)에 포함되는 제2 편광자(220)가 상기 어레이 기판(100)에 포함되는 제1 편광자(121)보다 낮은 반사도를 가짐으로써, 외부 광이 상기 제2 편광자(220)를 투과하여 액정층(300)으로 제공될 수 있다. 실시예에 따라, 상기 제1 편광자(121) 및 제2 편광자(220)는 실질적으로 동일한 물질을 포함할 수 있다.

[0373] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제2 편광자(220)는 상기 제2 투명 기판(210) 및 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제2 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0374] 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 제2 편광자(220)를 커버한다. 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0375] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 제2 면(110b)을 향하여 광을 제공한다.

[0376] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 제1 및 제2 편광자들(121, 220)과 판형 패턴(125)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(125)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(125)으로 인해 상기 박막 트랜지스터(130)에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0377] 실시예 14

[0378] 도 15는 본 발명의 제14 실시예에 따른 액정표시장치의 단면도이다.

[0379] 도 15를 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 어레이 기판(100)에 포함되는 편광자(121)의 위치가 다르고, 판형 패턴이 없는 점을 제외하면, 도 13에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0380] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0381] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 하부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 상부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 하부에 배치된다.

[0382] 상기 어레이 기판(100)은 제1 투명 기판(110), 편광자(121), 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0383] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0384] 상기 편광자(121)는 상기 개구 영역(OP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 예를 들어, 상기 편광자(121)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(121)의

금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(121)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(121)에 의해 반사될 수 있다.

[0385] 상기 패시베이션층(123)은 상기 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되어, 상기 편광자(121)를 커버한다. 상기 패시베이션층(123)은 상기 편광자(121)를 전체적으로 커버할 수 있다. 상기 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0386] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 패시베이션층(123) 상에 배치된다.

[0387] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 패시베이션층(123) 상에 배치된다.

[0388] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0389] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0390] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(121)는 개구 영역(OP)에만 배치됨으로써, 차광 영역(BP)에 배치되는 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(121)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0391] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0392] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다.

[0393] 상기 대향 기판(200)은 제2 투명 기판(210), 흡수형 편광층(270), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0394] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0395] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0396] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0397] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0398] 상기 흡수형 편광층(270)은 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다.

[0399] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 제2 면(110b)을 향하여 광을 제공한다.

[0400] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(121)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(121)가 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(121) 및 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0401] 실시예 15

[0402] 도 16은 본 발명의 제15 실시예에 따른 액정표시장치의 단면도이다.

[0403] 도 16을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 대향 기판(200)이 제2 편광자(220) 및 제2 패시베이션층(230)을 포함하는 점을 제외하면, 도 15에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0404] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0405] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 하부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 상부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 하부에 배치된다.

[0406] 상기 어레이 기판(100)은 제1 투명 기판(110), 제1 편광자(121), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140) 및 화소 전극(150)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0407] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0408] 상기 제1 편광자(121)는 상기 개구 영역(OP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 예를 들어, 상기 제1 편광자(121)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 제1 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제1 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 제1 편광자(121)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 제1 편광자(121)에 의해 반사될 수 있다.

[0409] 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되어, 상기 제1 편광자(121)를 커버한다. 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)를 전체적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0410] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 패시베이션층(123) 상에 배치된다.

[0411] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 패시베이션층(123) 상에 배치된다.

[0412] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0413] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0414] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 편광자(121)는 개구 영역(OP)에만 배치됨으로써, 차광 영역(BP)에 배치되는 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 편광자(121)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0415] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0416] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다.

[0417] 상기 대향 기판(200)은 제2 투명 기판(210), 제2 편광자(220), 제2 패시베이션층(230), 차광 패턴(240), 컬러필

터 패턴(250) 및 공통 전극(260)을 포함한다.

[0418] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0419] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0420] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0421] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0422] 상기 제2 편광자(220)는 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 제2 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제2 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 제2 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0423] 본 실시예에서, 상기 제2 편광자(220)는 상기 제1 편광자(121) 보다 실질적으로 낮은 반사도(reflectivity)를 가질 수 있다. 이 경우, 상기 제2 편광자(220)는 금속 패턴들의 상부에 배치되는 소정의 저반사 물질을 더 포함할 수 있다. 이와 같이, 상기 대향 기판(200)에 포함되는 제2 편광자(220)가 상기 어레이 기판(100)에 포함되는 제1 편광자(121)보다 낮은 반사도를 가짐으로써, 외부 광이 상기 제2 편광자(220)를 투과하여 액정층(300)으로 제공될 수 있다. 실시예에 따라, 상기 제1 편광자(121) 및 제2 편광자(220)는 실질적으로 동일한 물질을 포함할 수 있다.

[0424] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제2 편광자(220)는 상기 제2 투명 기판(210) 및 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제2 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0425] 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 제2 편광자(220)를 커버한다. 상기 제2 패시베이션층(230)은 상기 제2 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0426] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 제2 면(110b)을 향하여 광을 제공한다.

[0427] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 제1 및 제2 편광자들(121, 220)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 제1 및 제2 편광자들(121, 220)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 제1 및 제2 편광자들(121, 220)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0428] 실시예 16

[0429] 도 17은 본 발명의 제16 실시예에 따른 액정표시장치의 단면도이다.

[0430] 도 17을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 어레이 기판(100)이 판형 패턴(125)을 포함하는 점을 제외하면, 도 15에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간

략히 한다.

[0431] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0432] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 하부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 상부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 하부에 배치된다.

[0433] 상기 어레이 기판(100)은 제1 투명 기판(110), 편광자(121), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140), 화소 전극(150), 판형 패턴(125) 및 제2 패시베이션층(127)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0434] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0435] 상기 편광자(121)는 상기 개구 영역(OP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 예를 들어, 상기 편광자(121)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 편광자(121)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 편광자(121)에 의해 반사될 수 있다.

[0436] 상기 제1 패시베이션층(123)은 상기 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되어, 상기 편광자(121)를 커버한다. 상기 제1 패시베이션층(123)은 상기 편광자(121)를 전체적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0437] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 패시베이션층(123) 상에 배치된다.

[0438] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 패시베이션층(123) 상에 배치된다.

[0439] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0440] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0441] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(121)는 개구 영역(OP)에만 배치됨으로써, 차광 영역(BP)에 배치되는 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 편광자(121)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0442] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0443] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다.

[0444] 상기 판형 패턴(125)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 판형 패턴(125)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(125)은 상기 편광자(121)와 실질적으로 동일한 물질을 포함할 수 있다. 다른 실시예에서, 상기 판형 패턴(125)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0445] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 판형 패턴(125)은 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 판형 패턴(125)으로 인해 상기 박막 트랜지스터

(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0446] 상기 제2 패시베이션층(127)은 상기 판형 패턴(125)이 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 판형 패턴(125)을 커버한다. 상기 제2 패시베이션층(127)은 상기 판형 패턴(125)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(127)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0447] 상기 대향 기판(200)은 제2 투명 기판(210), 흡수형 편광층(270), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0448] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0449] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0450] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0451] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0452] 상기 흡수형 편광층(270)은 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다.

[0453] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 제2 면(110b)을 향하여 광을 제공한다.

[0454] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(121) 및 판형 패턴(125)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(121) 및 판형 패턴(125)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(121) 및 판형 패턴(125)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0455] 실시예 17

[0456] 도 18은 본 발명의 제17 실시예에 따른 액정표시장치의 단면도이다.

[0457] 도 18을 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 대향 기판(200)이 제2 편광자(220) 및 제3 패시베이션층(230)을 포함하는 점을 제외하면, 도 17에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0458] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0459] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 하부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 상부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 하부에 배치된다.

[0460] 상기 어레이 기판(100)은 제1 투명 기판(110), 제1 편광자(121), 제1 패시베이션층(123), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140), 화소 전극(150), 판형 패턴(125) 및 제2 패시베이션층(127)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0461] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절

연 물질을 포함한다.

[0462] 상기 제1 편광자(121)는 상기 개구 영역(OP)에 대응하여 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 예를 들어, 상기 제1 편광자(121)는 수평 방향을 따라 상기 박막 트랜지스터(130)와 이격된다. 상기 제1 편광자(121)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제1 편광자(121)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 이 경우, 상기 금속 패턴들이 연장되는 방향에 수직하게 입사되는 광은 상기 제1 편광자(121)를 투과하고, 상기 금속 패턴들의 연장 방향에 평행하게 입사되는 광은 상기 제1 편광자(121)에 의해 반사될 수 있다.

[0463] 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치되어, 상기 제1 편광자(121)를 커버한다. 상기 제1 패시베이션층(123)은 상기 제1 편광자(121)를 전체적으로 커버할 수 있다. 상기 제1 패시베이션층(123)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0464] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 패시베이션층(123) 상에 배치된다.

[0465] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 패시베이션층(123) 상에 배치된다.

[0466] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0467] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0468] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제1 편광자(121)는 개구 영역(OP)에만 배치됨으로써, 차광 영역(BP)에 배치되는 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제1 편광자(121)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0469] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0470] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다.

[0471] 상기 판형 패턴(125)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 판형 패턴(125)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 상기 판형 패턴(125)은 상기 제1 편광자(121)와 실질적으로 동일한 물질을 포함할 수 있다. 다른 실시예에서, 상기 판형 패턴(125)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0472] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 판형 패턴(125)은 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 판형 패턴(125)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0473] 상기 제2 패시베이션층(127)은 상기 판형 패턴(125)이 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 판형 패턴(125)을 커버한다. 상기 제2 패시베이션층(127)은 상기 판형 패턴(125)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(127)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0474] 상기 대향 기판(200)은 제2 투명 기판(210), 제2 편광자(220), 제3 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0475] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0476] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에

배치된다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0477] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0478] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0479] 상기 제2 편광자(220)는 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 제2 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 제2 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 제2 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0480] 본 실시예에서, 상기 제2 편광자(220)는 상기 제1 편광자(121) 보다 실질적으로 낮은 반사도(reflectivity)를 가질 수 있다. 이 경우, 상기 제2 편광자(220)는 금속 패턴들의 상부에 배치되는 소정의 저반사 물질을 더 포함할 수 있다. 이와 같이, 상기 대향 기판(200)에 포함되는 제2 편광자(220)가 상기 어레이 기판(100)에 포함되는 제1 편광자(121)보다 낮은 반사도를 가짐으로써, 외부 광이 상기 제2 편광자(220)를 투과하여 액정층(300)으로 제공될 수 있다. 실시예에 따라, 상기 제1 편광자(121) 및 제2 편광자(220)는 실질적으로 동일한 물질을 포함할 수 있다.

[0481] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 제2 편광자(220)는 상기 제2 투명 기판(210) 및 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제2 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0482] 상기 제3 패시베이션층(230)은 상기 제2 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 제2 편광자(220)를 커버한다. 상기 제3 패시베이션층(230)은 상기 제2 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제3 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0483] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 제2 면(110b)을 향하여 광을 제공한다.

[0484] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 제1 및 제2 편광자들(121, 220)과 판형 패턴(125)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 제1 및 제2 편광자들(121, 220)과 판형 패턴(125)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 제1 및 제2 편광자들(121, 220) 및 판형 패턴(125)으로 인해 상기 박막 트랜지스터(130)에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0485] 실시예 18

[0486] 도 19는 본 발명의 제18 실시예에 따른 액정표시장치의 단면도이다.

[0487] 도 19를 참조하면, 본 실시예에 따른 액정표시장치는 액정표시패널(500) 및 백라이트 유닛(700)을 포함한다. 상기 액정표시패널(500)은 어레이 기판(100), 대향 기판(200) 및 액정층(300)을 포함한다. 상기 액정표시패널(500)은 상기 백라이트 유닛(700)으로부터 제공되는 광이 투과되는 개구 영역(OP) 및 상기 광이 차단되는 차광 영역(BP)를 갖는다. 본 실시예에 따른 액정표시장치는 어레이 기판(100)에 편광자가 포함되지 않는 점을 제외하면, 도 18에 도시된 액정표시장치와 실질적으로 동일하다. 이하, 동일한 구성에 대한 설명은 생략하거나 간략히 한다.

[0488] 상기 어레이 기판(100)은 박막 트랜지스터(130) 및 상기 박막 트랜지스터(130)에 전기적으로 연결되는 화소 전극(150)을 포함하는 기판이다. 상기 대향 기판(200)은 상기 어레이 기판(100)에 마주하는 기판이다. 상기 액정층(300)은 상기 어레이 기판(100) 및 대향 기판(200)의 사이에 배치된다.

[0489] 본 실시예에서, 상기 어레이 기판(100)은 상기 액정층(300)의 하부에 배치되고, 상기 대향 기판(200)은 상기 액정층(300)의 상부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 하부에 배치된다.

[0490] 상기 어레이 기판(100)은 제1 투명 기판(110), 박막 트랜지스터(130), 게이트 절연층(132), 유기 절연층(140), 화소 전극(150), 판형 패턴(125) 및 제1 패시베이션층(127)을 포함한다. 상기 박막 트랜지스터(130)는 상기 차광 영역(BP)에 대응하며, 게이트 전극(131), 반도체 패턴(133), 소스 전극(135) 및 드레인 전극(137)을 포함한다.

[0491] 상기 제1 투명 기판(110)은 제1 면(110a) 및 상기 제1 면(110a)에 반대되는 제2 면(110b)을 가지며, 투명한 절연 물질을 포함한다.

[0492] 상기 게이트 전극(131)은 상기 차광 영역(BP)에 대응하며, 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0493] 상기 게이트 절연층(132)은 상기 게이트 전극(131)이 형성된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다.

[0494] 상기 반도체 패턴(133)은 상기 게이트 전극(131)에 중첩하도록 상기 게이트 절연층(132) 상에 배치된다.

[0495] 상기 소스 전극(135)은 상기 반도체 패턴(133)의 일 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다. 상기 드레인 전극(137)은 상기 소스 전극(135)과 이격되며, 상기 반도체 패턴(133)의 타 단부와 중첩되도록 상기 게이트 절연층(132) 상에 배치된다.

[0496] 상기 유기 절연층(140)은 상기 박막 트랜지스터(130)가 배치된 상기 제1 투명 기판(110)의 제1 면(110a) 상에 배치된다. 상기 유기 절연층(140)은 실질적으로 평탄한 상면을 가질 수 있다.

[0497] 상기 화소 전극(150)은 상기 개구 영역(OP)에 대응하며, 상기 유기 절연층(140)을 관통하는 콘택홀(CNT)을 통해 상기 드레인 전극(137)에 전기적으로 연결된다. 상기 화소 전극(150)의 단부는 부분적으로 상기 차광 영역(BP)에 대응할 수 있다. 상기 화소 전극(150)은 투명한 도전성 물질을 포함한다.

[0498] 상기 판형 패턴(125)은 상기 차광 영역(BP)에 대응하여 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치된다. 상기 판형 패턴(125)은 상기 백라이트 유닛(700)으로부터 제공되는 광을 차단한다. 다른 실시예에서, 상기 판형 패턴(125)은 복수 개의 판형 물질들이 적층된 적층 구조를 가질 수 있다.

[0499] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 판형 패턴(125)은 제1 투명 기판(110)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 판형 패턴(125)으로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0500] 상기 제1 패시베이션층(127)은 상기 판형 패턴(125)이 배치된 상기 제1 투명 기판(110)의 제2 면(110b) 상에 배치되어, 상기 판형 패턴(125)을 커버한다. 상기 제1 패시베이션층(127)은 상기 판형 패턴(125)을 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제1 패시베이션층(127)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0501] 상기 대향 기판(200)은 제2 투명 기판(210), 편광자(220), 제2 패시베이션층(230), 차광 패턴(240), 컬러필터 패턴(250) 및 공통 전극(260)을 포함한다.

[0502] 상기 제2 투명 기판(210)은 제3 면(210a) 및 상기 제3 면(210a)에 반대되는 제4 면(210b)을 가지며, 투명한 절연 물질을 포함한다. 상기 제2 투명 기판(210)은 상기 제1 투명 기판(110)과 실질적으로 동일한 물질을 포함할 수 있다.

[0503] 상기 차광 패턴(240)은 상기 차광 영역(BP)에 대응하여 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 예를 들어, 상기 차광 패턴(240)은 데이터 라인, 게이트 라인 및 상기 박막 트랜지스터(130)에 중첩할 수 있다.

[0504] 상기 컬러필터 패턴(250)은 상기 개구 영역(OP)에 대응하며 상기 차광 패턴(240)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치된다. 또한, 상기 컬러필터 패턴(250)은 상기 차광 패턴(240)과 부분적으로 중첩할 수 있다. 상기 컬러필터 패턴(250)은 소정의 색 필터들을 포함할 수 있다. 예를 들어, 상기 컬러필터 패턴(250)은 적색 필터, 녹색 필터 또는 청색 필터를 포함할 수 있다.

[0505] 상기 공통 전극(260)은 상기 컬러필터 패턴(250)이 배치된 상기 제2 투명 기판(210)의 제3 면(210a) 상에 배치

된다. 상기 공통 전극(260)은 투명한 도전성 물질을 포함한다.

[0506] 상기 편광자(220)는 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치된다. 상기 편광자(220)는 소정의 간격만큼 이격된 복수 개의 금속 패턴들을 포함한다. 상기 금속 패턴들은 소정의 폭 및 두께를 갖는다. 상기 금속 패턴들의 폭 및 두께는 수십 나노미터 내지 수백 나노미터의 범위에서 적절하게 설정될 수 있다. 예를 들어, 상기 폭, 간격 및 두께는 각각, 실질적으로 50 nm, 50 nm 및 150 nm 일 수 있다. 상기 편광자(220)의 금속 패턴들은 일 방향으로 나란하게 연장될 수 있다. 본 실시예에서, 상기 편광자(220)는 상기 개구 영역(OP) 및 차광 영역(BP)에 모두 대응한다.

[0507] 이와 같이, 본 실시예에 따른 액정표시장치에 포함된 편광자(220)는 상기 제2 투명 기판(210) 및 액정층(300)을 사이에 두고 박막 트랜지스터(130)와 상대적으로 멀리 이격된다. 따라서, 상기 제2 편광자(220)로 인해 상기 박막 트랜지스터(130)의 전기적 특성이 변경되는 것을 방지할 수 있다.

[0508] 상기 제2 패시베이션층(230)은 상기 편광자(220)가 배치된 상기 제2 투명 기판(210)의 제4 면(210b) 상에 배치되어, 상기 편광자(220)를 커버한다. 상기 제2 패시베이션층(230)은 상기 편광자(220)를 전체적으로 커버하거나 또는 부분적으로 커버할 수 있다. 상기 제2 패시베이션층(230)은 투명한 물질, 예컨대 실리콘 산화물 또는 실리콘 질화물을 포함할 수 있다.

[0509] 상기 백라이트 유닛(700)은 상기 액정표시패널(500)의 하부에 배치된다. 상기 백라이트 유닛(700)은 상기 어레이 기판(100)의 제2 면(110b)을 향하여 광을 제공한다.

[0510] 이와 같이, 본 실시예에 따른 액정표시장치에 따르면, 백라이트 유닛(700)으로부터 제공된 광이 편광자(220) 및 판형 패턴(125)에 의해 투과 또는 반사됨으로써, 상기 광의 이용 효율이 향상될 수 있다. 또한, 상기 편광자(220) 및 판형 패턴(125)이 박막 트랜지스터(130)로부터 이격됨으로써, 상기 편광자(220) 및 판형 패턴(125)과 상기 박막 트랜지스터(130) 간에 발생하는 크로스토크(crosstalk)가 감소 또는 제거될 수 있다.

[0511] 이상 실시예를 참조하여 설명하였지만, 해당 기술 분야의 숙련된 당업자는 하기의 특허 청구의 범위에 기재된 본 발명의 사상 및 영역으로부터 벗어나지 않는 범위 내에서 본 발명을 다양하게 수정 및 변경시킬 수 있음을 이해할 수 있을 것이다.

부호의 설명

[0512] 100: 어레이 기판 110: 제1 투명 기판

110a: 제1 면 110b: 제2 면

120, 270: 흡수형 편광층

121, 220: 편광자

123, 127, 230: 패시베이션층

125, 225: 판형 패턴

130: 박막 트랜지스터 131: 게이트 전극

132: 게이트 절연층 133: 반도체 패턴

134: 무기 절연층 135: 소스 전극

137: 드레인 전극 140: 유기 절연층

143, 250: 컬러필터 패턴

150: 화소 전극

200: 대향 기판 210: 제2 투명 기판

210a: 제3 면 210b: 제4 면

240: 차광 패턴 260: 공통 전극

300: 액정층 500: 액정표시패널

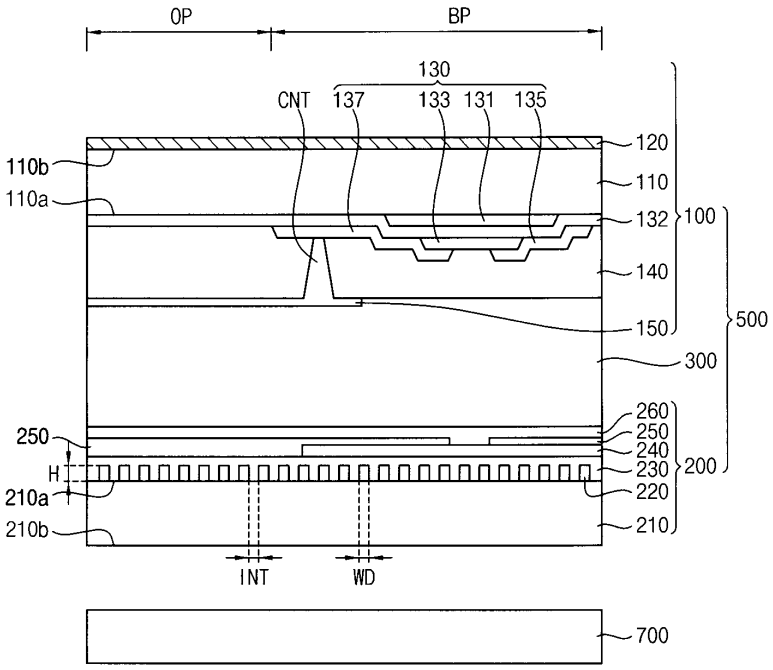
700: 백라이트 유닛

BP: 차광 영역　　OP: 개구 영역

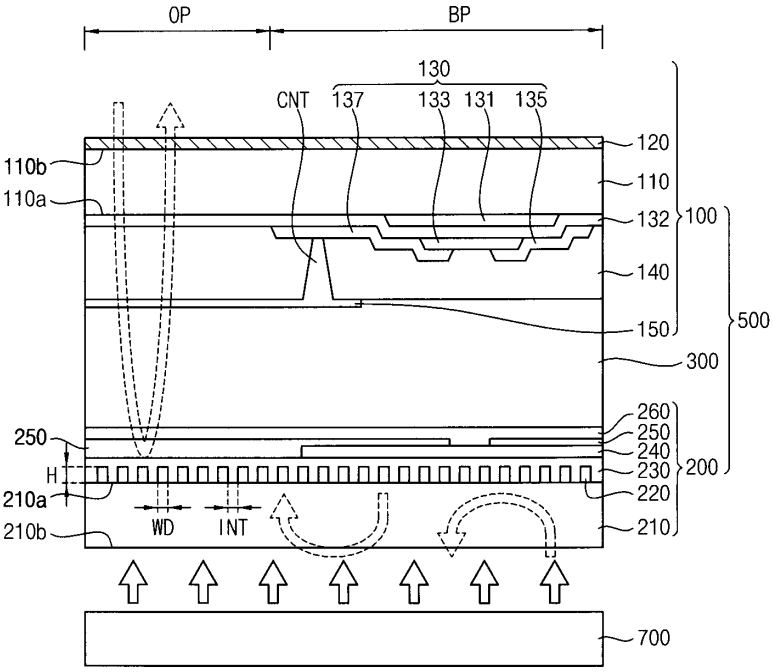
CNT, CNT1, CNT2, CNT3: 콘택홀

도면

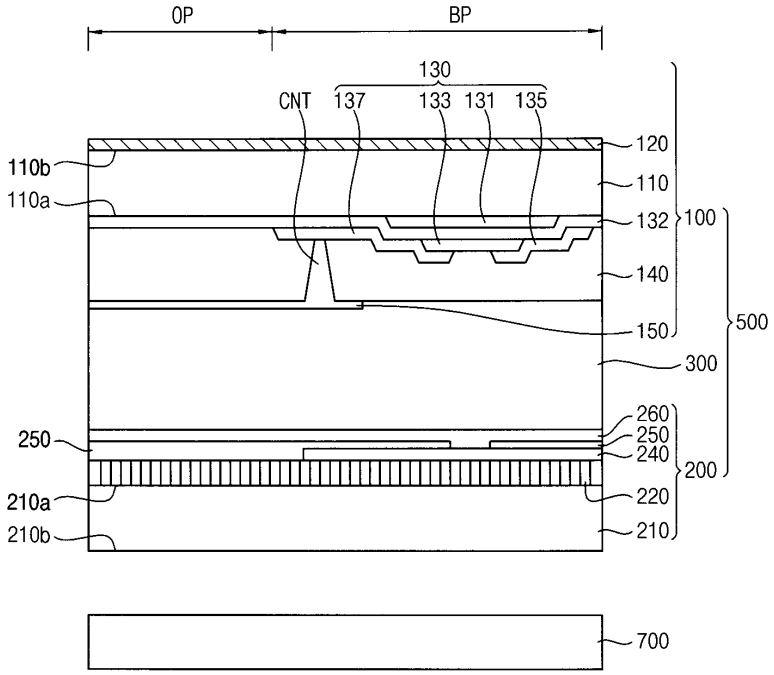
도면1



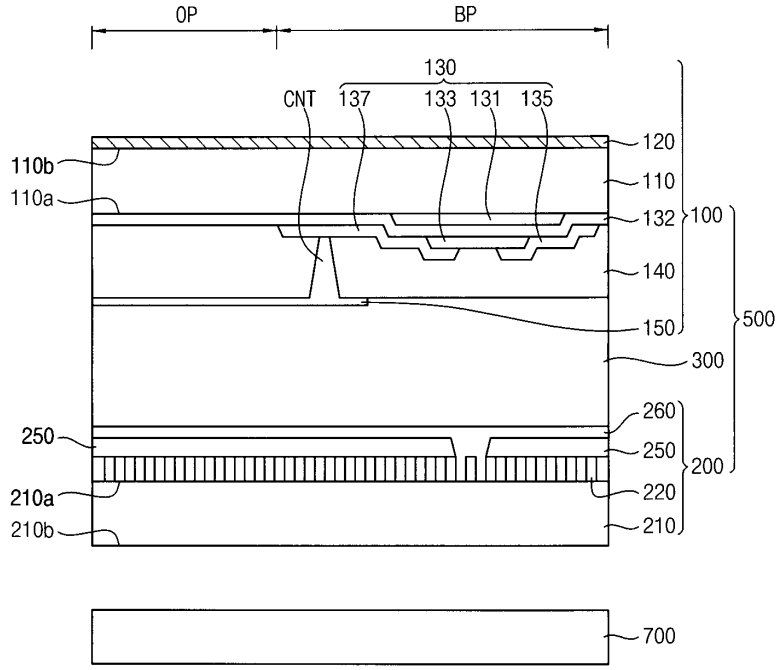
도면2



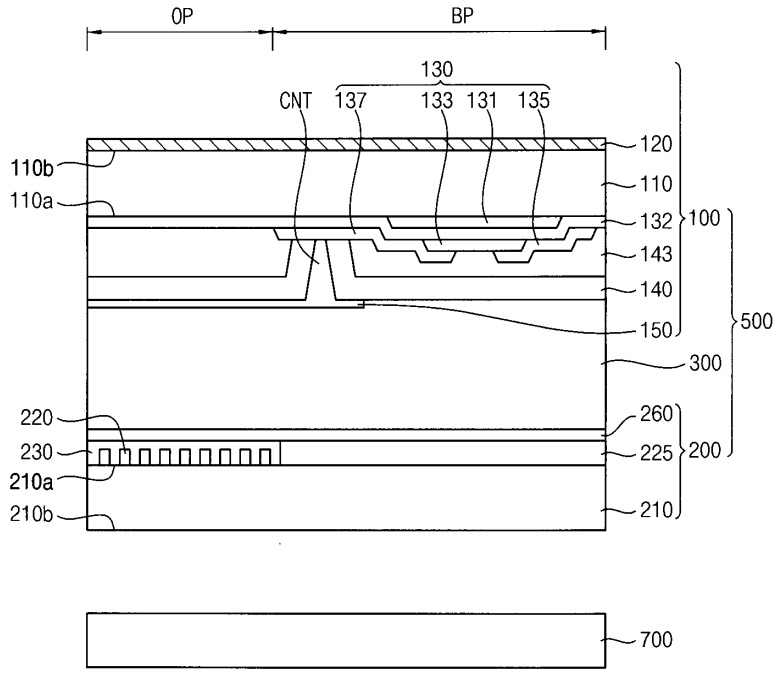
도면3


OP
BP
130
CNT
137
133
131
135
120
110b
110
110a
132
100
140
500
150
300
260
250
250
240
200
210a
220
210b
210
700

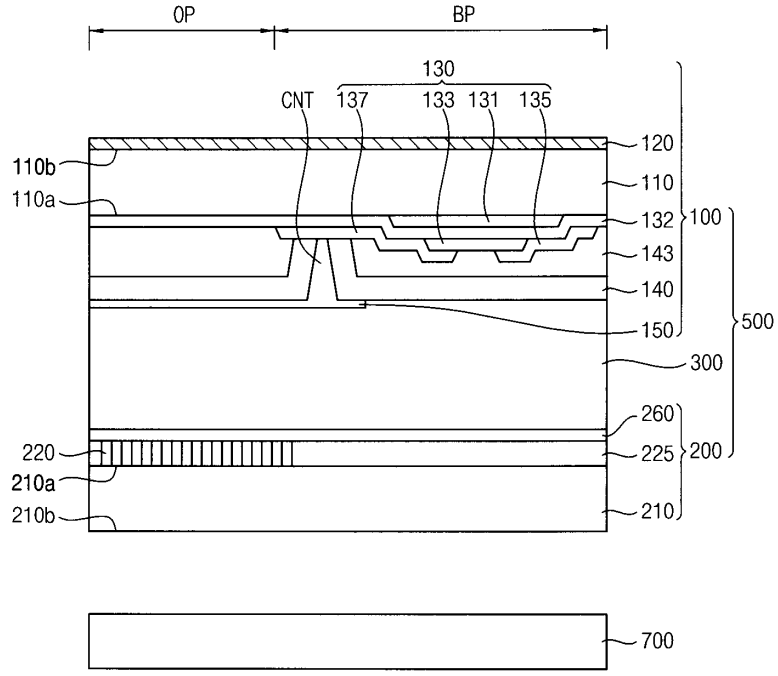
도면4


OP
BP
130
CNT
137
133
131
135
120
110b
110
110a
132
100
140
500
150
300
260
250
250
200
210a
220
210b
210
700

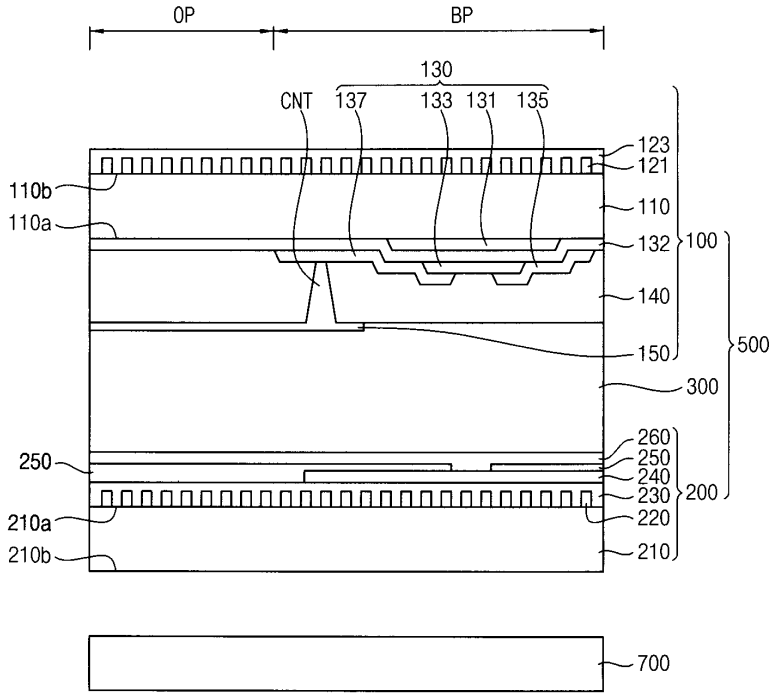
도면5


OP
BP
130
CNT
137
133
131
135
120
110b
110a
110
132
100
143
140
150
500
300
220
260
230
225
200
210a
210b
210
700

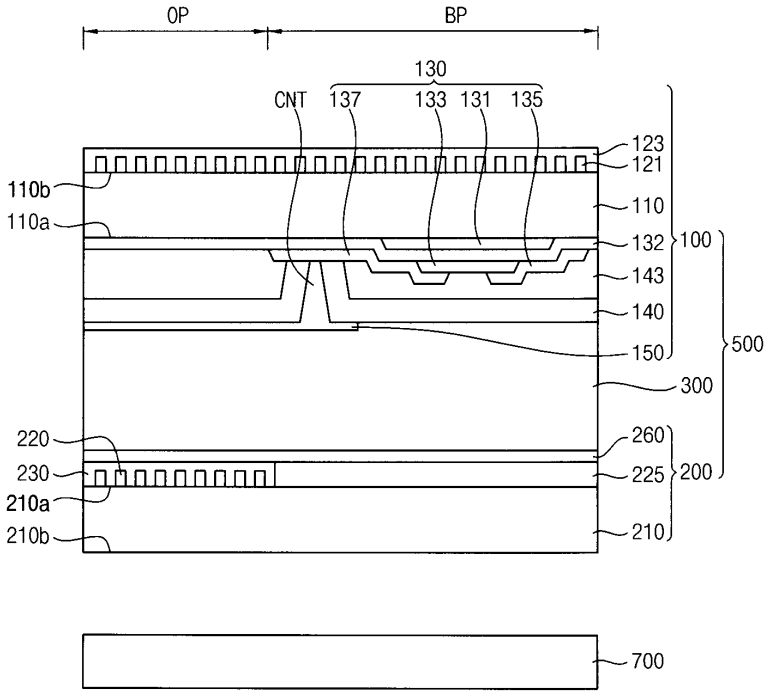
도면6


OP
BP
130
CNT
137
133
131
135
120
110b
110a
110
132
100
143
140
150
500
300
220
260
225
200
210a
210b
210
700

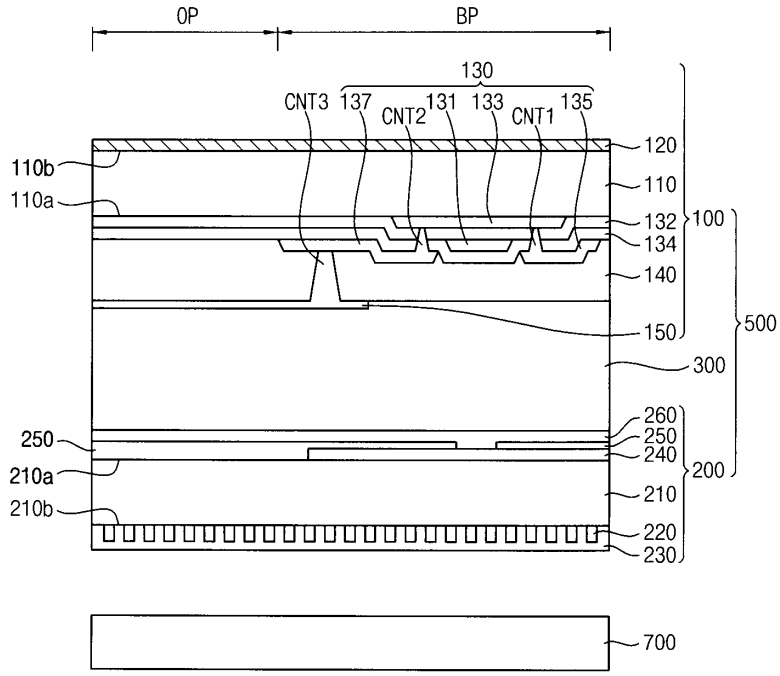
도면7


OP
BP
130
CNT
137
133
131
135
123
121
110b
110a
110
132
100
140
150
500
300
260
250
240
230
200
250
210a
220
210b
700

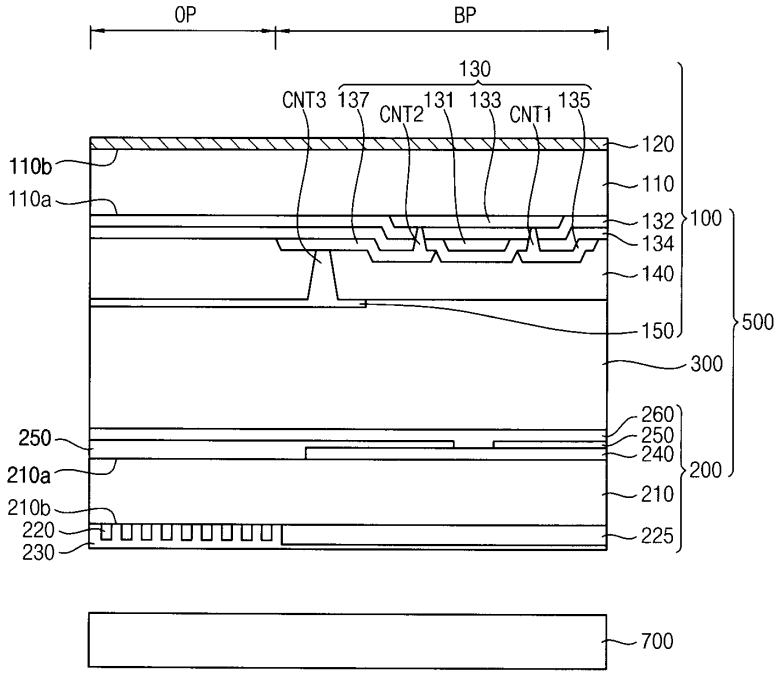
도면8


OP
BP
130
CNT
137
133
131
135
123
121
110b
110a
110
132
100
143
140
150
500
300
220
260
230
225
200
210a
210b
210
700

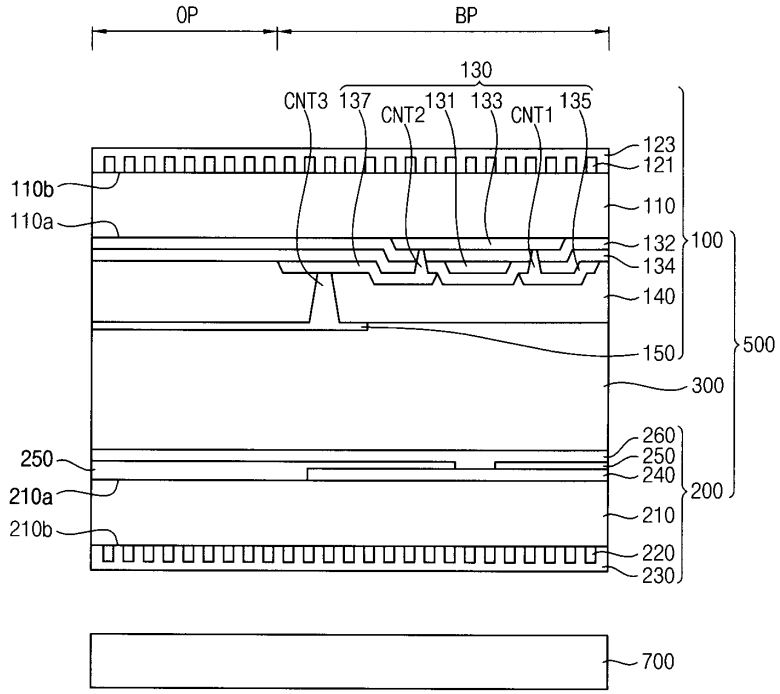
도면9


OP
BP
130
CNT3
137
CNT2
131
133
CNT1
135
120
110b
110a
110
132
100
134
140
150
500
300
260
250
250
240
210a
200
210b
210
220
230
700

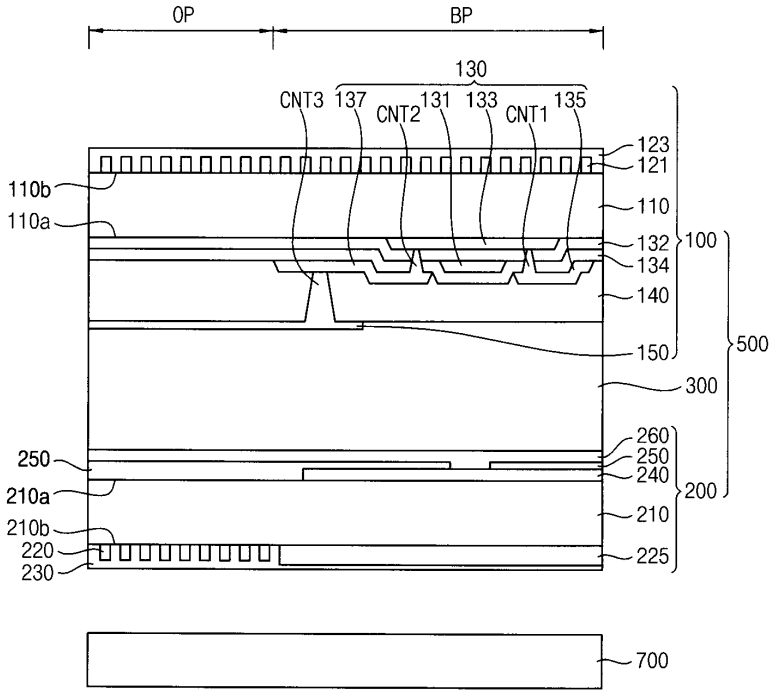
도면10


OP
BP
130
CNT3
137
CNT2
131
133
CNT1
135
120
110b
110a
110
132
100
134
140
150
500
300
260
250
250
240
210a
200
210b
210
220
225
230
700

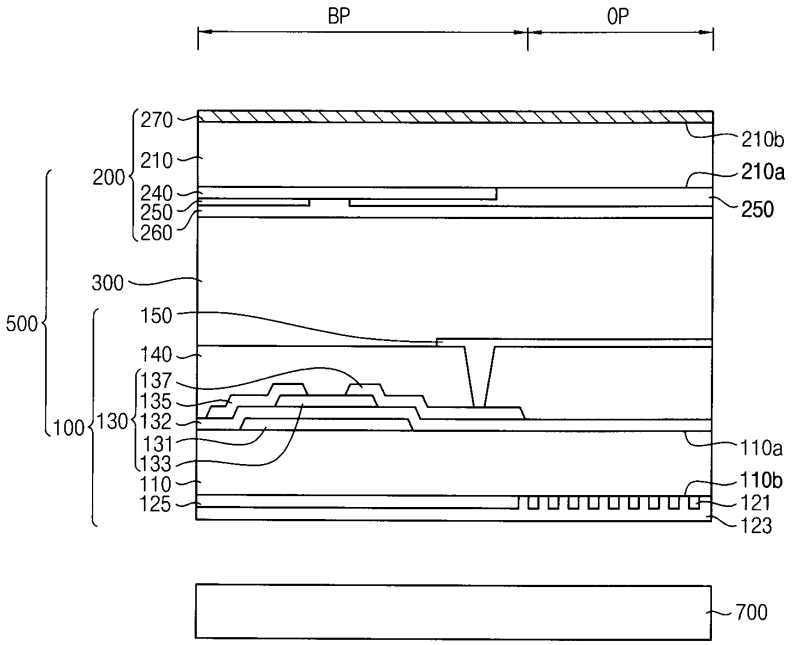
도면11


OP
BP
130
CNT3
137
CNT2
131
133
CNT1
135
123
121
110b
110a
110
132
134
100
140
150
500
300
260
250
240
250
210a
200
210b
210
220
230
700

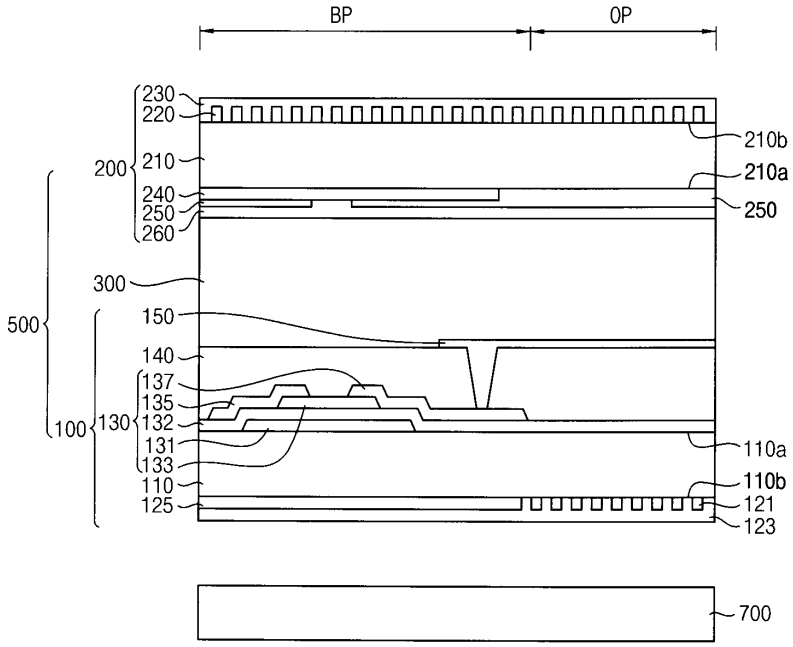
도면12


OP
BP
130
CNT3
137
CNT2
131
133
CNT1
135
123
121
110b
110a
110
132
134
100
140
150
500
300
260
250
240
250
210a
200
210b
210
220
225
230
700

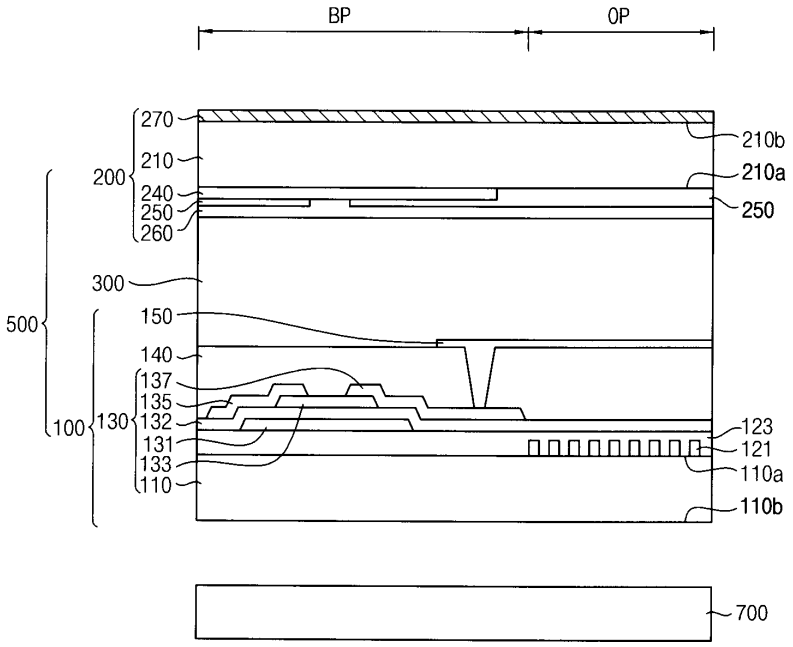
도면13


BP
0P
270
210
200
240
250
260
300
500
150
140
137
135
132
131
133
110
125
100
130
210b
210a
250
110a
110b
121
123
700

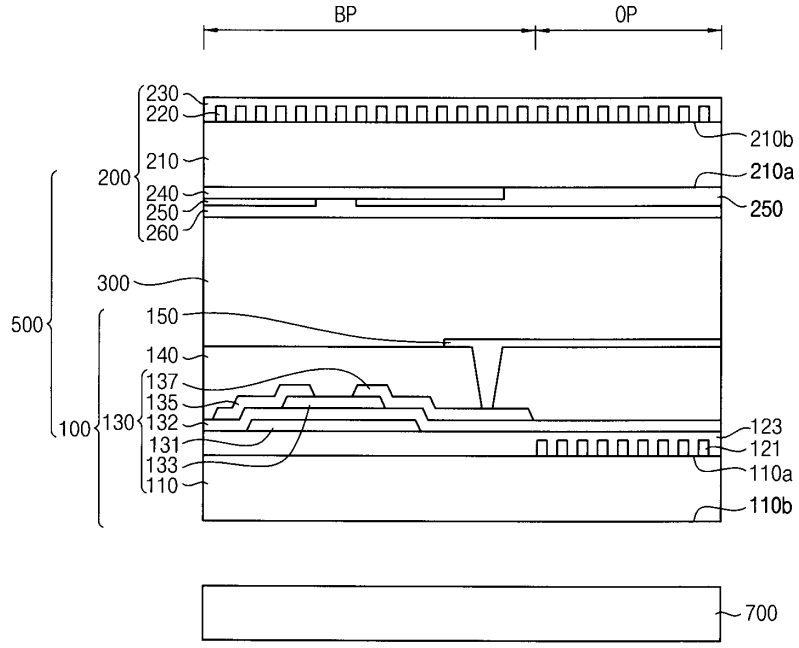
도면14


BP
0P
230
220
210
200
240
250
260
300
500
150
140
137
135
132
131
133
110
125
100
130
210b
210a
250
110a
110b
121
123
700

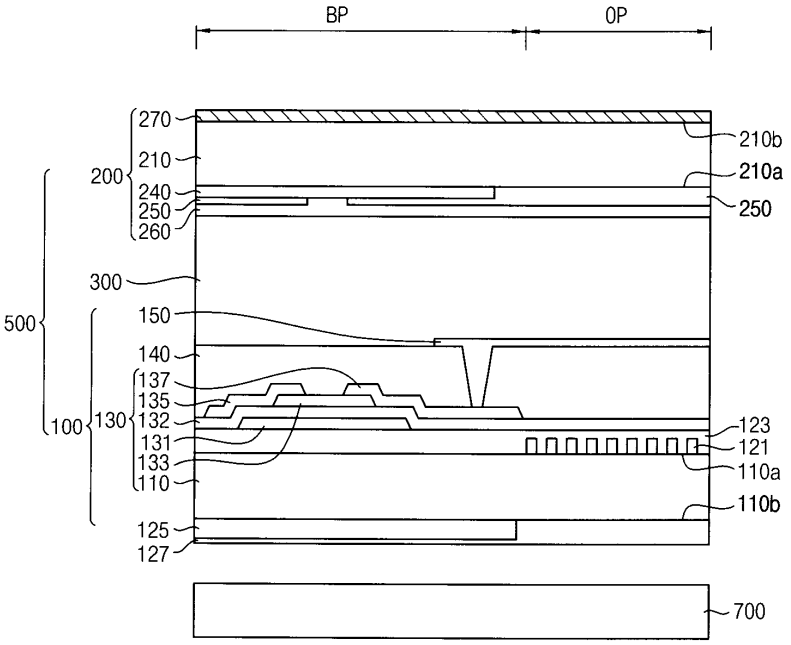
도면15


BP
OP
270
210
200
240
250
260
300
150
140
137
135
132
131
133
110
500
100
130
210b
210a
250
123
121
110a
110b
700

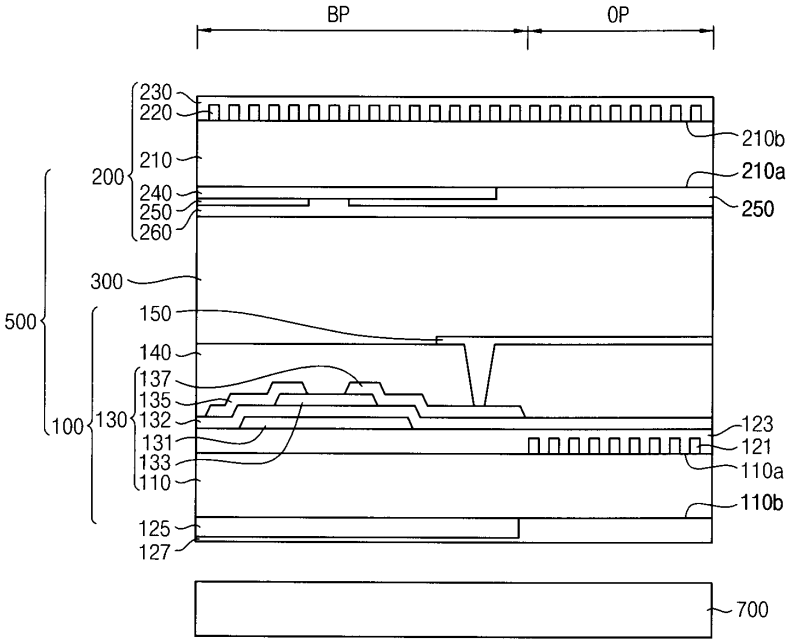
도면16


BP
OP
230
220
210
200
240
250
260
300
150
140
137
135
132
131
133
110
500
100
130
210b
210a
250
123
121
110a
110b
700

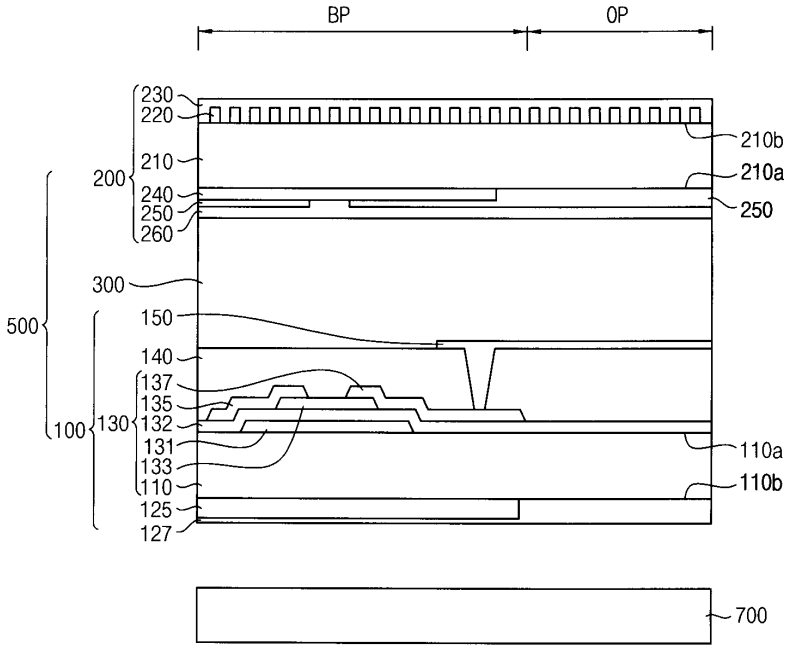
도면17


BP
0P
270
210
200
240
250
260
300
500
150
140
137
135
132
131
133
110
100
130
125
127
210b
210a
250
123
121
110a
110b
700

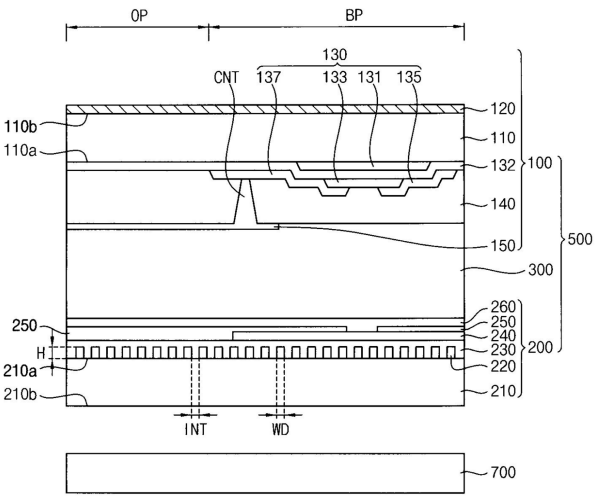
도면18


BP
0P
230
220
210
200
240
250
260
300
500
150
140
137
135
132
131
133
110
100
130
125
127
210b
210a
250
123
121
110a
110b
700

도면19


BP
OP
230
220
210
200
240
250
260
300
150
140
137
135
132
131
133
110
125
127
500
100
130
210b
210a
250
110a
110b
700

专利名称(译)	液晶显示器		
公开(公告)号	KR1020140118027A	公开(公告)日	2014-10-08
申请号	KR1020130033165	申请日	2013-03-28
[标]申请(专利权)人(译)	三星显示有限公司		
申请(专利权)人(译)	三星显示器有限公司		
当前申请(专利权)人(译)	三星显示器有限公司		
[标]发明人	NAM JUNG GUN 남중건 HAN KYOUNG TAI 한경태 LEE DAE YOUNG 이대영 JANG DAE HWAN 장대환 JO GUG RAE 조국래 TAKAKUWA ATSUSHI 타카쿠와아츠시		
发明人	남중건 한경태 이대영 장대환 조국래 타카쿠와아츠시		
IPC分类号	G02F1/1335 G02F1/136		
CPC分类号	G02F1/13362 G02B5/3025 G02B5/3058 G02F1/133512 G02F1/133528 G02F1/133536 G02F2001/133548		
代理人(译)	PARK，YOUNG WOO		
外部链接	Espacenet		

摘要(译)

一种液晶显示装置，包括液晶显示面板和向液晶显示面板提供光的背光单元。液晶显示面板包括：第一基板，其上布置有薄膜晶体管;第二基板，其面对第一基板;液晶层，布置在第一基板和第二基板之间;以及第一偏振器，布置在第一基板上在第二基板上包括多个金属图案，所述金属图案以预设空间分开。