



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0013936
(43) 공개일자 2014년02월05일

(51) 국제특허분류(Int. Cl.)
G02F 1/133 (2006.01) G09G 3/36 (2006.01)
(21) 출원번호 10-2013-0083676
(22) 출원일자 2013년07월16일
심사청구일자 2013년07월16일
(30) 우선권주장
201220367115.0 2012년07월26일 중국(CN)

(71) 출원인
보에 테크놀로지 그룹 컴퍼니 리미티드
중국 베이징 100016, 차오양 디스트릭트, 지우시
양치야오 로드 10호
베이징 보에 디스플레이 테크놀로지 컴퍼니 리미
티드
중국 베이징 100176 비디에이 정하이일루 118호
(72) 발명자
왕, 바오치앙
중국 베이징 100176 비디에이 디저로드 9호
(74) 대리인
백만기, 김성운, 장수길

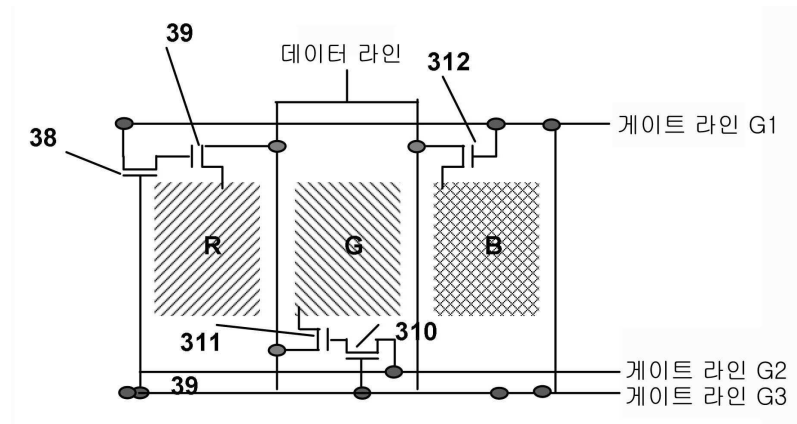
전체 청구항 수 : 총 11 항

(54) 발명의 명칭 어레이 기관, 액정 패널 및 액정 디스플레이 장치

(57) 요약

본 발명의 실시예들은 어레이 기관, 액정 디스플레이 패널 및 액정 디스플레이 장치를 제공한다. 어레이 기관은 복수의 어레이 기관 유닛들을 포함하고, 그의 각각은 기관의 평면에서 각각 서로 교차하는 제1 방향 및 제2 방향을 따라 연장되는 게이트 라인들 및 데이터 라인들을 포함한다. 각각의 어레이 기관 유닛은 서브유닛 행들 및 서브유닛 열들을 형성하기 위해 제1 방향 및 제2 방향으로 배열되는 4개의 어레이 기관 서브유닛들을 포함하고, 서브유닛 행들 및 서브유닛 열들 각각은 2개의 어레이 기관 서브유닛들을 갖는다. 3개의 게이트 라인들은 각각의 서브유닛 행 내의 2개의 어레이 기관 서브유닛들에 의해 공유되고, 1개의 데이터 라인 및 게이트 라인들 중 하나는 각각의 서브유닛 열 내의 2개의 어레이 기관 서브유닛들에 의해 공유된다.

대표도 - 도3a



특허청구의 범위

청구항 1

어레이 기판에 있어서,

복수의 어레이 기판 유닛들을 포함하고,

상기 각 어레이 기판 유닛은 기판의 평면에서 서로 교차하고 각각 제1 방향 및 제2 방향을 따라 연장되는 게이트 라인들 및 데이터 라인들을 포함하고,

상기 각 어레이 기판 유닛은 서브유닛 행들 및 서브유닛 열들을 형성하도록 상기 제1 방향 및 상기 제2 방향으로 배열되는 4개의 어레이 기판 서브유닛들을 포함하고, 상기 각 서브유닛 행 및 상기 각 서브유닛 열은 2개의 어레이 기판 서브유닛들을 가지며,

상기 각 어레이 기판 서브유닛은 3개의 픽셀들, 및 상기 3개의 픽셀에 전기적으로 접속되는 1개의 데이터 라인 및 3개의 게이트 라인들을 포함하고, 상기 3개의 게이트 라인들은 제1 게이트 라인, 제2 게이트 라인 및 제3 게이트 라인을 포함하며,

상기 각 서브유닛 행 내의 2개의 어레이 기판 서브유닛들은 상기 3개의 게이트 라인들을 공유하고, 상기 각 서브유닛 열 내의 2개의 어레이 기판 서브유닛들은 상기 게이트 라인들 중 하나 및 상기 1개의 데이터 라인을 공유하는,

어레이 기판.

청구항 2

제1항에 있어서,

상기 각 어레이 기판 서브유닛 내에서, 제2 방향을 따라 순차적으로 상기 제1 게이트 라인, 상기 3개의 픽셀들, 상기 제2 게이트 라인 및 상기 제3 게이트 라인이 배열되고;

상기 각 어레이 기판 유닛 내에서, 상기 제2 방향을 따라 순차적으로 상기 제1 서브유닛 행 및 상기 제2 서브유닛 행이 배열되며, 상기 제1 서브유닛 행의 상기 제3 게이트 라인 및 상기 제2 서브유닛 행의 상기 제1 게이트 라인은 동일한 게이트 라인인, 어레이 기판.

청구항 3

제1항 또는 제2항에 있어서,

상기 각 어레이 기판 서브유닛 내에서, 상기 3개의 픽셀은 상기 제1 방향으로 배열되는, 어레이 기판.

청구항 4

제1항 또는 제2항에 있어서,

상기 각 어레이 기판 서브유닛 내에서, 각 픽셀은 스위치를 통해 각각이 대응하는 게이트 라인 및 대응하는 데이터 라인에 전기적으로 접속되는, 어레이 기판.

청구항 5

제4항에 있어서, 상기 스위치는 박막 트랜지스터(TFT)인, 어레이 기판.

청구항 6

제5항에 있어서,

상기 3개의 픽셀은 각각 제1 픽셀, 제2 픽셀 및 제3 픽셀이고;

각 어레이 기판 서브유닛 내에서, 상기 제1 픽셀은 각각의 제1 TFT 및 제2 TFT를 통해 상기 제1 게이트 라인, 상기 제3 게이트 라인 및 상기 데이터 라인에 전기적으로 접속되고, 상기 제1 TFT의 게이트 전극은 상기 제3 게

이트 라인에 접속되고, 상기 제1 TFT의 드레인 전극은 상기 제1 게이트 라인에 접속되고, 상기 제1 TFT의 소스 전극은 상기 제2 TFT의 게이트 전극에 접속되고, 상기 제2 TFT의 드레인 전극은 상기 데이터 라인에 접속되고, 상기 제2 TFT의 소스 전극은 상기 제1 픽셀에 접속되며,

상기 제2 픽셀은 각각의 제3 TFT 및 제4 TFT를 통해 상기 제2 게이트 라인, 상기 제3 게이트 라인 및 상기 데이터 라인에 전기적으로 접속되고, 상기 제3 TFT의 게이트 전극은 상기 제3 게이트 라인에 접속되고, 상기 제3 TFT의 드레인 전극은 상기 제2 게이트 라인에 접속되고, 상기 제3 TFT의 소스 전극은 상기 제4 TFT의 게이트 전극에 접속되고, 상기 제4 TFT의 드레인 전극은 상기 데이터 라인에 접속되고, 상기 제4 TFT의 소스 전극은 상기 제2 픽셀에 접속되며,

상기 제3 픽셀은 제5 TFT를 통해 상기 제1 게이트 라인 및 상기 데이터 라인에 전기적으로 접속되고, 상기 제5 TFT의 게이트 전극은 상기 제1 게이트 라인에 접속되고, 상기 제5 TFT의 드레인 전극은 상기 데이터 라인에 접속되며, 상기 제5 TFT의 소스 전극은 상기 제3 픽셀에 접속되는, 어레이 기판.

청구항 7

제1항 또는 제2항에 있어서, 상기 복수의 어레이 기판 유닛들은 매트릭스 형태로 배열되고, 상기 제2 방향에서, 이전 어레이 기판 유닛 내의 마지막 제3 게이트 라인 및 다음 어레이 기판 유닛 내의 선두 제1 게이트 라인은 동일한 게이트 라인인, 어레이 기판.

청구항 8

제1항 또는 제2항에 있어서, 상기 제1 방향 및 상기 제2 방향은 서로 수직인, 어레이 기판.

청구항 9

제1항 또는 제2항에 있어서, 상기 게이트 라인들은 구동 신호들을 공급하도록 배치되고, 상기 데이터 라인은 극성이 연속적으로 반전되는 전압 신호들을 공급하도록 배치되는, 어레이 기판.

청구항 10

컬러 필터 기판, 어레이 기판 및 상기 컬러 필터 기판과 상기 어레이 기판 사이에 개재되는 액정을 포함하는 액정 디스플레이 패널로서, 상기 어레이 기판은 제1항 또는 제2항에 기재된 어레이 기판인,

액정 디스플레이 패널.

청구항 11

백라이트, 액정 패널, 및 상기 액정 패널에 제어 신호들을 공급하는 집적 회로 기판을 포함하는 액정 디스플레이 장치 - 상기 액정 패널은 컬러 필터 기판, 어레이 기판 및 상기 컬러 필터 기판과 상기 어레이 기판 사이에 개재되는 액정을 포함함 - 로서, 상기 어레이 기판은 제1항 또는 제2항에 기재된 어레이 기판인,

액정 디스플레이 장치.

명세서

기술분야

[0001] 본 발명의 실시예들은 어레이 기판, 액정 디스플레이 패널 및 액정 디스플레이 장치에 관한 것이다.

배경기술

[0002] 액정 디스플레이 장치는 광에 대한 액정 분자들의 굴절률이 제어되고 이미지가 디스플레이되도록 패널 내의 픽셀 전극과 공통 전극 사이에 형성되는 전계에 의해 액정 분자들의 배열이 제어되는 평판 패널 디스플레이 장치이다. 액정 디스플레이 장치의 패널은 어레이 기판 및 컬러 필터 기판으로 이루어진다. 어레이 기판은 수평 방향으로 연장되는 게이트 라인 및 수직 방향으로 연장되는 데이터 라인을 포함하고, 스위치는 각각의 픽셀을 제어하도록 게이트 라인과 데이터 라인 사이의 각 교차점에 구비된다.

[0003] 전형적으로, 어레이 기판은 다수의 어레이 기판 유닛들로 이루어진다. 종래 기술에서, 어레이 기판 유닛들에 관한 많은 설계 해결책들이 제안되어 왔다.

[0004] 도 1은 어레이 기판 유닛의 개략적 구조도이다. 도 1에 예시된 어레이 기판 유닛은 듀얼 게이트 구동 모드를 채택하고, 그의 특정 구조는 다음과 같다: 어레이 기판 유닛에는 수평 방향으로 연장되는 제1 게이트 라인(G1), 제2 게이트 라인(G2), 제3 게이트 라인(G3) 및 제4 게이트 라인들(G4), 및 수직 방향으로 연장되는 제1 데이터 라인(D1), 제2 데이터 라인(D2) 및 제3 데이터 라인(D3)을 구비한다. 픽셀(R1), 픽셀(G1), 픽셀(B1), 픽셀(R2), 픽셀(G2) 및 픽셀(B2)은 제1 게이트 라인(G1)과 제2 게이트 라인(G2) 사이에 구비되고, 개별적 픽셀들은 수평 방향으로 제1 게이트 라인(G1)과 제2 게이트 라인(G2) 사이에 배열된다. 픽셀(R3), 픽셀(G3), 픽셀(B3), 픽셀(R4), 픽셀(G4) 및 픽셀(B4)은 제3 게이트 라인(G3)과 제4 게이트 라인(G4) 사이에 구비되고, 개별적 픽셀들은 수평 방향으로 제3 게이트 라인(G3)과 제4 게이트 라인들(G4) 사이에 배열된다. 픽셀(R1), 픽셀(G1) 및 픽셀(B1) 및 이에 접속되는 게이트 라인들 및 데이터 라인은 제1 어레이 기판 서브유닛을 구성하고; 픽셀(R2), 픽셀(G2), 및 픽셀(B2), 및 이에 접속되는 게이트 라인들 및 데이터 라인은 제2 어레이 기판 서브유닛을 구성하고; 픽셀(R3), 픽셀(G3) 및 픽셀(B3), 및 이에 접속되는 게이트 라인들 및 데이터 라인은 제3 어레이 기판 서브유닛을 구성하며; 픽셀(R4), 픽셀(G4), 픽셀(B4), 및 이에 접속되는 게이트 라인들 및 데이터 라인들은 제4 어레이 기판 서브유닛을 구성한다. 각각의 어레이 기판 서브유닛에서, 각각의 픽셀은 상이한 게이트 라인들 및 데이터 라인에 접속되는 것을 제외하고, 유사한 방식으로 게이트 라인들 및 데이터 라인에 접속된다. 이하의 설명은 제1 어레이 기판 서브유닛을 예로서 취함으로써 이루어진다. 픽셀(R1)은 스위치를 통해 각각 제1 게이트 라인(G1) 및 제1 데이터 라인(D1)에 전기적으로 접속되고; 픽셀(G1)은 스위치를 통해 각각 제2 게이트 라인(G2) 및 제1 데이터 라인(D1)에 전기적으로 접속되며; 픽셀(B1)은 스위치를 통해 각각 제2 게이트 라인(G2) 및 제2 데이터 라인(D2)에 전기적으로 접속된다.

[0005] 도 2는 다른 어레이 기판 유닛의 개략적 구조도이다. 도 2에 예시된 어레이 기판 유닛은 트리플 게이트 구동 모드를 채택하고, 그의 특정 구조는 다음과 같다: 어레이 기판 유닛에는 수평 방향으로 연장되는 제1 게이트 라인(G1), 제2 게이트 라인(G2), 제3 게이트 라인(G3), 제4 게이트 라인들(G4), 제5 게이트 라인(G5) 및 제6 게이트 라인(G6), 및 수직 방향으로 연장되는 제1 데이터 라인(D1) 및 제2 데이터 라인(D2)이 구비된다. 도 1의 픽셀 구조와 다르게, 도 2에서 각각의 픽셀의 장측은 수평 방향에 있고, 단측은 수직 방향에 있다. 픽셀(R1) 및 픽셀(R2)은 수평으로 제1 게이트 라인(G1)보다 위에 배열되고, 픽셀(R1)은 제1 게이트 라인(G1) 및 제1 데이터 라인(D1)에 전기적으로 접속되고, 픽셀(R2)은 제1 게이트 라인(G1) 및 제2 데이터 라인(D2)에 전기적으로 접속되고; 픽셀(G1) 및 픽셀(G2)은 수평으로 제1 게이트 라인(G1)과 제2 게이트 라인(G2) 사이에 배열되고, 픽셀(G1)은 제2 게이트 라인(G2)과 제1 데이터 라인(D1)에 전기적으로 접속되고, 픽셀(G2)은 제2 게이트 라인(G2) 및 제2 데이터 라인(D2)에 전기적으로 접속되고; 픽셀(B1) 및 픽셀(B2)은 수평으로 제2 게이트 라인(G2)과 제3 게이트 라인(G3) 사이에 배열되고, 픽셀(B1)은 제3 게이트 라인(G3) 및 제1 데이터 라인(D1)에 전기적으로 접속되고, 픽셀(B2)은 제3 게이트 라인(G3) 및 제2 데이터 라인(D2)에 전기적으로 접속되고; 픽셀(R3) 및 픽셀(R4)은 수평으로 제3 게이트 라인(G3)과 제4 게이트 라인(G4) 사이에 배열되고, 픽셀(R3)은 제4 게이트 라인(G4) 및 제1 데이터 라인(D1)에 전기적으로 접속되고, 픽셀(R4)은 제4 게이트 라인(G4) 및 제2 데이터 라인(D2)에 전기적으로 접속되고; 픽셀(G3) 및 픽셀(G4)은 수평으로 제4 게이트 라인(G4)과 제5 게이트 라인(G5) 사이에 배열되고, 픽셀(G3)은 제5 게이트 라인(G5) 및 제1 데이터 라인(D1)에 전기적으로 접속되고, 픽셀(G4)은 제5 게이트 라인(G5) 및 제2 데이터 라인(D2)에 전기적으로 접속되고; 픽셀(B3) 및 픽셀(B4)은 수평으로 제5 게이트 라인(G5)과 제6 게이트 라인(G6) 사이에 배열되고, 픽셀(B3)은 제6 게이트 라인(G6) 및 제1 데이터 라인(D1)에 전기적으로 접속되며, 픽셀(B4)은 제6 게이트 라인(G6) 및 제2 데이터 라인(D2)에 전기적으로 접속된다.

[0006] 어레이 기판은, 어레이 기판 유닛들로 이루어지는데, 패널로 통합되는 동안, COF(Chip On Film)가 요구된다. COF의 수는 게이트 라인들 및 데이터 라인들의 수에 비례한다. 게이트 라인들 및 데이터 라인들이 많을수록, 더 많은 COF가 요구되는데, 이는 더 많은 생산 비용을 의미한다. 그러므로 게이트 라인들 및 데이터 라인들의 수를 감소시키고 또한 COF 개수를 액정 제조 공정에서 감소시키도록 어떻게 어레이 기판 유닛을 설계하느냐는 것은 종래 기술에서 해결해야 할 기술적 문제이다.

발명의 내용

[0007] 본 발명의 실시예들은 액정 패널의 제조 공정에 사용되는 COF의 수를 감소시키기 위해, 어레이 기판 유닛, 어레이 기판, 액정 디스플레이 패널 및 액정 디스플레이 장치를 제공한다.

[0008] 본 발명의 실시예는 복수의 어레이 기판 유닛들을 포함하는 어레이 기판을 제공하고, 각 어레이 기판 유닛은 기판 평면에서 각각이 서로 교차하는 제1 방향 및 제2 방향을 따라 연장되는 게이트 라인들 및 데이터 라인들을 포함하고,

- [0009] 각 어레이 기관 유닛은 제1 방향 및 제2 방향으로 배열되어 서브유닛 행들 및 서브유닛 열들을 형성하는 4개의 어레이 기관 서브유닛들을 포함하고, 서브유닛 행들 및 서브유닛 열들 각각은 2개의 어레이 기관 서브유닛들을 가지며,
- [0010] 각 어레이 기관 서브유닛은 3개의 픽셀, 및 3개의 픽셀에 전기적으로 접속되는 1개의 데이터 라인 및 3개의 게이트 라인들을 포함하고, 3개의 게이트 라인들은 제1 게이트 라인, 제2 게이트 라인 및 제3 게이트 라인을 포함하며;
- [0011] 각 서브유닛 행의 2개의 어레이 기관 서브유닛들은 3개의 게이트 라인들을 공유하고, 각 서브유닛 열 내의 2개의 어레이 기관 서브유닛들은 게이트 라인들 중 하나 및 1개의 데이터 라인을 공유한다.
- [0012] 본 발명의 다른 실시예는 컬러 필터 기관, 상기 어레이 기관 및 컬러 필터 기관과 어레이 기관 사이에 개재되는 액정을 포함하는 액정패널을 제공한다.
- [0013] 본 발명의 또 다른 실시예는 백라이트, 액정 패널, 및 제어 신호들을 액정 패널에 제공하는 집적 회로 기관을 포함하는 액정 디스플레이 장치를 제공하며, 액정 디스플레이 패널은 컬러 필터 기관, 상기 어레이 기관 및 컬러 필터 기관과 어레이 기관 사이에 개재되는 액정을 포함한다.
- [0014] 본 발명의 실시예들에 따른 어레이 기관 유닛은 5개의 게이트 라인들 및 2개의 데이터 라인들을 포함하고, 이는 듀얼 게이트 구동 모드에서의 어레이 기관 유닛과 비교할 때 1개의 데이터 라인이 감소하고, 트리플 게이트 구동 모드에서의 어레이 기관 유닛과 비교할 때 1개의 게이트 라인이 감소한다. 각각의 액정 패널은 수백의 어레이 기관 유닛들을 포함하므로, 액정 패널의 제조 공정에 사용되는 COF의 수는 효과적으로 감소한다.

도면의 간단한 설명

- [0015] 본 발명의 실시예들의 기술적 해결책을 명백히 예시하기 위해, 실시예들의 도면들은 이하에서 간단히 설명될 것이며; 설명된 도면들은 단지 본 발명의 일부 실시예들에 관한 것일 뿐 본 발명을 한정하는 것이 아님은 자명하다.
- 도 1은 종래 기술의 듀얼 게이트 구동 모드에서의 어레이 기관 유닛의 구조도이다.
- 도 2는 종래 기술의 트리플 게이트 구동 모드에서의 어레이 기관 유닛의 구조도이다.
- 도 3a는 본 발명의 실시예에 따른 어레이 기관 서브유닛의 구조도이다.
- 도 3b는 본 발명의 실시예에 따른 어레이 기관 유닛의 구조도이다.
- 도 4는 본 발명의 실시예에 따른 각 게이트 라인에 의해 공급되는 구동 신호의 파형이다.

발명을 실시하기 위한 구체적인 내용

- [0016] 본 발명의 실시예들의 목적들, 기술적 세부사항 및 장점들을 명확히 하기 위해, 본 발명의 실시예들과 관련되는 도면들과 함께 실시예의 기술적 해결책들을 명료하고 충분히 이해가능한 방법으로 실시예의 기술적 해결책들을 설명할 것이다. 설명된 실시예들은 본 발명의 실시예들의 전부가 아니고 단지 일부임은 자명하다. 본 명세서에서의 설명된 실시예들에 기초하여, 당업자들이 어떠한 창의적 작업 없이 획득할 수 있는 다른 실시예(들)은 본 발명의 범위 내에 속해야 한다.
- [0017] 액정 패널 제조 공정에서 요구되는 COF 수를 감소시키기 위해, 본 발명의 실시예들은 어레이 기관 유닛, 어레이 기관, 액정 패널 및 액정 디스플레이 장치를 제공한다.
- [0018] 본 발명의 실시예에 따르면, 어레이 기관 유닛은 4개의 어레이 기관 서브유닛들을 포함하고, 이 어레이 기관 서브유닛들은 수평 방향 및 수직 방향에서 쌍 방식으로 대칭이다. 각 어레이 기관 서브유닛은 각각 3개의 픽셀들, 즉 픽셀(R), 픽셀(G), 및 픽셀(B), 및 3개의 픽셀에 전기적으로 접속되는 1개의 데이터 라인 및 3개의 게이트 라인들을 포함한다. 3개의 게이트 라인들은 게이트 라인(G1), 게이트 라인(G2) 및 게이트 라인(G3)이다. 수평 방향으로 배열되는 2개의 어레이 기관 서브유닛들은 3개의 게이트 라인들을 공유하고, 수직 방향으로 배열되는 2개의 어레이 기관 서브유닛들은 게이트 라인들 중 하나 및 1개의 데이터 베이스를 공유한다.
- [0019] 예를 들어, 4개의 어레이 기관 서브유닛들은 수평 방향 및 수직 방향으로 배열되어 서브유닛 행들 및 서브유닛

열들을 형성하고, 각 서브유닛 행 및 각 서브유닛 열은 2개의 어레이 기관 서브유닛을 포함한다.

[0020] 예를 들어, 각 어레이 기관 서브유닛은 3개의 픽셀, 및 3개의 픽셀에 전기적으로 접속되는 1개의 데이터 라인 및 3개의 게이트 라인들을 포함하고, 3개의 게이트 라인들은 제1 게이트 라인, 제2 게이트 라인 및 제3 게이트 라인을 포함한다. 3개의 게이트 라인들은 각 서브유닛 행 내의 2개의 어레이 기관 서브유닛들에 의해 공유되고, 게이트 라인들 중 하나 및 1개의 데이터 라인은 각 서브유닛 열 내의 2개의 어레이 기관 서브유닛들에 의해 공유된다.

[0021] 일 예에서, 각 어레이 기관 서브유닛 내에, 제1 게이트 라인, 3개의 픽셀들, 제2 게이트 라인 및 제3 게이트 라인은 순차적으로 제2 방향으로 배열되고; 각 어레이 기관 유닛 내에, 제1 서브유닛 행 및 제2 서브유닛 행은 순차적으로 제2 방향으로 배열되며, 제1 서브유닛 행에 대한 제3 게이트 라인 및 제2 서브유닛 행에 대한 제1 게이트 라인은 동일한 게이트 라인이다. 예를 들어, 각 어레이 기관 서브유닛에서, 3개의 픽셀은 제1 방향으로 배열된다.

[0022] 예를 들어, 도 3a는 어레이 기관 서브유닛의 구조도이다. 각 어레이 기관 서브유닛에서, 픽셀(R)은 제1 TFT(38) 및 제2 TFT(39)을 통해 게이트 라인(G1), 게이트 라인(G3) 및 데이터 라인에 전기적으로 접속된다. 예를 들어, 제1 TFT(38)의 게이트 전극은 게이트 라인(G3)에 접속되고, 제1 TFT(38)의 드레인 전극은 게이트 라인(G1)에 접속되고, 제1 TFT(38)의 소스 전극은 제2 TFT(39)의 게이트 전극에 접속되고, 제2 TFT(39)의 드레인 전극은 데이터 라인에 접속되며, 제2 TFT(39)의 소스 전극은 픽셀(R)에 접속된다. 픽셀(G)은 제3 TFT(310) 및 제4 TFT(311)을 통해 게이트 라인(G2), 게이트 라인(G3) 및 데이터 라인에 전기적으로 접속된다. 예를 들어, 제3 TFT(310)의 게이트 전극은 게이트 라인(G3)에 접속되고, 제3 TFT(310)의 드레인 전극은 게이트 라인(G2)에 접속되고, 제3 TFT(310)의 소스 전극은 제4 TFT(311)의 게이트 전극에 접속되고, 제4 TFT(311)의 드레인 전극은 데이터 라인에 접속되며, 제4 TFT(311)의 소스 전극은 픽셀(G)에 접속된다. 픽셀(B)은 제5 TFT(312)를 통해 게이트 라인(G1) 및 데이터 라인에 전기적으로 접속된다. 예를 들어, 제5 TFT(312)의 게이트 전극은 게이트 라인(G1)에 접속되고, 제5 TFT(312)의 드레인 전극은 데이터 라인에 접속되며, 제5 TFT(312)의 소스 전극은 픽셀(B)에 접속된다.

[0023] 4개의 어레이 기관 서브유닛으로 이루어지는 어레이 기관 유닛에 대해서는, 순차적으로 수평 방향으로 배열되는 2개의 어레이 기관 서브유닛들은 3개의 게이트 라인들을 공유하고, 수직 방향으로 배열되는 2개의 어레이 기관 서브유닛들은 단일 데이터 라인을 공유한다. 수직 방향에서, 하부 어레이 기관 서브유닛 내의 제1 게이트 라인 및 상부 어레이 기관 서브유닛 내의 마지막 게이트 라인은 동일한 게이트 라인이다. 설명의 편의를 위해, 순차적으로 수평 방향으로 배열되는 2개의 어레이 기관 서브유닛들(도 3b의 상부측)에 접속되는 3개의 게이트 라인들을 제1 게이트 라인(31), 제2 게이트 라인(32), 제3 게이트 라인(33)으로 표현하고; 순차적으로 수평 방향으로 배열되는 다른 2개의 어레이 기관 서브유닛들(도 3b의 하부측)에 접속되는 3개의 게이트 라인들을 제3 게이트 라인(33), 제4 게이트 라인(34), 제5 게이트 라인(35)으로 표현한다. 즉, 도 3b에 예시된 바와 같이, 순차적으로 수평 방향으로 배열되는 2개의 어레이 기관 서브유닛들(도 3b의 상부측)은 제1 게이트 라인, 제2 게이트 라인, 및 제3 게이트 라인을 공유하고; 순차적으로 수평 방향으로 배열되는 다른 2개의 어레이 기관 서브유닛들(도 3b의 하부측)은 제3 게이트 라인, 제4 게이트 라인, 및 제5 게이트 라인을 공유한다.

[0024] 어레이 기관 유닛은 수평 방향으로 연장되는 제1 게이트 라인(31), 제2 게이트 라인(32), 제3 게이트 라인(33), 제4 게이트 라인(34) 및 제5 그리드 라인들(35), 및 수직 방향으로 연장되는 제1 데이터 라인(36) 및 제2 데이터 라인(37)을 포함하고; 제1 게이트 라인(31)과 제2 게이트 라인(32) 사이에 순서대로 구비되는 픽셀(R1), 픽셀(G1), 픽셀(B1), 픽셀(R2), 픽셀(G2), 픽셀(B2)을 포함하며; 제3 게이트 라인(33)과 제4 게이트 라인(34) 사이에 구비되는 픽셀(R3), 픽셀(G3), 픽셀(B3), 픽셀(R4), 픽셀(G4), 픽셀(B4)을 포함한다. 구동 신호들을 공급하기 위해 각 게이트 라인을 사용하고, 극성이 연속적으로 반전되는 전압 신호들을 공급하기 위해 각 데이터 라인을 사용한다.

[0025] 예를 들어, 픽셀(R1)은 제1 게이트 라인(31), 제3 게이트 라인(33) 및 제1 데이터 라인(36)에 전기적으로 접속되고; 픽셀(G1)은 제2 게이트 라인(32), 제3 게이트 라인(33) 및 제1 데이터 라인(36)에 전기적으로 접속되고; 픽셀(B1)은 제1 게이트 라인(31) 및 제1 데이터 라인(36)에 전기적으로 접속되고; 픽셀(R2)은 제1 게이트 라인(31), 제3 게이트 라인(33) 및 제2 데이터 라인(37)에 전기적으로 접속되고; 픽셀(G2)은 제2 게이트 라인(32), 제3 게이트 라인(33) 및 제2 데이터 라인(37)에 전기적으로 접속되고; 픽셀(B2)은 제1 게이트 라인(31) 및 제2 데이터 라인(37)에 전기적으로 접속되고; 픽셀(R3)은 제3 게이트 라인(33), 제5 게이트 라인(35) 및 제1 데이터 라인(36)에 전기적으로 접속되고; 픽셀(G3)은 제4 게이트 라인(34), 제5 게이트 라인(35) 및 제1 데이터 라인

(36)에 전기적으로 접속되고; 픽셀(B3)은 제3 게이트 라인(33) 및 제1 데이터 라인(36)에 전기적으로 접속되고; 픽셀(R4)은 제3 게이트 라인(33), 제5 게이트 라인(35) 및 제2 데이터 라인(37)에 전기적으로 접속되고; 픽셀(G4)은 제4 게이트 라인(34), 제5 게이트 라인(35) 및 제2 데이터 라인(37)에 전기적으로 접속되며; 픽셀(B4)은 제3 픽셀 게이트 라인(33) 및 제2 데이터 라인(37)에 전기적으로 접속된다.

[0026] 픽셀(R1), 픽셀(G1), 픽셀(B1), 및 각 픽셀에 접속되는 게이트 라인들 및 데이터 라인은 제1 어레이 기판 서브유닛을 구성하며, 즉 픽셀(R1), 픽셀(G1), 픽셀(B1), 제1 게이트 라인(31), 제2 게이트 라인(32), 제3 게이트 라인(33) 및 제1 데이터 라인(36)은 제1 어레이 기판 서브유닛을 구성하고, 픽셀(R2), 픽셀(G2), 픽셀(B2), 및 각 픽셀에 접속되는 게이트 라인들 및 데이터 라인은 제2 어레이 기판 서브유닛을 구성하며, 즉 픽셀(R2), 픽셀(G2), 픽셀(B2), 및 제1 게이트 라인 픽셀(31), 제2 게이트 라인(32), 제3 게이트 라인(33) 및 제2 데이터 라인(37)은 제2 어레이 기판 서브유닛을 구성한다. 제2 어레이 기판 서브유닛 및 제1 어레이 기판 서브유닛은 3개의 게이트 라인들, 즉 제1 게이트 라인(31), 제2 게이트 라인(32) 및 제3 게이트 라인(33)을 공유한다. 픽셀(R3), 픽셀(G3), 픽셀(B3) 및 각 픽셀에 접속되는 게이트 라인들 및 데이터 라인은 제3 어레이 기판 서브유닛을 구성하며, 즉 픽셀(R3), 픽셀(G3), 픽셀(B3), 제3 게이트 라인(33), 제4 게이트 라인(34), 제5 게이트 라인(35) 및 제1 데이터 라인(36)은 제3 어레이 기판 서브유닛을 구성한다. 제3 어레이 기판 서브유닛 및 제1 어레이 기판 서브유닛은 제1 데이터 라인(36) 및 제3 게이트 라인(33)을 공유한다. 픽셀(R4), 픽셀(G4), 픽셀(B4) 픽셀 및 각 픽셀에 접속되는 게이트 라인들 및 데이터 라인은 제4 어레이 기판 서브유닛을 구성하며, 즉 픽셀(R4), 픽셀(G4), 픽셀(B4), 제3 게이트 라인(33), 제4 게이트 라인(34), 제5 게이트 라인(35) 및 제2 데이터 라인(37)은 제4 어레이 기판 서브유닛을 구성한다. 제4 어레이 기판 서브유닛 및 제3 어레이 기판 서브유닛은 3개의 게이트 라인들, 즉 제3 게이트 라인(33), 제4 게이트 라인(34) 및 제5 게이트 라인(35)을 공유하고; 제4 어레이 기판 서브유닛 및 제2 어레이 기판 서브유닛은 제2 데이터 라인(37) 및 제3 게이트 라인(33)을 공유한다. 각 어레이 기판 서브유닛에서, 각 픽셀은 스위치들을 통해 대응하는 게이트 라인 및 데이터 라인에 전기적으로 접속되고 스위치들은 박막 트랜지스터(TFT)를 포함하지만 이에 한정되는 것은 아니다.

[0027] 일 예에서, 각 픽셀이 TFT를 통해 대응하는 게이트 라인 및 데이터 라인에 접속되면, 도 3에 예시된 바와 같이, 구체적 구조는 하기와 같을 수 있다: 제1 어레이 기판 서브유닛에서, 픽셀(R1)은 제1 TFT(38) 및 제2 TFT(39)를 통해 제1 게이트 라인(31), 제3 게이트 라인(33) 및 제1 데이터 라인(36)에 전기적으로 접속된다. 예를 들어, 제1 TFT(38)의 게이트 전극은 제3 게이트 라인(33)에 접속되고, 제1 TFT(38)의 드레인 전극은 제1 게이트 라인(31)에 접속되고, 제1 TFT(38)의 소스 전극은 제2 TFT(39)의 게이트 전극에 접속되고, 제2 TFT(39)의 드레인 전극은 제1 데이터 라인에 접속되며, 제2 TFT(39)의 소스 전극은 픽셀(R1)에 접속된다. 픽셀(G1)은 제3 TFT(310) 및 제4 TFT(311)를 통해 제2 게이트 라인(32), 제3 게이트 라인(33) 및 제1 데이터 라인(36)에 전기적으로 접속된다. 예를 들어, 제3 TFT(310)의 게이트 전극은 제3 게이트 라인(33)에 접속되고, 제3 TFT(310)의 드레인 전극은 제2 게이트 라인(32)에 접속되고, 제3 TFT(310)의 소스 전극은 제4 TFT(311)의 게이트 전극에 접속되고, 제4 TFT(311)의 드레인 전극은 제1 데이터 라인에 접속되며, 제4 TFT(311)의 소스 전극은 픽셀(G1)에 접속된다. 픽셀(B1)은 제5 TFT(312)를 통해 제1 게이트 라인(31) 및 제1 데이터 라인에 전기적으로 접속된다. 예를 들어, 제5 TFT(312)의 게이트 전극은 제1 게이트 라인(31)에 접속되고, 제5 TFT(312)의 드레인 전극은 제1 데이터 라인에 접속되며, 제5 TFT(312)의 소스 전극은 픽셀(B1)에 접속된다.

[0028] 제2 어레이 기판 서브유닛에서, 픽셀(R2)은 제1 TFT(38) 및 제2 TFT(39)를 통해 제1 게이트 라인(31), 제3 게이트 라인(33) 및 제2 데이터 라인에 전기적으로 접속된다. 예를 들어, 제1 TFT(38)의 게이트 전극은 제3 게이트 라인(33)에 접속되고, 제1 TFT(38)의 드레인 전극은 제1 게이트 라인(31)에 접속되고, 제1 TFT(38)의 소스 전극은 제2 TFT(39)의 게이트 전극에 접속되고, 제2 TFT(39)의 드레인 전극은 제2 데이터 라인에 접속되며, 제2 TFT(39)의 소스 전극은 픽셀(R2)에 접속된다. 픽셀(G2)은 제3 TFT(310) 및 제4 TFT(311)를 통해 제2 게이트 라인(32), 제3 게이트 라인(33) 및 제2 데이터 라인에 전기적으로 접속된다. 예를 들어, 제3 TFT(310)의 게이트 전극은 제3 게이트 라인(33)에 접속되고, 제3 TFT(310)의 드레인 전극은 제2 게이트 라인(32)에 접속되고, 제3 TFT(310)의 소스 전극은 제4 TFT(311)의 게이트 전극에 접속되고, 제4 TFT(311)의 드레인 전극은 제2 데이터 라인에 접속되며, 제4 TFT(311)의 소스 전극은 픽셀(G2)에 접속된다. 픽셀(B2)은 제5 TFT(312)를 통해 제1 게이트 라인(31) 및 제2 데이터 라인에 전기적으로 접속된다. 예를 들어, 제5 TFT(312)의 게이트 전극은 제1 게이트 라인(31)에 접속되고, 제5 TFT(312)의 드레인 전극은 제2 데이터 라인에 접속되며, 제5 TFT(312)의 소스 전극은 픽셀(B2)에 접속된다.

[0029] 제3 어레이 기판 서브유닛에서, 픽셀(R3)은 제1 TFT(38) 및 제2 TFT(39)를 통해 제3 게이트 라인(31), 제5 게이트 라인(35) 및 제1 데이터 라인에 전기적으로 접속된다. 예를 들어, 제1 TFT(38)의 게이트 전극은 제5 게이트

라인(35)에 접속되고, 제1 TFT(38)의 드레인 전극은 제3 게이트 라인(33)에 접속되고, 제1 TFT(38)의 소스 전극은 제2 TFT(39)의 게이트 전극에 접속되고, 제2 TFT(39)의 드레인 전극은 제1 데이터 라인에 접속되며, 제2 TFT(39)의 소스 전극은 픽셀(R3)에 접속된다. 픽셀(G3)은 제3 TFT(310) 및 제4 TFT(311)를 통해 제4 게이트 라인(34), 제5 게이트 라인(35) 및 제1 데이터 라인(36)에 전기적으로 접속된다. 예를 들어, 제3 TFT(310)의 게이트 전극은 제5 게이트 라인(35)에 접속되고, 제3 TFT(310)의 드레인 전극은 제4 게이트 라인(34)에 접속되고, 제3 TFT(310)의 소스 전극은 제4 TFT(311)의 게이트 전극에 접속되고, 제4 TFT(311)의 드레인 전극은 제1 데이터 라인(36)에 접속되며, 제4 TFT(311)의 소스 전극은 픽셀(G3)에 접속된다. 픽셀(B3)은 제5 TFT(312)를 통해 제3 게이트 라인(33) 및 제1 데이터 라인(36)에 전기적으로 접속된다. 예를 들어, 제5 TFT(312)의 게이트 전극은 제3 게이트 라인(33)에 접속되고, 제5 TFT(312)의 드레인 전극은 제1 데이터 라인(36)에 접속되며, 제5 TFT(312)의 소스 전극은 픽셀(B3)에 접속된다.

[0030] 제4 어레이 기판 서브유닛에서, 픽셀(R4)은 제1 TFT(38) 및 제2 TFT(39)를 통해 제3 게이트 라인(31), 제5 게이트 라인(35) 및 제2 데이터 라인(37)에 전기적으로 접속된다. 예를 들어, 제1 TFT(38)의 게이트 전극은 제5 게이트 라인(35)에 접속되고, 제1 TFT(38)의 드레인 전극은 제3 게이트 라인(33)에 접속되고, 제1 TFT(38)의 소스 전극은 제2 TFT(39)의 게이트 전극에 접속되고, 제2 TFT(39)의 드레인 전극은 제2 데이터 라인(37)에 접속되며, 제2 TFT(39)의 소스 전극은 픽셀(R4)에 접속된다. 픽셀(G4)은 제3 TFT(310) 및 제4 TFT(311)를 통해 제4 게이트 라인(34), 제5 게이트 라인(35) 및 제2 데이터 라인(37)에 전기적으로 접속된다. 예를 들어, 제3 TFT(310)의 게이트 전극은 제5 게이트 라인(35)에 접속되고, 제3 TFT(310)의 드레인 전극은 제4 게이트 라인(34)에 접속되고, 제3 TFT(310)의 소스 전극은 제4 TFT(311)의 게이트 전극에 접속되고, 제4 TFT(311)의 드레인 전극은 제2 데이터 라인(37)에 접속되며, 제4 TFT(311)의 소스 전극은 픽셀(G4)에 접속된다. 픽셀(B4)은 제5 TFT(312)를 통해 제3 게이트 라인(33) 및 제2 데이터 라인(37)에 전기적으로 접속된다. 예를 들어, 제5 TFT(312)의 게이트 전극은 제3 게이트 라인(33)에 접속되고, 제5 TFT(312)의 드레인 전극은 제2 데이터 라인(37)에 접속되고, 제5 TFT(312)의 소스 전극은 픽셀(B4)에 접속된다.

[0031] 도 4는 본 발명의 실시예에 따른 다양한 게이트 라인들에 의해 공급되는 구동 신호들의 파형을 예시한다. 시간 1에 도달하면, 제1 게이트 라인(31) 및 제3 게이트 라인(33)은 하이 레벨에 있고, 나머지 게이트 라인들은 로우 레벨에 있어서, 제1 데이터 라인(36)은 픽셀(R1) 및 픽셀(B1)을 충전하고, 제2 데이터 라인(37)은 픽셀(R2) 및 픽셀(B2)을 충전한다. 픽셀(R1)에 의해 요구되는 전압이 8V이고, 픽셀(B1)에 의해 요구되는 전압이 16V라고 가정하면, 시간 1에서, 픽셀(B1)에 관한 충전은 사전 충전이고, 픽셀(B1)에 관한 충전의 다음 시간에 대해, 8V로부터 개시될 수 있다. 유사하게, 시간 1에서, 픽셀(B2)에 관한 충전은 사전 충전이고, 픽셀(B2)에 관한 충전의 다음 시간에 대해, 8V로부터 개시될 수 있다. 시간 2에서, 제2 게이트 라인(32) 및 제3 게이트 라인(33)은 하이 레벨에 있고, 제1 데이터 라인(36)은 픽셀(G1)을 충전하고, 제2 데이터 라인(37)은 픽셀(G2)을 충전한다. 시간 3에서, 제1 게이트 라인(31)은 하이 레벨에 있고, 제1 데이터 라인(36)은 픽셀(B1)을 충전하고, 제2 데이터 라인(37)은 픽셀(B2)을 충전하는 등등이다. 게이트 라인들은 수신된 구동 신호들에 따라 데이터 라인들을 제어하여 각각의 픽셀을 시간 4, 시간 5, 시간 6, 시간 7 및 시간 8에서 충전한다.

[0032] 어레이 기판 유닛의 구조는 상기와 같이 제1 게이트 라인, 제2 게이트 라인, 제3 게이트 라인, 제4 게이트 라인 및 제5 게이트 라인으로 설명된다. 그러나 어레이 기판 유닛 내의 각 어레이 기판 서브유닛의 구조는 동일하다. 실제로, 각 어레이 기판 서브유닛은 3개의 게이트 라인들을 포함하고, 수직 방향으로 인접한 2개의 서브유닛 행들 사이의 제3 게이트 라인 및 제1 게이트 라인은 동일한 게이트 라인이다(공유됨). 즉, 상기 제1 내지 제5 게이트 라인들은 제1 서브유닛 행에 대한 제1 게이트 라인, 제1 서브유닛 행에 대한 제2 게이트 라인, 제1 서브유닛 행에 대한 제3 게이트 라인(또는 제2 서브유닛 행에 대한 제1 게이트 라인), 제2 서브유닛 행에 대한 제2 게이트 라인 및 제2 서브유닛 행에 대한 제3 게이트 라인으로 지칭될 수 있다.

[0033] 상기 수평 방향 및 수직 방향은 각 어레이 기판의 평면에서 서로 수직인 2개의 방향들이다. 그러나 본 실시예에 따른 어레이 기판은 서로 수직인 2개의 방향으로 한정되는 것이 아니라, 임의의 다른 각도들에서 서로 교차될 수 있다.

[0034] 예를 들어, 본 발명의 실시예들에 따른 미리 결정된 수의 어레이 기판 유닛으로 어레이 기판을 구성할 수 있고, 어레이 기판은 액정이 어레이 기판과 컬러 필터 기판 사이에 개재되는 액정 패널을 구성하기 위해 사용될 수 있다. 게다가, 액정 패널은, 백라이트 및 제어 신호들을 액정 패널에 공급하는 집적 회로 기판과 함께, 액정 디스플레이 장치를 구성하기 위해 사용될 수 있다. 상기 장치들에서, 어레이 기판이 본 발명의 실시예들에 따른 어레이 기판을 채택하는 것을 제외하고, 다른 구조들은 종래 기술의 것들과 동일할 수 있으며, 이는 본 명세서

에서 상세히 설명되지 않을 것이다.

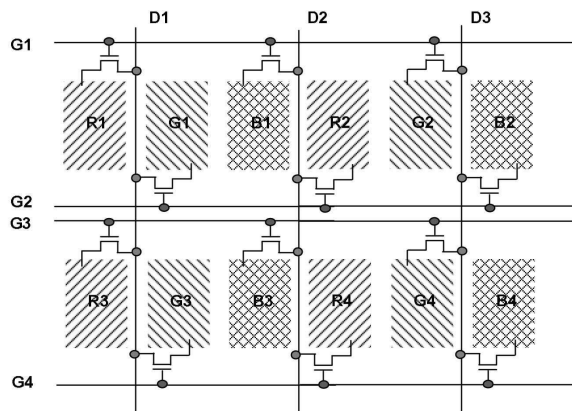
[0035] 게다가, 본 발명의 실시예들에 따른 복수의 어레이 기판 유닛들은 어레이 기판에서 매트릭스 형태로 배열될 수 있다. 수직 방향에서, 이전 어레이 기판 유닛의 마지막 제3 게이트 라인 및 다음 어레이 기판 유닛의 선두 제1 게이트 라인은 동일한 게이트 라인일 수 있다.

[0036] 본 발명의 실시예들은 어레이 기판 유닛, 어레이 기판, 액정 디스플레이 패널 및 액정 디스플레이 장치를 제공한다. 각각의 어레이 기판 유닛은 4개의 어레이 기판 서브유닛들을 포함하고, 이 어레이 기판 서브유닛들은 수평 방향 및 수직 방향에서 쌍 방식으로 대칭이다. 각 어레이 기판 서브유닛은 3개의 픽셀들, 및 3개의 픽셀에 전기적으로 접속되는 1개의 데이터 라인들 및 3개의 게이트 라인들을 포함한다. 수평 방향으로 배열되는 2개의 어레이 기판 서브유닛들은 3개의 게이트 라인들을 공유하고, 수직 방향으로 배열되는 2개의 어레이 기판 서브유닛들은 게이트 라인들 중 하나 및 1개의 데이터 베이스 라인을 공유한다. 그러므로 본 발명의 실시예들에 따른 어레이 기판 유닛은 5개의 게이트 라인들 및 2개의 데이터 라인들을 포함하고, 이는 듀얼 게이트 구동 모드에서의 어레이 기판 유닛과 비교할 때 1개의 데이터 라인이 감소하고, 트리플 게이트 구동 모드에서의 어레이 기판 유닛과 비교할 때 1개의 게이트 라인이 감소한다. 각각의 액정 패널은 수백의 어레이 기판 유닛들을 포함하므로, 액정 패널의 제조 공정에 사용되는 COF의 수가 효과적으로 감소할 수 있다.

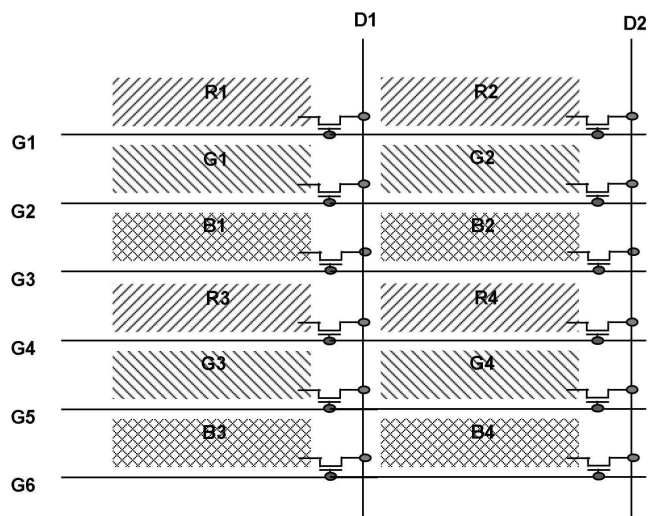
[0037] 상술한 것은 단지 본 발명의 예시적 실시예들일 뿐, 본 발명의 보호 범위를 한정하기 위해 사용되지 않는다. 본 발명의 보호 범위는 첨부된 청구항들에 의해 정의될 것이다.

도면

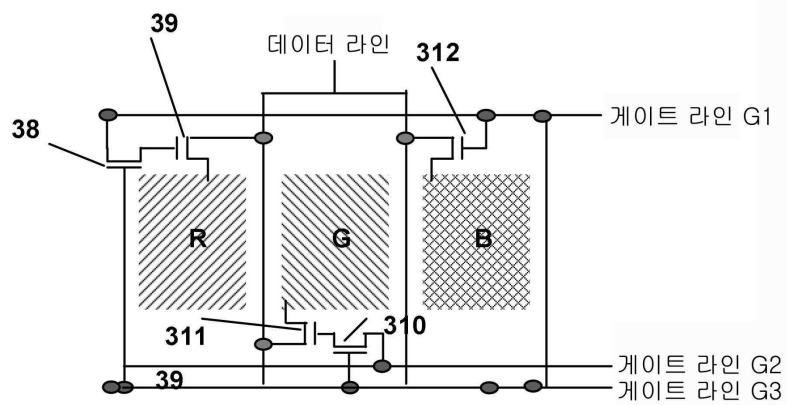
도면1



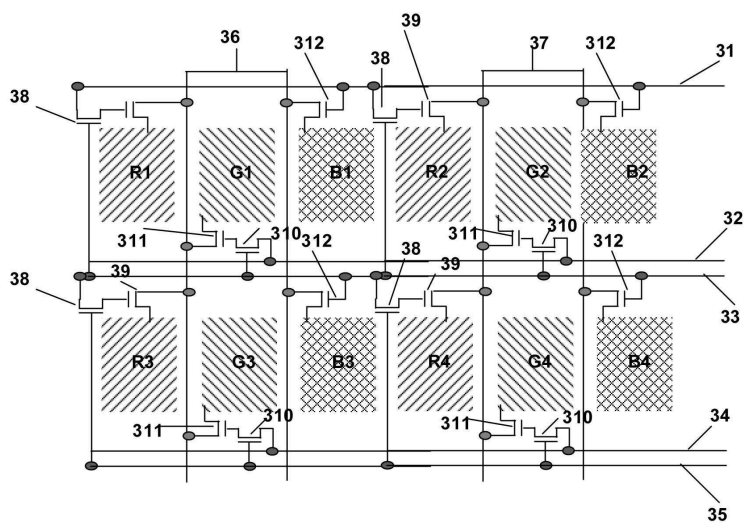
도면2



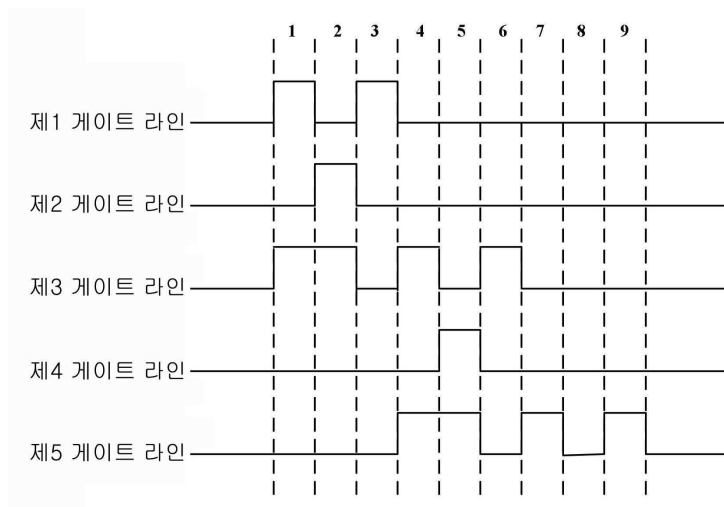
도면3a



도면3b



도면4



专利名称(译)	标题：阵列基板，液晶面板和液晶显示装置		
公开(公告)号	KR1020140013936A	公开(公告)日	2014-02-05
申请号	KR1020130083676	申请日	2013-07-16
[标]申请(专利权)人(译)	京东方科技集团股份有限公司 北京京东方显示技术有限公司		
申请(专利权)人(译)	博科技集团股份有限公司 显示技术有限公司北京博		
当前申请(专利权)人(译)	博科技集团股份有限公司 显示技术有限公司北京博		
[标]发明人	WANG BAOQIANG		
发明人	WANG BAOQIANG		
IPC分类号	G02F1/133 G09G3/36		
CPC分类号	G02F1/136286 G02F1/13624		
代理人(译)	CHANG, SOO KIL 金诚WOON 金诚WOON		
优先权	201220367115.0 2012-07-26 CN		
其他公开文献	KR101485251B1		
外部链接	Espacenet		

摘要(译)

本发明实施例提供一种阵列基板，液晶显示面板和液晶显示装置。阵列基板包括多个阵列基板单元，每个阵列基板单元包括沿着第一方向和第二方向延伸的数据线和栅极线，第一方向和第二方向在基板的平面上相互交叉。每个阵列基板单元包括沿第一方向和第二方向排列的四个阵列基板子单元，以形成子单元行和子单元列。每个子单元行和每个子单元列具有两个阵列基板子单元。每个子单元行中的两个阵列基板子单元共享三条栅极线，并且每个子单元列中的两个阵列基板子单元共享一条数据线和栅极线中的一条。

