



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0086358
(43) 공개일자 2013년08월01일

(51) 국제특허분류(Int. Cl.)
G02F 1/1343 (2006.01) G02F 1/1335 (2006.01)
(21) 출원번호 10-2013-7013194
(22) 출원일자(국제) 2012년07월05일
심사청구일자 2013년05월23일
(85) 번역문제출일자 2013년05월23일
(86) 국제출원번호 PCT/CN2012/078214
(87) 국제공개번호 WO 2013/037236
국제공개일자 2013년03월21일
(30) 우선권주장
201110274675.1 2011년09월16일 중국(CN)

(71) 출원인
상하이 티안마 마이크로-일렉트로닉스 컴퍼니.,
리미티드
중국, 상하이 201201, 푸둥 뉴 디스트릭트, 889
후이펑 로드.
(72) 발명자
후오 시타오
중국 상하이 201201 푸둥 뉴 디스트릭트 후이펑
로드 889
지앙 웬신
중국 상하이 201201 푸둥 뉴 디스트릭트 후이펑
로드 889
(74) 대리인
특허법인 정안

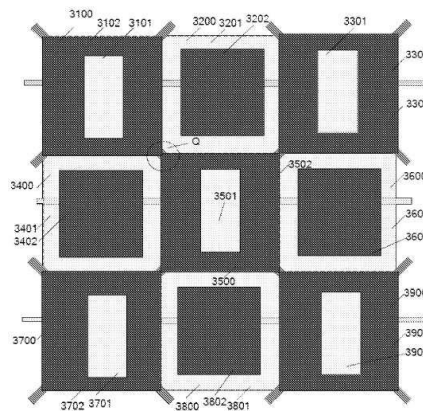
전체 청구항 수 : 총 40 항

(54) 발명의 명칭 어레이 기판 및 액정 디스플레이 패널

(57) 요약

본 발명은 행렬로 배열된 복수의 픽셀 유닛들을 포함하는 어레이 기판을 제공하는데, 복수의 픽셀 유닛들은 행 방향으로 제공되는 복수의 게이트 라인들(313) 및 열 방향으로 제공되는 복수의 데이터 라인들(315)의 교차점에 의해 정의되고; 픽셀 유닛은 제1 픽셀 유닛(3100, 3300, 3500, 3700, 3900) 및 제2 픽셀 유닛(3200, 3400, 3600, 3800)을 포함하고, 제1 픽셀 유닛의 엣지 영역에 반사 전극이 제공되고, 제2 픽셀 유닛의 엣지 영역에 투과 전극이 제공된다. 이로써 어레이 기판 및 이 어레이 기판을 이용한 액정 디스플레이 패널의 광 투과성이 증가될 수 있다.

대표도 - 도14



특허청구의 범위

청구항 1

어레이 기판에 있어서,

행 방향으로 제공되는 복수의 게이트 라인들과 열 방향으로 제공되는 복수의 데이터 라인들의 교차점에 의해 정의되는, 행렬로 배열되는 복수의 픽셀 유닛들을 포함하고,

상기 픽셀 유닛들은 제1 픽셀 유닛과 제2 픽셀 유닛을 포함하고, 반사 전극이 상기 제1 픽셀 유닛의 엣지 영역에 제공되며, 투과 전극이 상기 제2 픽셀 유닛의 엣지 영역에 제공되는 것인, 어레이 기판.

청구항 2

제1항에 있어서, 적어도 하나의 제1 픽셀 유닛이, 상기 제2 픽셀 유닛에 인접하도록 제공되는 것인, 어레이 기판.

청구항 3

제2항에 있어서, 절연층이, 상기 제1 픽셀 유닛의 상기 반사 전극과, 상기 제1 픽셀 유닛에 인접하도록 제공되는 상기 제2 픽셀 유닛의 상기 투과 전극 사이에 제공되는 것인, 어레이 기판.

청구항 4

제3항에 있어서, 제1 픽셀 유닛들이 행으로 배열되고, 제2 픽셀 유닛들이 행으로 배열되며, 상기 제1 픽셀 유닛들의 행과 상기 제2 픽셀 유닛들의 행은 행 방향으로 간격을 두고 떨어져 있는 것인, 어레이 기판.

청구항 5

제3항에 있어서, 제1 픽셀 유닛들이 열로 배열되고, 제2 픽셀 유닛들이 열로 배열되고, 상기 제1 픽셀 유닛들의 열 및 상기 제2 픽셀 유닛들의 열은 열 방향으로 간격을 두고 떨어져 있는 것인, 어레이 기판.

청구항 6

제3항에 있어서, 제1 픽셀 유닛들 및 제2 픽셀 유닛들은 행 방향 및 열 방향 모두에서 간격을 두고 떨어져 있는 것인, 어레이 기판.

청구항 7

제4항에 있어서, 상기 제1 픽셀 유닛들의 행을 구동시키는 게이트 라인이, 상기 제1 픽셀 유닛들의 행의 각 제1 픽셀 유닛의 엣지 영역에 위치한 상기 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 8

제4항에 있어서, 상기 제2 픽셀 유닛들의 행을 구동시키는 게이트 라인이, 상기 제1 픽셀 유닛들의 행에 인접한 상기 제1 픽셀 유닛들의 행의 각 제1 픽셀 유닛의 엣지 영역에 위치한 상기 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 9

제4항에 있어서, 상기 제1 픽셀 유닛들의 행의 공통 전극 라인이, 상기 제1 픽셀 유닛들의 행의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 10

제4항에 있어서, 상기 제2 픽셀 유닛들의 행의 공통 전극 라인이, 상기 제2 픽셀 유닛들의 행에 인접한 상기 제1 픽셀 유닛들의 행의 각 제1 픽셀 유닛의 엣지 영역에 위치한 상기 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 11

제5항에 있어서, 상기 제1 픽셀 유닛들의 열을 구동시키는 데이터 라인이, 상기 제1 픽셀 유닛들의 열의 각 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 12

제5항에 있어서, 상기 제2 픽셀 유닛들의 열을 구동시키는 데이터 라인이, 상기 제2 픽셀 유닛들의 열에 인접한 상기 제1 픽셀 유닛들의 열의 각 제1 픽셀 유닛의 오프셋 영역에 위치한 상기 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 13

제6항에 있어서, 복수의 게이트 라인들이,

폴리라인(polyline)으로 제공되고,

상기 픽셀 유닛들의 두개의 인접한 행들의 복수의 제1 픽셀 유닛들의 오프셋 영역들에 위치한 반사 전극들 하단에 병렬로 제공되며,

상기 픽셀 유닛들의 두개의 인접한 행들 내에서 코너들이 인접해 있는 두개의 제1 픽셀 유닛들의 인접한 코너들에서 디플렉션(deflection)으로 연결되는 것인, 어레이 기판.

청구항 14

제6항에 있어서, 복수의 데이터 라인들이,

폴리라인(polyline)으로 제공되고,

상기 픽셀들의 두개의 인접한 열들의 복수의 제1 픽셀 유닛들의 오프셋 영역들에 위치한 반사 전극들 하단에 병렬로 제공되며,

상기 픽셀 유닛들의 두개의 인접한 열들 내에서 코너들이 인접해 있는 두개의 제1 픽셀 유닛들의 인접한 코너들에서 디플렉션(deflection)으로 연결되는 것인, 어레이 기판.

청구항 15

제2항에 있어서, 상기 제1 픽셀 유닛 및 상기 제2 픽셀 유닛 각각은 박막 트랜지스터를 더 포함하는 것인, 어레이 기판.

청구항 16

제15항에 있어서, 상기 제1 픽셀 유닛을 제어하는 상기 박막 트랜지스터는 상기 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 17

제15항에 있어서, 상기 제2 픽셀 유닛을 제어하는 상기 박막 트랜지스터는, 상기 제2 픽셀 유닛에 인접한 상기 제1 픽셀 유닛의 오프셋 영역에 위치하는 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 18

제2항에 있어서, 상기 제1 픽셀 유닛 및 상기 제2 픽셀 유닛 각각은 스토리지 커패시터를 더 포함하는 것인, 어레이 기판.

청구항 19

제18항에 있어서, 상기 제1 픽셀 유닛의 스토리지 커패시터는 상기 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 20

제18항에 있어서, 상기 제2 픽셀 유닛의 스토리지 커패시터는 상기 제2 픽셀 유닛에 인접한 상기 제1 픽셀 유닛의 엠티 영역에 위치한 반사 전극 하단에 제공되는 것인, 어레이 기판.

청구항 21

제19항에 있어서, 상기 스토리지 커패시터의 상부 플레이트는 상기 박막 트랜지스터의 드레인 전극이고, 상기 스토리지 커패시터의 하부 플레이트는 공통 전극 라인인 것인, 어레이 기판.

청구항 22

제2항에 있어서, 상기 제1 픽셀 유닛의 중앙 영역에 반사 전극이 제공되는 것인, 어레이 기판.

청구항 23

제22항에 있어서, 상기 제1 픽셀 유닛의 중앙 영역에 위치한 반사 전극 및 상기 제1 픽셀 유닛의 엠티 영역에 위치한 반사 전극은 동일한 반사 금속층에 의해 형성되고 직접 연결되어 있는 것인, 어레이 기판.

청구항 24

제2항에 있어서, 상기 제1 픽셀 유닛의 중앙 영역에 투과 전극이 제공되는 것인, 어레이 기판.

청구항 25

제24항에 있어서, 상기 제1 픽셀 유닛의 중앙 영역에 위치한 투과 전극의 형상은 원형, 직사각형 또는 마름모형인 것인, 어레이 기판.

청구항 26

제24항에 있어서, 상기 제1 픽셀 유닛의 중앙 영역에 위치한 투과 전극은 상기 제1 픽셀 유닛의 엠티 영역에 위치한 반사 전극과 전기적으로 연결되는 것인, 어레이 기판.

청구항 27

제24항에 있어서, 상기 제1 픽셀 유닛의 투과 전극 및 상기 제1 픽셀 유닛의 반사 전극 사이에 유기막이 제공되어, 상기 반사 전극의 셀 갭이 상기 투과 전극의 셀 갭의 절반이 되도록 조절하는 것인, 어레이 기판.

청구항 28

제24항에 있어서, 모든 제1 픽셀 유닛들의 투과 전극들은 동일한 면적을 갖는 것인, 어레이 기판.

청구항 29

제24항에 있어서, 상기 제2 픽셀 유닛의 엠티 영역에 위치한 투과 전극의 면적은 상기 제1 픽셀 유닛의 중앙 영역에 위치한 투과 전극의 면적과 동일한 것인, 어레이 기판.

청구항 30

제2항에 있어서, 상기 제2 픽셀 유닛의 중앙 영역에 투과 전극이 제공되는 것인, 어레이 기판.

청구항 31

제30항에 있어서, 상기 제2 픽셀 유닛의 중앙 영역에 위치한 투과 전극 및 상기 제2 픽셀 유닛의 엠티 영역에 위치한 투과 전극은 동일한 투명 도전층에 의해 형성되고 직접적으로 연결되는 것인, 어레이 기판.

청구항 32

제2항에 있어서, 상기 제2 픽셀 유닛의 중앙 영역에 반사 전극이 제공되는 것인, 어레이 기판.

청구항 33

제32항에 있어서, 상기 제2 픽셀 유닛의 중앙 영역에 위치한 반사 전극의 형상은 원형, 직사각형 또는 마름모형인 것인, 어레이 기판.

청구항 34

제32항에 있어서, 상기 제2 픽셀 유닛의 중앙 영역에 위치한 반사 전극은 상기 제2 픽셀 유닛의 엣지 영역에 위치한 투과 전극과 전기적으로 연결되는 것인, 어레이 기판.

청구항 35

제32항에 있어서, 상기 제2 픽셀 유닛의 투과 전극 및 상기 제2 픽셀 유닛의 반사 전극 사이에 유기막이 제공되어, 상기 반사 전극의 셀 갭이 상기 투과 전극의 셀 갭의 절반이 되도록 조절하는 것인, 어레이 기판.

청구항 36

제32항에 있어서, 모든 제2 픽셀 유닛들의 반사 전극들은 동일한 면적을 갖는 것인, 어레이 기판.

청구항 37

제36항에 있어서, 상기 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극의 면적은 상기 제2 픽셀 유닛의 중앙 영역에 위치한 반사 전극의 면적과 동일한 것인, 어레이 기판.

청구항 38

제29항에 있어서, 상기 제1 픽셀 유닛들의 투과 전극들의 면적들은 상기 제2 픽셀 유닛들의 투과 전극들의 면적들과 동일하고, 상기 제1 픽셀 유닛들의 반사 전극들의 면적들은 상기 제2 픽셀 유닛들의 반사 전극들의 면적들과 동일한 것인, 어레이 기판.

청구항 39

제1항에 따르는 어레이 기판을 포함하는 액정 디스플레이 패널.

청구항 40

제39항에 있어서, 컬러 막 기판을 더 포함하고, 상기 컬러 막 기판에는 복수의 컬러 포토레지스트들, 평탄화층 및 컬러막 기판의 공통 전극만 제공되고, 상기 복수의 컬러 포토레지스트들은 상기 복수의 픽셀 유닛들에 대응하는 것인, 액정 디스플레이 패널.

명세서**기술분야**

[0001] 본 발명은 액정 디스플레이 분야, 구체적으로는 어레이 기판 및 이 어레이 기판을 포함하는 액정 디스플레이 패널에 관한 것이다.

[0002] 본원은 2011년 9월 16일자로 제출된 “어레이 기판 및 액정 디스플레이 패널”이라는 명칭하의 중국특허출원 제 201110274675.1호에 대해 우선권을 주장하며, 이는 본 명세서에 전체로서 참조로 통합된다.

배경기술

[0003] 액정 디스플레이 장치는 저전압, 마이크로 전력 소모, 큰 디스플레이 정보량, 컬러화의 용이성 등과 같은 이점을 갖는다. 현재, 액정 디스플레이 장치는 컴퓨터, 전자 노트북, 모바일폰, 비디오 카메라 및 고화질 TV와 같은 전자 장치에서 널리 적용되고 있다. 액정 디스플레이 장치는 일반적으로, 이미지를 디스플레이하도록 구성된 액정 디스플레이 패널과, 액정 디스플레이 패널에 신호를 제공하도록 구성되는 회로부를 포함한다. 액정 디스플레이 패널은 일반적으로, 박막 트랜지스터(TFT) 어레이 기판, 상단 기판, 어레이 기판 및 상단 기판 사이에 위치한 액정 기판을 포함한다.

[0004] 액정 디스플레이 패널은 그 자체가 광을 내는 것이 아니라 외부 광을 변조하여 디스플레이의 목적을 달성한다는 점에서 음극선관 디스플레이 장치나 플라즈마 디스플레이 장치와는 다른데, 즉, 액정 디스플레이는 외부 광의 반사 및 투과를 위해 상이한 콘트라스트를 형성하여 디스플레이의 목적을 달성한다.

[0005] 액정 디스플레이 패널은 외부 광의 상이한 소스에 따라 투과 모드 및 반사 모드를 갖는다. 투과 유형 액정 디스플레이 패널은 디스플레이를 위해 액정 디스플레이 장치 자체에 의해 제공되는 백라이트로부터 방출되는 광을

이용한다. 이러한 투과 디스플레이 모드의 단점은, 백라이트 소스가 상시 개방(normally-opened) 상태에 있음으로 인해 전력 소모가 크게 되고, 액정 디스플레이 장치가 외부에서 사용될 때 이미지가 외부 광에 의해 영향을 받는다는 것이다. 그러나, 투과 유형 액정 디스플레이 패널과는 달리, 반사 유형 액정 디스플레이 패널은 외부 광을 반사 및 변조하여 이미지를 디스플레이한다. 이러한 반사 디스플레이 모드의 이점은 전력 소모가 상당히 감소된다는 것이다. 그러나, 이러한 반사 디스플레이 모드는 여전히 단점을 갖고 있다. 예컨대, 외부 광이 충분히 강한 상태에 있어야 한다. 상술한 두가지 디스플레이 모드를 고려하여, 반투과형(transflective) 액정 디스플레이 패널이 개발되는데, 여기에는 픽셀 내에 투과 영역 및 반사 영역이 있고, 백라이트는 투과 모드에서 투과 영역을 통과하고 외부 광은 반사 모드에서 반사 영역을 통과한다. 그러므로, 반투과형 액정 디스플레이 패널은 외부에서의 가독성 및 전력 소모 감소 측면에서 상당한 이점을 갖고 있다.

[0006] 복수의 비디오 신호 라인(데이터 라인으로도 알려짐) 및 복수의 스캐닝 라인(게이트 라인으로도 알려짐)이 박막 트랜지스터 어레이 기판 상의 교차점에 제공된다. 복수의 영역이 이러한 비디오 신호 라인 및 스캐닝 라인에 의해 분할된다. 각 영역 내에, 픽셀 유닛에 비디오 신호를 선택적으로 제공하도록 구성된 스위칭 소자 TFT 및 픽셀 전극이 제공되어 픽셀 유닛을 형성한다.

[0007] 종래 기술에서, 반투과형 액정 디스플레이 패널의 박막 트랜지스터 어레이 기판 상에서, 일반적으로 반사 전극이 각 픽셀 유닛 내의 투과 전극을 둘러싼다. 그러므로, 인접 픽셀 유닛들의 반사 전극들은 인접하게 된다. 게다가, 인접한 픽셀 유닛들의 양 반사 전극들 모두 동일한 도전성층에 의해 형성되기 때문에, 두개의 인접한 픽셀 유닛간의 단락 회로 문제를 해결하기 위해, 두개의 픽셀 유닛들의 반사 전극들은 일반적으로 이격되어 있다. 그러나, 박막 트랜지스터 어레이 기판의 이러한 구조는 반사 영역 및 투과 영역의 합산 면적의 감소를 초래하고, 따라서 반사 영역 또는 투과 영역의 면적이 감소된다. 상술한 영역의 면적의 감소는 감소된 광 이용율(utilization ration of light)(개구율; aperture ratio)을 초래할 수 있다.

발명의 내용

해결하려는 과제

[0008] 이러한 관점에서 신규한 어레이 기판 및 이를 포함한 신규한 액정 디스플레이 패널을 제안하여, 종래의 박막 트랜지스터 어레이 기판에 의해 유발되는 낮은 광 이용율(개구율)의 문제를 해소할 필요가 있다.

과제의 해결 수단

[0009] 본 발명이 해결하고자 하는 문제는, 신규한 어레이 기판 및 이를 포함한 신규한 액정 디스플레이 패널을 제안하여 종래의 박막 트랜지스터 어레이 기판의 낮은 광 이용율(개구율)의 문제를 해소하는 것이다.

[0010] 상술한 문제를 해결하기 위해, 본 발명은 행 방향으로 제공되는 복수의 게이트 라인들과 열 방향으로 제공되는 복수의 데이터 라인들의 교차점으로 정의되는 행렬로 배열되는 복수의 픽셀 유닛을 포함하는 어레이 기판을 제공하고, 픽셀 유닛들은 제1 픽셀 유닛 및 제2 픽셀 유닛을 포함하고, 제1 픽셀 유닛의 엣지 영역에 반사 전극이 제공되고 제2 픽셀 유닛의 엣지 영역에 투과 전극이 제공된다.

[0011] 다른 대안으로, 적어도 하나의 제1 픽셀 유닛이 제2 픽셀 유닛에 인접하게 제공된다.

[0012] 다른 대안으로, 제1 픽셀 유닛의 반사 전극 및 제1 픽셀 유닛에 인접하도록 제공되는 제2 픽셀 유닛의 투과 전극 사이에 절연층이 제공된다.

[0013] 다른 대안으로, 제1 픽셀 유닛들은 행으로 배열되고 제2 픽셀 유닛들은 행으로 배열되고 제1 픽셀 유닛들의 행 및 제2 픽셀 유닛들의 행은 행 방향으로 간격을 두고 떨어져 있다.

[0014] 다른 대안으로, 제1 픽셀 유닛들은 열로 배열되고 제2 픽셀 유닛들은 열로 배열되고, 제1 픽셀 유닛들의 열 및 제2 픽셀 유닛들의 열은 열 방향으로 간격을 두고 떨어져 있다.

[0015] 다른 대안으로, 제1 픽셀 유닛들 및 제2 픽셀 유닛들은 행 방향 및 열 방향으로 모두 간격을 두고 떨어져 있다.

[0016] 다른 대안으로, 제1 픽셀 유닛들의 행을 구동시키는 게이트 라인이, 제1 픽셀 유닛들의 행 내의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극들 하단에 제공된다.

[0017] 다른 대안으로, 제2 픽셀 유닛들의 행을 구동시키는 게이트 라인이, 제2 픽셀 유닛들의 행에 인접한 제1 픽셀 유닛들의 행 내의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극들 하단에 제공된다.

- [0018] 다른 대안으로, 제1 픽셀 유닛들의 행의 공통 전극 라인이, 제1 픽셀 유닛들의 행 내의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극들 하단에 제공된다.
- [0019] 다른 대안으로, 제2 픽셀 유닛들의 행의 공통 전극 라인이, 제2 픽셀 유닛들의 행에 인접한 제1 픽셀 유닛들의 행 내의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공된다.
- [0020] 다른 대안으로, 제1 픽셀 유닛들의 열을 구동시키는 데이터 라인이, 제1 픽셀 유닛들의 열 내의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극들 하단에 제공된다.
- [0021] 다른 대안으로, 제2 픽셀 유닛들의 열을 구동시키는 데이터 라인이, 제2 픽셀 유닛들의 열에 인접한 제1 픽셀 유닛들의 열 내의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극들 하단에 제공된다.
- [0022] 다른 대안으로, 복수의 게이트 라인들은 폴리라인(polyline)으로 제공되고, 픽셀 유닛들의 두개의 인접한 행들 내의 복수의 제1 픽셀 유닛들의 엣지 영역들에 위치한 반사 전극들 하단에 병렬로 제공되며, 픽셀 유닛들의 두개의 인접한 행들 내에서 인접한 코너들을 갖는 두개의 제1 픽셀 유닛들의 인접 코너들에서 디플렉션(deflection)으로 연결된다.
- [0023] 다른 대안으로, 복수의 데이터 라인들은 폴리라인으로 제공되고, 픽셀 유닛들의 두개의 인접한 열들 내의 복수의 제1 픽셀 유닛들의 엣지 영역들에 위치한 반사 전극들 하단에 병렬로 제공되며, 픽셀 유닛들의 두개의 인접한 행들 내에서 인접한 코너들을 갖는 두개의 제1 픽셀 유닛들의 인접 코너들에서 디플렉션으로 연결된다.
- [0024] 다른 대안으로, 제1 픽셀 유닛 및 제2 픽셀 유닛 각각은 박막 트랜지스터를 포함한다.
- [0025] 다른 대안으로, 제1 픽셀 유닛을 제어하는 박막 트랜지스터가, 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공된다.
- [0026] 다른 대안으로, 제2 픽셀 유닛을 제어하는 박막 트랜지스터가, 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공된다.
- [0027] 다른 대안으로, 제1 픽셀 유닛 및 제2 픽셀 유닛 각각은 스토리지 커패시터를 포함한다.
- [0028] 다른 대안으로, 제1 픽셀 유닛의 스토리지 커패시터는 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공된다.
- [0029] 다른 대안으로, 제2 픽셀 유닛의 스토리지 커패시터는 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공된다.
- [0030] 다른 대안으로, 스토리지 커패시터의 상부 플레이트는 박막 트랜지스터의 드레인 전극이고, 스토리지 커패시터의 하부 플레이트는 공통 전극 라인이다.
- [0031] 다른 대안으로, 제1 픽셀 유닛의 중앙 영역에는 반사 전극이 제공된다.
- [0032] 다른 대안으로, 제1 픽셀 유닛의 중앙 영역에 위치한 반사 전극 및 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극은 동일한 반사 금속층에 의해 형성되고 직접 연결된다.
- [0033] 다른 대안으로, 제1 픽셀 유닛의 중앙 영역에는 투과 전극이 제공된다.
- [0034] 다른 대안으로, 제1 픽셀 유닛의 중앙 영역에 위치한 투과 전극의 형상은 원형, 직사각형 또는 마름모형이다.
- [0035] 다른 대안으로, 제1 픽셀 유닛의 중앙 영역에 위치한 투과 전극은 제1 픽셀 유닛의 엣지 영역에 위치한 반사 영역과 전기적으로 연결된다.
- [0036] 다른 대안으로, 제1 픽셀 유닛의 투과 전극 및 제1 픽셀 유닛의 반사 전극 사이에 유기막이 제공되어, 반사 전극의 셀 간극이 투과 전극의 셀 간극의 절반이 되도록 조정한다.
- [0037] 다른 대안으로, 모든 제1 픽셀 유닛들의 투과 전극들은 동일 면적을 갖는다.
- [0038] 다른 대안으로, 제2 픽셀 유닛의 엣지 영역에 위치한 투과 전극의 면적은 제1 픽셀 유닛의 중앙 영역에 위치한 투과 전극의 면적과 동일하다.
- [0039] 다른 대안으로, 제2 픽셀 유닛의 중앙 영역에는 투과 전극이 제공된다.
- [0040] 다른 대안으로, 제2 픽셀 유닛의 중앙 영역에 위치한 투과 전극 및 제2 픽셀 유닛의 엣지 영역에 위치한 투과

영역은 동일한 투명 도전층에 의해 형성되고 직접 연결된다.

- [0041] 다른 대안으로, 제2 픽셀 유닛의 중앙 영역에는 반사 전극이 제공된다.
- [0042] 다른 대안으로, 제2 픽셀 유닛의 중앙 영역에 위치한 반사 전극의 형상은 원형, 직사각형 또는 마름모형이다.
- [0043] 다른 대안으로, 제2 픽셀 유닛의 중앙 영역에 위치한 반사 전극은 제2 픽셀 유닛의 엣지 영역에 위치한 투과 전극과 전기적으로 연결된다.
- [0044] 다른 대안으로, 제2 픽셀 유닛의 투과 전극 및 제2 픽셀 유닛의 반사 전극 사이에 유기막이 제공되어, 반사 전극의 셀 간극이 투과 전극의 셀 간극의 절반이 되도록 조정한다.
- [0045] 다른 대안으로, 복수의 모든 제2 픽셀 유닛들의 반사 전극들은 동일 면적을 갖는다.
- [0046] 다른 대안으로, 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극의 면적은 제2 픽셀 유닛의 중앙 영역에 위치한 반사 전극의 영역과 동일하다.
- [0047] 다른 대안으로, 제1 픽셀 유닛들의 투과 전극들의 면적은 제2 픽셀 유닛들의 투과 전극들의 면적과 동일하고, 제1 픽셀 유닛들의 반사 전극들의 면적은 제2 픽셀 유닛들의 반사 전극들의 면적과 동일하다.
- [0048] 본 발명은 또한 상술한 어레이 기판을 포함하는 액정 디스플레이 패널을 제공한다.
- [0049] 다른 대안으로, 액정 디스플레이 패널은 또한, 컬러막 기판을 포함한다. 컬러막 기판에는 복수의 컬러 포토레지스트들, 평탄화층 및 컬러막 기판의 공통 전극만 제공되며, 복수의 컬러 포토레지스트들은 복수의 픽셀 유닛들에 대응한다.

발명의 효과

- [0050] 본 발명에 의하면, 종래의 박막 트랜지스터 어레이 기판에 의해 유발되는 낮은 광 이용율(개구율)의 문제를 해결 할 수 있다.

도면의 간단한 설명

- [0051] 도 1은 제1 실시예에 따른 어레이 기판의 상단 뷰이다.
- 도 2는 제2 실시예에 따른 어레이 기판의 공통 전극 라인 및 게이트 라인의 분포 개략도이다.
- 도 3은 제2 실시예에 따른 어레이 기판의 박막 트랜지스터의 드레인 전극 및 소스 전극 및 데이터 라인의 분포 개략도이다.
- 도 4는 제2 실시예에 따른 어레이 기판의 박막 트랜지스터의 드레인 전극에 대응하는 비아 홀의 분포 개략도이다.
- 도 5는 제2 실시예에 따른 어레이 기판의 상단 뷰이다.
- 도 6은 도 5에서 A-A 라인을 따른 어레이 기판의 단면 개략도이다.
- 도 7은 제3 실시예에 따른 어레이 기판의 상단 뷰이다.
- 도 8은 제3 실시예에 따른 어레이 기판의 공통 전극 라인 및 게이트 라인의 분포 개략도이다.
- 도 9는 제3 실시예에 따른 어레이 기판의 박막 트랜지스터의 드레인 전극 및 소스 전극 및 데이터 라인의 분포 개략도이다.
- 도 10은 제3 실시예에 따른 박막 트랜지스터의 드레인 전극에 대응하는 비아 홀의 분포 개략도이다.
- 도 11은 제4 실시예에 따른 어레이 기판의 공통 전극 라인 및 게이트 라인의 분포 개략도이다.
- 도 12는 제4 실시예에 따른 어레이 기판의 박막 트랜지스터의 드레인 전극 및 소스 전극 및 데이터 라인의 분포 개략도이다.
- 도 13은 제4 실시예에 따른 박막 트랜지스터의 드레인 전극에 대응한 비아 홀의 분포 개략도이다.
- 도 14는 제4 실시예에 따른 어레이 기판의 상단 뷰이다.

도 15는 도 14에서 영역 Q의 확대된 구조의 개략도이다.

발명을 실시하기 위한 구체적인 내용

- [0052] 본원의 배경기술에서 기술한 바와 같이, 종래의 반투과형 액정 디스플레이 패널의 어레이 기관의 각 픽셀 유닛 내에서, 반사 전극이 투과 전극을 둘러싼다. 그러므로, 인접한 픽셀 유닛들의 반사 전극들이 인접한다. 인접한 픽셀 유닛들의 양 반사 전극들이 동일한 금속층에 의해 형성되기 때문에, 두개의 인접한 픽셀 유닛들의 반사 전극들의 단락 회로를 회피하기 위해, 두개의 픽셀 유닛들의 반사 전극들이 이격되어 절연 효과를 달성하는 것이 요구된다.
- [0053] 본 발명의 발명자는 반투과형 액정 디스플레이 패널의 신규한 어레이 기관을 제안하는데, 여기에서는 인접한 픽셀 유닛들간의 거리가 감소되어 픽셀 유닛의 개구율이 증가된다.
- [0054] 본 발명의 상술한 목적, 특징 및 이점이 보다 명확하게 쉽게 이해될 수 있도록 하기 위해, 본 발명의 실시예들이 첨부한 도면과 함께 상세히 설명될 것이다. 본 발명의 원리를 설명하는데 초점을 두기 때문에, 도면들이 안분 비례하여 도시되지 않는다.
- [0055] 제1 실시예
- [0056] 어레이 기관은 행렬로 배열되는 복수의 픽셀 유닛들을 포함하며, 이 픽셀 유닛들은 행 방향으로 제공되는 복수의 게이트 라인들과 열 방향으로 제공되는 복수의 데이터 라인들의 상호 교차에 의해 정의된다. 픽셀 유닛들 각각은 제1 픽셀 유닛과 제2 픽셀 유닛을 포함한다. 제1 픽셀 유닛의 엣지 영역에는 반사 전극이 제공되고 제2 픽셀 유닛의 엣지 영역에는 투과 전극이 제공된다.
- [0057] 도 1을 참조하여, 설명의 편의상, 제1 실시예에서는 두개의 제1 픽셀 유닛들(11 및 12) 및 두개의 제2 픽셀 유닛들(13 및 14)을 예로 들며, 다른 영역들은 행 및 열 방향에서 앞선 4개의 픽셀 유닛들의 반복 또는 다른 배열 방법으로 취급될 수 있다. 제1 픽셀 유닛(11)은 제2 픽셀 유닛(13)에 인접하도록 제공되고, 제1 픽셀 유닛(12)은 또한 제2 픽셀 유닛에 인접하도록 제공된다.
- [0058] 도 1에 도시된 바와 같이, 제1 실시예에서, 반사 전극은 제1 픽셀 유닛(11)의 중앙 영역에 제공된다. 중앙 영역의 반사 전극 및 제1 픽셀 유닛(11)의 엣지 영역의 반사 전극은 동일한 금속층 상에 제공되며 동일한 공정 단계에서 형성되어 함께 제1 픽셀 유닛(11)의 반사 전극(110)을 형성한다. 마찬가지로, 제1 픽셀 유닛(12)의 엣지 영역 및 중앙 영역에 위치한 반사 전극들은 또한 동시에 형성되고 함께 제1 픽셀 유닛(12)의 반사 전극(120)을 형성한다.
- [0059] 투과 전극은 제2 픽셀 유닛(13)의 중앙 영역에 제공된다. 중앙 영역의 투과 전극 및 제2 픽셀 유닛(13)의 엣지 영역의 투과 전극은 동일한 투명 도전층 상에 제공되고 동일한 공정 단계에서 형성되어 함께 제2 픽셀 유닛(13)의 투과 전극(130)을 형성한다. 마찬가지로, 제2 픽셀 유닛(14)의 엣지 영역 및 중앙 영역에 위치한 투과 전극들은 또한 동시에 형성되고 함께 제2 픽셀 유닛(14)의 투과 전극(140)을 형성한다.
- [0060] 제1 픽셀 유닛(11)이 제2 픽셀 유닛(13)과 인접해 있는 엣지에서, 절연층이 제공되는데, 이 절연층은 반사 전극(110)을 투과 전극(130)과 전기적으로 절연하도록 구성된다. 구체적으로, 투과 전극(130)은 하위층에 제공되고, 절연층은 투과 전극(130) 위에 제공되며, 반사 전극(110)은 절연막 위에 제공되어, 투과 전극(130)을 반사 전극(110)과 전기적으로 절연시킬 수 있게 한다. 마찬가지로, 제1 픽셀 유닛(12)이 제2 픽셀 유닛(14)과 인접해 있는 엣지가 절연층과 함께 제공되며, 이 절연층은 반사 전극(120)을 투과 전극(140)과 전기적으로 절연시키도록 구성된다.
- [0061] 반사 전극은, 상술한 구조에 의해 서로 인접해 있는 제1 픽셀 유닛 및 제2 픽셀 유닛 사이에 있는 투과 전극에 인접한다. 반사 전극은 일반적으로 금속층이다. 투과 전극은 일반적으로 인듐 산화 주석층(indium oxide tin layer)과 같은 투명 도전층이다. 반사 전극 및 투과 전극은 동일층 상에 제공되지 않고, 반사 전극이 절연층과 함께 투과 전극과 이격되어 반사 전극 및 투과 전극이 서로 절연되도록 한다. 그러므로, 서로 인접한 제1 픽셀 유닛 및 제2 픽셀 유닛이 이격될 필요가 없다. 서로 인접한 제1 픽셀 유닛 및 제2 픽셀 유닛의 엣지 영역에 위치한 투과 전극 및 반사 전극은 서로 직접 인접할 수 있고 심지어 부분적으로 오버랩될 수도 있다. 그러므로, 디스플레이 개구율이 증가되면서도 제조 공정의 정확성을 위한 요건이 완화될 수 있다.

[0062] 제2 실시예

[0063] 도 2 내지 도 5는 제2 실시예에 따른 어레이 기판의 상이한 층들의 개략적인 구조도이다. 도 6은 도 5에서 라인 A-A를 따르는 어레이 기판의 단면 개략도이다. 제2 실시예에 예시된 어레이 기판의 데이터 라인들, 게이트 라인들, 박막 트랜지스터들 및 스토리지 커패시터들이 보다 명확해지도록, 이하에서는 도 2 내지 도 6을 참조하여 상세히 설명될 것이다.

[0064] 먼저, 본 발명의 제2 실시예에 따른 어레이 기판의 상단부인 도 5를 참조한다. 도 5에 도시된 바와 같이, 본 발명의 제2 실시예에 따른 어레이 기판은 제1 픽셀 유닛(1100), 제1 픽셀 유닛(1200), 제2 픽셀 유닛(1300) 및 제2 픽셀 유닛(1400)의 4개의 픽셀 유닛들을 포함한다. 제1 픽셀 유닛들은 행으로 배열된다. 단지 두개의 제1 픽셀 유닛들만이 도 5에 도시되나 동일한 행에 제1 픽셀 유닛(1100) 및 제1 픽셀 유닛(1200)과 함께 배열되는 다른 제1 픽셀 유닛들이 추가적으로 포함될 수 있다. 제2 픽셀 유닛들은 행으로 배열된다. 단지 두개의 제2 픽셀 유닛들이 도 5에 도시되나 동일한 행에 제2 픽셀 유닛(1300) 및 제2 픽셀 유닛(1400)과 함께 배열되는 다른 제2 픽셀 유닛들이 추가적으로 포함될 수 있다. 또한, 제1 픽셀 유닛들의 행과 제2 픽셀 유닛들의 행은 행 방향으로 간격을 두고 떨어져 있다.

[0065] 제1 픽셀 유닛(1100)의 오프셋 영역에는 반사 전극(1102)이 제공되고, 제1 픽셀 유닛(1100)의 중앙 영역에는 직사각형 투과 전극(1101)이 제공되며, 반사 전극(1102) 및 투과 전극(1101)은 전기적으로 연결된다. 제1 픽셀 유닛(1200)의 오프셋 영역에는 반사 전극(1202)이 제공되고, 제1 픽셀 유닛(1200)의 중앙 영역에는 직사각형 투과 전극(1201)이 제공되며, 반사 전극(1202) 및 투과 전극(1201)은 또한 전기적으로 연결된다. 대안으로, 투과 전극(1201) 및 투과 전극(1101)은 마름모 또는 원과 같은 다른 형상일 수 있다.

[0066] 제2 픽셀 유닛(1300)의 오프셋 영역에는 투과 전극(1301)이 제공되고, 제2 픽셀 유닛(1300)의 중앙 영역에는 직사각형 반사 전극(1302)이 제공되며, 반사 전극(1302) 및 투과 전극(1301)은 전기적으로 연결된다. 제2 픽셀 유닛(1400)의 오프셋 영역에는 투과 전극(1401)이 제공되고, 제2 픽셀 유닛(1400)의 중앙 영역에는 직사각형 반사 전극(1402)이 제공되며, 반사 전극(1402) 및 투과 전극(1401)은 또한 전기적으로 연결된다. 반사 전극(1302) 및 반사 전극(1402)은 마름모형 또는 원형과 같은 다른 형상일 수 있다.

[0067] 바람직한 실시예로서, 제2 실시예에서 모든 반사 전극들의 면적은 동일하며, 모든 투과 전극들의 면적 또한 동일하다. 이로써 디스플레이의 균일성(uniformity)이 증가될 수 있다.

[0068] 제1 픽셀 유닛들의 행을 구동시키는 게이트 라인이, 제1 픽셀 유닛들의 행 내의 각 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되며 반사 전극들에 의해 보호된다. 도 2 및 도 5에 도시된 바와 같이, 제1 픽셀 유닛들의 행을 구동시키기 위해 제1 픽셀 유닛(1100) 및 제1 픽셀 유닛(1200) 내의 게이트 라인(1135)의 일부는, 제1 픽셀 유닛(1100)의 오프셋 영역에 위치한 반사 전극(1102) 및 제1 픽셀 유닛(1200)의 오프셋 영역에 위치한 반사 전극(1202) 하단에 제공된다. 도 2 내지 도 5에는 단지 두개의 제1 픽셀 유닛들만이 도시된다. 마찬가지로, 더 많은 제1 픽셀 유닛들이 행 방향으로 배열되어 있는 경우에, 제1 픽셀 유닛들의 행을 제어하는 게이트 라인이, 각 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되며, 이는 즉, 게이트 라인이 반사 전극들에 의해 완벽히 보호됨을 의미한다.

[0069] 제2 픽셀 유닛들의 행을 구동시키는 게이트 라인은 제2 픽셀 유닛들의 행과 이접한 제1 픽셀 유닛들의 행 내의 각 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되며 반사 전극들에 의해 보호된다. 도 2 및 도 5에 도시된 바와 같이, 제2 픽셀 유닛(1300) 및 제2 픽셀 유닛(1400)을 구동시키는 게이트 라인(1136)이, 제2 픽셀 유닛(1300) 및 제2 픽셀 유닛(1400)에 인접한 제1 픽셀 유닛들의 행의 제1 픽셀 유닛(1200)의 오프셋 영역에 위치한 반사 전극(1102) 및 제1 픽셀 유닛(1100)의 오프셋 영역에 위치한 반사 전극(1102)의 하단에 제공된다. 더 많은 제2 픽셀 유닛들이 행 방향으로 배열되어 있는 경우에, 제2 픽셀 유닛들의 행을 제어하는 게이트 라인 이, 제2 픽셀 유닛들의 행에 인접한 제1 픽셀 유닛들의 행의 각 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되며, 이는 즉, 게이트 라인이 인접 행의 반사 전극들에 의해 완전히 보호됨을 의미한다.

[0070] 게이트 라인(1135) 및 게이트 라인(1136)의 이러한 레이아웃은 픽셀 유닛들의 개구율을 증가시킬 것이다. 구체적으로, 게이트 라인은 금속 배선이므로, 게이트 라인은 종래 기술의 설계에서 일정한 개구율을 점유할 수 있으며, 따라서, 디스플레이 면적에 영향을 받을 수 있다. 본 발명에서, 게이트 라인에 의해 점유되는 디스플레이 면적은 상술한 레이아웃에 의해 현저히 감소된다.

[0071] 도 3 및 도 5를 참조하면, 데이터 라인은, 게이트 라인 및 게이트 전극 절연층이 형성된 후 형성된다. 제1 픽셀 유닛(1100) 및 제2 픽셀 유닛(1300)은 동일한 데이터 라인(1155)에 의해 구동된다; 마찬가지로, 제1 픽셀 유

닛(1200) 및 제2 픽셀 유닛(1400)은 동일한 데이터 라인(1156)에 의해 구동된다. 제1 픽셀 유닛(1100) 내의 데이터 라인(1155)의 일부분 및 제1 픽셀 유닛(1200) 내의 데이터 라인(1156)의 일부분은, 제1 픽셀 유닛(1100)의 엡지 영역에 위치한 반사 전극(1102) 및 제1 픽셀 유닛(1200)의 엡지 영역에 위치한 반사 전극(1202) 각각의 하단에 제공되어, 반사 전극들에 의해 보호된다. 본 실시예에서, 제2 픽셀 유닛(1300) 및 제2 픽셀 유닛(1400)에 제공되는 데이터 라인이 픽셀 유닛들의 개구율에 영향을 줄 수 있다는 점을 제외하고, 데이터 라인에 의해 점유되는 개구율은 종래 기술의 설계와 비교하여 전반적으로 감소된다.

[0072] 각 픽셀 유닛 내에 박막 트랜지스터들이 추가적으로 제공된다. 종래의 설계에서, 픽셀 유닛들을 제어하는 박막 트랜지스터들은 또한 일정한 개구율을 점유할 수 있다. 개구율을 추가적으로 증가시키기 위해, 본 제2 실시예에 따르는 어레이 기판에서, 제1 픽셀 유닛을 구동시키는 박막 트랜지스터는, 제1 픽셀 유닛의 엡지 영역에 위치한 반사 전극 하단에 제공되며 제2 픽셀 유닛을 구동시키는 박막 트랜지스터는, 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 엡지 영역에 위치한 반사 전극 하단에 제공된다.

[0073] 구체적으로, 도 2, 도 3 및 도 5를 참조하고 제1 픽셀 유닛(1100) 및 제2 픽셀 유닛(1300)을 예로 들면, 제1 픽셀 유닛(1100)을 구동시키는 박막 트랜지스터(1103)는 제1 픽셀 유닛(1100)의 엡지 영역에 위치한 반사 전극(1102) 하단에 제공되고, 제2 픽셀 유닛(1300)을 구동시키는 박막 트랜지스터(1303)는 또한, 제1 픽셀 유닛(1100)의 엡지 영역에 위치한 반사 전극(1102) 하단에 제공된다.

[0074] 박막 트랜지스터(1103) 및 박막 트랜지스터(1303) 각각은 게이트 전극, 게이트 전극 절연층, 반도체 층, 소스 전극 및 드레인 전극을 포함한다. 구체적으로, 박막 트랜지스터(1103)의 게이트 전극(1131)은 제1 픽셀 유닛(1100)의 내부를 향해 연장하는 게이트 라인(1135)의 일부에 의해 형성되고; 박막 트랜지스터(1303)의 게이트 전극(1133)은 제1 픽셀 유닛(1100)의 내부를 향해 연장하는 게이트 라인(1136)의 일부에 의해 형성된다. 박막 트랜지스터(1103)의 소스 전극(1151)은 제1 픽셀 유닛(1100)의 내부를 향해 게이트 전극(1131)과 오버랩되는 위치까지 연장하는 데이터 라인(1155)에 의해 형성되고; 박막 트랜지스터(1303)의 소스 전극(1153)은 제1 픽셀 유닛(1100)의 내부를 향해 게이트 전극(1133)과 오버랩되는 위치까지 연장하는 데이터 라인(1155)에 의해 형성된다. 소스 전극(1151) 및 소스 전극(1153)의 형성과 동시에, 박막 트랜지스터(1103)의 드레인 전극(1161) 및 박막 트랜지스터(1303)의 드레인 전극(1163)이 또한 형성된다. 드레인 전극(1161) 및 게이트 전극(1131)은 오버랩된다. 드레인 전극(1163) 및 게이트 전극(1133)은 오버랩된다.

[0075] 도 4 및 도 5를 참조하면, 패시베이션 층(119)이 도 3에 도시된 구조체 상에 형성되고 비아 홀(1171) 및 비아 홀(1173)이 각각 제1 픽셀 유닛(1100)의 드레인 전극(1161) 및 제2 픽셀 유닛(1300)의 드레인 전극(1163)의 패시베이션 층들(119) 내에 형성된다. 투과 전극(1101)은 비아 홀(1171)에 의해 드레인 전극(1161)과 전기적으로 연결되고, 투과 전극(1301)은 비아 홀(1173)에 의해 드레인 전극(1163)과 전기적으로 연결된다.

[0076] 상위 기판과 함께 어레이 기판에 의해 액정 분자들을 제어하는 공정에서, 어레이 기판 및 상위 기판의 등가 회로는 액정 커패시터로 알려진 일 커패시터이다. 그러나, 액정 커패시터는 데이터 라인이 다음번에 이미지를 갱신할 때까지 전압을 유지할 수 없다. 즉, 액정 커패시터가 박막 트랜지스터에 의해 충전된 후, 액정 커패시터는 박막 트랜지스터가 픽셀 유닛을 다시 충전할 때까지 전압을 유지할 수 없다. 전압 변동은 어레이 기판 상에서 액정의 디스플레이의 변동을 초래하므로, 일반적으로, 박막 트랜지스터가 픽셀 유닛을 다시 충전할 때까지 전압을 유지하도록 구성된 스토리지 커패시터를 제공할 필요가 있다.

[0077] 픽셀 유닛의 개구율을 증가시키기 위해, 제2 실시예에서는, 픽셀 유닛의 반사 전극 하단에 스토리지 커패시터를 제공한다. 구체적으로, 도 2 내지 제6을 참조하면, 본 실시예에서, 제1 픽셀 유닛(1100)의 스토리지 커패시터 및 제1 픽셀 유닛(1100)에 인접한 제2 픽셀 유닛(1300)의 스토리지 커패시터는 제1 픽셀 유닛(1100)의 엡지 영역에 위치한 반사 전극(1102) 하단에 형성되고; 제1 픽셀 유닛(1200)의 스토리지 커패시터 및 제1 픽셀 유닛(1200)에 인접한 제2 픽셀 유닛(1400)의 스토리지 커패시터는 제1 픽셀 유닛(1200)의 엡지 영역에 위치한 반사 전극(1202) 하단에 형성된다.

[0078] 어레이 기판을 제조하는 공정에서, 일반적으로 게이트 라인이 유리 기판의 표면에서 제공되고 공통 전극 라인(114) 또한, 게이트 라인과 동일한 층에서 제공된다. 공통 전극 라인(114)은 스토리지 커패시터의 하위 플레이트로서 역할을 할 수 있다. 스토리지 커패시터의 상위 플레이트는 박막 트랜지스터의 드레인 전극일 수 있다. 스토리지 커패시터는 개구율을 점유하지 않으므로, 반사 전극의 면적에 대한 허용 가능한 한도 내에서 더 큰 스토리지 커패시터가 제공될 수 있으며, 이는 픽셀 유닛의 커패시터를 증가시켜 전압을 유지시킨다.

[0079] 도 6에 도시된 구조체는 도 5에서 A-A 직선을 따른 단면도이다. 인접해 있는 제1 픽셀 유닛(1100) 및 제2 픽셀

유닛(1300)을 예로 들면, 제1 픽셀 유닛(1100)에서, 공통 전극 라인(114) 및 드레인 전극(1161)은 제1 픽셀 유닛(1100)의 스토리지 커패시터를 형성하고, 공통 전극 라인(114) 및 드레인 전극(1163)은 제2 픽셀 유닛(1300)의 스토리지 커패시터를 형성한다. 제1 픽셀 유닛(1100)에서, 유기막(120)이 투과 전극(1101) 및 패시베이션 층(119) 상에 형성된다. 유기막(120)은 반사 전극(1102)과 함께 제공되며, 반사 전극(1102)은 투과 전극(1101)과 전기적으로 연결된다. 동시에, 유기막(120)은 또한 제1 픽셀 유닛(1100)의 반사 전극(1202) 및 열 방향으로 제1 픽셀 유닛(1100)과 인접한 제2 픽셀 유닛(1300)의 투과 전극(1301) 사이에서 동시에 형성된다.

[0080] 픽셀 유닛 내에서, 유기막의 기능은 반사 전극의 셀 갭을 조절하여 투과 전극의 셀 갭의 절반이 되도록 하는 것이며, 광 경로차를 조절하는 기능을 구비한다. 동시에, 픽셀 유닛의 엣지에서 인접한 반사 전극 및 투과 전극은 부분적으로 오버랩핑되고 제2 픽셀 유닛의 박막 트랜지스터는 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 반사 전극 하단에 제공된다. 도 5에 도시된 바와 같이, 제2 픽셀 유닛(1300)의 박막 트랜지스터(1303)는 제1 픽셀 유닛(1100)의 엣지 영역에 위치한 반사 전극(1102) 하단에 제공되고, 제2 픽셀 유닛(1300)의 투과 전극(1301)의 일부는 박막 트랜지스터(1303)의 드레인 전극(1163)을 연결시키기 위해 제1 픽셀 유닛(1100)의 반사 전극(1102) 하단에 있는 위치까지 연장하도록 요구되면, 따라서 반사 전극(1102) 및 투과 전극(1301)은 부분적으로 오버랩핑된다. 유기막은 엣지 영역에 위치한 투과 전극 및 반사 전극이 서로 절연되도록 하며, 유기막은 제1 실시예에서 절연막과 등가이다. 즉, 제2 실시예에서 절연막은 유기막이고, 유기막(120)의 두께는 일반적으로 대략 200 μm 이며, 이는 두개의 오버랩핑에 의해 유발되는 누화간섭(crosstalk interference)이 매우 작고 어레이 기판의 동작이 영향 받지 않는 것을 확실하게 한다.

[0081] 제3 실시예

[0082] 제3 실시예는 제1 픽셀 유닛 및 제2 픽셀 유닛 모두 열들로 배열되고 제1 픽셀 유닛들의 열 및 제2 픽셀 유닛들의 열이 열 방향으로 이격되어 있다는 점에서 제2 실시예와 상이하다.

[0083] 구체적으로, 제1 픽셀 유닛들의 열 및 열 방향으로 이격되어 있는 제2 픽셀 유닛들의 열에 의해 형성되는 어레이 기판의 상단부가 도 7에 도시된다. 제1 픽셀 유닛(2100)의 중앙 영역은 반사 전극에 제공된다. 중앙 영역에 위치한 반사 전극 및 제1 픽셀 유닛(2100)의 엣지 영역에 위치한 반사 전극은 동일한 금속층에 의해 형성되고 함께 접속하여 반사 전극(2012)을 형성한다. 제1 픽셀 유닛(2300)의 레이아웃은 제1 픽셀 유닛(2100)의 레이아웃과 동일하다. 제2 픽셀 유닛(2200)의 중앙 영역 또한 투과 전극에 제공된다. 중앙 영역에 위치한 투과 전극 및 제2 픽셀 유닛(2200)의 엣지 영역에 위치한 투과 전극은 동일한 투명 도전층에 의해 형성되고 함께 접속하여 투과 전극(2201)을 형성한다. 제2 픽셀 유닛(2400)의 레이아웃은 제2 픽셀 유닛(2200)의 레이아웃과 동일하다.

[0084] 제1 픽셀 유닛들 및 제2 픽셀 유닛들을 열들로 배열하고 이격시키는 것은 어레이 기판의 데이터 라인, 게이트 라인, 박막 트랜지스터 및 스토리지 커패시터의 레이아웃이 제2 실시예의 레이아웃과 상이하게 되도록 한다. 상세한 사항은 이하에서 도 7 내지 도 10과 함께 설명될 것이다.

[0085] 도 7 및 도 9를 참조하면, 제1 픽셀 유닛들(도면에서는 제1 픽셀 유닛(2100) 및 제1 픽셀 유닛(2300)만이 도시됨)의 행을 구동시키는 데이터 라인(2155)이 제1 픽셀 유닛들의 열의 각 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극(도면에서는 반사 전극(2102) 및 반사 전극(2302)만이 도시됨) 하단에 제공된다. 제2 픽셀 유닛들(도면에서는 제2 픽셀 유닛(2200) 및 제2 픽셀 유닛(2400)만이 도시됨)의 행을 구동시키는 데이터 라인(2156)이 제2 픽셀 유닛들의 열에 인접한 제1 픽셀 유닛들의 반사 전극(도면에서는 반사 전극(2102) 및 반사 전극(2302)만이 도시됨) 하단에 제공된다. 상술한 레이아웃에 의해, 각 데이터 라인은 제1 픽셀 유닛들의 열의 반사 전극 하단에 제공되고 반사 금속에 의해 보호되며 투광(transmission light) 면적을 점유하지 않아 개구율이 크게 증가된다.

[0086] 제2 실시예와 마찬가지로, 제1 픽셀 유닛을 제어하는 박막 트랜지스터가 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공되고, 제2 픽셀 유닛을 제어하는 박막 트랜지스터는 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공된다. 본 제3 실시예에서, 도면에 도시된 바와 같이, 제1 픽셀 유닛(2100)을 구동시키는 박막 트랜지스터(2103)가 제1 픽셀 유닛(2100)의 반사 전극(2102) 하단에 제공되고 제2 픽셀 유닛(2200)을 구동시키는 박막 트랜지스터(2203) 또한 제1 픽셀 유닛(2100)의 반사 전극(2102) 하단에 제공된다.

[0087] 구체적으로, 박막 트랜지스터는 게이트 전극, 게이트 전극 절연층, 반도체 층, 소스 전극 및 드레인 전극을 포함한다. 게이트 전극(2131) 및 게이트 전극(2132)은 각각 제1 픽셀 유닛(2100)의 내부를 향해 연장하는 게이트

라인(213)의 일부에 의해 형성되고; 소스 전극(2151)은 제1 픽셀 유닛(2100)의 내부를 향해 연장하는 제1 픽셀 유닛(2100)을 구동시키는 데이터 라인(2155)에 의해 형성되며; 소스 전극(2152)은 제1 픽셀 유닛(2100)의 내부를 향해 연장하는 제2 픽셀 유닛(2200)을 구동시키는 데이터 라인(2156)에 의해 형성된다. 드레인 전극(2161) 및 드레인 전극(2261) 또한 소스 전극이 형성되는 동안 형성된다.

[0088] 도 10을 참조하면, 패시베이션 층이 도 9에 도시된 구조체 상에 형성되고, 반사 전극(2102) 및 드레인 전극(2161)을 전기적으로 연결하도록 구성된 비아 홀(2171)이 패시베이션 층 내에 형성되고; 투과 전극(2201) 및 드레인 전극(2261)을 전기적으로 연결하도록 구성된 비아 홀(2271)이 또한 형성된다.

[0089] 제2 실시예와 마찬가지로, 제1 픽셀 유닛의 스토리지 커패시터는 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공되고 제2 픽셀 유닛의 스토리지 커패시터는 인접한 제1 픽셀 유닛의 엣지 영역에 위치한 반사 전극 하단에 제공된다. 구체적으로, 도 7 내지 제10을 참조하면, 본 실시예에서, 제1 픽셀 유닛(2100)의 스토리지 커패시터 및 제1 픽셀 유닛(2100)에 인접한 제2 픽셀 유닛(2200)의 스토리지 커패시터는 모두 제1 픽셀 유닛(2100)의 반사 전극(2102) 하단에 형성되고; 제1 픽셀 유닛(2300)의 스토리지 커패시터 및 제1 픽셀 유닛(2300)에 인접한 제2 픽셀 유닛(2400)의 스토리지 커패시터는 모두 제1 픽셀 유닛(2300)의 반사 전극(2303) 하단에 형성된다.

[0090] 제2 실시예와 마찬가지로, 본 제3 실시예에서, 제1 픽셀 유닛의 중앙 영역이 또한 반사 전극에 제공되고 제2 픽셀 유닛의 중앙 영역이 또한 투과 전극에 제공되는 대안의 해법은, 제1 픽셀 유닛의 중앙 영역이 투과 전극에 제공되고 제2 픽셀 유닛의 중앙 영역이 반사 전극에 제공되어 디스플레이의 효과가 더 증대될 수 있도록 하는 것이다.

[0091] 제4 실시예

[0092] 제4 실시예에 따른 어레이 기판의 제1 픽셀 유닛들 및 제2 픽셀 유닛들은 모두 행 및 열 방향에서 간격을 두고 떨어져 있으며, 즉, 상하좌우 방향에서 제1 픽셀 유닛과 인접한 픽셀 유닛들이 모두 제2 픽셀 유닛들이고, 상하좌우 방향에서 제2 픽셀 유닛과 인접한 픽셀 유닛들은 모두 제1 픽셀 유닛들이다.

[0093] 구체적으로, 도 14를 참조하면, 제4 실시예에 따른 어레이 기판은 제1 픽셀 유닛(3100), 제1 픽셀 유닛(3300), 제1 픽셀 유닛(3500), 제1 픽셀 유닛(3700), 제1 픽셀 유닛(3900), 제2 픽셀 유닛(3200), 제2 픽셀 유닛(3400), 제2 픽셀 유닛(3600) 및 제2 픽셀 유닛(3800)을 포함한다. 제1 픽셀 유닛들 및 제2 픽셀 유닛들은 모두 행 및 열 방향으로 간격을 두고 떨어져 있다. 상술한 레이아웃에 의해, 상하좌우 방향에서 제1 픽셀 유닛에 인접한 픽셀 유닛들은 모두 제2 픽셀 유닛들이 되고, 상하좌우 방향에서 제2 픽셀 유닛에 인접한 픽셀 유닛들은 모두 제1 픽셀 유닛들이 된다. 예컨대, 제1 픽셀 유닛(3500)은 상하좌우 방향에서 각각 제2 픽셀 유닛(3200), 제2 픽셀 유닛(3800), 제2 픽셀 유닛(3400) 및 제2 픽셀 유닛(3600)에 인접한다; 제2 픽셀 유닛(3600)은 상하좌우 방향에서 각각 제1 픽셀(3300), 제1 픽셀 유닛(3900), 제1 픽셀 유닛(3500)에 인접한다. 제2 픽셀 유닛(3600)은 또한 우 방향에서는 도 14에 도시되지 않은 제1 픽셀 유닛에 인접한다.

[0094] 제4 실시예에 따른 어레이 기판에서, 상하좌우 방향에서 제1 픽셀에 인접한 픽셀 유닛들은 모두 제2 픽셀 유닛들이고, 상하좌우 방향에서 제2 픽셀 유닛에 인접한 픽셀 유닛들은 또한 모두 제1 픽셀 유닛들이며, 따라서 반사 전극들 및 투과 전극들은 4 방향에서 서로 직접적으로 인접한다. 반사 전극들은 금속으로부터 형성되고, 투과 전극들은 인듐 산화 주석(indium oxide tin)과 같은 투명 도전 물질로부터 형성되고, 반사 전극들 및 투과 전극들은 동일층 상에 형성되지 않으며, 반사 전극들 및 투과 전극들 사이에 서로를 절연하기 위한 절연층이 제공되므로, 4 방향의 인접한 픽셀 유닛들은 이격될 필요가 있고, 인접한 픽셀 유닛들의 엣지 영역들에 위치한 투과 전극들 및 반사 전극들은 서로 직접적으로 인접할 수 있고 심지어는 부분적으로 오버랩될 수 있어, 디스플레이 개구율이 감소되고 또는 제조 공정의 정확성의 요건도 감소된다.

[0095] 제1 픽셀 유닛들 및 제2 픽셀 유닛들 모두 행 및 열 방향으로 이격되므로, 제4 실시예에 따른 어레이 기판의 데이터 라인들, 게이트 라인들, 박막 트랜지스터들 및 스토리지 커패시터들의 레이아웃은 제2 및 제3 실시예와 상이하다. 이하에서, 도 11 내지 도 15와 함께 상세히 설명할 것이다. 도 12 내지 도 14는 어레이 기판의 3개의 상이한 층들의 개략적인 구조도이고 도 15는 도 14에서 영역 Q의 개략적인 확대 구조도이다.

[0096] 도 11 및 도 14를 참조하면, 복수의 게이트 라인들이, 폴리라인으로 배열되고, 픽셀 유닛들의 2개의 인접한 행들의 복수의 제1 픽셀 유닛들의 엣지 영역들에 위치한 반사 전극들 하단에 병렬로 제공되며, 픽셀 유닛들의 2개의 인접한 행들에서 그 코너들이 인접해 있는 두개의 제1 픽셀 유닛들의 인접한 코너들에서의 디플렉션

(deflection)으로 연결된다. 구체적으로, 예컨대, 게이트 라인(313)에 대해, 제1 픽셀 유닛(3100)의 오프셋 영역에 위치한 반사 전극(3102) 하단에, 제1 픽셀 유닛(3500)의 오프셋 영역에 위치한 반사 전극(3502) 하단에, 그리고 제1 픽셀 유닛(3300)의 오프셋 영역에 위치한 반사 전극(3302) 하단에 병렬로 복수의 세그먼트들이 제공되고; 게이트 라인(313)은, 픽셀 유닛들의 2개의 인접한 행들에서 코너들이 인접해 있는 제1 픽셀 유닛(3100) 및 제1 픽셀 유닛(3500)의 인접한 코너들에서의 디플렉션(deflection)과 연결되고, 반사 전극(3102) 및 반사 전극(3502) 하단에 병렬로 제공되는 두 부분들을 연결하고, 코너들이 인접해 있는 제1 픽셀 유닛(3500) 및 제1 픽셀 유닛(3300)의 인접한 코너들에서의 디플렉션(deflection)과 연결되고, 반사 전극(3502) 및 반사 전극(3302) 하단에 병렬로 제공되는 두개의 부분들을 연결한다. 본 발명에서, 상술한 레이아웃에 의해, 게이트 라인(313)에 의해 점유되는 면적은 상당히 감소될 수 있다. 본 실시예에서, 게이트 라인(313)은 제2 픽셀 유닛(3200)의 투과 전극(3201), 제2 픽셀 유닛(3400)의 투과 전극(3401) 및 제2 픽셀 유닛(3600)의 투과 전극(3601)의 코너들에서 매우 작은 개구율만을 점유한다. 디스플레이 면적은 종래 기술과 비교하여 상당히 증가된다.

[0097] 따라서, 데이터 라인은 또한 상술한 것과 동일한 방법으로 제공될 수 있다. 복수의 데이터 라인들이 폴리라인으로 제공되고, 픽셀 유닛들의 두개의 인접한 열들의 복수의 제1 픽셀 유닛들의 오프셋 영역들에 위치한 반사 전극들과 병렬로 제공되며, 픽셀 유닛들의 두개의 인접한 행들에서 코너들이 인접해 있는 제1 픽셀 유닛들의 인접한 코너들에서의 디플렉션(deflection)으로 연결된다. 구체적으로, 도 12 및 도 14를 참조하면, 데이터 라인(315)이 행 방향으로 폴리라인으로 제공되며, 데이터 라인(315)은 제1 픽셀 유닛(3100)의 오프셋 영역에 위치한 반사 전극(3102) 하단, 제1 픽셀 유닛(3500)의 오프셋 영역에 위치한 반사 전극(3502) 하단, 및 제1 픽셀 유닛(3800)의 반사 전극(3802) 하단에 병렬로 제공되며; 데이터 라인(315)은 코너들이 인접해 있는 제1 픽셀 유닛(3500) 및 제1 픽셀 유닛(3100)의 인접한 코너들에서 디플렉션되고(deflected), 코너들이 인접해 있는 제1 픽셀 유닛(3700) 및 제1 픽셀 유닛(3500)의 인접한 코너들에서 디플렉션되어병렬 부분들을 연결한다. 데이터 라인(315)의 디플렉션 부분들 및 게이트 라인(313)의 디플렉션 부분들은 투과 방향에서 중첩될 수 있어, 추가적으로 개구율을 점유하지 않는다 (도 15에 도시됨).

[0098] 개구율을 더 증가시키기 위해, 본 제4 실시예에 따른 어레이 기판에서, 제1 픽셀 유닛을 제어하는 박막 트랜지스터가 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되며, 제2 픽셀 유닛을 제어하는 박막 트랜지스터는 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공된다.

[0099] 구체적으로, 도 11 내지 도 14를 참조하여, 동일 행에서 서로 인접해 있는 제1 픽셀 유닛(3100) 및 제2 픽셀 유닛(3200)을 예로 들면, 제1 픽셀 유닛(3100)을 구동시키는 박막 트랜지스터(3103)가 제1 픽셀 유닛(3100)의 오프셋 영역에 위치한 반사 전극(3102) 하단에 제공되며, 제2 픽셀 유닛(3200)을 구동시키는 박막 트랜지스터(3203) 또한 제1 픽셀 유닛(3100)의 오프셋 영역에 위치한 반사 전극(3102) 하단에 제공된다. 본 실시예에서, 박막 트랜지스터의 소스 전극들, 드레인 전극들 및 게이트 전극들의 레이아웃은 제3 실시예에서와 동일하며, 제2 픽셀 유닛의 박막 트랜지스터는, 제3 실시예에 대해 참조될 수 있는 좌우 방향에서 제2 픽셀 유닛에 인접한 제1 픽셀의 오프셋 영역에 위치한 반사 전극 하단에 제공된다. 대안으로, 제2 픽셀 유닛의 박막 트랜지스터는 또한, 제2 실시예에 대해 구체적으로 참조될 수 있는 상하 방향에서 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공될 수 있다.

[0100] 투과 영역의 개구율을 증가시키기 위해, 본 발명에서는, 제1 픽셀 유닛의 스토리지 커패시터가 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공되고; 제2 픽셀 유닛의 스토리지 커패시터가 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공된다. 구체적으로, 도 11 내지 도 14를 참조하면, 본 발명에서는, 제1 픽셀 유닛(3100)의 스토리지 커패시터 및 제1 픽셀 유닛(3100)에 인접한 제2 픽셀 유닛(3200)의 스토리지 커패시터 모두가 제1 픽셀 유닛(3100)의 오프셋 영역에 위치한 반사 전극(3102) 하단에 제공된다. 본 실시예에서, 스토리지 커패시터의 레이아웃은 제3 실시예에서와 동일하다. 제2 픽셀 유닛의 스토리지 커패시터는, 제3 실시예에 대해 구체적으로 참조될 수 있는 좌우 방향에서 제2 픽셀 유닛과 인접한 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공된다. 대안으로, 제2 픽셀 유닛의 스토리지 커패시터는 또한, 제2 실시예에 대해 구체적으로 참조될 수 있는 상하 방향에서 제2 픽셀 유닛에 인접한 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 하단에 제공될 수 있다.

[0101] 본 실시예에서, 픽셀 유닛의 디스플레이 효과를 증가시키기 위해, 제1 픽셀 유닛의 중앙 영역에 투과 전극이 제공되고, 제1 픽셀 유닛의 오프셋 영역에 위치한 반사 전극 및 투과 전극은 전기적으로 연결되고; 제2 픽셀 유닛의 중앙 영역에 반사 전극이 제공되고, 제2 픽셀 유닛의 오프셋 영역에 위치한 투과 전극 및 반사 전극은 전기적으로 연결된다.

- [0102] 도 13을 참조하면, 패시베이션 층이 도 12에 도시된 구조체 상에 형성되고, 모든 픽셀 유닛들의 투과 전극들 및 드레인 전극들을 전기적으로 연결하도록 구성된 비아 홀들이 패시베이션 층 내에 형성된다.
- [0103] 도 14를 참조하면, 제1 픽셀 유닛(3100)의 중앙 영역에 투과 전극(3101)이 제공되고, 엣지 영역에 위치한 반사 전극(3102) 및 투과 전극(3101)은 전기적으로 연결되고; 제1 픽셀 유닛(3300), 제1 픽셀 유닛(3500), 제1 픽셀 유닛(3700) 및 제1 픽셀 유닛(3900)의 레이아웃은 제1 픽셀 유닛(3100)의 레이아웃과 동일하며, 본 명세서에서는 상술하지 않는다. 제2 픽셀 유닛(3200)의 중앙 영역에는 반사 전극(3202)이 제공되고, 엣지 영역에 위치한 투과 전극(3201) 및 반사 전극(3202)은 전기적으로 연결되고, 제2 픽셀 유닛(3200), 제2 픽셀 유닛(3400), 제2 픽셀 유닛(3600) 및 제2 픽셀 유닛(3800)의 레이아웃은 제2 픽셀 유닛(3200)의 레이아웃과 동일하며, 본 명세서에서는 상술하지 않는다.
- [0104] 본 실시예에서, 투과 전극(3101), 투과 전극(3301), 투과 전극(3501), 투과 전극(3701) 및 투과 전극(3901)은 직사각형으로 제시된다. 다른 실시예에서, 이러한 투과 전극들은 요건에 따라 원형 또는 마름모로 제시될 수도 있다. 본 실시예에서, 반사 전극(3202), 반사 전극(3402), 반사 전극(3602) 및 반사 전극(3802)은 직사각형으로 제시된다. 다른 실시예에서, 이러한 반사 전극들은 요건에 따라 원형 또는 마름모로 제시될 수 있다.
- [0105] 본 발명에 따른 실시예에서, 반사 전극 및 투과 전극은 모두 일 픽셀 유닛 내에 제공되기 때문에, 개별 픽셀 유닛에서 투과 디스플레이 뿐만 아니라 반사 디스플레이도 달성할 수 있다. 다른 조건들은 동일한 경우, 일 픽셀 유닛에서 투과 디스플레이 또는 반사 디스플레이 중 어느 하나가 달성되는 제1 실시예의 어레이 기판과 비교할 때, 본 실시예의 어레이 기판의 해상도는 두배로 증가되고 더 나은 디스플레이 효과를 얻을 수 있다.
- [0106] 반사 전극은 디스플레이를 위해 외부광에 의존하고 투과 전극은 디스플레이를 위해 백라이트에 의존하고, 통상의 경우에, 외부 광의 밝기는 백라이트의 밝기와 불일치하기 때문에, 반사 전극에 의해 디스플레이되는 밝기 또한, 동일한 그레이 레벨에 대해 투과 전극에 의해 디스플레이되는 밝기와 불일치한다. 각 픽셀 유닛의 반사 전극들의 면적이 불일치하게 제공되는 경우, 각 픽셀 유닛의 밝기가 불일치하게 될 수 있다. 마찬가지로, 투과 전극들의 면적이 불일치하는 경우 이러한 문제점 또는 존재할 수 있다. 그러므로, 디스플레이 효과를 더 증가시키기 위해, 본 실시예에서는, 모든 반사 전극들의 면적이 동일하게 제공되고, 모든 투과 전극들의 면적 또한 동일하여, 균일한 디스플레이 효과를 달성할 수 있다.
- [0107] 상술한 어레이 기판에서 반사 전극과 투과 전극 사이에 유기막이 제공된다. 픽셀 유닛 내부에서, 유기막의 기능은 반사 전극의 셀 갭이 투과 전극의 셀 갭의 절반이 되도록 조정하여, 광 경로 차에 대한 조정 기능이 이루어지도록 하는 것이다. 동시에, 유기막은 서로 인접해 있는 반사 전극 및 투과 전극이 픽셀 유닛의 엣지 영역에서 전기적으로 절연되도록 하는 기능을 갖는다.
- [0108] 본 실시예에 따르는 어레이 기판은 매우 높은 광 투과성을 갖는다. 도 14에 도시된 어레이 기판에서, 투과 어레이들은, 데이터 라인(315)이 제2 픽셀 유닛(3200) 및 제2 픽셀 유닛(3400) 상에서 제공되는 코너(도 15로 도시됨) 및 공통 전극 라인(314)이 제2 픽셀 유닛에서 제공되는 투과 전극 위치에서만 점유되며, 투과 영역의 개구율에 영향을 줄 수 있는 총 두개의 위치가 있게 된다. 길이 및 폭이 모두 $141\mu\text{m}$ 인 픽셀 유닛(3100), 픽셀 유닛(3200), 픽셀 유닛(3300), 픽셀 유닛(3400), 픽셀 유닛(3500), 픽셀 유닛(3600), 픽셀 유닛(3700), 픽셀 유닛(3800) 및 픽셀 유닛(3900)을 예로 들고, 디플렉션 위치에서 각 삼각형의 면적이 $50\mu\text{m}^2$ 이고, 투과 전극 위치에서 공통 전극 라인의 각 세그먼트에 의해 점유되는 면적이 $72\mu\text{m}^2$ 라고 가정하여, 발명자는 다음과 같은 개구율을 계산한다.
- [0109] 제1 픽셀 유닛의 유효 디스플레이 면적은 $141*141=19981\mu\text{m}^2$ 이고,
- [0110] 제2 픽셀 유닛의 총 면적 또한 $141*141=19981\mu\text{m}^2$ 이고,
- [0111] 데이터 라인에 의해 점유되는 투과 면적은 $50*4=200\mu\text{m}^2$ 이고,
- [0112] 공통 전극 라인에 의해 점유되는 투과 면적은 $72*2=144\mu\text{m}^2$ 이고,
- [0113] 제2 픽셀 유닛의 유효 디스플레이 면적은 $19981-200-144=19637\mu\text{m}^2$ 이며,
- [0114] 어레이 기판의 개구율은 $(19981+19637) / 19981*2=99.14\%$ 이다.
- [0115] 본 실시예에 따른 어레이 기판의 개구율은 99.14%까지 되며, 이는 종래 기술에서는 얻을 수 없다. 다른 실시예

에서 공통 전극 라인 및 게이트 라인이 상이한 층들에 제공될 수 있고, 공통 전극 라인 또한 게이트 라인 또는 데이터 라인과 마찬가지로 폴리라인으로 제공될 수 있다. 본 실시예에 기초하여, 개구율은 더 증가될 수 있다.

[0116] 본 발명은 또한 상술한 임의의 실시예에 예시된 박막 트랜지스터 어레이 기판을 포함하는 액정 디스플레이를 제공한다.

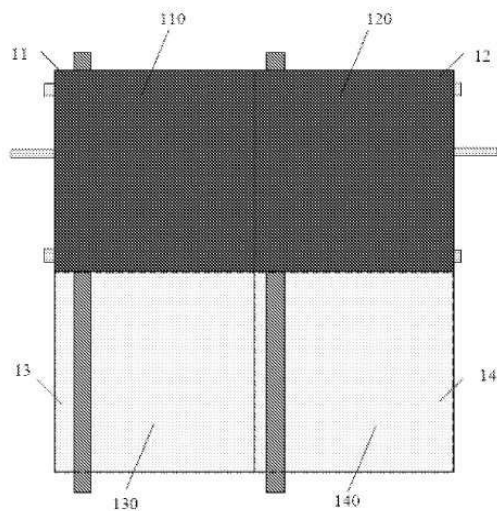
[0117] 구체적으로, 액정 디스플레이 패널은 또한, 컬러 막 기판을 포함한다. 컬러 막 기판은 컬러 막 기판의 공통 전극층, 복수의 컬러 포토레지스트, 및 평탄화층에만 제공된다. 복수의 컬러 포토 레지스트는 복수의 픽셀 유닛에 대응한다.

[0118] 종래의 액정 디스플레이 패널에서는, 컬러 막 기판 상에 흑색 행렬도 제공된다. 종래 기술에서, 데이터 라인, 게이트 라인 및 공통 전극 라인 모두 투광 영역들을 점유하고 금속으로부터의 형성에 기인한 반사성을 갖기 때문에, 비투과 광의 속성을 갖는 흑색 행렬을 활용하여 데이터 라인, 게이트 라인 및 공통 전극 라인을 보호하지 않는 경우, 금속의 반사가 디스플레이에 영향을 줄 수 있다. 그러나, 컬러 막 기판이 어레이 기판과 대치 상태로 결합될 때 편차의 영향으로, 흑색 행렬은 일반적으로, 금속 배선 보호를 확실히 하기 위해 보호될 금속 배선보다 훨씬 넓으나, 이는 매우 큰 디스플레이 면적을 희생시킬 수 있다. 본 발명에 따르는 액정 디스플레이에서는, 게이트 라인, 데이터 라인 및 공통 전극 라인의 대부분이 반사 전극들 하단에 제공되고 모두 매우 작은 투과 영역을 점유하기 때문에, 본 발명에 따르면 흑색 행렬은 액정 디스플레이 패널에서 필요치 않게 되고, 개구율 증가되면서도 디스플레이 효과가 확보된다.

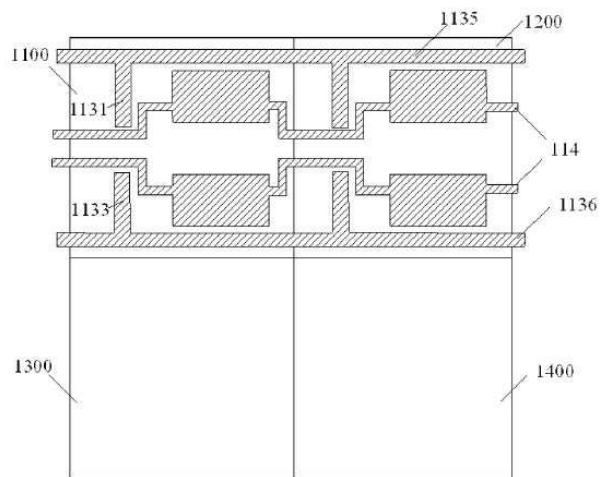
[0119] 상술한 내용은 단지 본 발명의 바람직한 실시예들에 불과하며, 본 발명을 어떠한 식으로든 한정하는 것은 아니다. 당업자라면, 본 발명의 범위에서 이탈하지 않은 상태로 본 명세서에 개시된 기술 내용의 관점에서 본 발명의 기술적 해결 원리에 대해 다양한 대안, 변경 및 등가가 이루어질 수 있다. 그러므로, 본 발명의 범위에서 이탈하지 않은 상태로 본 발명의 기술적 특징에 따라 실시예들에 대한 임의의 대안, 변경 및 등가체가 본 발명의 권리 범위 내에 있다.

도면

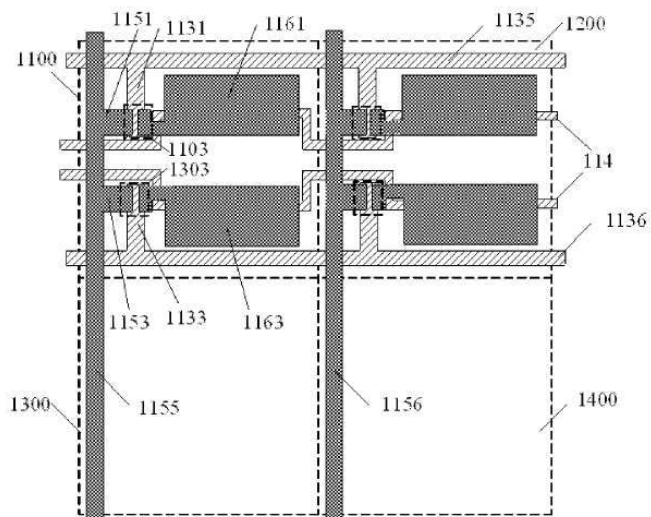
도면1



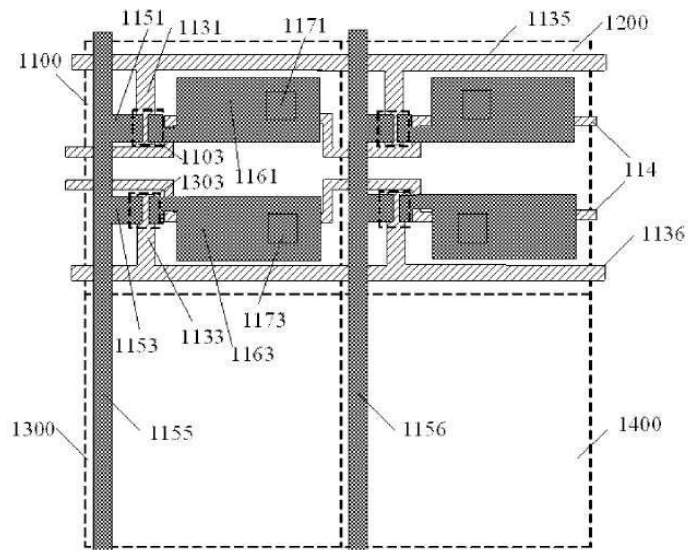
도면2



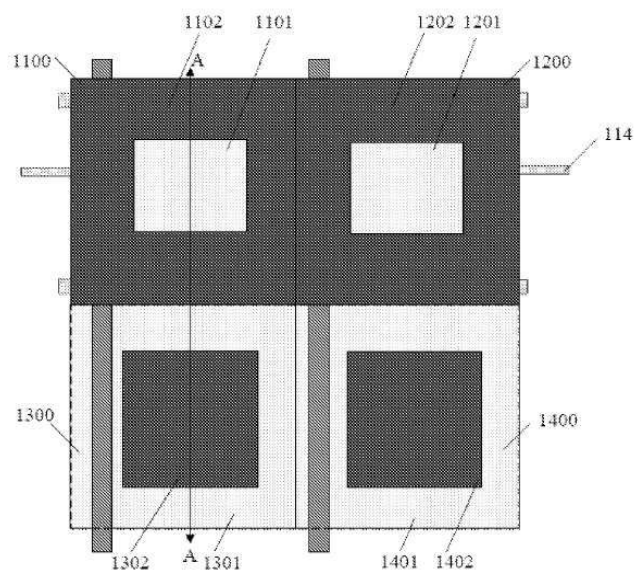
도면3



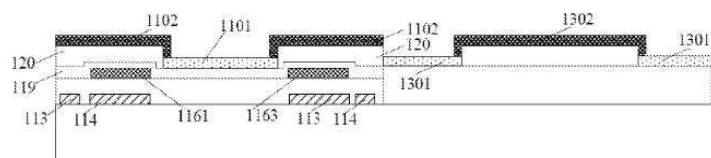
도면4



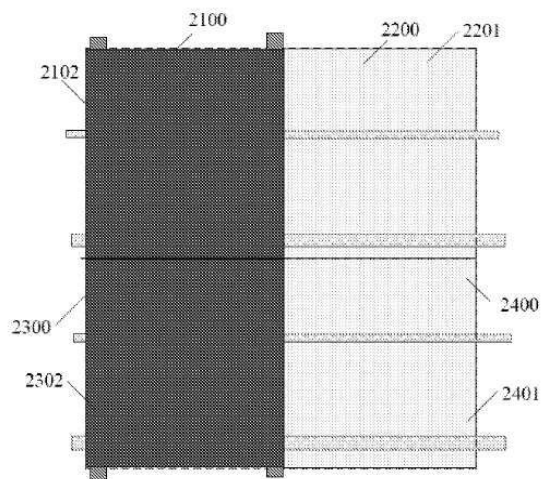
도면5



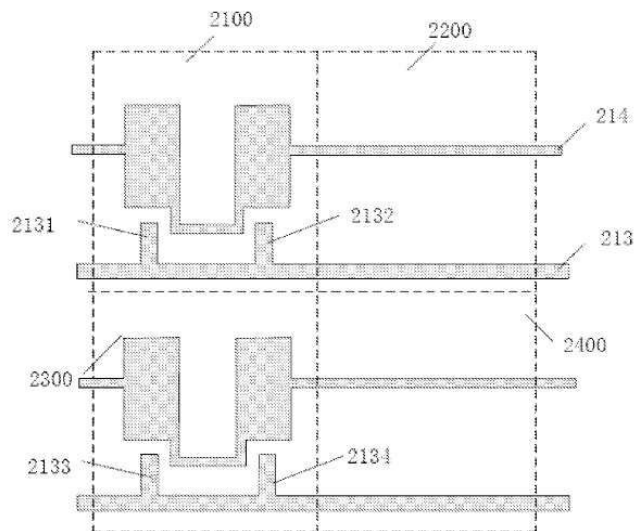
도면6



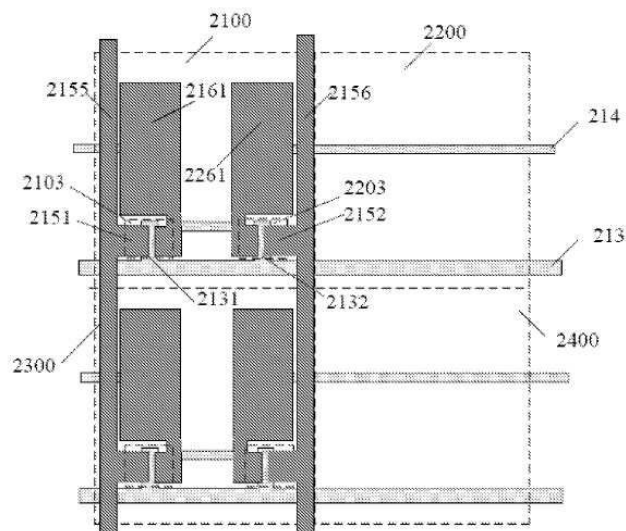
도면7



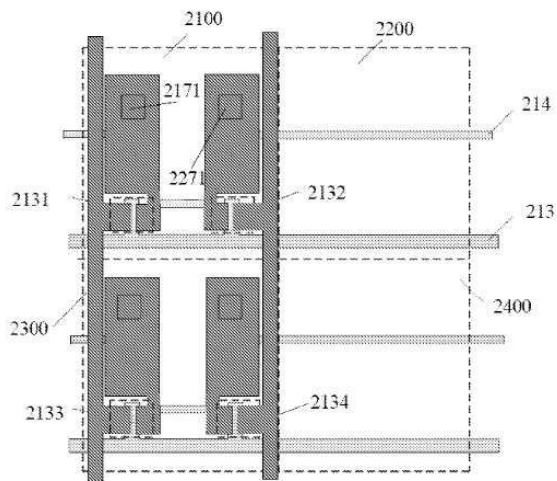
도면8



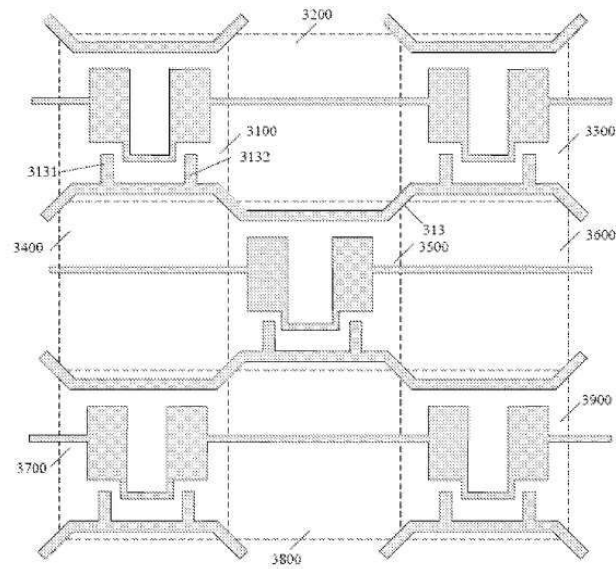
도면9



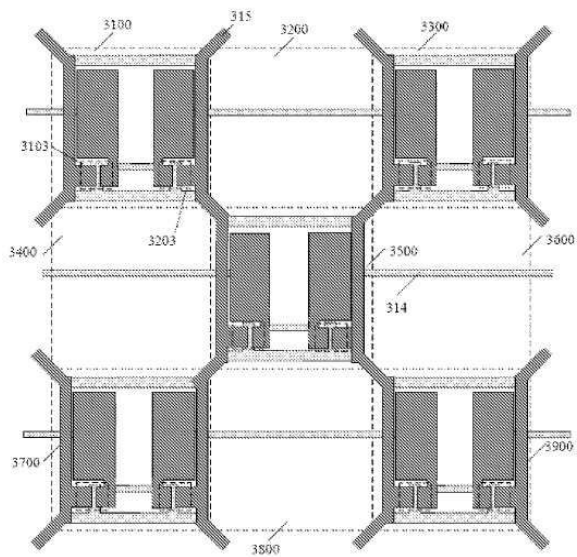
도면10



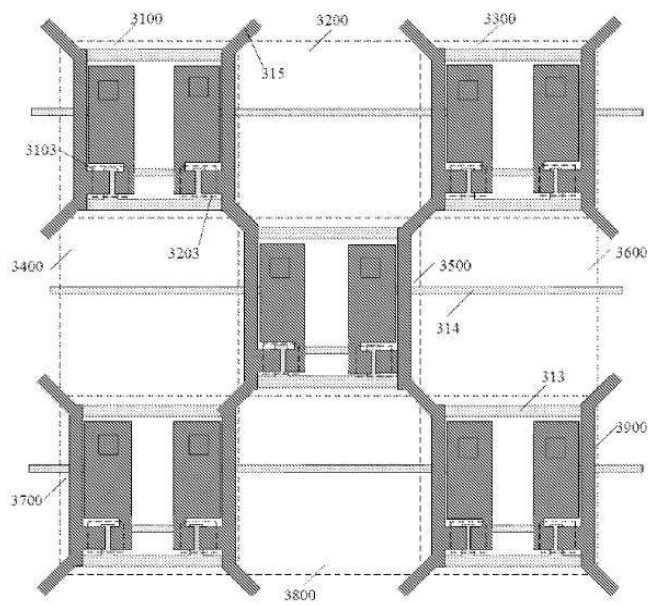
도면11



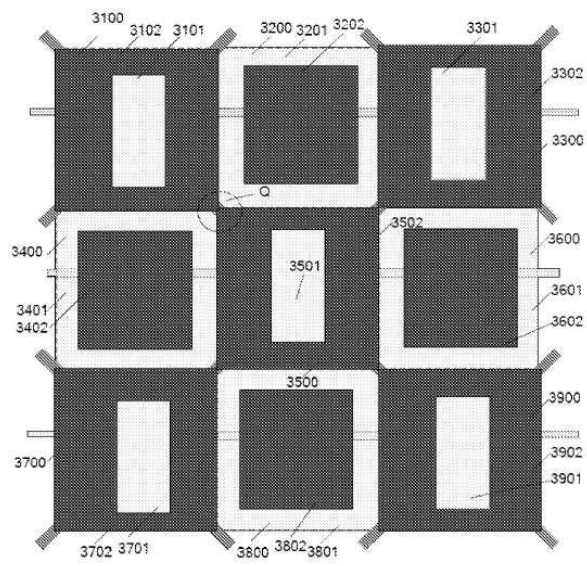
도면12



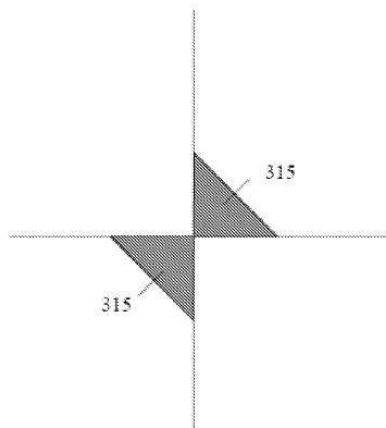
도면13



도면14



도면15



专利名称(译)	标题：阵列基板和液晶显示板		
公开(公告)号	KR1020130086358A	公开(公告)日	2013-08-01
申请号	KR1020137013194	申请日	2012-07-05
[标]申请(专利权)人(译)	上海天马微电子有限公司		
申请(专利权)人(译)	上海性按摩微电子学公司，品牌.		
[标]发明人	HUO SITAO 후오시타오 JIANG WENXIN 지앙웬신		
发明人	후오시타오 지앙웬신		
IPC分类号	G02F1/1343 G02F1/1335		
CPC分类号	G02F1/133371 G02F1/133555 G02F1/136213 G02F1/13624 G02F1/136286 G02F2201/40 G02F1/134309		
优先权	201110274675.1 2011-09-16 CN		
其他公开文献	KR101482479B1		
外部链接	Espacenet		

摘要(译)

本发明提供了在第二像素单元的边缘区域中的传输电极，反射电极设置在第一像素单元的边缘区域，阵列面板包括布置在矩阵中的多个像素单元，并且将其定义为多个栅极线（313）和列方向，其中多个像素单元被提供给线写入方向，其中所提供的多条数据线（315）的交叉点和像素单元包括第一像素单元（3100,3300,3500,3700，3900）和第二像素单元（3200,3400,3600,3800）。因此，可以增加使用该阵列面板和阵列面板的液晶显示面板的光学透过率。

