



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2013-0010704  
(43) 공개일자 2013년01월29일

(51) 국제특허분류(Int. Cl.)  
G02F 1/1345 (2006.01) G02F 1/133 (2006.01)  
(21) 출원번호 10-2011-0071503  
(22) 출원일자 2011년07월19일  
심사청구일자 없음

(71) 출원인  
엘지디스플레이 주식회사  
서울특별시 영등포구 여의대로 128(여의도동)  
(72) 발명자  
채승훈  
서울특별시 중구 퇴계로 235, A동 903호 (충무로 5가, 남산센트럴 자이)  
남영수  
경기도 파주시 김산동 성원아파트 103동 402호  
선상현  
경기도 파주시 문산읍 방촌로 1744, 힐스테이즈 1차 103동 1002호  
(74) 대리인  
특허법인네이트

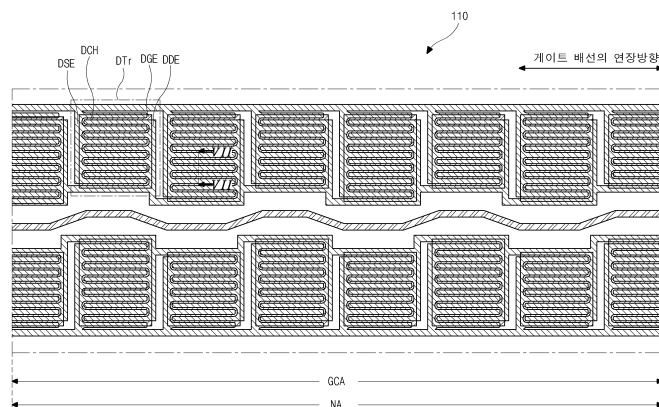
전체 청구항 수 : 총 5 항

(54) 발명의 명칭 게이트 인 패널 구조 액정표시장치용 어레이 기판

(57) 요약

본 발명은, 다수의 화소영역이 정의되어 화상을 표시하는 표시영역과, 상기 표시영역 일측에 게이트 구동회로를 구비한 게이트 회로부를 갖는 비표시영역이 정의된 게이트 인 패널 구조 액정표시장치용 어레이 기판에 있어서, 상기 각 화소영역에는 개구를 갖는 제 1 소스 전극을 포함하는 스위칭 박막트랜지스터가 구비되며, 상기 게이트 회로부에는 개구를 갖는 제 2 소스 전극을 포함하는 구동 박막트랜지스터가 구비되며, 상기 스위칭 박막트랜지스터의 소스 전극의 개구의 방향과 상기 게이트 구동부에 구비된 구동 박막트랜지스터의 소스 전극의 개구의 방향이 서로 일치하는 것이 특징인 게이트 인 패널 구조 액정표시장치용 어레이 기판을 제공한다.

대표도 - 도5



## 특허청구의 범위

### 청구항 1

다수의 화소영역이 정의되어 화상을 표시하는 표시영역과, 상기 표시영역 일측에 게이트 구동회로를 구비한 게이트 회로부를 갖는 비표시영역이 정의된 게이트 인 패널 구조 액정표시장치용 어레이 기판에 있어서,  
상기 각 화소영역에는 개구를 갖는 제 1 소스 전극을 포함하는 스위칭 박막트랜지스터가 구비되며, 상기 게이트 회로부에는 개구를 갖는 제 2 소스 전극을 포함하는 구동 박막트랜지스터가 구비되며,  
상기 스위칭 박막트랜지스터의 소스 전극의 개구의 방향과 상기 게이트 회로부에 구비된 구동 박막트랜지스터의 소스 전극의 개구의 방향이 서로 일치하는 것이 특징인 게이트 인 패널 구조 액정표시장치용 어레이 기판.

### 청구항 2

제 1 항에 있어서,  
상기 비표시영역에는 상기 게이트 회로부 외측으로 신호입력부와, 상기 표시영역 상층으로 패드부가 정의되며,  
상기 표시영역에 서로 교차하여 상기 화소영역을 정의하며 형성된 게이트 배선 및 데이터 배선과;  
상기 각 화소영역에 상기 스위칭 박막트랜지스터의 드레인 전극과 연결되며 투명 도전성 물질로 형성된 화소전극과;  
상기 신호입력부에서 상기 패드부까지 연장하며 형성된 다수의 클럭배선과;  
상기 신호입력부에 상기 게이트 회로부의 구동소자와 연결되며 상기 다수의 클럭배선과 그 일끝이 중첩하며 형성된 다수의 연결배선과;  
상기 서로 중첩된 상기 다수의 클럭배선과 상기 다수의 연결배선과 동시에 접촉하며 형성된 도전패턴을 포함하는 게이트 인 패널 구조 액정표시장치용 어레이 기판.

### 청구항 3

제 2 항에 있어서,  
상기 스위칭 박막트랜지스터와 상기 구동 박막트랜지스터를 덮으며, 상기 스위칭 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 포함하는 게이트 인 패널 구조 액정표시장치용 어레이 기판.

### 청구항 4

제 2 항에 있어서,  
상기 스위칭 및 구동 박막트랜지스터의 각 소스 전극의 개구 방향은 상기 게이트 배선의 연장방향과 일치하거나, 또는 상기 데이터 배선의 연장방향과 일치하는 것이 특징인 게이트 인 패널 구조 액정표시장치용 어레이 기판.

### 청구항 5

제 2 항에 있어서,  
상기 구동 박막트랜지스터의 소스 전극은 다수의 핑거부를 구비하여 다수의 개구를 가짐으로써 콤브(comb) 형태를 이루며, 상기 구동 박막트랜지스터의 드레인 전극 또한 다수의 핑거부를 가져 상기 구동 박막트랜지스터의

소스 전극의 다수의 개구에 일대일 대응되도록 삽입된 것이 특징인 게이트 인 패널 구조 액정표시장치용 어레이 기판.

## 명세서

### 기술분야

[0001] 본 발명은 액정표시장치에 관한 것으로서, 더욱 상세하게는 개구율이 향상되고 노광 마진을 향상시킬 수 있는 GIP(gate in panel) 구조 액정표시장치용 어레이 기판에 관한 것이다.

### 배경기술

[0002] 최근 정보화 사회로 시대가 급 발전함에 따라 박형화, 경량화, 저 소비전력화 등의 우수한 특성을 가지는 평판 표시 장치(flat panel display)의 필요성이 대두되었는데, 이 중 액정 표시 장치(liquid crystal display)가 해상도, 컬러표시, 화질 등에서 우수하여 노트북이나 데스크탑 모니터에 활발하게 적용되고 있다.

[0003] 일반적으로 액정표시장치는 전극이 각각 형성되어 있는 두 기판을 상기 두 전극이 서로 대하도록 배치하고, 상기 두 전극 사이에 액정 물질을 주입한 다음, 두 전극에 전압을 인가하여 생성되는 전기장에 의해 액정 분자를 움직이게 함으로써, 이에 따라 달라지는 빛의 투과율에 의해 화상을 표현하는 장치이다.

[0004] 이러한 액정표시장치는 두 기판 사이에 액정이 주입되어 있는 액정패널과 액정패널 하부에 배치되고 광원으로 이용되는 백라이트, 그리고 액정패널 외곽에 위치하며 액정패널을 구동시키기 위한 구동부로 이루어진다.

[0005] 통상적으로 상기 구동부는 인쇄회로기판(printed circuit board : PCB)에 구현되며, 이러한 인쇄회로기판은 상기 액정패널의 게이트 배선과 연결되는 게이트 구동회로기판과 데이터 배선과 연결되는 데이터 구동회로기판으로 나뉘며, 이들 각각의 구동회로기판은, 액정패널의 일측면에 형성되며 상기 게이트 배선과 연결된 게이트 패드부와, 통상적으로 상기 게이트 패드가 형성된 일측면과 직교하는 상측면에 형성되며 데이터 배선과 연결된 데이터 패드부 각각에 테이프 캐리어 패키지(tape carrier package : TCP) 형태로 실장되고 있다.

[0006] 하지만, 종래와 같이 인쇄회로기판을 게이트 및 데이터용으로 각각 게이트 패드부와 데이터 패드부에 실장하게 되면, 그 부피가 커지고, 그 무게 또한 증가하게 되므로 이를 개선하여 하나의 인쇄회로기판만을 액정패널의 일측면에만 실장하고 게이트 구동회로는 액정패널 내부에 형성하는 것을 특징으로 GIP(gate in panel) 구조 액정표시장치가 제안되고 있다.

[0007] GIP구조 액정표시장치의 어레이 기판은 크게 화상을 표시하는 표시영역과, 상기 표시영역의 상측으로 패드부와, 상기 표시영역의 일측에 게이트 회로부와, 상기 게이트 회로부 일측에 신호입력부로 구성되고 있다.

[0008] 이러한 구성을 갖는 GIP 구조 액정표시장치용 어레이 기판에 있어 상기 게이트 회로부에는 상기 각 게이트 배선과 연결되며 구동블럭이 구비되고 있으며, 상기 각 구동블럭 내부에는 다수의 구동 박막트랜지스터(DTr)가 서로 연결되며 형성되고 있다. 이때, 상기 각 구동 박막트랜지스터(DTr)는 그 특성을 극대화하기 위해 장 채널 구조를 갖도록 형성되고 있다.

[0009] 도 1은 종래의 GIP 구조 액정표시장치용 어레이 기판의 하나의 화소영역에 구비되는 스위칭 박막트랜지스터에 대한 평면도이며, 도 2는 종래의 GIP 구조 액정표시장치용 어레이 기판의 게이트 회로부의 회로블럭 내에 형성되는 구동 박막트랜지스터에 대한 평면도이다.

[0010] 도시한 바와 같이, 각 화소영역(P)에 구비되는 스위칭 박막트랜지스터(STr)는 채널영역(SCH)의 형태가 'I' 형태 즉, 'C'형을 이루는데 반해, 게이트 회로부(GCA)에 구비된 구동 박막트랜지스터(DTr)의 경우 채널영역(DCH)이 'U' 형태가 됨을 알 수 있다.

[0011] 이렇게 표시영역과 비표시영역에 형성되는 스위칭 박막트랜지스터(STr)와 구동 박막트랜지스터(DTr)의 채널영역(SCH, DCH)의 형태를 달리하는 경우, 특히 스캔 타입 노광 공정 진행 시 광학계 수차에 의한 공정 능력이 저하되며, 따라서 이에 의해 채널영역(DCH, SCH)의 쇼트 및 유실 불량률이 다발하고 있는 실정이다.

[0012] 즉, 표시영역과 비표시영역에 각각 구비되는 스위칭 박막트랜지스터(STr)와 구동 박막트랜지스터(DTr)의 채널(DCH, SCH) 형태가 개구의 방향을 달리하는 서로 수직한 구조를 이루으로써 노광 시 스캔 방향을 상기 스위칭 박막트랜지스터(STr)의 채널영역(SCH) 형성 방향에 최적화되는 경우, 상기 스위칭 박막트랜지스터(STr)의 채널

영역(SCH)과 수직한 방향의 구동 박막트랜지스터(DTr)의 채널영역(DCH)은 상대적으로 큰 노광 오차를 갖게됨으로써 노광 후 패터닝하는 과정에서 채널영역 간의 쇼트 및 유실 불량이 다발하는 실정이다.

## 발명의 내용

### 해결하려는 과제

- [0013] 본 발명은 상기한 종래의 문제점을 해결하기 위해 안출된 것으로서, 스캔 타이밍 노광 진행 시 노광 오차를 줄임으로써 공정 능력을 향상시키고 채널의 쇼트 및 유실불량을 저감시킬 수 있는 GIP구조 액정표시장치용 어레이 기판을 제공하는 것을 그 목적으로 한다.

### 과제의 해결 수단

- [0014] 상기한 목적을 달성하기 위해 본 발명에 따른 게이트 인 패널 구조 액정표시장치용 어레이 기판은, 다수의 화소영역이 정의되어 화상을 표시하는 표시영역과, 상기 표시영역 일측에 게이트 구동회로를 구비한 게이트 회로부를 갖는 비표시영역이 정의된 게이트 인 패널 구조 액정표시장치용 어레이 기판에 있어서, 상기 각 화소영역에는 개구를 갖는 제 1 소스 전극을 포함하는 스위칭 박막트랜지스터가 구비되며, 상기 게이트 회로부에는 개구를 갖는 제 2 소스 전극을 포함하는 구동 박막트랜지스터가 구비되며, 상기 스위칭 박막트랜지스터의 소스 전극의 개구의 방향과 상기 게이트 회로부에 구비된 구동 박막트랜지스터의 소스 전극의 개구의 방향이 서로 일치하는 것이 특징이다.
- [0015] 상기 비표시영역에는 상기 게이트 회로부 외측으로 신호입력부와, 상기 표시영역 상층으로 패드부가 정의되며, 상기 표시영역에 서로 교차하여 상기 화소영역을 정의하며 형성된 게이트 배선 및 데이터 배선과; 상기 각 화소영역에 상기 스위칭 박막트랜지스터의 드레인 전극과 연결되며 투명 도전성 물질로 형성된 화소전극과; 상기 신호입력부에서 상기 패드부까지 연장하며 형성된 다수의 클럭배선과; 상기 신호입력부에 상기 게이트 회로부의 구동소자와 연결되며 상기 다수의 클럭배선과 그 일끝이 중첩하며 형성된 다수의 연결배선과; 상기 서로 중첩된 상기 다수의 클럭배선과 상기 다수의 연결배선과 동시에 접촉하며 형성된 도전패턴을 포함한다.
- [0016] 또한, 상기 스위칭 박막트랜지스터와 상기 구동 박막트랜지스터를 덮으며, 상기 스위칭 박막트랜지스터의 드레인 전극을 노출시키는 드레인 콘택홀을 갖는 보호층을 포함한다.
- [0017] 그리고, 상기 스위칭 및 구동 박막트랜지스터의 각 소스 전극의 개구 방향은 상기 게이트 배선의 연장방향과 일치하거나, 또는 상기 데이터 배선의 연장방향과 일치하는 것이 특징이다.
- [0018] 또한, 상기 구동 박막트랜지스터의 소스 전극은 다수의 핑거부를 구비하여 다수의 개구를 가짐으로써 콤브(comb) 형태를 이루며, 상기 구동 박막트랜지스터의 드레인 전극 또한 다수의 핑거부를 가져 상기 구동 박막트랜지스터의 소스 전극의 다수의 개구에 일대일 대응되도록 삽입된 것이 특징이다.

### 발명의 효과

- [0019] 본 발명에서는 표시영역에 형성되는 스위칭 박막트랜지스터의 채널 방향과 비표시영역의 회로부에 형성되는 구동 박막트랜지스터의 채널 방향을 일치시켜 스캔 타이밍 노광 공정 진행 시 일방향으로 최적화된 노광을 실시할 수 있으므로 채널의 쇼트 및 유실 불량을 억제하여 수율을 향상시키는 효과가 있다.
- [0020] 그리고, 스위칭 박막트랜지스터의 채널이 'C'형상이 되도록 각 화소영역에 형성함으로써 화소영역의 개구율을 향상시키는 효과가 있다.

### 도면의 간단한 설명

- [0021] 도 1은 종래의 GIP 구조 액정표시장치용 어레이 기판의 하나의 화소영역에 구비되는 스위칭 박막트랜지스터에 대한 평면도.

도 2는 종래의 GIP 구조 액정표시장치용 어레이 기관의 게이트 회로부의 회로블럭 내에 형성되는 구동 박막트랜지스터에 대한 평면도.

도 3은 본 발명에 따른 GIP구조 액정표시장치용 어레이 기관의 일부를 도시한 평면도.

도 4는 본 발명에 따른 GIP구조 액정표시장치 어레이 기관에 있어 표시영역내의 하나의 화소영역에 대한 평면도.

도 5는 본 발명에 따른 GIP구조 액정표시장치 어레이 기관에 있어 게이트 회로부의 구동 박막트랜지스터(DTr) 일부에 대한 평면도.

도 6은 도 4를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도.

도 7은 도 5를 절단선 VII-VII를 따라 절단한 부분에 대한 단면도.

### 발명을 실시하기 위한 구체적인 내용

- [0022] 이하, 도면을 참조하여 본 발명의 실시예에 따른 GIP 구조의 액정표시장치용 어레이 기관에 대해 설명한다.
- [0023] 도 3은 본 발명에 따른 GIP구조 액정표시장치용 어레이 기관의 일부를 도시한 평면도이며, 도 4는 본 발명에 따른 GIP구조 액정표시장치 어레이 기관에 있어 표시영역내의 하나의 화소영역에 대한 평면도이며, 도 5는 본 발명에 따른 GIP구조 액정표시장치 어레이 기관에 있어 게이트 회로부의 구동 박막트랜지스터 일부에 대한 평면도이다.
- [0024] 도시한 바와 같이, 본 발명에 따른 GIP 구조 액정표시장치용 어레이 기관에는 표시영역과, 이의 외측으로 비표시영역이 구비되고 있다.
- [0025] 상기 표시영역(AA)에는 서로 교차하여 화소영역(P)을 정의하는 다수의 게이트 및 데이터 배선(113, 128)이 형성되어 있다.
- [0026] 이때, 도면에 있어서는 상기 각 화소영역(P)에 있어 스토리지 커패시터(StgC)를 형성하기 위해 각 화소영역(P)의 이루는 데이터 배선(128)과 게이트 배선(113)과 이격하여 3면을 테두리하는 형태로 스토리지 전극(115)이 형성되고 있다.
- [0027] 또한, 각 화소영역(P)에는 상기 게이트 및 데이터 배선(113, 128)과 연결되며, 그 하부로부터 순차적으로 게이트 전극(SGE), 게이트 절연막(118), 액티브층(120a) 및 오믹콘택층(120b)으로 구성된 반도체층(120), 소스 및 드레인 전극(SSE, SDE)으로 구성된 스위칭 소자인 스위칭 박막트랜지스터(STr)가 형성되어 있다.
- [0028] 이때, 상기 각 화소영역(P) 내에 구비된 상기 스위칭 박막트랜지스터(STr)는 상기 소스 전극(SSE)이 'C'형태를 이루며, 'C'형태를 갖는 상기 소스 전극(SSE)의 개구에 삽입된 형태로 드레인 전극(SDE)이 형성됨으로써 이러한 형태를 갖는 소스 전극(SSE)과 드레인 전극(SDE)에 의해 상기 액티브층(120a) 내에 형성되는 채널영역(SCH) 형태는 'C'인 것이 특징이다.
- [0029] 이렇게 소스 전극(SSE) 더욱 정확히는 채널영역(SCH)을 각 화소영역(P) 내에서 'C'형태를 갖도록 형성하는 경우, 상기 채널영역(SCH)을 'U'형태를 갖도록 형성한 경우보다 각 화소영역(P)의 개구율이 4.6% 정도 향상되는 것이 특징이다.
- [0030] 이는 상기 소스 전극(SSE)은 데이터 배선(128)에서 분기한 형태를 갖도록 형성되며, 데이터 배선(128)을 기준으로 이와 수직한 방향으로 개구를 갖는 형태 즉 'C'형태가 되도록 소스 전극(SSE)을 형성하는 것이 동일한 채널비를 갖도록 형성한다고 가정할 경우, 각 화소영역(P) 내에서 개구가 상기 데이터 배선(128)의 연장한 방향(도면에서는 좌우방향)으로 배치된 형태 즉 'U' 형태가 되도록 형성하는 것보다 더 작은 면적을 차지하기 때문이다.
- [0031] 한편, 상기 각 화소영역(P)에는 상기 스위칭 박막트랜지스터(STr)를 덮으며 상기 기관(110) 전면에서 형성된 보호층(140)에 구비된 드레인 콘택홀(142)을 통해 상기 스위칭 박막트랜지스터(STr)의 드레인 전극(SDE)과 전기적으로 연결되며 화소전극(150)이 형성되어 있다.
- [0032] 이때, 상기 화소전극(150)은 상기 스토리지 전극(115)과 중첩함으로써 상기 스토리지 전극(115)과 더불어 스토



리지 커패시터(StgC)를 이루고 있다.

- [0033] 또한, 전술한 바와 같은 구성요소를 구비한 표시영역(AA) 일측의 비표시영역(NA)에는 순차적으로 상기 표시영역(AA)에 형성된 다수의 각 게이트 배선(128)과 연결된 회로블럭(CB)을 포함하는 게이트 회로부(GCA)가 구성되고 있다.
- [0034] 그리고, 상기 게이트 회로부(GCA) 외측으로 신호입력부(SIA)에는 상기 회로블럭(CB)과 연결된 연결배선(CL)과, 상기 연결배선(CL)과 도전패턴(CTP)을 통해 전기적으로 연결되며 상기 표시영역(AA) 상부측에 형성된 패드부(PA)까지 연장하는 다수의 클럭배선(CLL)이 구성되어 있다.
- [0035] 한편, 상기 비표시영역(NA)의 패드부(PA)에 있어서는, 상기 표시영역(AA)에 형성된 데이터 배선(128)과 연결되며 외부의 인쇄회로기판(미도시)과 연결하기 위한 데이터 패드(DP) 및 상기 신호입력부(SIA)에 형성된 다수의 클럭배선(CKL)과 연결되어 이들 다수의 클럭배선(CKL) 끝단부에 신호를 인가하기 위한 클럭패드(CKP)가 형성되어 있다.
- [0036] 또한, 상기 게이트 회로부(GCA)에 구비된 다수의 각 회로블럭(CB)은 구동 박막트랜지스터(DTr) 및 커패시터(미도시) 등의 조합으로 이루어지고 있으며, 이들 각 회로블럭(CB)은 상기 표시영역(AA)에 형성된 게이트 배선(113) 및 신호입력부(SIA)에 형성된 다수의 연결배선(135)과 연결되고 있다.
- [0037] 또한, 상기 게이트 회로부(GCA)에는 상기 각 게이트 배선(113)과 연결된 회로블럭(CB) 이외에 상기 회로블럭(CB) 사이의 이격영역에는 정전기 발생 시 상기 표시영역(AA)에 구비된 스위칭 박막트랜지스터(STr) 및 상기 회로블럭(CB)에 구성된 다수의 구동소자(DTr)의 파괴를 방지하기 위한 정전기 방지회로(미도시) 등이 더욱 구비되고 있다.
- [0038] 또한, 신호입력부(SIA)에는 상기 패드부(PA)로 연장하는 다수의 클럭배선(CKL)과, 상기 다수의 클럭배선(CKL)과 게이트 절연막(118)을 개재하여 서로 교차하며 형성되고 있다.
- [0039] 그리고, 상기 게이트 회로부(GCA) 내의 각 회로블럭(CB)과 연결되는 다수의 연결배선(CL)이 형성되어 있으며, 상기 연결배선(CL)과 상기 클럭배선(CKL)은 배선 콘택홀(미도시) 통해 도전패턴(CTP)이 형성됨으로써 전기적으로 연결되고 있다.
- [0040] 본 발명의 가장 특징적인 구성을 갖는 부분으로써 상기 게이트 회로부(GCA)에 구비된 회로블럭(CB) 내의 구동소자인 구동 박막트랜지스터(DTr)의 형태에 대해 설명한다.
- [0041] 상기 게이트 회로부(GCA)에는 다수의 각 게이트 배선(113) 및 연결배선(CL)과 연결되며 다수의 구동소자(DTr)를 포함하는 회로블럭(CB)이 구비되고 있다. 이때 상기 각 회로블럭(CB)에 구비된 구동소자는 주로 상기 스위칭 박막트랜지스터(STr)와 동일한 구조를 갖는 구동 박막트랜지스터(DTr)가 되고 있다.
- [0042] 이때, 구동소자로 이용되는 상기 구동 박막트랜지스터(DTr) 특성 상 표시영역(AA)에 구비되는 스위칭 박막트랜지스터(STr) 대비 그 특성을 향상시키기 위해서는 상대적으로 채널의 너비를 매우 크게 형성하고 있다.
- [0043] 따라서 상기 구동 박막트랜지스터(DTr)는 상기 스위칭 박막트랜지스터(STr)의 수 배 내지 수십 배의 크기를 갖는 것이 특징이다.
- [0044] 한편, 본 발명의 가장 특징적인 것으로 상기 구동 박막트랜지스터(DTr)의 채널영역(DCH) 형태 또한 상기 표시영역(AA) 내의 스위칭 박막트랜지스터(STr)의 채널영역(SCH) 형태와 유사하게 그 개구가 데이터 배선(128)이 연장하는 길이 방향에 수직한 방향으로 위치하도록 형성되고 있는 것이 특징이다.
- [0045] 이때, 상기 구동 박막트랜지스터(DTr)는 상기 스위칭 박막트랜지스터(STr)의 면적보다 큰 면적을 가지고 있으므로 상기 채널영역(DCH)은 단순히 'ㄷ' 형태를 갖는 것이 아니라 'ㄷ'가 수직한 방향으로 일렬로 늘어선 형태를 이루는 것이 특징이다.
- [0046] 즉, 상기 구동 박막트랜지스터(DTr)는 소스 전극(DSE)이 게이트 배선(113)의 연장방향으로 다수의 개구를 갖는 콤브(comb) 형태를 이루며, 드레인 전극(DDE) 또한 게이트 배선(113)의 연장방향으로 다수의 핑거부를 갖는 형태를 이루며, 이러한 콤브 형태를 갖는 소스 전극(DSE) 및 드레인 전극(DDE)은 상기 소스 전극(DSE)의 다수의 각 개구에 대응하여 상기 드레인 전극(DDE)의 각 핑거부가 삽입됨으로써 채널은 실질적으로 좌우로 지그재그 형태를 이루는 것이 특징이다.
- [0047] 이렇게 본 발명의 실시예에 따른 GIP 구조 액정표시장치용 어레이 기판(110)은 표시영역(AA)에 구비되는 스위칭

박막트랜지스터(STr)의 채널영역(SCH)의 형태와 비표시영역(NA)의 게이트 회로부(GCA)에 구비되는 구동 박막트랜지스터(DTr)의 채널영역의(DCH) 형태, 더욱 정확히는 스위칭 및 구동 박막트랜지스터(STr, DTr)의 단일 또는 다수의 개구를 갖는 소스 전극(SSE, DSE)의 개구가 위치하는 방향을 일치시킴으로써 스캔 타입 노광 시 발생하는 스캔 방향에 따른 노광 오차를 최소화하여 채널의 쇼트 및 유실에 따른 불량을 저감시키는 효과를 갖는 것이 특징이다.

- [0048] 스위칭 및 구동 박막트랜지스터(STr, DTr)의 소스 전극(SSE, DSE)과 드레인 전극(SDE, DDE) 사이의 이격간격은 쇼트가 되지 않는 범위에서  $2\mu\text{m}$  내지  $4\mu\text{m}$  정도의 폭을 가지며 매우 인접하여 형성되며, 특히 구동 박막트랜지스터(DTr)의 경우 소스 전극(DSE) 및 드레인 전극(DDE)과 핑거부가 다수 형성됨으로써 노광의 스캔 방향에 매우 민감하다.
- [0049] 따라서, 스캔 타입의 노광 오차를 줄이고자 구동 박막트랜지스터(DTr)의 소스 전극(DSE)의 길이 방향을 즉, 본 발명에 있어서는 게이트 배선(113)이 연장하는 방향으로 스캔 방식의 노광을 진행함으로써 노광 오차를 최소화 할 수 있으며, 이 경우 스위칭 박막트랜지스터(STr)의 소스 전극(SSE)의 개구의 방향 또한 상기 구동 박막트랜지스터(DTr)의 소스 전극(DSE)의 개구 방향과 동일하므로 스위칭 박막트랜지스터(STr)에 있어서는 소스 전극(SSE)의 길이방향으로 스캔이 진행되므로 노광 오차를 최소화 할 수 있다.
- [0050] 한편, 본 발명의 실시예에 따른 GIP 구조 액정표시장치용 어레이 기판의 경우, 일례로 스위칭 및 구동 박막트랜지스터의 채널영역의 개구가 게이트 배선의 연장방향과 일치하도록 형성된 것을 보이고 있지만, 상기 스위칭 및 구동 박막트랜지스터의 채널영역의 개구가 데이터 배선의 연장방향과 일치하도록 형성될 수도 있음은 자명하다 할 것이다.
- [0051] 이후에는 전술한 구성을 갖는 본 발명의 실시예에 따른 GIP구조 액정표시장치용 어레이 기판의 단면 구조에 대해 설명한다.
- [0052] 도 6은 도 4를 절단선 VI-VI를 따라 절단한 부분에 대한 단면도이며, 도 7은 도 5를 절단선 VII-VII를 따라 절단한 부분에 대한 단면도이다.
- [0053] 도시한 바와같이, 본 발명의 실시예에 따른 GIP 구조 액정표시장치용 어레이 기판(110)의 각 화소영역(P)에는 일방향으로 연장하며 게이트 배선(미도시)이 형성되고 있으며, 각 화소영역(P)에는 상기 게이트 배선(미도시)에서 분기한 형태로 스위칭 박막트랜지스터(STr)의 게이트 전극(SGE)이 형성되고 있다. 또한, 각 화소영역(P)의 3 면을 테두리 하는 형태로 스토리지 전극(115)이 형성되고 있다.
- [0054] 그리고, 비표시영역(NA)의 게이트 회로부(GCA)에는 상기 게이트 배선(미도시)과 연결되며 회로블럭(미도시)이 형성되고 있으며 상기 각 회로블럭(미도시)에는 구동 박막트랜지스터(DTr)의 게이트 전극(DGE)이 형성되고 있다.
- [0055] 다음, 상기 각 게이트 전극(SGE, DGE) 위로 전면에 무기절연물질 예를들면 산화실리콘( $\text{SiO}_2$ ) 또는 질화실리콘( $\text{SiNx}$ )으로 이루어진 게이트 절연막(118)이 형성되고 있다.
- [0056] 상기 게이트 절연막(118) 위로 상기 스위칭 및 구동 박막트랜지스터(STr, DTr)용 게이트 전극(SGE, DGE) 상부에는 각각 순수 비정질 실리콘의 액티브층(120a, 122a)과 이의 상부에서 서로 이격하는 형태로 불순물 비정질 실리콘의 오믹콘택층(120b, 122b)이 형성됨으로써 각각 스위칭 및 구동 박막트랜지스터(STr, DTr)용 반도체층(120, 122)을 이루고 있다.
- [0057] 다음, 상기 스위칭 박막트랜지스터(STr)의 반도체층(120) 위로 상기 데이터 배선(미도시)에서 분기한 형태로 하나의 개구를 갖는 'C'형태의 소스 전극(SSE)이 구비되고 있으며, 상기 소스 전극(SSE)의 개구에 대응하여 바(bar) 형태의 핑거부가 삽입된 형태를 가지며 이격하여 드레인 전극(SDE)이 형성되고 있다.
- [0058] 이때, 상기 각 화소영역(P)에 순차 적층된 게이트 전극(SGE)과 게이트 절연막(118)과 반도체층(120)과 서로 이격하는 소스 및 드레인 전극(SSE, SDE)은 스위칭 박막트랜지스터(STr)를 이룬다.
- [0059] 또한, 상기 구동 박막트랜지스터(DTr)의 반도체층(122) 상부에는 'C'형태의 다수의 개구를 갖는 컴브 형태의 소스 전극(DSE)이 구비되고 있으며, 상기 컴브 형태의 소스 전극(DSE)의 핑거부 사이에 위치한 각 개구부에 핑거부가 삽입되는 형태로 다수의 핑거부를 갖는 드레인 전극(DDE)이 이격하여 형성되고 있다.
- [0060] 이때, 상기 게이트 회로부(GCA)의 각 구동블럭(미도시) 내에 순차 적층된 게이트 전극(DGE)과 게이트 절연막

(118)과 반도체층(122)과 서로 이격하는 컴브 형태의 소스 전극(DSE) 및 드레인 전극(DDE)은 구동 박막트랜지스터(DTr)를 이룬다.

[0061] 다음, 상기 스위칭 및 구동 박막트랜지스터(STr, DTr) 위로 무기절연물질 또는 유기절연물질로 이루어진 보호층(140)이 구비되고 있다. 이때, 각 화소영역(P)에 있어서는 상기 보호층(140)은 상기 스위칭 박막트랜지스터(STr)의 드레인 전극(SDE)을 노출시키는 드레인 콘택홀(142)이 구비되고 있다.

[0062] 다음, 상기 보호층(142) 상부에는 각 화소영역(P) 별로 패터닝 된 형태를 가지며 상기 드레인 콘택홀(142)을 통해 상기 스위칭 박막트랜지스터(STr)의 드레인 전극(SDE)과 접촉하며 화소전극(150)이 형성되고 있다.

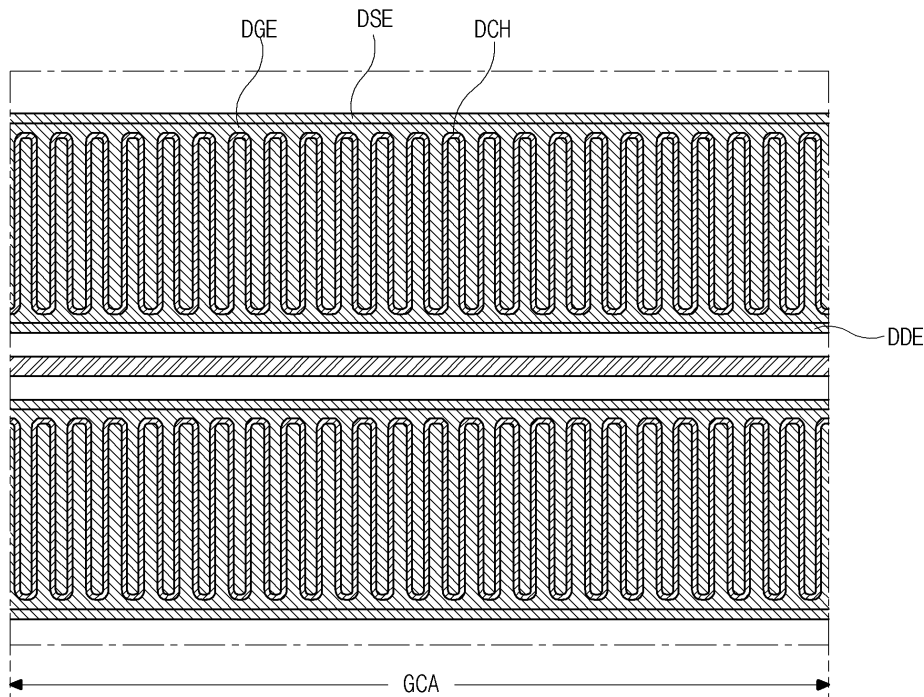
[0063] 이때 도면에 나타내지 않았지만, 상기 비표시영역(NA)에는 상기 스위칭 및 구동 박막트랜지스터(STr, DTr)의 게이트 전극(SGE, DGE) 또는 상기 스위칭 및 구동 박막트랜지스터(STr, DTr)의 소스 전극(SSE, DSE)이 형성된 동일한 층에는 클럭배선(미도시)이 형성되며, 상기 보호층(140) 상부에는 연결배선(미도시)과 도전패턴(미도시)이 형성됨으로써 본 발명의 실시예에 따른 GIP구조 액정표시장치용 어레이 기판(110)이 완성되고 있다.

### 부호의 설명

|        |               |                  |
|--------|---------------|------------------|
| [0064] | 110 : 어레이 기판  | DCH : 채널영역       |
|        | DGE : 게이트 전극  | DDE : 드레인 전극     |
|        | DSE : 소스 전극   | DTr : 구동 박막트랜지스터 |
|        | GCA : 게이트 회로부 | NA : 비표시영역       |

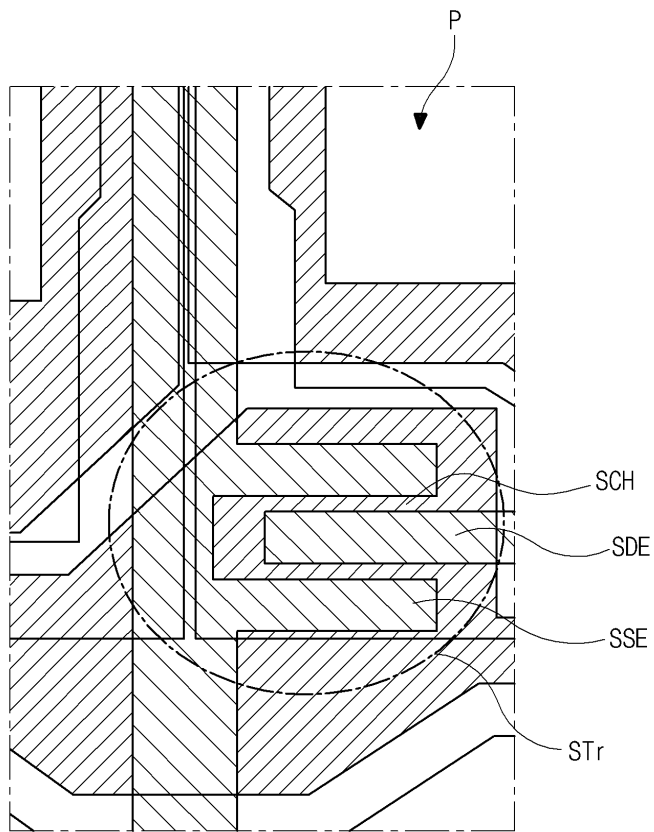
### 도면

#### 도면1

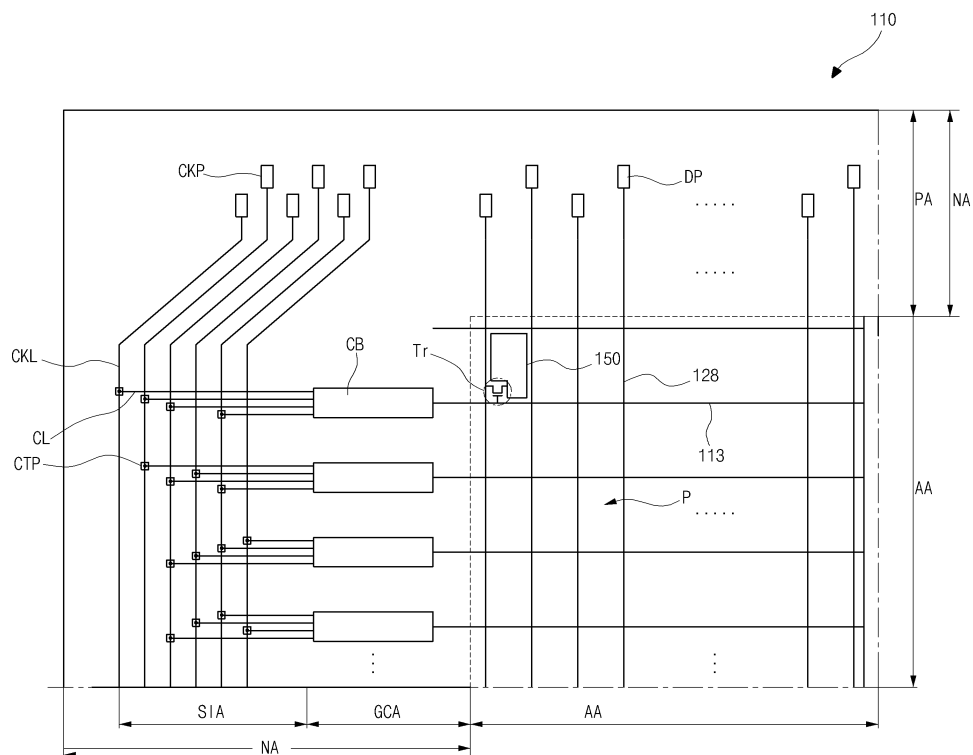




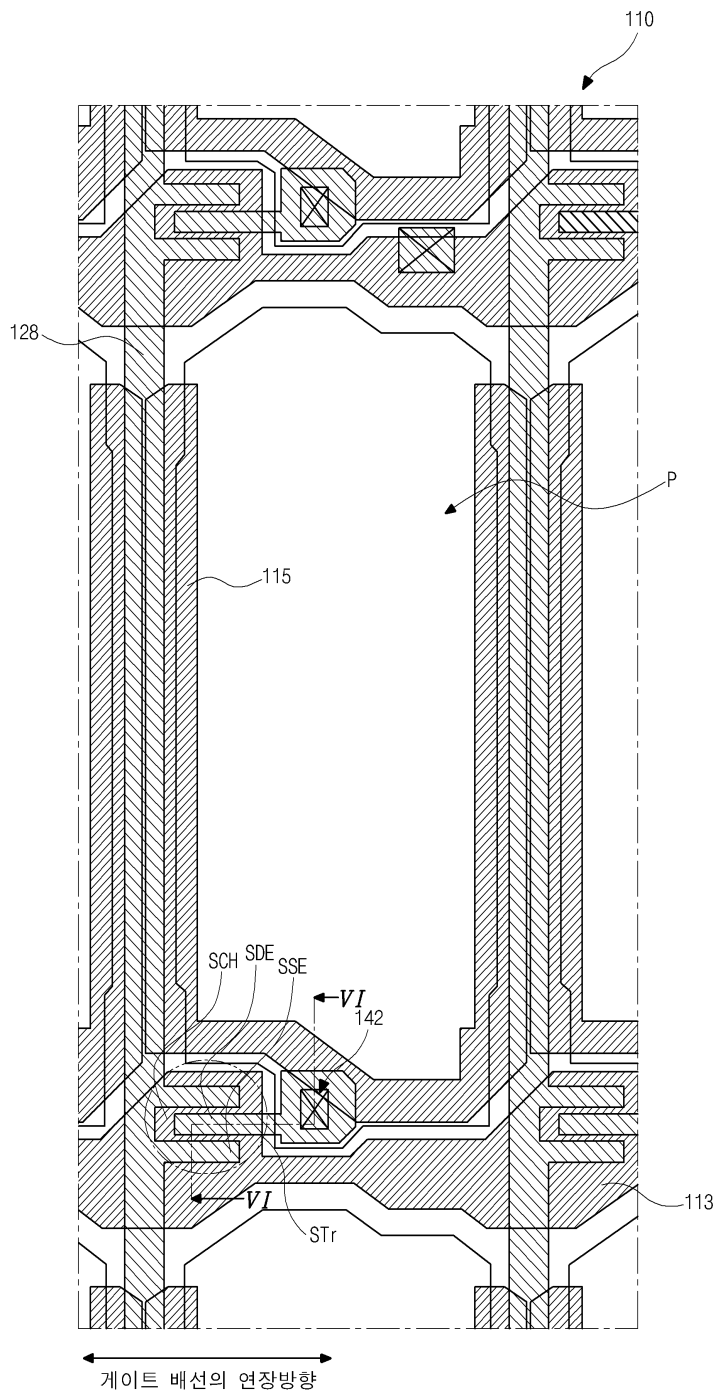
도면2



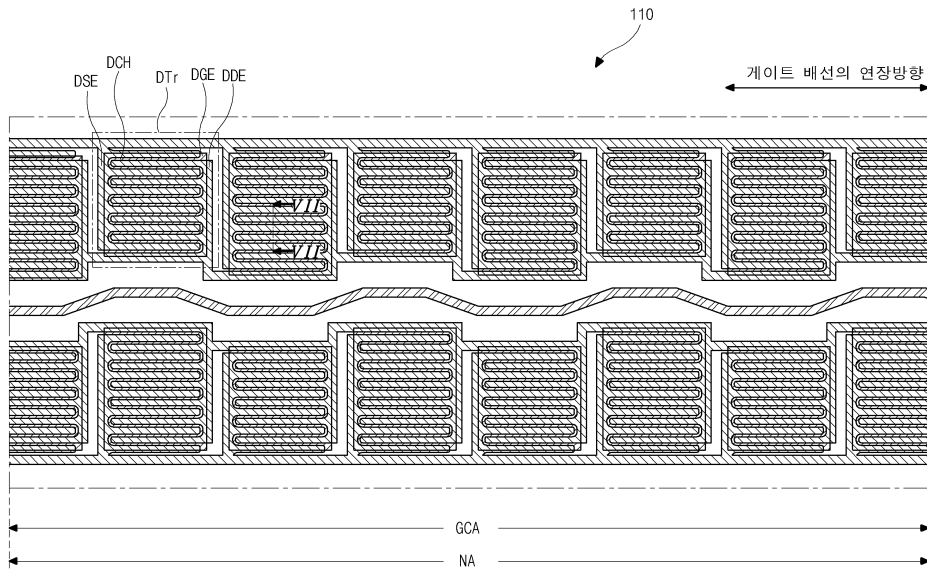
도면3



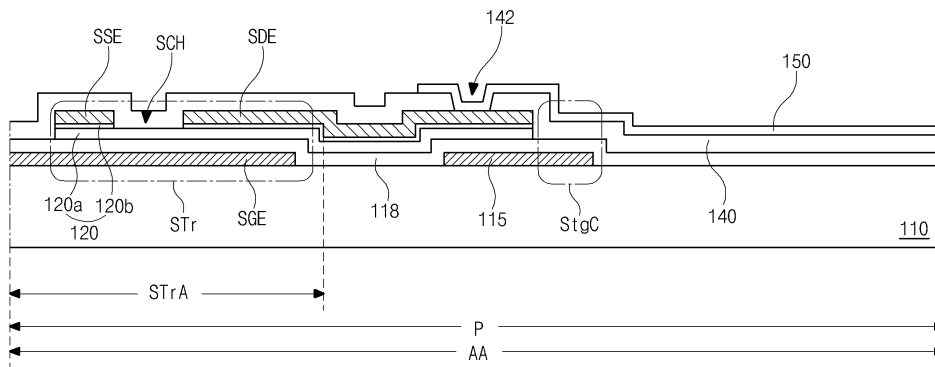
도면4



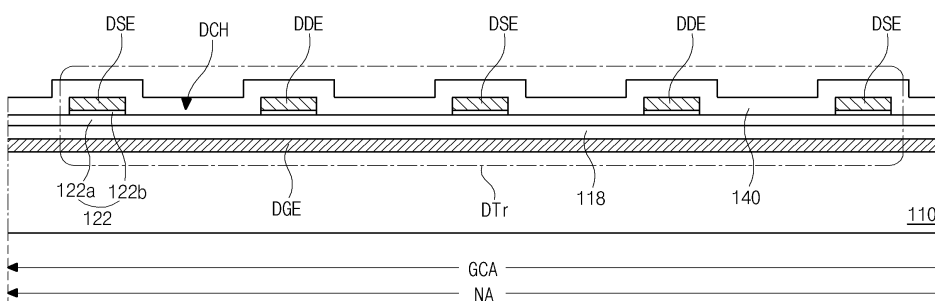
도면5



도면6



도면7



|                |                                                                          |         |            |
|----------------|--------------------------------------------------------------------------|---------|------------|
| 专利名称(译)        | 栅极板内结构用于液晶显示器件的阵列基板                                                      |         |            |
| 公开(公告)号        | <a href="#">KR1020130010704A</a>                                         | 公开(公告)日 | 2013-01-29 |
| 申请号            | KR1020110071503                                                          | 申请日     | 2011-07-19 |
| [标]申请(专利权)人(译) | 乐金显示有限公司                                                                 |         |            |
| 申请(专利权)人(译)    | LG显示器有限公司                                                                |         |            |
| 当前申请(专利权)人(译)  | LG显示器有限公司                                                                |         |            |
| [标]发明人         | CHAE SEUNG HOON<br>채승훈<br>NAM YEONG SOO<br>남영수<br>SEON SANG HYEON<br>선상현 |         |            |
| 发明人            | 채승훈<br>남영수<br>선상현                                                        |         |            |
| IPC分类号         | G02F1/1345 G02F1/133 G02F1/1362 G02F1/1343                               |         |            |
| CPC分类号         | G02F1/136286 G02F1/13624 G02F1/13439                                     |         |            |
| 其他公开文献         | KR101875044B1                                                            |         |            |
| 外部链接           | <a href="#">Espacenet</a>                                                |         |            |

#### 摘要(译)

目的：提供一种面板式液晶显示装置中的栅极阵列面板，通过将开关薄膜的沟道方向与驱动薄膜晶体管的沟道方向相匹配，防止沟道短路和故障。结构：在每个像素区域中制备具有带孔的第一源电极的开关薄膜晶体管。在栅极电路部分（GCA）中制备具有带孔的第二源电极（DSE）的驱动薄膜晶体管（DTr）。开关薄膜晶体管的第一源电极的空穴方向与驱动薄膜晶体管的第二源电极的空穴方向匹配。

