



(19) 대한민국특허청(KR)  
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0075206  
(43) 공개일자 2012년07월06일

(51) 국제특허분류(Int. Cl.) <i>G02F 1/1343</i> (2006.01) <i>G02F 1/136</i> (2006.01) (21) 출원번호            10-2010-0137256 (22) 출원일자            2010년12월28일 심사청구일자        없음	(71) 출원인 엘지디스플레이 주식회사 서울특별시 영등포구 여의대로 128(여의도동) (72) 발명자 임은정 경기도 파주시 월롱면 덕은리 파주LCD산업단지 정다운마을 104동 1211호 (74) 대리인 박장원
---	--

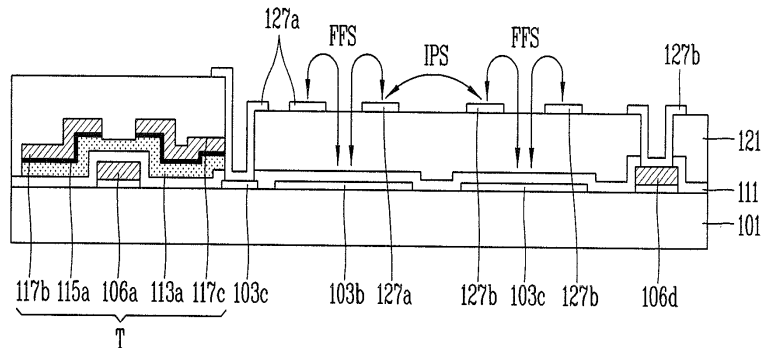
전체 청구항 수 : 총 14 항

(54) 발명의 명칭 액정표시장치용 어레이기판 및 그 제조방법

(57) 요약

본 발명은 액정표시장치용 어레이기판 및 그 제조방법에 관한 것으로, 개시된 구성은 기판 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 및 공통배선; 상기 게이트배선과 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선; 상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 이격되게 배치되고 상기 데이터배선과 평행한 공통전극배선 및 화소전극배선; 상기 게이트배선과 데이터배선의 교차 지점에 형성된 박막트랜지스터; 상기 박막트랜지스터를 포함한 기판 전면에 형성되는 저유전율을 갖는 보호막; 상기 공통전극배선과 오버랩되게 상기 보호막 상에 서로 이격되어 배열되며, 상기 박막트랜지스터 및 화소전극 배선과 전기적으로 연결된 다수개의 화소전극들; 및 상기 화소전극배선과 오버랩되게 상기 보호막 상에 서로 이격되어 배열되며, 상기 공통배선과 전기적으로 연결된 다수개의 공통전극들을 포함하여 구성된다.

대표도 - 도5



## 특허청구의 범위

### 청구항 1

기관 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 및 공통배선;

상기 게이트배선과 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선;

상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 이격되게 배치되고 상기 데이터배선과 평행한 공통전극배선 및 화소전극배선;

상기 게이트배선과 데이터배선의 교차지점에 형성된 박막트랜지스터;

상기 박막트랜지스터를 포함한 기관 전면에 형성되는 저유전율을 갖는 보호막;

상기 공통전극배선과 오버랩되게 상기 보호막 상에 서로 이격되어 배열되며, 상기 박막트랜지스터 및 화소전극배선과 전기적으로 연결된 다수개의 화소전극들; 및

상기 화소전극배선과 오버랩되게 상기 보호막 상에 서로 이격되어 배열되며, 상기 공통배선과 전기적으로 연결된 다수개의 공통전극들을 포함하여 구성되는 액정표시장치용 어레이기관.

### 청구항 2

제1 항에 있어서, 상기 게이트배선, 공통배선, 공통전극배선 및 화소전극배선은 동시에 형성되는 것을 특징으로 하는 액정표시장치용 어레이기관.

### 청구항 3

제1 항에 있어서, 상기 저유전율을 갖는 보호막으로는 포토 아크릴을 포함하는 유기물질 및 무기물질 중에서 어느 하나를 선택하여 사용하는 것을 특징으로 하는 액정표시장치용 어레이기관.

### 청구항 4

제1 항에 있어서, 상기 화소전극들은 서로 이격되어 상기 공통전극배선의 양측 가장 가장자리부와 오버랩되어 있으며, 상기 공통전극들은 서로 이격되어 상기 화소전극배선의 양측 가장자리부와 오버랩되어 있는 것을 특징으로 하는 액정표시장치용 어레이기관.

### 청구항 5

제1 항에 있어서, 상기 화소전극들 및 상기 공통전극배선과, 상기 공통전극들 및 상기 화소전극배선은 FFS 구동을 하며, 서로 인접한 화소전극과 공통전극은 IPS 구동을 하는 것을 특징으로 하는 액정표시장치용 어레이기관.

### 청구항 6

제1 항에 있어서, 상기 화소전극들은 상기 보호막과 그 아래의 게이트절연막에 형성된 화소전극배선 콘택홀을 통해 박막트랜지스터 및 화소전극배선에 전기적으로 연결되며, 상기 공통전극들은 상기 보호막과 그 아래의 게이트절연막에 형성된 공통배선 콘택홀을 통해 상기 공통배선과 전기적으로 연결된 것을 특징으로 하는 액정표시장치용 어레이기관.

### 청구항 7

제1 항에 있어서, 상기 게이트배선 및 공통배선은 투명 도전 물질층과 도전 금속층의 적층 구조로 구성되며, 상기 공통전극배선 및 화소전극배선은 투명 도전 물질층의 단일 구조로 구성된 것을 특징으로 하는 액정표시장치용 어레이기관.

### 청구항 8

기관상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 및 공통배선과 함께, 상기 게이트배선과 수직으로 배치되고 서로 이격된 공통전극배선 및 화소전극배선을 형성하는 단계;

상기 기관 전면에 게이트절연막을 형성하는 단계와; 상기 게이트배선과 교차하여 이루는 지역에 화소 영역을 정의하는 다수의 데이터배선과 함께, 상기 게이트배선과 데이터배선의 교차지점에 박막트랜지스터를 형성하는 단계;

상기 데이터배선과 박막트랜지스터를 포함한 기관 전면에 저유전율을 갖는 보호막을 형성하는 단계;

상기 보호막과 그 아래의 게이트절연막에 상기 박막트랜지스터와 화소전극배선을 노출시키는 화소전극배선 콘택홀과 함께 상기 공통배선을 노출시키는 공통배선 콘택홀을 형성하는 단계; 및

상기 공통전극배선과 오버랩되게 상기 보호막 상에 배열되며 상기 화소전극배선 콘택홀을 통해 상기 화소전극배선 및 박막트랜지스터와 전기적으로 연결되는 다수개의 화소전극들과 함께, 상기 화소전극배선과 오버랩되게 상기 보호막 상에 배열되며 상기 공통배선 콘택홀을 통해 상기 공통배선과 전기적으로 연결되는 다수개의 공통전극들을 형성하는 단계를 포함하여 구성되는 액정표시장치용 어레이기관 제조방법.

**청구항 9**

제8 항에 있어서, 상기 게이트배선, 공통배선, 공통전극배선 및 화소전극배선은 동시에 형성되는 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

**청구항 10**

제8 항에 있어서, 상기 저유전율을 갖는 보호막으로는 포토 아크릴을 포함하는 유기물질 및 무기물질 중에서 어느 하나를 선택하여 사용하는 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

**청구항 11**

제8 항에 있어서, 상기 화소전극들은 서로 이격되어 상기 공통전극배선의 양측 가장 가장자리부와 오버랩되어 있으며, 상기 공통전극들은 서로 이격되어 상기 화소전극배선의 양측 가장자리부와 오버랩되어 있는 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

**청구항 12**

제8 항에 있어서, 상기 화소전극들 및 상기 공통전극배선과, 상기 공통전극들 및 상기 화소전극배선은 FFS 구동을 하며, 서로 인접한 화소전극과 공통전극은 IPS 구동을 하는 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

**청구항 13**

제8 항에 있어서, 상기 게이트배선 및 공통배선은 투명 도전 물질층과 도전 금속층의 적층 구조로 구성되며, 상기 공통전극배선 및 화소전극배선은 투명 도전 물질층의 단일 구조로 구성된 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

**청구항 14**

제8 항에 있어서, 상기 게이트배선, 공통배선, 공통전극배선 및 화소전극배선은 회절마스크를 이용한 마스크 공정에 의해 형성하는 것을 특징으로 하는 액정표시장치용 어레이기관 제조방법.

**명세서**

**기술분야**

본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로서, 보다 상세하게는 IPS(In-Plane Switching) 구조와 FFS(Fringe Field Switching) 구조를 동시에 구비한 액정표시장치용 어레이기관 및 그 제조방법에 관한 것이다.

**배경기술**

일반적으로 액정표시장치의 구동 원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가

[0001]

[0002]

가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

- [0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.
- [0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동 행렬 액정 표시장치(AM-LCD: Active Matrix LCD, 이하 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- [0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기관(즉, 상부기관)과 화소전극이 형성된 어레이기관(즉, 하부기관)과, 상부기관 및 하부기관 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상,하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- [0006] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점이 있다. 따라서, 상기의 단점을 극복하기 위해 새롭게 제안된 기술이 횡전계에 의한 액정 구동방법인데, 이 횡전계에 의한 액정 구동방법은 시야각 특성이 우수한 장점을 가지고 있다.
- [0007] 이러한 횡 전계 방식 액정표시장치는 컬러필터기관과 어레이기관이 서로 대향하여 구성되며, 컬러필터기관 및 어레이기관 사이에는 액정층이 개재되어 있다.
- [0008] 상기 어레이기관에는 투명한 절연기관에 정의된 다수의 화소마다 박막트랜지스터와 공통전극 및 화소전극으로 구성된다.
- [0009] 또한, 상기 공통전극과 화소전극은 동일 기관 상에 서로 평행하게 이격하여 구성된다.
- [0010] 그리고, 상기 컬러필터기관은 투명한 절연기관 상에 게이트배선과 데이터배선과 박막트랜지스터에 대응하는 부분에 블랙매트릭스가 구성되고, 상기 화소에 대응하여 컬러필터가 구성된다.
- [0011] 또한, 상기 액정층은 상기 공통전극과 화소전극의 수평 전계에 의해 구동된다.
- [0012] 상기 구성으로 이루어지는 횡전계 방식 액정표시장치에서, 휘도를 확보하기 위해 상기 공통전극과 화소전극을 투명전극으로 형성하나, 설계상 상기 공통전극과 화소전극 사이의 이격 거리에 의해, 상기 공통전극과 화소전극의 양단 일부만이 휘도 개선에 기여할 뿐, 대부분의 영역은 빛을 차단하는 결과가 된다.
- [0013] 이러한 특성을 가지는 종래기술에 따른 횡전계 방식 액정표시장치의 어레이기관 구조에 대해 도 1 및 2를 참조하여 설명하면 다음과 같다.
- [0014] 도 1은 종래기술에 따른 횡전계 방식 액정표시장치용 어레이기관의 평면도이다.
- [0015] 도 2는 도 1의 II-II선에 따른 단면도로서, 횡전계 방식 액정표시장치용 어레이기관의 단면도이다.
- [0016] 도 3은 종래기술에 따른 횡전계 방식 액정표시장치용 어레이기관에 있어서, 전극부에서의 투과율 감소를 시뮬레이션한 결과를 나타낸 도면이다.
- [0017] 종래기술에 따른 횡전계 방식 액정표시장치의 어레이기관은, 도 1 및 2에 도시된 바와 같이, 기관(11) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(13) 및 공통배선(13b)과; 상기 게이트배선(13)과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선(21)과; 상기 게이트배선(13)과 데이터배선(21)의 교차지점에 마련되고, 게이트전극(13a), 게이트절연막 (15), 활성층(17), 소스전극(21a) 및 드레인전극(21b)을 포함하는 박막트랜지스터 (T)과; 상기 박막트랜지스터(T)를 포함한 기관 전면 에 형성된 보호막(23)과; 상기 게이트배선 (13)과 데이터배선(21)이 교차되어 이루는 화소영역에 위치하는 상기 보호막(23) 상에 상기 드레인전극(21c)와 전기적으로 연결되며 서로 이격되어 형성되는 다수개의 화소전극(27a)과, 상기 다수개의 화소전극(27a)들과 교번되게 형성되는 다수개의 공통전극(27b)들을 포함하여 구성된다.
- [0018] 여기서, 상기 게이트배선(13)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(21)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(13) 및 데이터배선(21)은 게이트절연막(15)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0019] 또한, 상기 공통배선(13b)은 상기 게이트배선(13) 형성시에 함께 형성되며, 상기 게이트배선(13)과 평행하게

배열된다.

- [0020] 그리고, 상기 박막 트랜지스터(T)는 상기 게이트배선(13)에 공급되는 스캔 신호에 데이터배선(21)에 공급되는 화소 신호가 화소전극(27a)에 충전되어 유지되게 한다.
- [0021] 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(13)에 포함된 게이트전극(13a), 데이터배선(21)에 접속된 소스전극(21a), 이 소스전극(21b)과 마주하며 화소전극(27a)과 접속된 드레인전극(21b), 게이트절연막(15)을 사이에 두고 게이트전극(13a)과 중첩되어 소스전극(21a)과 드레인전극(21b) 사이에 채널을 형성하는 활성층(17)과, 소스전극(21a) 및 드레인전극(21b)과의 오믹 접촉을 위하여 채널을 제외한 활성층(17) 위에 형성된 오믹접촉층(19)을 구비한다.
- [0022] 또한, 상기 화소영역의 전면에는 상기 게이트배선(13)과 데이터배선(21)과 이격된 공간을 두고 투명한 다수개의 화소전극(27a)들이 배치되어 있는데, 이 화소전극(27a)들은 하부 보호막(23) 상에 마련된 드레인전극 콘택홀(25a)을 통해 상기 드레인전극(21b)과 전기적으로 접속된다.
- [0023] 그리고, 상기 화소전극(27a)들과 교번으로 이격되어 배치되는 다수개의 공통전극(27b)은 상기 보호막(23)과 그 하부의 게이트절연막(15)에 형성되는 공통배선 콘택홀(25b)을 통해 하부의 공통배선(13b)과 전기적으로 연결된다.
- [0024] 이와 같은 구성으로 이루어진 종래기술에 따른 횡전계 방식 액정표시장치의 어레이기판에 따르면, 상기 공통전극(27b)들이 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0025] 상기 화소전극(27a)은 이웃하는 공통전극(27b) 사이에 IPS(In Plane Switching)인 횡 전계(horizontal field)를 형성하게 된다.
- [0026] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(27a)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극들(27b)이 횡 전계를 형성하여 박막트랜지스터 기판과 칼라필터기판(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0027] 이렇게 종래기술에 따른 횡 전계 방식 액정표시장치용 어레이기판에 따르면, IPS(In Plane Switching) 모드는 인접한 수평 전극인 공통전극과 화소전극 사이에 인가된 전기장에 의해 액정이 트위스트(twist)되어 구동된다.
- [0028] 그러나, 공통전극과 화소전극 각각의 상부는 횡전계가 걸리지 않음으로 인해 액정이 구동되지 않아, 도 3에서와 같이, 전극 상부의 휘도는 거의 발생하지 않게 되므로, 그만큼 투과율이 감소된다.

**발명의 내용**

**해결하려는 과제**

- [0029] 이에 본 발명은 상기 문제점들을 개선하기 위해 안출한 것으로서, 본 발명의 목적은 전극 상부에서의 휘도 저하를 개선하여 광효율을 증대시킬 수 있는 액정표시장치용 어레이기판 및 그 제조방법을 제공함에 있다.

**과제의 해결 수단**

- [0030] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판은, 기판 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 및 공통배선과; 상기 게이트배선과 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선과; 상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 이격되게 배치되고 상기 데이터배선과 평행한 공통전극배선 및 화소전극배선과; 상기 게이트배선과 데이터배선의 교차 지점에 형성되며, 게이트전극, 게이트절연막, 활성층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터와; 상기 박막트랜지스터를 포함한 기판 전면에 형성되는 저유전율을 갖는 보호막과; 상기 공통전극배선과 오버랩되게 상기 보호막 상에 서로 이격되어 배열되며, 상기 드레인전극 및 화소전극배선과 전기적으로 연결된 다수개의 화소전극들과; 상기 화소전극배선과 오버랩되게 상기 보호막 상에 서로 이격되어 배열되며, 상기 공통배선과 전기적으로 연결된 다수개의 공통전극들을 포함하여 구성되는 것을 특징으로 한다.
- [0031] 상기 목적을 달성하기 위한 본 발명에 따른 액정표시장치용 어레이 기판 제조방법은, 기판상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 및 공통배선과 함께, 상기 게이트배선과 수직으로 배치되고 서로 이격된 공통전극배선 및 화소전극배선을 형성하는 단계와; 상기 기판 전면에 게이트절연막을 형성하

는 단계와; 상기 게이트배선과 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선과 함께, 상기 게이트배선과 데이터배선의 교차지점에 박막트랜지스터를 형성하는 단계와; 상기 데이터배선과 박막트랜지스터를 포함한 기관 전면에 저유전율을 갖는 보호막을 형성하는 단계와; 상기 보호막과 그 아래의 게이트절연막에 상기 박막트랜지스터와 화소전극배선을 노출시키는 화소전극배선 콘택홀과 함께 상기 공통배선을 노출시키는 공통배선 콘택홀을 형성하는 단계와; 상기 공통전극배선과 오버랩되게 상기 보호막 상에 배열되며 상기 화소전극배선 콘택홀을 통해 상기 화소전극배선 및 박막트랜지스터와 전기적으로 연결되는 다수개의 화소전극들과 함께, 상기 화소전극배선과 오버랩되게 상기 보호막 상에 배열되며 상기 공통배선 콘택홀을 통해 상기 공통배선과 전기적으로 연결되는 다수개의 공통전극들을 형성하는 단계를 포함하여 구성되는 것을 특징으로 한다.

### 발명의 효과

[0032] 본 발명에 따른 액정표시장치용 어레이 기관 및 그 제조방법에 따르면, 기존의 횡전계 모드인 IPS(In Plane Switching) 모드의 공통전극과 화소전극들 상부에서의 투과 효율 감소를 개선하기 위해, 하부층에는 공통전극배선과 화소전극배선을 서로 이격되게 배치하고, 저유전율을 갖는 보호막을 사이에 두고 상부층에는 상기 공통전극배선과 오버랩되는 서로 이격된 화소전극들과 함께 상기 화소전극배선과 오버랩되는 서로 이격된 공통전극들을 배치한다.

[0033] 따라서, 상기 공통전극배선과 이 공통전극배선과 오버랩되는 화소전극들 사이 및, 상기 화소전극배선과 이 화소전극배선과 오버랩되는 공통전극들 사이에서는 FFS (Fringe Field Switching) 구동을 하며, 서로 인접한 화소전극과 공통전극 사이에는 IPS(In Plane Switching) 구동함으로써, 공통전극과 화소전극 상부에서의 투과율이 향상된다.

### 도면의 간단한 설명

[0034] 도 1은 종래기술에 따른 횡전계 방식 액정표시장치용 어레이기관의 평면도이다.

도 2는 도 1의 II-II선에 따른 단면도로서, 횡전계 방식 액정표시장치용 어레이기관의 단면도이다.

도 3은 종래기술에 따른 횡전계 방식 액정표시장치용 어레이기관에 있어서, 전극부에서의 투과율 감소를 시뮬레이션한 결과를 나타낸 도면이다.

도 4는 본 발명에 따른 액정표시장치용 어레이기관의 평면도이다.

도 5는 도 4의 V-V선에 따른 단면도로서, 액정표시장치용 어레이기관의 단면도이다.

도 6은 본 발명에 따른 액정표시장치용 어레이기관에 있어서, 전극부에서의 투과율 개선을 시뮬레이션한 결과를 나타낸 도면이다.

도 7a 내지 7q는 본 발명에 따른 액정표시장치용 어레이 기관의 제조공정 단면도들이다.

### 발명을 실시하기 위한 구체적인 내용

[0035] 이하, 본 발명에 따른 액정표시장치용 어레이기관에 대해 첨부된 도면을 참조하여 상세히 설명한다.

[0036] 도 4는 본 발명에 따른 액정표시장치용 어레이기관의 평면도이다.

[0037] 도 5는 도 4의 V-V선에 따른 단면도로서, 액정표시장치용 어레이기관의 단면도이다.

[0038] 도 6은 본 발명에 따른 액정표시장치용 어레이기관에 있어서, 전극부에서의 투과율 개선을 시뮬레이션한 결과를 나타낸 도면이다.

[0039] 본 발명에 따른 액정표시장치용 어레이기관은, 도 4 및 5에 도시된 바와 같이, 기관(101)상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선 (106) 및 공통배선(106d)과; 상기 게이트배선(106)과 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선(117a)과; 상기 게이트배선(106)과 데이터배선(117a)이 교차하여 이루는 화소영역에 이격되게 배치되고, 상기 데이터배선(117a)과 평행한 공통전극배선(103b) 및 화소전극배선(103c)과; 상기 게이트배선(106)과 데이터배선(117a)의 교차지점에 형성되며, 게이트전극(106a), 게이트절연막(111), 활성층(113a), 소스전극(117b) 및 드레인전극(117c)으로 이루어진 박막트랜지스터 (T)와; 상기 박막트랜지스터(T)를 포함한 기관 전면에 형성된 저유전율을 갖는 보호막(121)과; 상기 보호막(121) 상에 상기 공통전극배선(103b)과 오버랩되게 서로 이격되어 배열되며, 상기 드레인전극(117c)과

전기적으로 연결된 다수개의 화소전극(127a)들과; 상기 보호막(121) 상에 상기 화소전극배선(103c)과 오버랩되게 서로 이격되어 배열되며, 상기 공통배선(103b)과 전기적으로 연결된 다수개의 공통전극(127b)들을 포함하여 구성된다.

- [0040] 여기서, 상기 게이트배선(106)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(117a)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(106) 및 데이터배선(117a)은 게이트절연막(미도시)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0041] 상기 게이트배선(106)은 기판(101) 위에 투명 도전층을 포함한 적어도 이중 이상의 복층 구조 또는 단층 구조로 형성된다. 이때, 상기 게이트배선(106)으로는 예를 들면, 투명도전층을 이용한 제1 도전층과, 불투명한 금속을 이용한 제2 도전층이 적층된 복층 구조 또는 불투명한 금속을 이용한 단층 구조로 형성된다. 이때, 상기 제1 도전층으로는 ITO, IZO, ITZO, Moti, Mo 등이 사용되며, 제2 도전층으로는 Cu, Mo, Al, Cu합금, Mo합금, Al합금 중에서 선택하여 사용된다.
- [0042] 또한, 상기 박막 트랜지스터(T)는 상기 게이트배선(106)에 공급되는 스캔 신호에 데이터배선(117a)에 공급되는 화소 신호가 화소전극(127a)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(106)에 포함된 게이트전극(106a), 데이터배선(117a)에 접속된 소스전극(117b), 이 소스전극(117b)과 마주하며 화소전극(127a)과 접속된 드레인전극(117c), 게이트절연막(111)을 사이에 두고 게이트전극(106a)과 중첩되어 소스전극(117b)과 드레인전극(117c) 사이에 채널을 형성하는 활성층(113a)과, 상기 소스전극(117b) 및 드레인전극(117c)과의 오믹 접촉을 위하여 채널을 제외한 활성층(113a) 위에 형성된 오믹접촉층(115a)을 구비한다.
- [0043] 더욱이, 상기 데이터배선(117a)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급받는다.
- [0044] 또한, 상기 화소영역의 전면에는 상기 게이트배선(106a)과 데이터배선(117a)과 이격된 공간을 두고 투명한 공통전극배선(103b)과 투명한 화소전극배선(103c)이 서로 이격되게 배치되어 있다. 이때, 상기 공통전극배선(103b)과 화소전극배선(103c)은 상기 데이터배선(117a)과 평행하게 배치되어 있다.
- [0045] 그리고, 상기 게이트배선(106)과 공통전극배선(103b) 및 화소전극배선(103c)은 동일층 상에 형성되며, 이들 상부에는 게이트절연막(111)이 형성되어 있다.
- [0046] 더욱이, 상기 박막트랜지스터(T)와 데이터배선(117a) 및 게이트절연막(111) 상부에는 저유전율을 갖는 유기막으로 이루어진 보호막(121)이 형성되어 있다. 이때, 상기 보호막(121)을 구성하는 유기막으로는 포토 아크릴(Photo Acryl)과 같은 저유전율을 갖는 절연물질을 사용한다.
- [0047] 또한, 상기 게이트배선(106)과 데이터배선(117a)이 교차하여 이루는 화소영역에 위치하는 보호막(121) 상부에는 상기 공통전극배선(103b)과 오버랩되게 서로 이격되어 배열되며 상기 드레인전극(117c)과 전기적으로 연결되는 다수개의 화소전극(127a)들과 함께, 상기 화소전극배선(103c)과 오버랩되게 서로 이격되어 배열되며 상기 공통배선(103b)과 전기적으로 연결된 다수개의 공통전극(127b)들이 동시에 형성된다.
- [0048] 이때, 상기 다수개의 화소전극(127a)들은 상기 보호막(121)과 그 아래의 게이트절연막(111)에 형성된 화소전극배선 콘택홀(125a)을 통해 상기 화소전극배선(103b)과 전기적으로 연결된다. 또한, 상기 다수개의 공통전극(127b)들은 상기 보호막(121)과 그 아래의 게이트절연막(111)에 형성된 공통배선 콘택홀(125b)을 통해 상기 공통배선(103b)과 전기적으로 연결된다.
- [0049] 그리고, 상기 다수개의 화소전극(127a)들은 상기 공통전극배선(103b)의 양 측면 가장자리부와 오버랩되어 있으며, 상기 공통전극배선(103b) 상부에서 서로 이격되게 배치되어 있다.
- [0050] 더욱이, 상기 다수개의 공통전극(127b)들은 상기 화소전극배선(103c)의 양 측면 가장자리부와 오버랩되어 있으며, 상기 화소전극배선(103c) 상부에서 서로 이격되게 배치되어 있다.
- [0051] 여기서, 상기 공통전극배선(103b), 화소전극배선(103c), 화소전극(127a) 및 공통전극(127b) 각각의 선폭은 1  $\mu\text{m}$  ? 10  $\mu\text{m}$  을 가지는 것이 바람직하다. 특히, 상기 공통전극배선(103b)과 화소전극배선(103c)의 전극 간격은 4  $\mu\text{m}$  ? 20  $\mu\text{m}$  인 것이 바람직하며, 상기 화소전극(127a)들 또는 공통전극(127b)들 간의 전극 간격은 2  $\mu\text{m}$  ? 6  $\mu\text{m}$  인 것이 바람직하다. 더욱이, 서로 인접하는 화소전극(127a)과 공통전극(127b)의 전극 간격은 4  $\mu\text{m}$  ? 20  $\mu\text{m}$  인 것이 바람직하다. 한편, 상기 공통전극배선(103b)과 화소전극(127a)의 오버랩은 0.1  $\mu\text{m}$  ? 10  $\mu\text{m}$  을 가지는 것이 바람직하다. 또한, 상기 화소전극배선(103c)과 공통전극(127b)의 오버랩은 0.1  $\mu\text{m}$  ? 10  $\mu\text{m}$  을 가

지는 것이 바람직하다.

- [0052] 한편, 상기 화소전극(128a) 및 공통전극(127a)과 러빙 방향이 이루는 각도는 0도에서 90도 사이이며, 두 장의 편광판(미도시)은 서로 직교하며, 적어도 하나의 편광축(미도시)은 러빙축과 투과축이 평행하게 되어 있다.
- [0053] 이렇게 하여, 상기 다수개의 공통전극(127b)들은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0054] 따라서, 박막트랜지스터(T)를 통해 화소전극(127a)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극들(127b)이 FFS 구동 및 IPS 구동을 병행함으로써 박막트랜지스터 기판과 칼라필터기판(미도시) 사이에서 수평 방향 및 수직방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0055] 특히, 상기 다수개의 화소전극(127a)들과 상기 공통전극배선(103b) 사이에서는 FFS(Fringe Field Switching) 구동을 하며, 상기 다수개의 공통전극(127b)들과 상기 화소전극배선(103b) 사이에서는 FFS(Fringe Field Switching) 구동을 함은 물론 상기 다수개의 화소전극(127a)들과 상기 다수개의 공통전극(127b)들 중에서, 서로 인접한 화소전극(127a)과 공통전극(127b) 사이에서는 IPS(In Plane Switching) 구동을 함으로써, 화소전극과 공통전극들 상부에서도 액정 구동이 가능하게 되어 휘도가 개선된다.
- [0056] 그러므로, 본 발명에 따른 액정표시장치용 어레이기판은, 도 6에 도시된 시뮬레이션 결과에서 알 수 있는 바와 같이, FFS(Fringe Field Switching) 구동과 IPS(In Plane Switching) 구동이 동시에 이루어지고, 그로 인해 화소전극과 공통전극들 상부에서도 액정 구동이 가능하게 되어 휘도가 개선됨으로써 전극 상부의 투과율이 향상된다.
- [0057] 상기 구성으로 이루어지는 본 발명에 따른 액정표시장치용 어레이기판 제조방법에 대해 도 7a 내지 7q를 참조하여 설명하면 다음과 같다.
- [0058] 도 7a 내지 7q는 본 발명에 따른 액정표시장치용 어레이 기판의 제조공정 단면도들이다.
- [0059] 도 7a에 도시된 바와 같이, 투명한 기판(101) 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소영역을 정의하고, 상기 투명한 기판(101) 상에 제1 투명 도전물질층(103)과 제1 도전성 금속층(105)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 제1 투명 도전물질층(103)으로는 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 를 포함한 투명한 도전 물질 그룹, Moti, Mo 중에서 선택된 어느 하나를 사용한다.
- [0060] 또한, 상기 제1 도전성 금속층(105)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.
- [0061] 그 다음, 상기 제1 도전성 금속층(105) 상부에 투과율이 높은 포토레지스트(photo-resist)를 도포하여 제1 감광막(107)을 형성한다.
- [0062] 이어서, 광차단부(109a)와 반투과부(109b) 및 투과부(109c)로 이루어진 제1 회절마스크(109)를 이용하여 상기 제1 감광막(107)에 노광공정을 진행한다. 이때, 상기 제1 회절마스크(109)의 광차단부(109a)는 게이트전극을 포함한 게이트배선 형성 지역 및 공통배선 형성지역과 대응하는 상기 제1 감광막(107) 상측에 위치하며, 상기 제1 회절마스크(109)의 반투과부(109b)는 공통전극배선 및 화소전극배선 형성 지역과 대응하는 상기 제1 감광막(107) 상측에 위치한다. 또한, 상기 제1 회절마스크(109) 이외에 광의 회절 또는 투과 효과를 이용하는 마스크, 예를 들어 하프톤 마스크(Half-ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.
- [0063] 그 다음, 도 7b에 도시된 바와 같이, 상기 노광 공정을 진행한 다음 현상공정을 통해 상기 제1 감광막(107)을 패터닝하여 게이트배선 및 공통배선 형성지역의 제1 패턴(107a)과, 공통전극배선 및 화소전극배선 형성지역의 제2 패턴(107b)을 각각 형성한다. 이때, 상기 게이트배선 형성 지역 및 공통배선 형성지역의 제1 패턴(107a)은 광이 투과되지 않은 상태이기 때문에 제1 감광막(107) 두께를 그대로 유지하고 있지만, 상기 공통전극배선 및 화소전극배선 형성지역의 제2 패턴(107b)은 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 공통전극배선 및 화소전극배선 형성지역의 제2 패턴(107b)은 상기 게이트배선 형성지역, 공통배선 형성지역의 제1패턴(107a)보다 얇은 두께를 갖는다.
- [0064] 이어서, 도 7c에 도시된 바와 같이, 상기 제1 감광막의 게이트배선 형성지역 및 공통배선 형성지역의 제1 패

턴(107a)과, 공통전극배선 및 화소전극배선 형성지역의 제2 패턴(107b)을 마스크로 상기 제1 도전성 금속층(105) 및 제1 투명 도전물질층(103)을 패터닝하여 게이트배선(미도시, 도 4의 106 참조), 이 게이트배선(106)으로부터 돌출된 게이트전극(106a) 및 공통배선(106d)을 동시에 형성한다. 이때, 상기 게이트배선(미도시, 도 4의 106 참조), 게이트전극(106a), 및 공통배선(106d)은 제1 도전성 금속층 패턴 및 제1 투명 도전물질층 패턴으로 구성된다. 또한, 상기 제1 도전성 금속층(105) 및 제1 투명 도전물질층(103)을 패터닝시에, 공통전극배선(103b) 및 화소전극배선(103c)도 함께 형성된다. 이때, 상기 공통전극배선(103b) 및 화소전극배선(103c) 상부에는 각각 제1 도전성 금속층 패턴(105b, 105c)이 잔존한다.

[0065] 상기 공통전극배선(103b)과 화소전극배선(103c)은, 도 4에 도시된 바와 같이, 화소영역의 전면, 즉 상기 게이트배선(106)과 데이터배선(미도시, 도 4의 117a 참조)가 교차되어 이루는 공간에 형성되며, 상기 데이터배선(117a)과 평행하게 배열된다.

[0066] 그 다음, 도 7d에 도시된 바와 같이, 에싱(ashing) 공정을 통해 상기 게이트배선(106), 게이트전극(106a) 및 상기 공통배선(106d) 상의 제1 패턴(107a)의 두께 일부와 함께 상기 공통전극배선(103b) 및 화소전극배선(103c) 상부의 제2 도전성 금속층패턴(105c) 상의 제2 패턴(107b) 전부를 식각함으로써, 상기 공통전극배선(103b) 및 화소전극배선(103c) 상의 제2 도전성 금속층패턴(105b, 105c)을 외부로 노출시킨다.

[0067] 이어서, 도 7e에 도시된 바와 같이, 상기 에싱 공정에 의해 두께 일부가 식각된 제1 패턴(107a)을 차단막으로 상기 노출된 제2 도전성 금속층패턴(105c)을 선택적으로 제거하여 상기 공통전극배선(103b) 및 화소전극배선(103c)을 노출시키고, 상기 잔존하는 제1 패턴(107a)을 제거함으로써, 상기 게이트배선(106), 게이트전극(106a), 및 상기 공통배선(106d)이 모두 노출된다. 이때, 상기 게이트배선(106), 게이트전극(106a), 및 상기 공통배선(106d)은 투명한 도전물질층과 불투명한 도전 금속층의 적층 구조로 구성되며, 상기 공통전극배선(103b) 및 화소전극배선(103c)은 투명한 도전물질층으로 구성된다.

[0068] 그 다음, 도 7f에 도시된 바와 같이, 상기 기판 전면에서 질화실리콘(SiNx) 또는 실리콘산화막(SiO<sub>2</sub>)으로 이루어진 게이트절연막(111)과, 비정질실리콘층(a-Si:H) (113)과 불순물이 포함된 비정질실리콘층 (n+ 또는 p+)(115) 및 제2 도전성 금속층 (117)를 차례로 적층한다. 이때, 상기 게이트절연막(111), 비정질실리콘층(a-Si:H) (113)과 불순물이 포함된 비정질실리콘층(n+ 또는 p+)(115)은 화학기상 증착법 (CVD; Chemical Vapor Deposition method)으로 증착하고, 상기 제2 도전성 금속층 (117)은 스퍼터링 방법으로 증착한다. 여기서, 상기 증착 방법으로는 화학기상 증착법, 스퍼터링 방법에 대해서만 기재하고 있지만, 경우에 따라서는 기타 다른 증착 방법을 사용할 수도 있다. 이때, 상기 제2 도전성 금속층(117)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.

[0069] 그 다음, 상기 제2 도전성 금속층(117) 상에 투과성이 우수한 제2 감광막 (119)을 도포한다.

[0070] 이어서, 광차단부(120a)와 반투과부(120b) 및 투과부(120c)로 이루어진 제2 회절마스크(120)를 이용하여 상기 제2 감광막(119)에 노광 공정을 실시한다. 이때, 상기 제2 회절마스크(120)의 광차단부(120a)는 데이터배선 형성 지역과 소스전극 및 드레인전극 형성 지역과 대응하는 상기 제2 감광막(119) 상층에 위치하며, 상기 제2 회절마스크(120)의 반투과부(120b)는 박막트랜지스터(T)의 채널지역, 즉 게이트전극(106a)과 대응하는 상기 제2 감광막(119) 상층에 위치한다. 또한, 상기 제2 회절마스크(120) 이외에 광의 회절 또는 투과 효과를 이용하는 마스크, 광의 투과 량을 이용하는 하프톤 마스크 (Half - ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.

[0071] 그 다음, 도 7g에 도시된 바와 같이, 상기 노광 공정 이후에 현상공정을 실시한 다음 상기 제2 감광막(119)을 선택적으로 패터닝하여 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역에 제1 패턴(119a)을 형성하고, 상기 박막트랜지스터(T)의 채널지역에 제2 패턴(119b)을 형성한다. 이때, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)은 광이 투과되지 않은 상태이기 때문에 제2 감광막 두께를 그대로 유지하고 있지만, 상기 박막트랜지스터 (T)의 채널지역의 제2 패턴(119b)은 제2 감광막에 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)은 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)보다 얇은 두께를 갖게 된다.

[0072] 이어서, 도 7h에 도시된 바와 같이, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)과 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)을 마스크로, 상기 제2 도전성 금속층(117)과 불순물이 함유된 비정질실리콘층(115) 및 비정질 실리콘층(113)을 선택적으로 패터닝하여 데이터배선 (미

도시, 도 3의 117a 참조)과 활성층(113a)을 형성함과 동시에, 소스전극 형성지역과 드레인전극 형성 지역을 각각 정의한다. 이때, 상기 제2 도전성 금속층(117)과 불순물이 함유된 비정질실리콘층(115) 및 비정질 실리콘층(113)을 선택적으로 패터닝시에, 먼저 상기 제2 도전성 금속층(117)을 습식 식각(wet etch) 공정을 통해 선택적으로 식각하고, 이어 다시 건식 식각(dry etch) 공정을 통해 불순물이 함유된 비정질실리콘층(115)과 비정질실리콘층(113)을 함께 식각한다.

[0073] 그 다음, 도 7i에 도시된 바와 같이, 에싱(ashing) 공정을 통해 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(119b)을 완전히 제거하여 상기 박막트랜지스터 (T)의 채널지역의 제2 패턴(117b) 아래의 제2 도전성 금속층(117) 부분을 노출시킨다. 이때, 상기 에싱 공정 진행시에, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(119a)의 두께 일부도 함께 제거된다.

[0074] 이어서, 도 7j에 도시된 바와 같이, 상기 에싱 공정에 의해 두께 일부가 식각된 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴 (119a)을 마스크로 상기 노출된 제2 도전성 금속층(117)을 습식 식각 공정을 통해 식각함으로써 소스전극(117b)과 함께, 이 소스전극(117b)과 이격된 드레인전극 (117c)을 동시에 형성한다.

[0075] 그 다음, 도면에는 도시하지 않았지만, 상기 채널 지역의 불순물이 함유된 비정질실리콘층(115) 부분도 건식 식각 공정을 통해 제거함으로써 활성층(113a)의 채널영역을 노출시키는 오믹콘택층(115a)을 형성함으로써, 게이트전극(106a), 게이트절연막(111), 활성층(113a), 오믹콘택층(115a), 소스전극(117b) 및 드레인전극 (117c)으로 이루어진 박막트랜지스터(T)를 형성한다.

[0076] 이어서, 도 7k에 도시된 바와 같이, 상기 박막트랜지스터(T)를 포함한 기관 전면에 저유전율을 갖는 포토 아크릴(Photo Acryl)을 포함하는 유기물질 및 무기 절연물질 중에서 어느 하나를 이용하여 보호막(121)을 증착한다.

[0077] 그 다음, 상기 보호막(121) 상에 투과율이 높은 포토레지스트 (photoresist)를 도포하여 제3 감광막(123)을 형성한다. 이때, 상기 보호막(121)으로 저유전율을 갖는 포토아크릴 재질을 사용하는 경우에, 이 포토아크릴 재질은 감광성을 띄고 있기 때문에 별도의 감광막을 도포할 필요는 없다. 여기서는 감광막을 필요로 하는 재질로 형성된 보호막이라고 가정하기로 한다.

[0078] 이어서, 도 7l에 도시된 바와 같이, 제3 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제3 감광막(123)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제3 감광막패턴(123a)을 형성한다.

[0079] 그 다음, 도 7m에 도시된 바와 같이, 상기 제3 감광막패턴(123a)을 마스크로 상기 보호막(121)과 그 아래의 게이트절연막(111)을 선택적으로 제거하여 상기 드레인전극(117c)과 하부의 화소전극배선(103c)을 노출시키는 화소전극배선 콘택홀 (125a)과 함께, 상기 공통배선(103b)을 노출시키는 공통배선 콘택홀(125b)을 동시에 형성한다.

[0080] 이어서, 도 7n에 도시된 바와 같이, 상기 제3 감광막패턴(123a)을 제거한 후 상기 화소전극 콘택홀(125a)과 공통배선 콘택홀(125b)을 포함한 보호막(121) 상에 제2 투명 도전물질층(127)을 스퍼터링방법으로 증착한다. 이때, 상기 투명 도전물질층(127)으로는 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 를 포함한 투명 도전 물질 그룹 중에서 선택된 어느 하나를 사용한다.

[0081] 그 다음, 상기 투명 도전물질층(127) 상에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제4 감광막(129)을 형성한다.

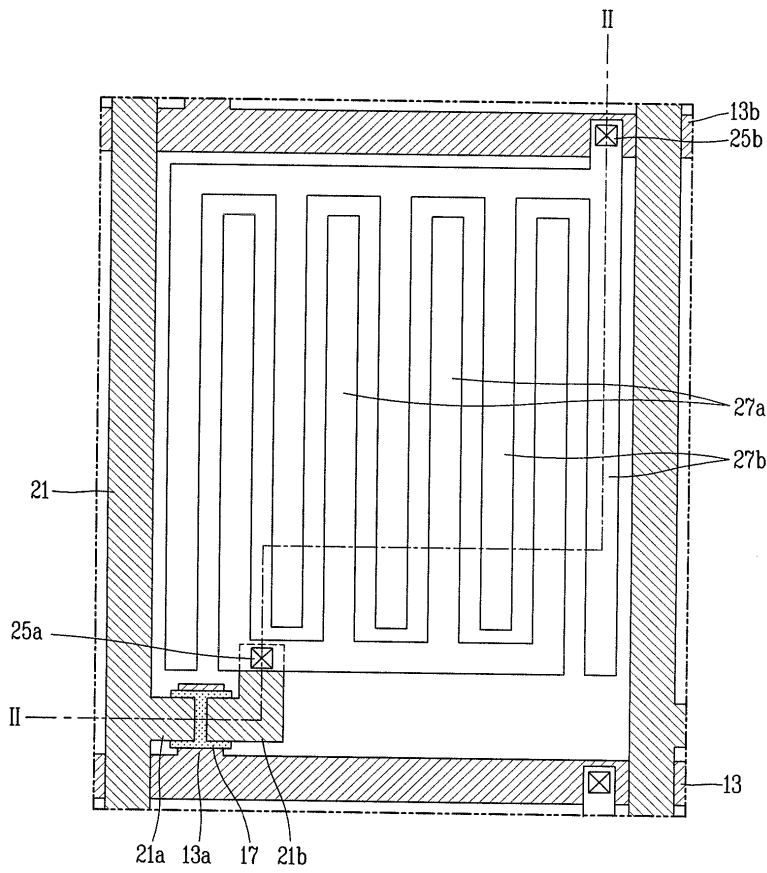
[0082] 이어서, 도 7o에 도시된 바와 같이, 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제4 감광막(129)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제4 감광막패턴(129a)을 형성한다.

[0083] 그 다음, 도 7p에 도시된 바와 같이, 상기 제4 감광막패턴(129a)을 마스크로 상기 제2 투명 도전물질층(127)을 선택적으로 패터닝하여 공통전극배선(103b)과 오버랩되게 서로 이격된 다수개의 화소전극(127a)들과 함께, 상기 화소전극배선 (103c)과 오버랩되게 서로 이격된 다수개의 공통전극(127b)들을 동시에 형성한다. 이때, 상기 다수개의 화소전극(127a)들은 상기 게이트배선(106)과 데이터배선 (117a)이 교차하여 이루는 화소영역에 위치하는 보호막(121) 상부에 상기 공통전극배선(103b)과 오버랩되게 서로 이격되어 배열되며, 상기 화소전극 배선 콘택홀 (125a)을 통해 상기 화소전극배선(103c) 및 드레인전극(117c)과 전기적으로 연결된다. 또한, 상기 다수개의 공통전극(127b)들은 상기 화소전극배선(103c)과 오버랩되게 서로 이격되어 배열되며 상기 공통배선 콘택홀(125b)을 통해 공통배선(103b)과 전기적으로 연결된다.

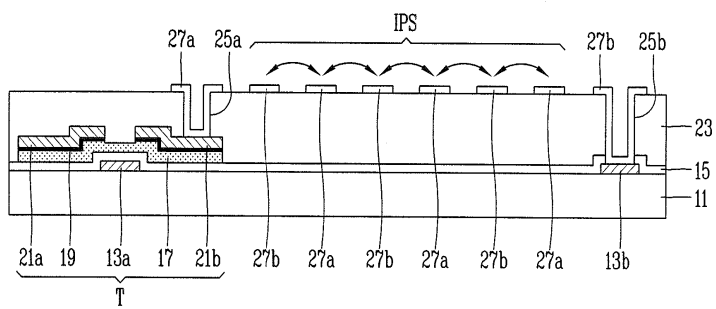


도면

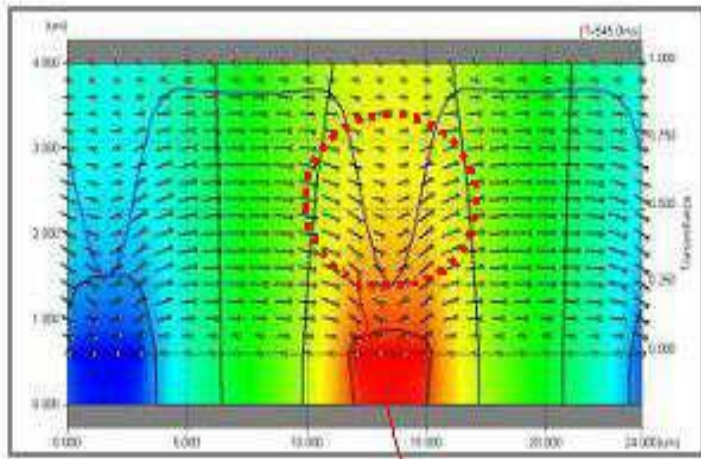
도면1



도면2

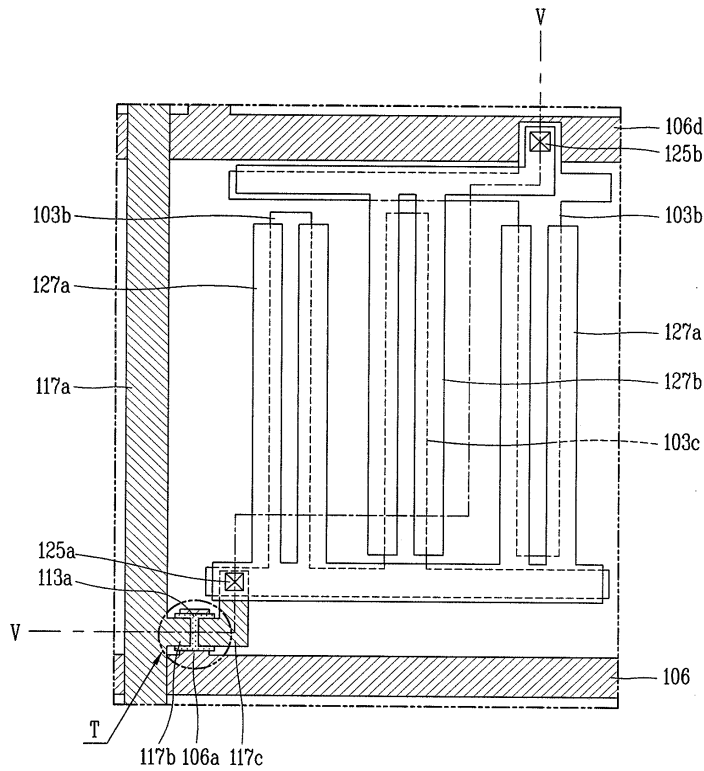


도면3

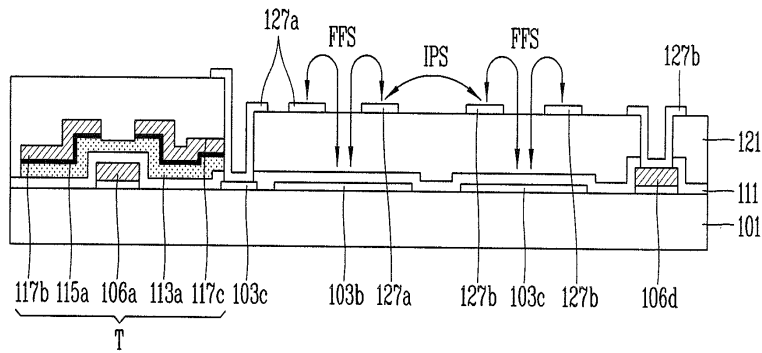


전극부 투과율 감소

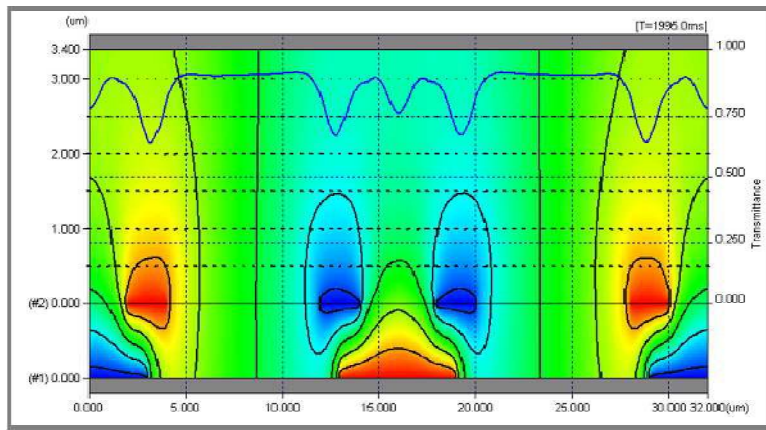
도면4



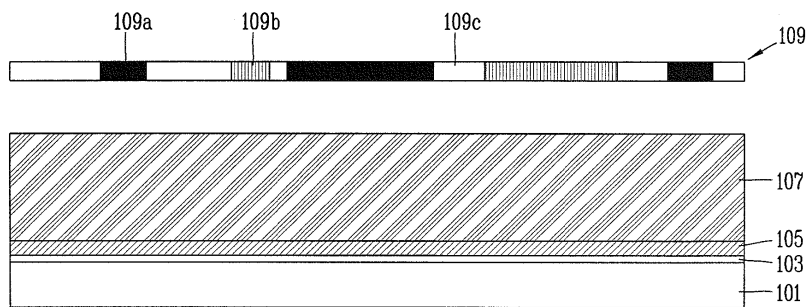
도면5



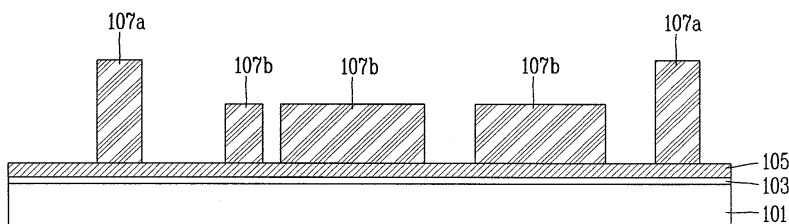
도면6



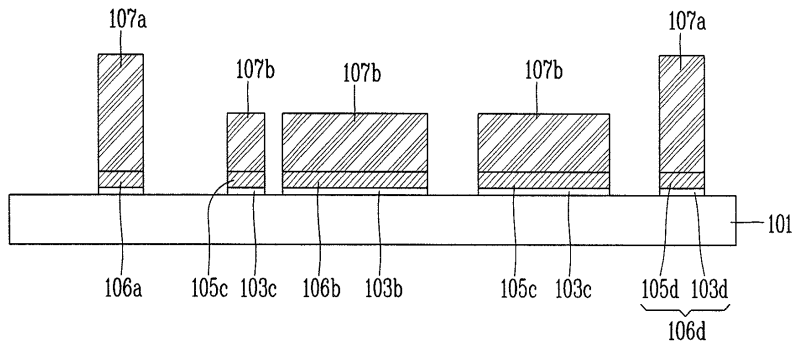
도면7a



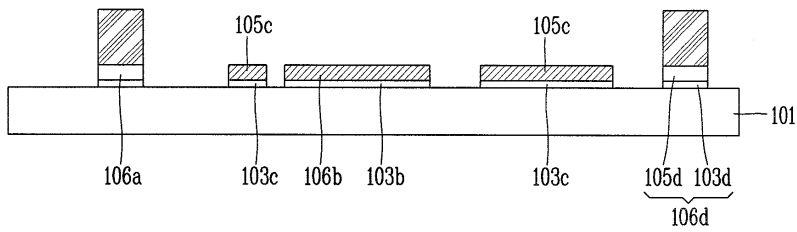
도면7b



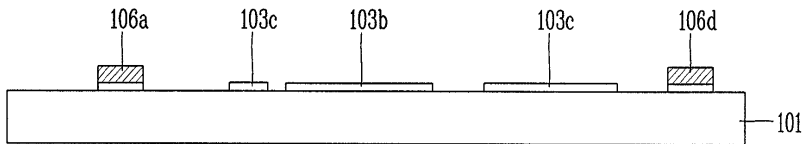
도면7c



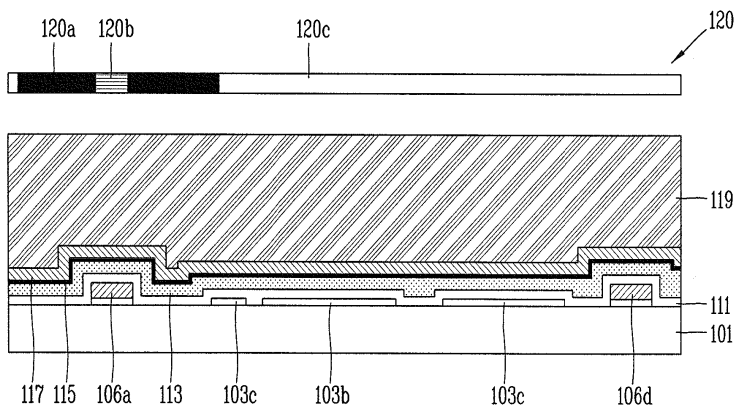
도면7d



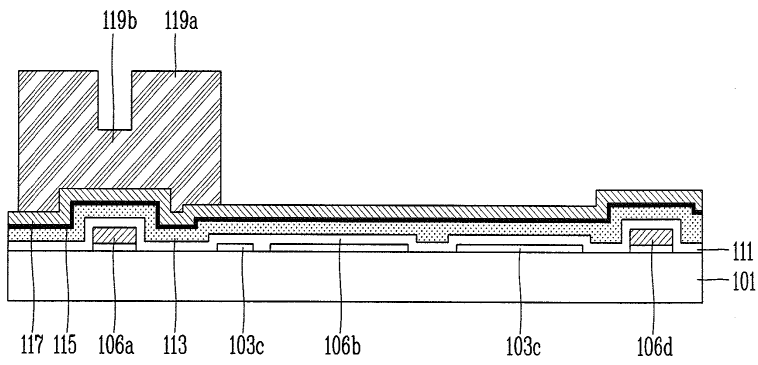
도면7e



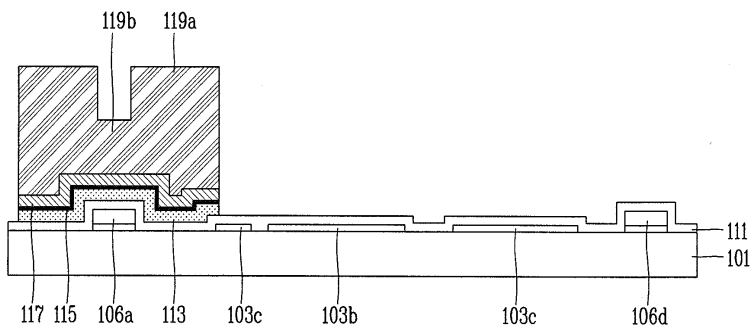
도면7f



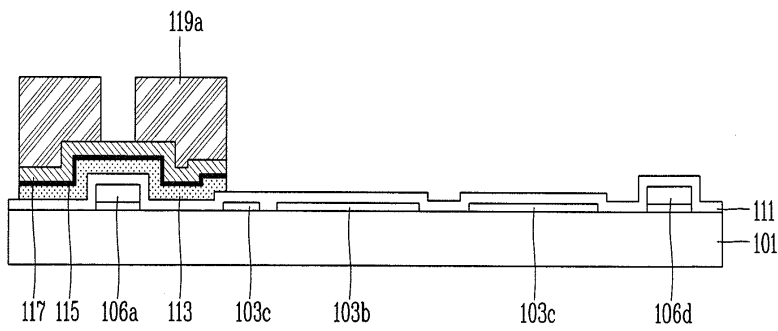
도면7g



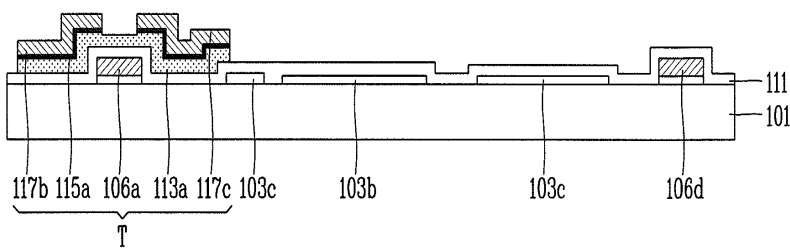
도면7h



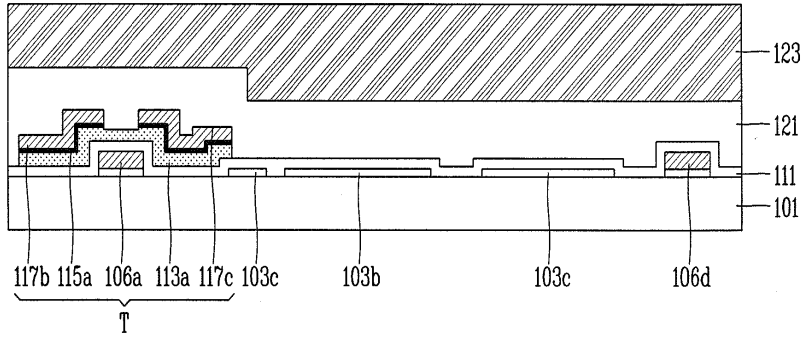
도면7i



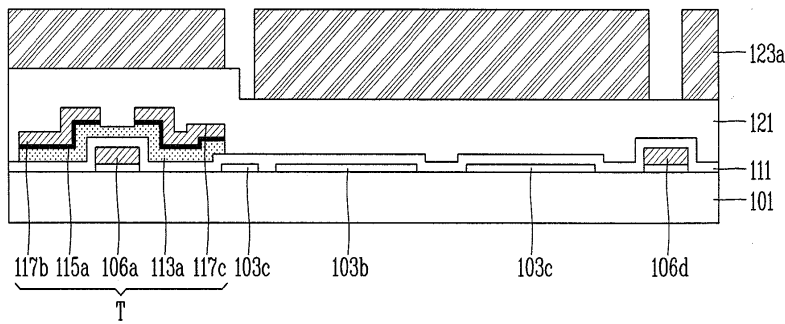
도면7j



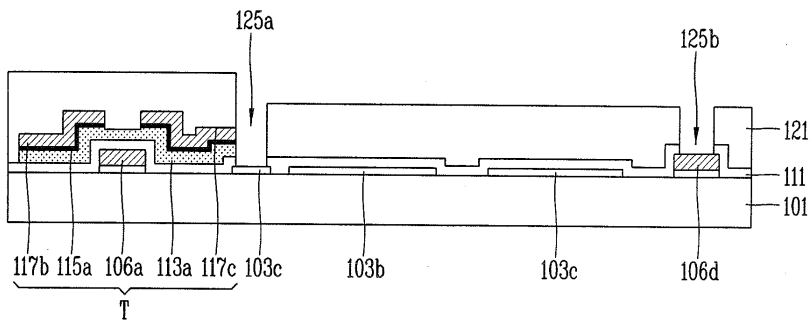
도면7k



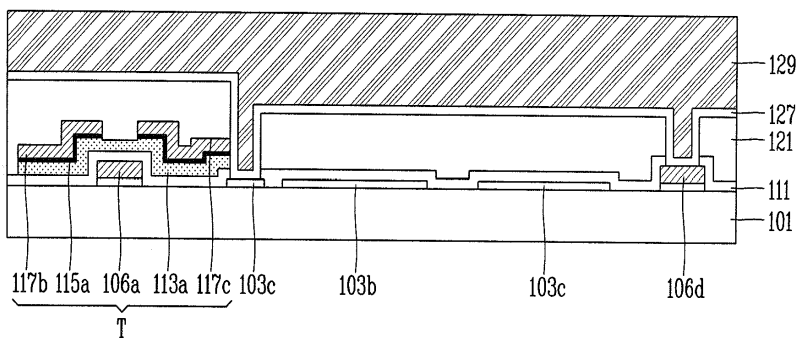
도면7l



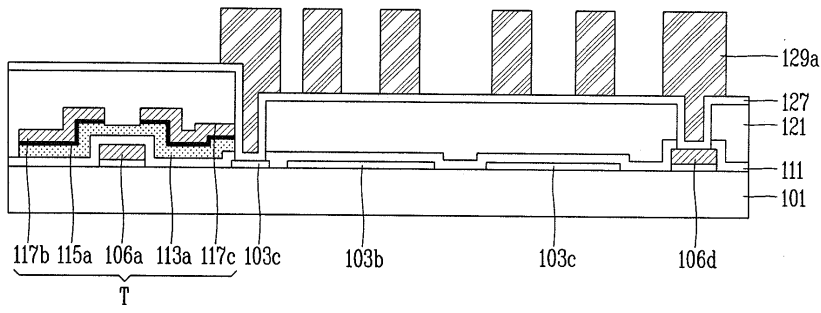
도면7m



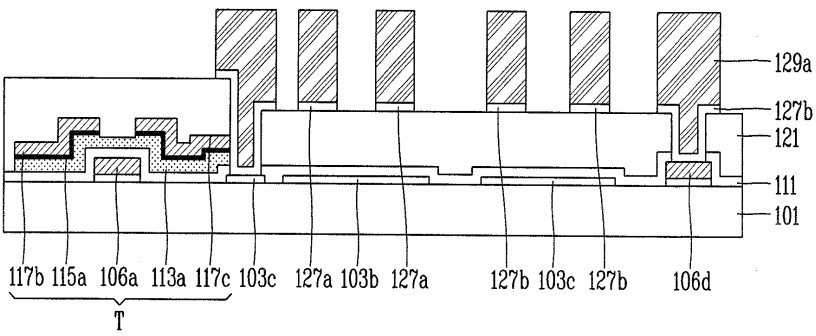
도면7n



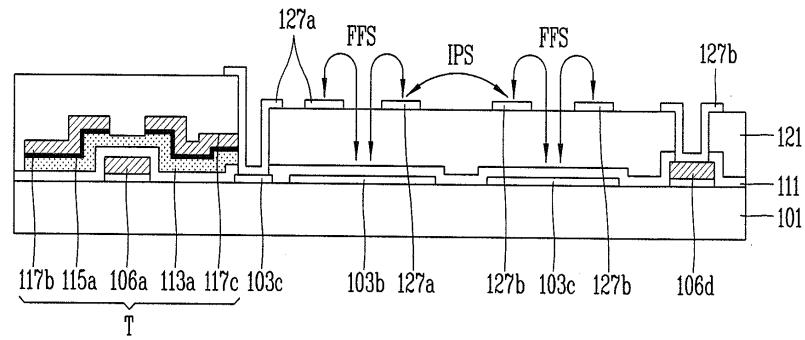
도면7o



도면7p



도면7q



专利名称(译)	标题：用于液晶显示装置的阵列基板及其制造方法		
公开(公告)号	<a href="#">KR1020120075206A</a>	公开(公告)日	2012-07-06
申请号	KR1020100137256	申请日	2010-12-28
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LIM EUN JUNG		
发明人	LIM,EUN JUNG		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/134363 G02F1/136286 G02F2001/134372 G09G2320/0233 H01L29/786		
代理人(译)	PARK , JANG WON		
外部链接	<a href="#">Espacenet</a>		

摘要(译)

本发明涉及一种用于液晶显示器的阵列基板及其制造方法，所公开的结构包括多个栅极布线和在基板上沿一个方向延伸并且彼此平行间隔开的公共布线；多条数据线，其在与栅极线交叉的区域中限定像素区域；公共电极布线和像素电极布线在通过使栅极布线和数据布线交叉而形成的像素区域中彼此分开布置并且与数据布线平行；一种薄膜晶体管，形成在栅极线和数据线的交叉点处；多个像素电极与薄膜晶体管和像素电极线电连接，像素电极在保护层上彼此分开，以与公共电极线重叠；并且多个公共电极电连接到公共布线，公共电极布置在保护膜上以与像素电极布线重叠。

