

특허청구의 범위

청구항 1

기관상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선;

상기 기관상에 상기 게이트배선과 평행하게 이격되어 형성된 공통배선;

상기 게이트배선과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선;

상기 게이트배선과 데이터배선의 교차지점에 형성되며, 게이트전극, 게이트절연막, 활성층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터;

상기 박막트랜지스터를 포함한 기관 전면에 형성된 이중 구조의 보호막;

상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 위치하는 상기 보호막 상에 배열되며, 상기 드레인전극과 전기적으로 연결되는 다수개의 화소전극; 및

상기 보호막 상에 상기 화소전극과 이격되게 배열되는 다수개의 공통전극과 함께, 상기 다수개의 공통전극들 및 공통배선과 연결되며 상기 공통배선 및 드레인전극과 오버랩되는 공통전극 연결배선;을 포함하여 구성되는 횡전계 방식 액정표시장치용 어레이기판.

청구항 2

제1 항에 있어서, 상기 이중 구조의 보호막은 하부 보호막과 상부 보호막으로 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 3

제1 항에 있어서, 상기 이중 구조의 보호막과 게이트절연막 각각을 사이에 두고 상하로 형성된 상기 공통전극 연결배선과 드레인전극 사이 및 상기 드레인전극과 공통배선 사이에 제1 및 2 캐패시터가 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 4

제3 항에 있어서, 상기 제1 및 2 캐패시터는 동일 면적 하에서 형성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 5

제1 항에 있어서, 상기 다수개의 화소전극들의 일단은 화소전극 연결배선에 의해 연결된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 6

제1 항에 있어서, 상기 화소전극은 상기 이중 구조의 보호막에 구비된 화소전극 콘택홀을 통해 상기 드레인전극에 형성되고, 상기 공통전극 연결배선은 상기 이중 구조의 보호막 및 그 아래의 게이트절연막에 구비된 공통배선 콘택홀을 통해 상기 공통배선에 연결되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 7

제1 항에 있어서, 상기 화소전극 콘택홀과 공통배선 콘택홀은 동시에 형성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

청구항 8

기관상에 일 방향으로 연장되고 서로 평행하게 이격되는 다수의 게이트배선을 함께 이 게이트배선과 평행하게 이격되는 공통배선을 형성하는 단계;

상기 게이트배선과 공통배선을 포함한 기판 전면에 게이트 절연막을 형성하는 단계;

상기 게이트절연막 상에 상기 게이트배선과 교차하고 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선과 함께, 상기 게이트배선과 데이터배선의 교차지점에 형성되며, 게이트전극, 게이트절연막, 활성층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터를 형성하는 단계;

상기 데이터배선과 박막트랜지스터를 포함한 기판 전면에 이중 구조의 보호막을 형성하는 단계;

상기 보호막에 상기 드레인전극과 상기 공통배선을 각각 노출시키는 드레인전극 콘택홀 및 공통배선 콘택홀을 형성하는 단계; 및

상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 위치하는 상기 보호막 상에 배열되며, 상기 드레인전극 콘택홀을 통해 상기 드레인전극과 전기적으로 연결되는 다수개의 화소전극과 함께, 상기 화소전극과 이격되어 교번되게 배열되는 다수개의 공통전극과, 이들 공통전극들과 연결되며 상기 공통배선 콘택홀을 통해 상기 공통배선 및 드레인전극과 오버랩되는 공통전극 연결배선을 형성하는 단계;를 포함하여 구성되는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 9

제8 항에 있어서, 상기 이중 구조의 보호막은 하부 보호막과 상부 보호막으로 구성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 10

제8 항에 있어서, 상기 이중 구조의 보호막과 게이트절연막 각각을 사이에 두고 상하로 형성된 상기 공통전극 연결배선과 드레인전극 사이 및 상기 드레인전극과 공통배선 사이에 제1 및 2 캐패시터가 형성된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 11

제10 항에 있어서, 상기 제1 및 2 캐패시터는 동일 면적 하에서 형성되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 12

제8 항에 있어서, 상기 다수개의 화소전극들의 일단은 화소전극 연결배선에 의해 연결된 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판 제조방법.

청구항 13

제8 항에 있어서, 상기 화소전극은 상기 이중 구조의 보호막에 구비된 화소전극 콘택홀을 통해 상기 드레인전극에 형성되고, 상기 공통전극 연결배선은 상기 이중 구조의 보호막 및 그 아래의 게이트절연막에 구비된 공통배선 콘택홀을 통해 상기 공통배선에 연결되는 것을 특징으로 하는 횡전계 방식 액정표시장치용 어레이기판.

명세서

기술 분야

[0001] 본 발명은 액정표시장치(Liquid Crystal Display Device)에 관한 것으로서, 보다 상세하게는 횡전계 방식(IPS; In Plane Switching) 액정표시장치용 어레이기판 및 그 제조방법에 관한 것이다.

배경 기술

[0002] 일반적으로 액정표시장치의 구동 원리는 액정의 광학적 이방성과 분극성질을 이용한다. 상기 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다.

[0003] 따라서, 상기 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 상기 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

- [0004] 현재에는 박막트랜지스터와 상기 박막트랜지스터에 연결된 화소전극이 행렬 방식으로 배열된 능동 행렬 액정 표시장치(AM-LCD: Active Matrix LCD, 이하 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.
- [0005] 상기 액정표시장치는 공통전극이 형성된 컬러필터 기관(즉, 상부기관)과 화소전극이 형성된 어레이기관(즉, 하부기관)과, 상부기관 및 하부기관 사이에 충전된 액정으로 이루어지는데, 이러한 액정표시장치에서는 공통전극과 화소전극이 상,하로 걸리는 전기장에 의해 액정을 구동하는 방식으로, 투과율과 개구율 등의 특성이 우수하다.
- [0006] 그러나, 상-하로 걸리는 전기장에 의한 액정 구동은 시야각 특성이 우수하지 못한 단점이 있다. 따라서, 상기의 단점을 극복하기 위해 새롭게 제안된 기술이 횡전계에 의한 액정 구동방법인데, 이 횡전계에 의한 액정 구동방법은 시야각 특성이 우수한 장점을 가지고 있다.
- [0007] 이러한 횡 전계 방식 액정표시장치는 컬러필터기관과 어레이기관이 서로 대향하여 구성되며, 컬러필터기관 및 어레이기관 사이에는 액정층이 개재되어 있다.
- [0008] 상기 어레이기관에는 투명한 절연기관에 정의된 다수의 화소마다 박막트랜지스터와 공통전극 및 화소전극으로 구성된다.
- [0009] 또한, 상기 공통전극과 화소전극은 동일 기관 상에 서로 평행하게 이격하여 구성된다.
- [0010] 그리고, 상기 컬러필터기관은 투명한 절연기관 상에 게이트배선과 데이터배선과 박막트랜지스터에 대응하는 부분에 블랙매트릭스가 구성되고, 상기 화소에 대응하여 컬러필터가 구성된다.
- [0011] 또한, 상기 액정층은 상기 공통전극과 화소전극의 수평 전계에 의해 구동된다.
- [0012] 상기 구성으로 이루어지는 횡전계 방식 액정표시장치에서, 휘도를 확보하기 위해 상기 공통전극과 화소전극을 투명전극으로 형성하나, 설계상 상기 공통전극과 화소전극 사이의 이격 거리에 의해, 상기 공통전극과 화소전극의 양단 일부만이 휘도 개선에 기여할 뿐, 대부분의 영역은 빛을 차단하는 결과가 된다.
- [0013] 이러한 특성을 가지는 종래기술에 따른 횡전계 방식 액정표시장치의 어레이기관 구조에 대해 도 1 및 2를 참조하여 설명하면 다음과 같다.
- [0014] 도 1은 종래기술에 따른 횡전계 방식 액정표시장치용 어레이기관의 평면도이다.
- [0015] 도 2는 도 1의 II-II선에 따른 단면도로서, 횡전계 방식 액정표시장치용 어레이기관의 단면도이다.
- [0016] 종래기술에 따른 횡전계 방식 액정표시장치의 어레이기관은, 도 1 및 2에 도시된 바와 같이, 기관(11) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(13) 및 공통배선(13b, 13c)과; 상기 게이트배선(13)과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선 (21)과; 상기 게이트배선(13)과 데이터배선(21)이 교차되어 이루는 화소영역에 형성되는 다수개의 화소전극(25a)과; 상기 게이트배선(13)과 데이터배선(21)의 교차지점에 마련되고, 게이트전극(13a)과 활성층(미도시)과 드레인전극(21b) 및 소스전극(21c)을 포함하는 박막트랜지스터(T); 및 상기 게이트배선(13)과 데이터배선 (21)이 교차되어 이루는 화소영역에 상기 화소전극(25a)들과 이격되어 배치되는 공통전극(25c)들을 포함하여 구성된다.
- [0017] 여기서, 상기 게이트배선(13)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(21)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(13) 및 데이터배선(21)은 게이트절연막(15)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0018] 또한, 상기 공통배선(13b, 13c)들은 상기 게이트배선(13) 형성시에 함께 형성되는데, 상기 공통배선(13b)은 상기 게이트배선(13)과 평행하게 배열되며, 상기 공통배선(13c)은 상기 게이트배선(13)과 수직하게 배열된다. 이때, 상기 공통배선 (13b, 13c)들은 서로 연결되어 있다.
- [0019] 그리고, 상기 공통배선(13c)은 게이트절연막(15) 사이에 두고 상기 데이터배선(21)과 오버랩되어 있다.
- [0020] 그리고, 상기 박막 트랜지스터(T)는 상기 게이트배선(13)에 공급되는 스캔 신호에 데이터배선(21)에 공급되는 화소 신호가 화소전극(25a)에 충전되어 유지되게 한다.
- [0021] 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(13)에 포함된 게이트전극(13a), 데이터배선(21)에 접속된 소스전극(21a), 이 소스전극(21a)과 마주하며 화소전극(25a)과 접속된 드레인전극(21b), 게이트절연막 (15)을 사이에 두고 게이트전극(13a)과 중첩되어 소스전극(21a)과 드레인전극(21a) 사이에 채널을 형성하는

활성층(17)과, 소스전극(21a) 및 드레인전극(21b)과의 오믹 접촉을 위하여 채널을 제외한 활성층(17) 위에 형성된 오믹접촉층(19)을 구비한다.

[0022] 또한, 상기 화소영역의 전면에는 상기 게이트배선(13)과 데이터배선(21)과 이격된 공간을 두고 투명한 다수개의 화소전극(25a)들이 배치되어 있는데, 이 화소전극(25a)들은 하부 보호막(23) 상에 마련된 드레인전극 콘택홀(23a)을 통해 상기 드레인전극(21b)과 전기적으로 접속된다. 이때, 상기 다수개의 화소전극(25a)들의 일측단은 상기 공통배선(13b)과 오버랩된 화소전극 연결배선(25b)에 의해 연결되어 있다.

[0023] 그리고, 도 2에 도시된 바와 같이, 상기 화소전극(25a)들과 이격되어 배치되는 다수개의 공통전극(25c)들의 일측단은 공통전극 연결배선(25d)에 의해 연결되어 있다. 이때, 상기 공통전극 연결배선(25d)은 공통배선 콘택홀(23b)에 의해 상기 공통배선(13c)과 전기적으로 연결되어 있다.

[0024] 도 2에 도시된 바와 같이, 상기와 같은 구성으로 이루어진 종래기술에 따른 액정표시장치용 어레이기판에 따르면, 제1 기생 캐패시터(C1)는 게이트절연막(15)을 사이에 두고 상기 드레인전극(21b)과 그 하부에 오버랩되어 있는 공통배선(13b) 사이에 형성되며, 제2 기생 캐패시터(C2)는 상기 게이트절연막(15) 및 보호막(23)을 사이에 두고 화소전극 연결배선(25b)과 공통배선(13b) 사이에 형성된다.

[0025] 상기 공통전극(25c)들은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.

[0026] 상기 화소전극(25a)은 이웃하는 공통전극(25c) 사이에 수평 전계(horizontal field)를 형성하게 된다.

[0027] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(25a)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극들(25c)이 수평 전계를 형성하여 박막트랜지스터 기판과 칼라필터기판(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.

[0028] 그러나, 종래기술에 따르면, 도 2의 "A"에 도시된 바와 같이, 제1 기생 캐패시터(C1)는 상, 하부에 위치하는 화소전극 연결배선(25b)과 공통배선(13b) 사이에 형성되고, 제2 기생 캐패시터(C2)는 상, 하부에 위치하는 드레인전극(21b)과 공통배선(13b) 사이에 형성되기 때문에, 기생 캐패시터를 형성하기 위한 별도의 공간이 필요하게 됨으로써 그만큼 개구율이 감소하는 요인이 된다. 즉, 상기 제1 기생 캐패시터(C1)와 제2 기생 캐패시터(C2)는 수직방향이 아닌 수평방향으로 형성되기 때문에, 어레이기판 상에 차지하는 면적이 증가하여 그만큼 개구율을 감소시키게 된다.

발명의 내용

해결하려는 과제

[0029] 이에 본 발명은 상기 문제점들을 개선하기 위해 안출한 것으로서, 본 발명의 목적은 기존의 캐패시터 크기와 동일하면서 캐패시터가 차지하는 면적을 줄여 개구율을 증가시킬 수 있는 횡전계 방식 액정표시장치용 어레이 기판 및 그 제조방법을 제공함에 있다.

과제의 해결 수단

[0030] 상기 목적을 달성하기 위한 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판은, 기판 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선과; 상기 기판 상에 상기 게이트배선과 평행하게 이격되어 형성된 공통배선과; 상기 게이트배선과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선과; 상기 게이트배선과 데이터배선의 교차지점에 형성되며, 게이트전극, 게이트절연막, 활성층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터와; 상기 박막트랜지스터를 포함한 기판 전면에서 형성된 이중 구조의 보호막과; 상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 위치하는 상기 보호막 상에 배열되며, 상기 드레인전극과 전기적으로 연결되는 다수개의 화소전극과; 상기 보호막 상에 상기 화소전극과 이격되어 배열되는 다수개의 공통전극과 함께, 상기 다수개의 공통전극들과 연결되며 상기 공통배선 및 드레인전극과 오버랩되는 공통전극 연결배선; 및, 상기 이중 구조의 보호막과 게이트절연막 각각을 사이에 두고 상하로 형성된 상기 공통전극 연결배선과 드레인전극 사이 및 상기 드레인전극과 공통배선 사이에 각각 형성된 캐패시터를 포함하여 구성되는 것을 특징으로 한다.

[0031] 상기 목적을 달성하기 위한 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판 제조방법은, 기판상에 일 방향으로 연장되고 서로 평행하게 이격되는 다수의 게이트배선을 함께 이 게이트배선과 평행하게 이격되는 공통배선을 형성하는 단계와; 상기 게이트배선과 공통배선을 포함한 기판 전면에서 게이트 절연막을 형성하는

단계와; 상기 게이트절연막 상에 상기 게이트배선과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선과 함께, 상기 게이트배선과 데이터배선의 교차지점에 형성되며, 게이트전극, 게이트절연막, 활성층, 소스전극 및 드레인전극으로 이루어진 박막트랜지스터를 형성하는 단계와; 상기 데이터배선과 박막트랜지스터를 포함한 기판 전면에서 이중 구조의 보호막을 형성하는 단계와; 상기 보호막에 상기 드레인전극과 상기 공통배선을 각각 노출시키는 콘택홀들을 형성하는 단계와; 상기 게이트배선과 데이터배선이 교차하여 이루는 화소영역에 위치하는 상기 보호막 상에 배열되며, 상기 드레인전극을 노출시키는 콘택홀을 통해 상기 드레인전극과 전기적으로 연결되는 다수개의 화소전극과 함께, 상기 화소전극과 이격되어 교번되게 배열되는 다수개의 공통전극과, 이들 공통전극들과 연결되며 상기 공통배선을 노출시키는 콘택홀을 통해 상기 공통배선 및 드레인전극과 오버랩되는 공통전극 연결배선을 형성하는 단계;를 포함하여 구성되는 것을 특징으로 한다.

발명의 효과

[0032] 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판 및 그 제조방법에 따르면, 이중 구조의 보호막과 게이트절연막 각각을 사이에 두고 서로 오버랩되는 공통전극 연결배선과 드레인전극 사이와, 드레인전극과 공통배선 사이 각각에 캐패시터가 동시에 형성되도록 함으로써, 기존에 비해 동일 면적하에서 캐패시턴스를 증가시킬 수 있으므로, 캐패시터를 형성하기 위한 면적을 축소하여 개구율을 증가시킬 수 있다.

[0033] 또한, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판 및 그 제조방법에 따르면, 데이터배선과 공통전극 연결배선 사이에 단일 층의 보호막이 형성되는 경우에 공정 진행시에 발생하는 이물에 의해 이들 데이터배선과 공통전극 연결배선 사이에 쇼트(short) 불량 발생하기 쉬우므로, 보호막을 이중 구조로 구성함으로써 이와 같은 데이터배선과 공통전극 연결배선 사이에 발생할 수 있는 쇼트(short) 불량을 억제할 수 있다.

도면의 간단한 설명

[0034] 도 1은 종래기술에 따른 횡전계 방식 액정표시장치용 어레이기판의 평면도이다.
 도 2는 도 1의 II-II선에 따른 단면도로서, 횡전계 방식 액정표시장치용 어레이기판의 단면도이다.
 도 3은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 평면도이다.
 도 4는 도3의 IV-IV선에 따른 단면도로서, 횡전계 방식 액정표시장치용 어레이 기판의 단면도이다.
 도 5a 내지 5n은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 제조공정 단면도들이다.
 도 6a 내지 6f는 도3의 VI-VI선에 따른 공정 단면도들로서, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 제조시에 드레인전극 콘택홀과 공통배선 콘택홀을 제조하는 공정 단면도들이다.

발명을 실시하기 위한 구체적인 내용

[0035] 이하, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판에 대해 첨부된 도면을 참조하여 상세히 설명한다.

[0036] 도 3은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 평면도이다.

[0037] 도 4는 도3의 IV-IV선에 따른 단면도로서, 횡전계 방식 액정표시장치용 어레이 기판의 단면도이다.

[0038] 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판은, 도 3 및 4에 도시된 바와 같이, 기판(101) 상에 일 방향으로 연장되고 서로 평행하게 이격된 다수의 게이트배선(103c)과; 상기 기판(101)상에 상기 게이트배선(103c)과 평행하게 이격되어 형성된 공통배선(103b)과; 상기 게이트배선(103c)과 교차하고, 이 교차하여 이루는 지역에 화소영역을 정의하는 다수의 데이터배선(113a)과; 상기 게이트배선 (103c)과 데이터배선(113a)의 교차지점에 형성되며, 게이트전극(103a), 게이트절연막(107), 활성층(109a), 소스전극(113b) 및 드레인전극(113c)으로 이루어진 박막 트랜지스터(T)와; 상기 박막트랜지스터(T)를 포함한 기판 전면에서 형성된 이중 구조의 하 보호막(119a)과 상부 보호막(119b)으로 구성된 보호막(119)과; 상기 게이트배선 (103c)과 데이터배선(113a)이 교차하여 이루는 화소영역에 위치하는 상기 보호막(119) 상에 배열되며, 상기 드레인전극(113c)과 전기적으로 연결되는 다수개의 화소전극(123a)과; 상기 보호막(119) 상에 상기 화소전극(123a)과 이격되어 배열되는 다수개의 공통전극(123c)과 함께, 상기 다수개의 공통전극(123c)들과 연결되며 상기 공통배선(123c) 및 드레인전극(113c)과 오버랩되는 공통전극 연결배선(123d); 및, 상기 이중 구조의 보호막(119)과 게이트절연막(107) 각각을 사이에 두고 상하로 형성된 상기 공통전극 연결배선(123d)과 드레인전극(113c) 사이 및 상

기 드레인전극(113c)과 공통배선(103b) 사이에 각각 형성된 캐패시터(C1, C2)들을 포함하여 구성된다.

- [0039] 여기서, 상기 게이트배선(103c)은 게이트 드라이버(미도시)로부터의 스캔 신호를, 상기 데이터배선(113a)은 데이터 드라이버(미도시)로부터의 비디오 신호를 공급한다. 이러한 게이트배선(103c) 및 데이터배선(113a)은 게이트절연막(미도시)을 사이에 두고 교차하여 각 화소 영역을 정의한다.
- [0040] 상기 게이트배선(103c)은 기판(101) 위에 투명 도전층을 포함한 적어도 이중 이상의 복층 구조 또는 단층 구조로 형성된다. 이때, 상기 게이트배선(103c)으로는 예를 들면, 투명도전층을 이용한 제1 도전층과, 불투명한 금속을 이용한 제2 도전층이 적층된 복층 구조 또는 불투명한 금속을 이용한 단층 구조로 형성된다. 이때, 상기 제1 도전층으로는 ITO, IZO, 또는 ITZO이 사용되며, 제2 도전층으로는 Cu, Mo, Al, Cu합금, Mo합금, Al합금 중에서 선택하여 사용된다.
- [0041] 또한, 상기 박막 트랜지스터(T)는 상기 게이트배선(103c)에 공급되는 스캔 신호에 데이터배선(113a)에 공급되는 화소 신호가 화소전극(123a)에 충전되어 유지되게 한다. 이를 위해, 상기 박막트랜지스터(T)는 상기 게이트배선(103c)에 포함된 게이트전극(103a), 데이터배선(113a)에 접속된 소스전극(113b), 이 소스전극(113b)과 마주하며 화소전극(123a)과 접속된 드레인전극(113c), 게이트절연막(107)을 사이에 두고 게이트전극(103a)과 중첩되어 소스전극(113b)과 드레인전극(113c) 사이에 채널을 형성하는 활성층(109a)과, 상기 소스전극(113b) 및 드레인전극(113c)과의 오믹 접촉을 위하여 채널을 제외한 활성층(109a) 위에 형성된 오믹접촉층(111a)을 구비한다.
- [0042] 상기 드레인전극(113c)은 그 하부의 공통배선(103b)과 수평방향으로 오버랩되어 있다.
- [0043] 그리고, 상기 활성층(109a)과 오믹 접촉층(111a)은 데이터배선(113a)과 중첩된다.
- [0044] 더욱이, 상기 데이터배선(113a)은 데이터패드(미도시)를 통해 데이터 드라이버(미도시)로부터의 화소 신호를 공급받는다.
- [0045] 또한, 상기 화소영역의 전면에는 상기 게이트배선(103a)과 데이터배선(113a)과 이격된 공간을 두고 투명한 다수개의 화소전극(123a)들이 서로 이격되어 배치되어 있다. 이때, 상기 다수개의 화소전극(123a)들은 상기 데이터배선(113a)과 평행하게 배치되어 있으며, 이들 다수개의 화소전극(123a)들의 일단들은 상기 데이터배선(113a)과 수직으로 배치된 화소전극 연결배선(123b)에 의해 서로 연결되어 있다. 또한, 상기 다수개의 화소전극(123a)들 중에서 상기 데이터배선(113a)과 인접한 화소전극(123a)의 타단은 상기 이중 구조의 보호막(119)에 형성된 드레인전극 콘택홀(121a)을 통해 상기 드레인전극(113c)과 전기적으로 접속되어 있다.
- [0046] 그리고, 상기 화소영역의 전면에는 상기 화소전극(123a)들과 이격되어 교번되게 다수개의 공통전극들(123c)이 형성되어 있다. 이때, 상기 다수개의 공통전극들(123c)은 상기 데이터배선(113a)과 평행하게 배치되어 있으며, 이들 다수개의 공통전극들(123c)의 일단들은 상기 데이터배선(113a)과 수직으로 배치된 공통전극 연결배선(123d)에 의해 서로 연결되어 있다. 또한, 상기 공통전극 연결배선(123d)은 상기 이중 구조의 보호막(119)들에 형성된 공통배선 콘택홀(121b)을 통해 상기 공통배선(103b)과 전기적으로 접속되어 있다. 이때, 상기 공통전극 연결배선(123d)은 그 하부의 상기 드레인전극(113c) 및 공통배선(103b)과 오버랩되어 있다.
- [0047] 한편, 도 4의 "B"에 도시된 바와 같이, 동일한 면적 하에서 제1, 2 캐패시터 (C1, C2)들이 형성된다. 이때, 상기 제1 캐패시터(C1)는 상기 이중 구조의 보호막 (119)을 사이에 두고 상하로 배치된 상기 공통전극 연결배선(123d)과 드레인전극 (113c) 사이에 형성되며, 상기 제2 캐패시터(C2)는 게이트절연막(107)을 사이에 두고 상하로 배치된 상기 드레인전극(113c)과 공통배선(103b) 사이에 형성된다. 또한, 경우에 따라서는 상기 제2 캐패시터(C2)를 구성하는 상기 공통전극 연결배선 (123d)과 드레인전극(113c) 사이에 활성층(109a)을 형성하지 않을 수도 있다.
- [0048] 상기 다수개의 공통전극(123c)들은 액정 구동을 위한 기준 전압, 즉 공통전압을 각 화소에 공급한다.
- [0049] 또한, 상기 다수의 화소전극(123a)은 각 화소영역에 위치하는 보호막(121b) 상에서 상기 다수의 공통전극(133a)들과 횡전계(horizontal field)를 형성한다.
- [0050] 이렇게 하여, 박막트랜지스터(T)를 통해 화소전극(123a)에 비디오 신호가 공급되면, 공통전압이 공급된 공통전극들(123c)이 횡전계를 형성하여 박막트랜지스터 기판과 칼라필터기판(미도시) 사이에서 수평 방향으로 배열된 액정분자들이 유전 이방성에 의해 회전하게 된다. 그리고, 액정분자들이 회전 정도에 따라 화소영역을 투과하는 광 투과율이 달라지게 됨으로써 계조를 구현하게 된다.
- [0051] 상기 구성으로 이루어지는 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판 제조방법에 대해 도 5 및

6을 참조하여 설명하면 다음과 같다.

- [0052] 도 5a 내지 5n은 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 제조공정 단면도들이다.
- [0053] 도 6a 내지 6f는 도3의 VI-VI선에 따른 공정 단면도들로서, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판의 제조시에 드레인전극 콘택홀과 공통배선 콘택홀을 제조하는 공정 단면도들이다.
- [0054] 도 5a에 도시된 바와 같이, 투명한 기판(101) 상에 스위칭 영역을 포함하는 다수의 화소영역과 함께 비화소영역을 정의하고, 상기 투명한 기판(101) 상에 제1 도전성 금속층(103)을 스퍼터링 방법에 의해 차례로 증착한다. 이때, 상기 제1 도전성 금속층(103)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질을 단일층으로 사용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 적어도 이중 층 이상이 적층된 구조를 사용한다.
- [0055] 그 다음, 상기 제1 도전성 금속층(103) 상부에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제1 감광막(105)을 형성한다.
- [0056] 이어서, 도 5b에 도시된 바와 같이, 마스크(미도시)를 이용한 포토리소그래피 공정 기술을 통해 상기 제1 감광막(105)을 노광 및 현상한 후 이를 선택적으로 제거하여 제1 감광막패턴(105a)을 형성한다. 이때, 상기 제1 감광막패턴(105a)은 게이트배선 형성지역과 공통배선 형성지역에만 남게 된다.
- [0057] 그 다음, 도 5c에 도시된 바와 같이, 상기 제1 감광막패턴(105a)을 차단막으로 상기 제1 도전성 금속층(103)을 선택적으로 패터닝하여 게이트배선(미도시, 도 4의 103c 참조)과 이 게이트배선(103c)으로부터 연장된 게이트전극(103a)을 형성한다.
- [0058] 이어서, 도 5d에 도시된 바와 같이, 상기 제1 감광막패턴(105a)을 제거한 후 기판 전면에 질화실리콘(SiNx) 또는 실리콘산화막(SiO₂)으로 이루어진 게이트절연막 (107)을 형성한다.
- [0059] 이어서, 도 5e에 도시된 바와 같이, 상기 게이트절연막(107)이 형성된 기판 (101)의 전면에 비정질실리콘 층(a-Si:H)(109)과 불순물이 포함된 비정질실리콘층 (n+ 또는 p+)(111) 및 제2 도전성 금속층(113)을 차례로 적층한다. 이때, 상기 비정질실리콘층(a-Si:H) (109)과 불순물이 포함된 비정질실리콘층(n+ 또는 p+) (111)은 화학기상 증착법(CVD; Chemical Vapor Deposition method)으로 증착하고, 상기 제2 도전성 금속층 (113)은 스퍼터링 방법으로 증착한다. 여기서, 상기 증착 방법으로는 화학기상 증착법, 스퍼터링 방법에 대해서만 기재하고 있지만, 경우에 따라서는 기타 다른 증착 방법을 사용할 수도 있다. 이때, 상기 제2 도전성 금속층(113)으로는, 알루미늄(Al), 텅스텐(W), 구리(Cu), 몰리브덴(Mo), 크롬(Cr), 티타늄(Ti), 몰리브덴 합금, 구리합금, 알루미늄 합금 등과 같이 금속물질이 단일층으로 이용하거나, Al/Cr, Al/Mo, Al(Nd)/Al, Al(Nd)/Cr, Mo/Al(Nd)/Mo, Cu/Mo, Ti/Al(Nd)/Ti, Mo/Al, Mo합금/Al합금, Mo/Al 합금, Cu/Mo합금, Cu/Mo(Ti) 등과 같이 이중층 이상이 적층된 구조를 이용한다.
- [0060] 그 다음, 도 5f에 도시된 바와 같이, 상기 제2 도전성 금속층(113) 상에 투과성이 우수한 제2 감광막(115)을 도포한다.
- [0061] 이어서, 광차단부(117a)와 반투과부(117b) 및 투과부(117c)로 이루어진 회절마스크(117)를 이용하여 상기 제2 감광막(115)에 노광 공정을 실시한다. 이때, 상기 회절마스크(117)의 광차단부(117a)는 데이터배선 형성 지역과 소스전극 및 드레인전극 형성 지역과 대응하는 상기 제2 감광막(115) 상측에 위치하며, 상기 회절마스크(117)의 반투과부(117b)는 박막트랜지스터(T)의 채널지역, 즉 게이트전극 (103a)과 대응하는 상기 제2 감광막(115) 상측에 위치한다. 또한, 상기 회절마스크 (117) 이외에 광의 회절 효과를 이용하는 마스크, 광의 투과량을 이용하는 하프톤 마스크 (Half - ton mask) 또는 기타 다른 마스크를 사용할 수도 있다.
- [0062] 그 다음, 도 5g에 도시된 바와 같이, 상기 노광 공정 이후에 현상공정을 실시한 다음 상기 제2 감광막(115)을 선택적으로 패터닝하여 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역에 제1 패턴(115a)을 형성하고, 상기 박막트랜지스터(T)의 채널지역에 제2 패턴(115b)을 형성한다. 이때, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(115a)은 광이 투과되지 않은 상태이기 때문에 제2 감광막 두께를 그대로 유지하고 있지만, 상기 박막트랜지스터 (T)의 채널지역의 제2 패턴(115b)은 제2 감광막에 광의 일부가 투과되어 일정 두께만큼 제거된다. 즉, 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(115b)은 상기 데이터 배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(115a)보다 얇은 두께를 갖게 된다.
- [0063] 이어서, 도 5h에 도시된 바와 같이, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패

턴(115a)과 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(115b)을 마스크로, 상기 제2 도전성 금속층(113)과 불순물이 함유된 비정질실리콘층(111) 및 비정질 실리콘층(109)을 선택적으로 패터닝하여 데이터배선 (미도시, 도 3의 113a 참조)과 활성층(109a)을 형성함과 동시에, 소스전극 형성지역과 드레인전극 형성 지역을 각각 정의한다. 이때, 상기 제2 도전성 금속층(113)과 불순물이 함유된 비정질실리콘층(111) 및 비정질 실리콘층(109)을 선택적으로 패터닝시에, 먼저 상기 제2 도전성 금속층(113)을 습식 식각(wet etch) 공정을 통해 선택적으로 식각하고, 이어 다시 건식 식각(dry etch) 공정을 통해 불순물이 함유된 비정질실리콘층(111)과 비정질실리콘층(109)을 함께 식각한다.

[0064] 그 다음, 도 5i에 도시된 바와 같이, 에싱(ashing) 공정을 통해 상기 박막트랜지스터(T)의 채널지역의 제2 패턴(115b)을 완전히 제거하여 상기 박막트랜지스터 (T)의 채널지역의 제2 패턴(115b) 아래의 제2 도전성 금속층(113) 부분을 노출시킨다. 이때, 상기 에싱 공정 진행시에, 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴(115a)의 두께 일부도 함께 제거된다.

[0065] 이어서, 도 5j에 도시된 바와 같이, 상기 에싱 공정에 의해 두께 일부가 식각된 상기 데이터배선 형성지역과 소스전극 및 드레인전극 형성지역의 제1 패턴 (115a)을 마스크로 상기 노출된 제2 도전성 금속층(113)을 습식 식각 공정을 통해 식각함으로써 소스전극(113b)과 이 소스전극(113b)과 이격된 드레인전극(113c)을 형성한다.

[0066] 그 다음, 도면에는 도시하지 않았지만, 상기 채널 지역의 불순물이 함유된 비정질실리콘층(111) 부분도 건식 식각 공정을 통해 제거함으로써 활성층(109a)의 채널영역을 노출시키는 오믹콘택층(111a)을 형성함으로써, 게이트전극(103a), 게이트절연막(107), 활성층(109a), 오믹콘택층(111a), 소스전극(113b) 및 드레인전극 (113c)으로 이루어진 박막트랜지스터(T)를 형성한다.

[0067] 이어서, 도 5k 및 6a에 도시된 바와 같이, 상기 박막트랜지스터(T)를 포함한 기판 전면에서 무기 절연물질로 이루어진 하부 보호막(119a)을 증착하고, 이어 상기 하부 보호막(119a) 상에 무기 절연물질로 이루어진 상부 보호막(119b)을 증착한다. 이때, 상기 하부 보호막(119a)과 상부 보호막(119b)은 이중 구조의 보호막(119)을 구성한다.

[0068] 그 다음, 상기 이중 구조의 보호막(119) 상에 투과율이 높은 포토레지스트 (photoresist)를 도포하여 제3 감광막(120)을 형성한다.

[0069] 이어서, 도 6b에 도시된 바와 같이, 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제3 감광막(120)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제3 감광막패턴(120a)을 형성한다.

[0070] 그 다음, 도 6c에 도시된 바와 같이, 상기 제3 감광막패턴(120a)을 마스크로 상기 이중 구조의 상부 보호막 (119b)과 하부 보호막(119a)을 선택적으로 제거하여 상기 드레인전극(113c)을 노출시키는 드레인전극 콘택홀 (121a)과 함께, 상기 이중 구조의 상부 보호막(119b)과 하부 보호막(119a) 및 그 하부의 게이트절연막(107)을 선택적으로 제거하여 상기 공통배선(103b)을 노출시키는 공통배선 콘택홀(121b)을 형성한다.

[0071] 이어서, 도 5l 및 6d에 도시된 바와 같이, 상기 제3 감광막패턴(120a)을 제거한 후 상기 드레인전극 콘택홀 (121a)과 공통배선 콘택홀(121b)을 포함한 보호막 (119) 상에 투명 도전물질층(123)을 스퍼터링방법으로 증착한다. 이때, 상기 투명 도전물질층(123)으로는 ITO(Indium Tin Oxide) 및 IZO(Indium Zinc Oxide) 를 포함한 투명한 도전 물질 그룹 중에서 선택된 어느 하나를 사용한다.

[0072] 그 다음, 상기 투명 도전물질층(123) 상에 투과율이 높은 포토레지스트 (photo-resist)를 도포하여 제4 감광막(125)을 형성한다.

[0073] 이어서, 도 5m 및 6e에 도시된 바와 같이, 마스크(미도시)를 이용한 포토리소그래피 공정기술을 통해 상기 제4 감광막(125)을 노광 및 현상한 후 이를 선택적으로 패터닝하여 제4 감광막패턴(125a)을 형성한다.

[0074] 그 다음, 도 5n 및 6f에 도시된 바와 같이, 상기 제4 감광막패턴(125a)을 마스크로 상기 투명 도전물질층 (123)을 선택적으로 패터닝하여 상기 드레인전극 콘택홀(121a)을 통해 상기 드레인전극(113c)과 전기적으로 접속하는 다수개의 화소전극 (123a)과 함께, 상기 공통배선 콘택홀(121b)을 통해 상기 공통배선(103b)과 전기적으로 접속하는 다수개의 공통전극(123c)을 동시에 형성한다.

[0075] 이때, 상기 다수개의 화소전극(123a)들은 상기 게이트배선(103a)과 데이터배선(113a)이 이루는 화소영역에 서로 이격되어 배치되어 있다. 이때, 상기 다수개의 화소전극(123a)들은 상기 데이터배선(113a)과 평행하게 배치되어 있으며, 이들 다수개의 화소전극(123a)들의 일단들은 상기 데이터배선(113a)과 수직으로 배치된 화소전극 연결배선(123b)에 의해 서로 연결되어 있다. 또한, 상기 다수개의 화소전극(123a)들 중에서 상기 데이

터배선(113a)과 인접한 화소전극(123a)의 타단은 상기 이중 구조의 보호막(119)에 형성된 드레인전극 콘택홀(121a)을 통해 상기 드레인전극(113c)과 전기적으로 접속되어 있다.

[0076] 그리고, 상기 다수개의 공통전극들(123c)은 상기 화소전극(123a)들과 이격되어 교번되게 형성되어 있다. 이때, 상기 다수개의 공통전극들(123c)은 상기 데이터배선(113a)과 평행하게 배치되어 있으며, 이들 다수개의 공통전극들(123c)의 일단들은 상기 데이터배선(113a)과 수직으로 배치된 공통전극 연결배선(123d)에 의해 서로 연결되어 있다. 또한, 상기 공통전극 연결배선(123d)은 상기 이중 구조의 보호막(121a, 121b)들에 형성된 공통배선 콘택홀(121b)을 통해 상기 공통배선(103b)과 전기적으로 접속되어 있다. 이때, 상기 공통전극 연결배선(123d)은 그 하부의 상기 드레인전극(113c) 및 공통배선(103b)과 오버랩되어 있다.

[0077] 이렇게 하여, 도 5n 및 6f에 도시된 바와 같이, 동일한 면적 하에서 제1, 2 캐패시터(C1, C2)들이 형성된다. 이때, 상기 제1 캐패시터(C1)는 상기 이중 구조의 보호막(119)을 사이에 두고 상하로 배치된 상기 공통전극 연결배선(123d)과 드레인전극(113c) 사이에 형성되며, 상기 제2 캐패시터(C2)는 게이트절연막(107)을 사이에 두고 상하로 배치된 상기 드레인전극(113c)과 공통배선(103b) 사이에 형성된다.

[0078] 이어서, 도면에는 도시하지 않았지만, 상기 잔존하는 제4 감광막패턴(125a)을 제거함으로써 본 발명에 따른 횡전계 방식 액정표시장치용 어레이기판 제조공정을 완료한다.

[0079] 이후에, 도면에는 도시하지 않았지만, 컬러필터 기판 제조 공정과 함께 어레이기판과 컬러필터 기판 사이에 액정층을 충전하는 공정을 수행함으로써 본 발명에 따른 에프에프에스(FFS) 방식 액정표시장치를 제조하게 된다.

[0080] 이상에서와 같이, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판 및 그 제조방법에 따르면, 이중 구조의 보호막과 게이트절연막 각각을 사이에 두고 서로 오버랩되는 공통전극 연결배선과 드레인전극 사이와, 드레인전극과 공통배선 사이 각각에 캐패시터가 동시에 형성되도록 함으로써, 기존에 비해 동일 면적하에서 캐패시턴스를 증가시킬 수 있으므로, 캐패시터를 형성하기 위한 면적을 축소하여 개구율을 증가시킬 수 있다.

[0081] 또한, 본 발명에 따른 횡전계 방식 액정표시장치용 어레이 기판 및 그 제조방법에 따르면, 데이터배선과 공통전극 연결배선 사이에 단일 층의 보호막이 형성되는 경우에 공정 진행시에 발생하는 이물에 의해 이들 데이터배선과 공통전극 연결배선 사이에 쇼트(short) 불량 발생하기 쉬우므로, 보호막을 이중 구조로 구성함으로써 이와 같은 데이터배선과 공통전극 연결배선 사이에 발생할 수 있는 쇼트(short) 불량을 억제할 수 있다.

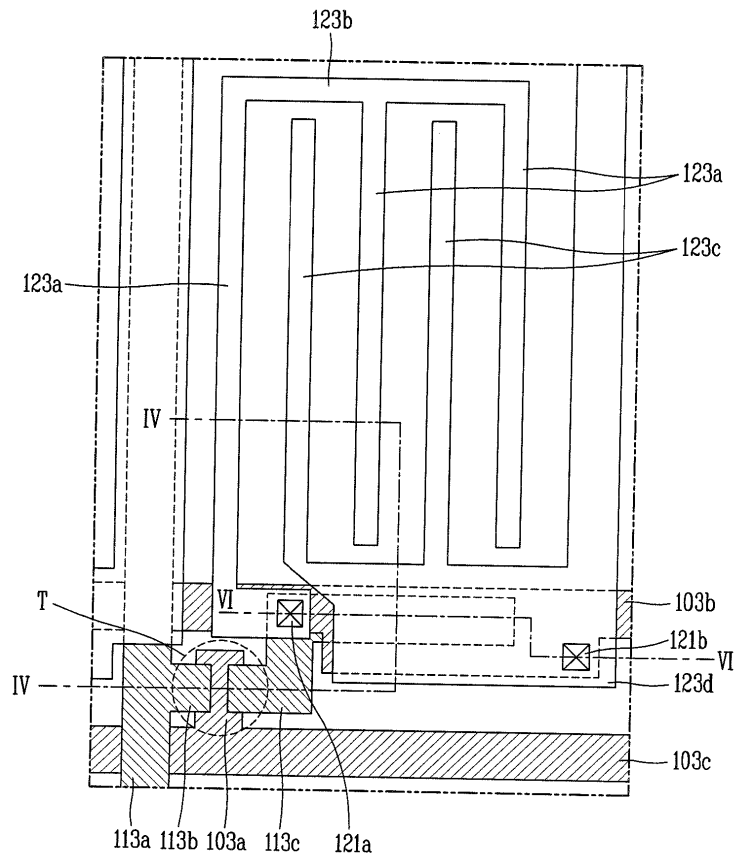
[0082] 이상에서 본 발명의 바람직한 실시 예에 대하여 상세하게 설명하였지만, 당해 기술 분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 타 실시예가 가능하다는 점을 이해할 수 있을 것이다.

[0083] 따라서, 본 발명의 권리 범위는 이에 한정되는 것은 아니고 다음의 청구범위에서 정의하고 있는 본 발명의 기본 개념을 이용한 당업자의 여러 변형 및 개량 형태 또한 본 발명의 권리범위에 속하는 것이다.

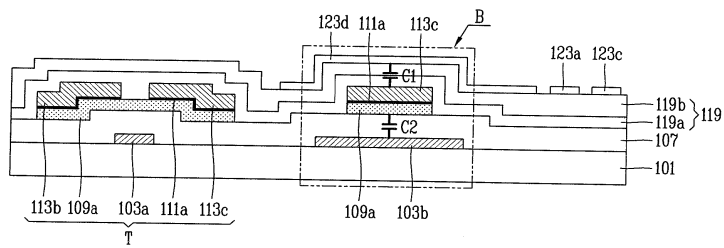
부호의 설명

[0084] 101: 기판
103: 제1 도전 금속층
103a: 게이트전극
103b: 공통배선
103c: 게이트배선
105: 제1 감광막
105a: 제1 감광막패턴
107: 게이트절연막
109: 비정질 실리콘층
109a: 활성층
111a: 오믹콘택층
113: 제2 도전성 금속층
113a: 데이터배선
113b: 소스전극
113c: 드레인전극
115: 제2 감광막
115a: 제1패턴
115b: 제2 패턴
117: 회절마스크
117a: 광차단부
117b: 반투과부
117c: 투과부
119: 보호막
119a: 하부 보호막
119b: 상부 보호막
120: 제3 감광막
121a: 드레인전극 콘택홀
121b: 공통배선 콘택홀

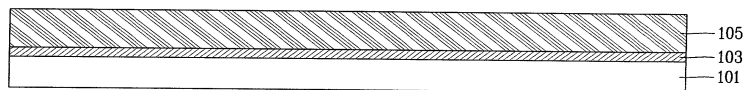
도면3



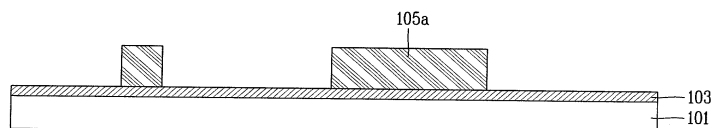
도면4



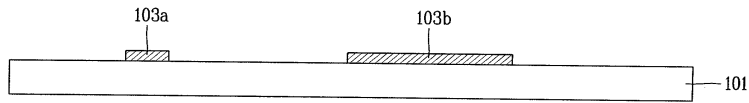
도면5a



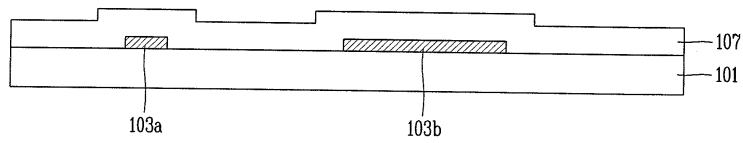
도면5b



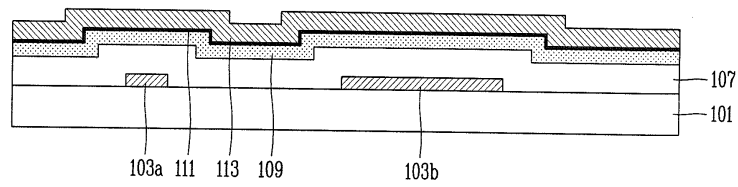
도면5c



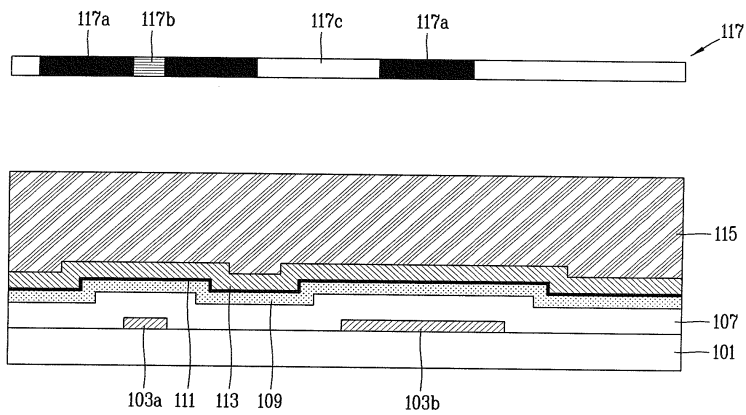
도면5d



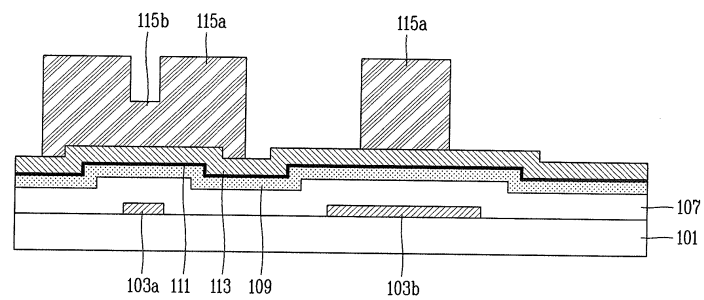
도면5e



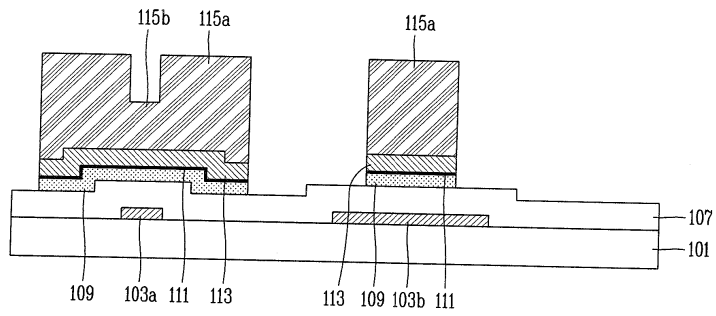
도면5f



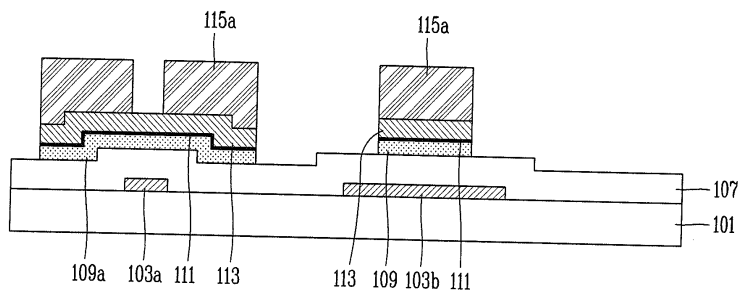
도면5g



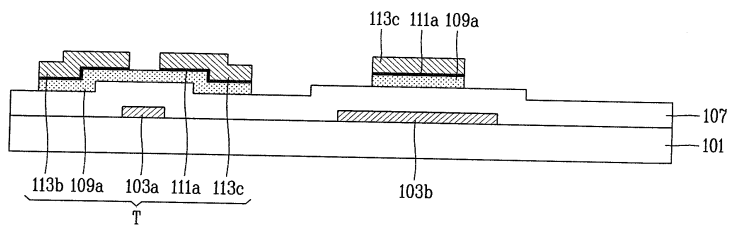
도면5h



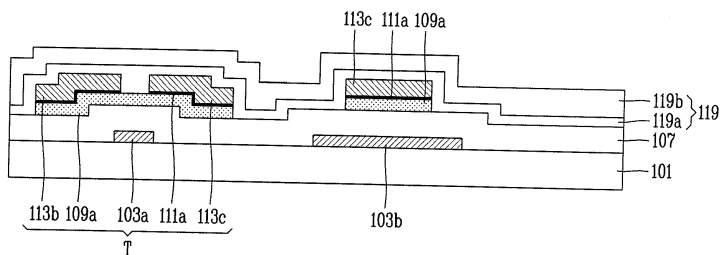
도면5i



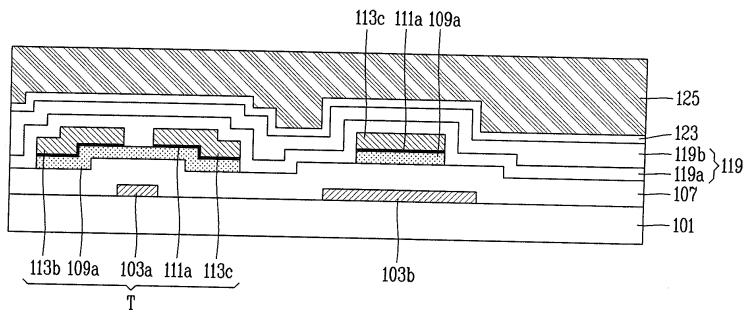
도면5j



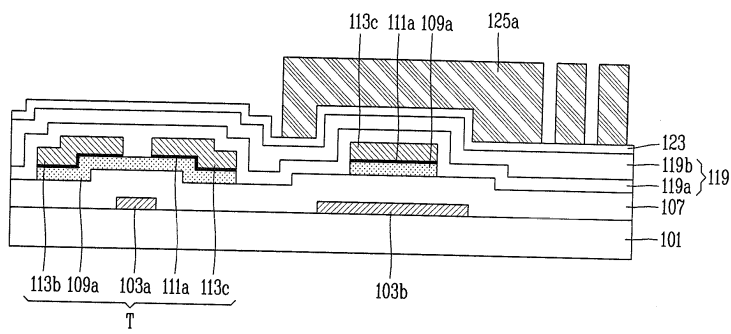
도면5k



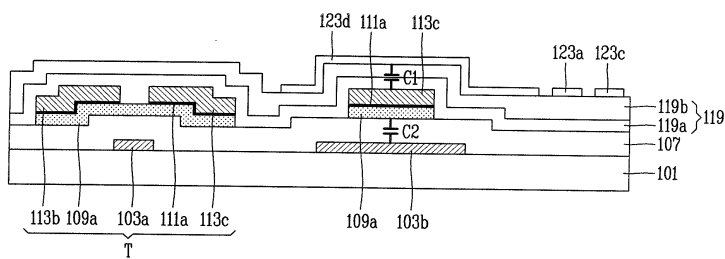
도면5l



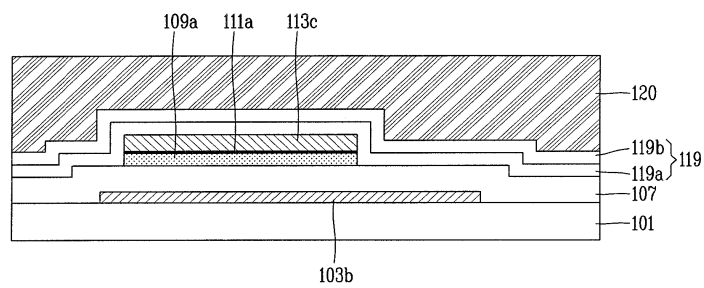
도면5m



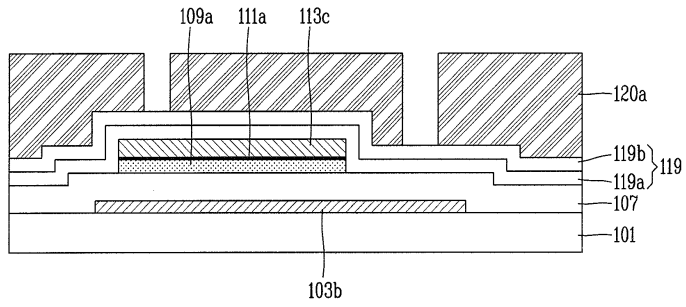
도면5n



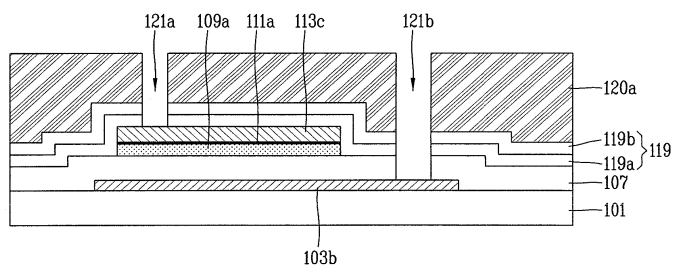
도면6a



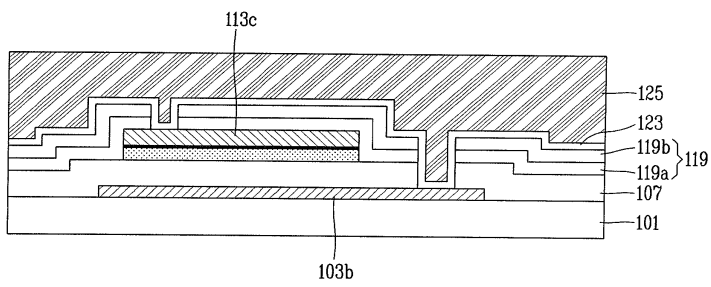
도면6b



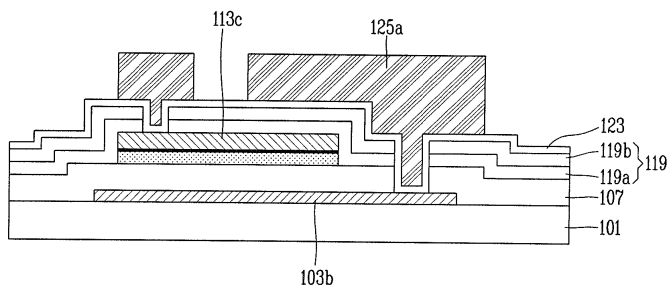
도면6c



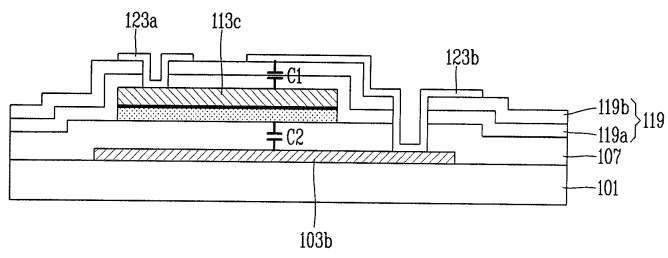
도면6d



도면6e



도면6f



专利名称(译)	标题：横向电场型液晶显示装置用阵列基板及其制造方法		
公开(公告)号	KR1020120073905A	公开(公告)日	2012-07-05
申请号	KR1020100135829	申请日	2010-12-27
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	LEE MIN JIC 이민직		
发明人	이민직		
IPC分类号	G02F1/1343		
CPC分类号	H01L29/66765 G02F1/134363 G02F1/136213 G02F1/1368 G02F2001/13606 H01L27/1255 H01L27/1288		
代理人(译)	박장원		
其他公开文献	KR101298613B1		
外部链接	Espacenet		

摘要(译)

本发明涉及一种横向电场型的液晶显示阵列面板和用于该装置的制造方法中，在平行于基片上沿一个方向延伸到所述多条栅极连线和彼此分离所公开的配置；公共布线形成在基板上，以与栅极布线隔开；多条数据线与栅极线交叉并在交叉区域中限定像素区域；一种薄膜晶体管，形成在栅极线和数据线之间的交叉点处，并包括栅电极，栅极绝缘膜，有源层，源电极和漏电极；在包括薄膜晶体管的基板的整个表面上形成双重结构的保护层；多个像素电极设置在通过使栅极线和数据线交叉并且电连接到漏电极而形成的像素区域中的钝化层上；与多个公共电极的连接公共电极被布置为从所述保护膜与像素电极隔开，与所述多个公共电极与共用配线和漏电极布线重叠的连接；并且，电容器形成在公共电极连接布线和漏电极之间以及漏电极和公共布线之间，分别形成在保护膜的上方和下方以及双层结构的栅极绝缘膜之间。

