



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0063362
(43) 공개일자 2012년06월15일

- | | |
|---|--|
| <p>(51) 국제특허분류(Int. Cl.)
<i>G02F 1/1343</i> (2006.01) <i>G02F 1/136</i> (2006.01)</p> <p>(21) 출원번호 10-2010-0124492</p> <p>(22) 출원일자 2010년12월07일
심사청구일자 없음</p> | <p>(71) 출원인
엘지디스플레이 주식회사
서울특별시 영등포구 여의대로 128(여의도동)</p> <p>(72) 발명자
홍현석
경기도 고양시 일산서구 대산로 106, 109동 502호 (주엽동, 강선마을)</p> <p>이도영
경기도 파주시 탄현면 참매미길 185, 대명하우스 203호</p> <p>(74) 대리인
특허법인네이트</p> |
|---|--|

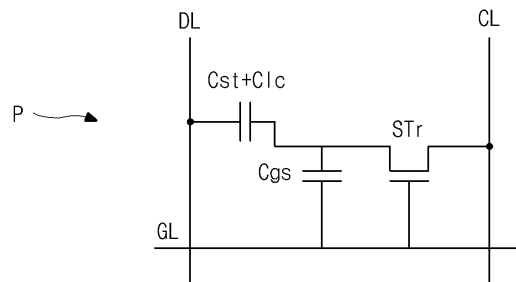
전체 청구항 수 : 총 9 항

(54) 발명의 명칭 액정표시장치의 어레이 기판 및 그의 제조방법

(57) 요약

본 발명은 공통배선과 공통전극 사이에 스위칭 트랜지스터가 개재되는 액정표시장치의 어레이 기판 및 그의 제조방법에 관한 것으로, 액정표시장치의 어레이 기판은 기판 상의 다수의 데이터 배선; 상기 다수의 데이터 배선에 연결되는 다수의 화소전극; 상기 다수의 데이터 배선과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선; 상기 다수의 데이터 배선과 평행한 다수의 공통배선; 상기 다수의 화소전극과 중첩되는 다수의 공통전극; 및 상기 다수의 공통배선과 상기 다수의 공통전극 사이에 개재되어 상기 다수의 공통배선의 공통전압을 상기 다수의 공통전극에 인가하거나 차단하는 다수의 박막 트랜지스터;를 포함하는 것을 특징으로 한다.

대표도 - 도3



특허청구의 범위

청구항 1

기관 상의 다수의 데이터 배선;

상기 다수의 데이터 배선에 연결되는 다수의 화소전극;

상기 다수의 데이터 배선과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선;

상기 다수의 데이터 배선과 평행한 다수의 공통배선;

상기 다수의 화소전극과 중첩되는 다수의 공통전극; 및

상기 다수의 공통배선과 상기 다수의 공통전극 사이에 개재되어 상기 다수의 공통배선의 공통전압을 상기 다수의 공통전극에 인가하거나 차단하는 다수의 박막 트랜지스터;

를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 2

제 1 항에 있어서,

상기 다수의 데이터 배선과 대향하는 상기 다수의 화소영역에 인접한 화소영역의 전계를 차단하기 위한 전계 차단전극을 더욱 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 3

제 1 항에 있어서,

상기 다수의 공통배선 각각은 다수의 공통배선패턴과 상기 다수의 공통배선패턴을 연결하는 다수의 연결패턴을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 4

제 1 항에 있어서,

상기 다수의 박막 트랜지스터 각각은,

상기 다수의 게이트 배선에 연결되는 게이트 전극;

상기 게이트 전극과 대응되는 게이트 절연층 상의 활성층;

상기 활성층의 일단과 연결되고 상기 다수의 공통배선에서 연장되는 소스전극과, 상기 소스전극과 이격되고 상기 다수의 공통전극과 연결되는 드레인 전극;

을 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기관.

청구항 5

기관 상에 다수의 데이터 배선 및 상기 다수의 데이터 배선에 연결되는 다수의 화소전극을 형성하는 단계;

상기 다수의 데이터 배선과 평행한 다수의 공통배선, 상기 다수의 데이터 배선과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선 및 상기 다수의 공통배선과 상기 다수의 게이트 배선과 연결되는 다수의 박막 트랜지스터를 형성하는 단계; 및

상기 다수의 박막 트랜지스터와 연결되는 다수의 공통전극을 형성하는 단계;
 를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 6

제 5 항에 있어서,
 상기 다수의 데이터 배선과 대향하는 상기 다수의 화소영역에 다수의 전계차단전극을 형성하는 단계를 포함하
 는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 7

제 5 항에 있어서,
 상기 다수의 박막 트랜지스터를 형성하는 단계는,
 상기 기판 상에 게이트 전극을 형성하는 단계;
 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계;
 상기 게이트 전극에 대응되는 상기 게이트 절연층 상에 활성층과, 상기 활성층의 일단과 연결되고 상기 다수
 의 공통배선에서 연장되는 소스전극과 상기 소스전극과 이격되고 상기 다수의 공통전극과 연결되는 드레인 전
 극을 형성하는 단계;
 상기 활성층 및 상기 소스 및 드레인 전극을 포함한 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및
 상기 보호층 및 상기 게이트 절연층에 콘택홀을 형성하고, 상기 콘택홀을 통하여 상기 게이트 배선과 상기 게
 이트 전극을 연결시키는 연결패턴을 형성하는 단계;
 를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 8

제 5 항에 있어서,
 상기 다수의 공통배선을 형성하는 단계는,
 상기 기판 상에 다수의 공통배선패턴을 형성하는 단계;
 상기 다수의 공통배선패턴을 포함하는 상기 기판 상에 보호층을 형성하는 단계; 및
 상기 보호층에 다수의 콘택홀을 형성하고 상기 다수의 콘택홀을 상기 다수의 공통배선패턴을 연결시키는 다수
 의 연결패턴을 형성하는 단계;
 를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

청구항 9

기판 상에 다수의 데이터 배선, 다수의 게이트 전극 및 상기 다수의 데이터 배선에 연결되는 다수의 화소전극
 을 형성하는 단계;
 상기 다수의 데이터 배선, 상기 다수의 게이트 전극 및 상기 다수의 화소전극을 포함한 상기 기판 상에 게이
 트 절연층을 형성하는 단계;
 상기 게이트 절연층 상에 상기 다수의 데이터 배선과 평행한 다수의 공통배선패턴, 상기 다수의 데이터 배선
 과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선, 및 상기 다수의 공통배선패턴과 상기
 다수의 게이트 배선과 연결되고, 다수의 활성층, 다수의 소스 및 드레인 전극 및 상기 다수의 게이트 전극을

로 구성되는 다수의 박막 트랜지스터를 형성하는 단계;

상기 다수의 공통배선패턴, 상기 다수의 게이트 배선 및 상기 다수의 박막 트랜지스터를 포함하는 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및

상기 보호층 상에 상기 다수의 박막 트랜지스터와 연결되는 다수의 공통전극, 상기 다수의 공통배선패턴을 연결시키는 다수의 제 1 연결패턴, 및 상기 다수의 게이트 전극과 상기 다수의 게이트 배선을 연결시키는 다수의 제 2 연결패턴을 형성하는 단계;

를 포함하는 것을 특징으로 하는 액정표시장치용 어레이 기판의 제조방법.

명세서

기술분야

[0001] 본 발명은 공통배선과 공통전극 사이에 스위칭 트랜지스터가 개재되는 액정표시장치의 어레이 기판 및 그의 제조방법에 관한 것이다.

배경기술

[0002] 일반적으로, 액정표시장치는 액정의 광학적 이방성과 분극성질을 이용하여 구동된다. 액정은 구조가 가늘고 길기 때문에 분자의 배열에 방향성을 가지고 있으며, 인위적으로 액정에 전기장을 인가하여 분자배열의 방향을 제어할 수 있다. 따라서, 액정의 분자배열 방향을 임의로 조절하면, 액정의 분자배열이 변하게 되고, 광학적 이방성에 의해 액정의 분자배열 방향으로 빛이 굴절하여 화상정보를 표현할 수 있다.

[0003] 현재에는 박막트랜지스터와 박막트랜지스터에 연결된 화소전극이 행렬방식으로 배열된 능동행렬 액정표시장치(AM-LCD : Active Matrix LCD 이하, 액정표시장치로 약칭함)가 해상도 및 동영상 구현능력이 우수하여 가장 주목받고 있다.

[0004] 액정표시장치는 공통전극이 형성된 컬러필터 기판, 화소전극이 형성된 어레이 기판, 및 두 기판 사이에 개재된 액정으로 이루어지고, 이러한 액정표시장치는 공통전극과 화소전극 사이에 유기되는 수직전계에 의해 액정을 구동하는 방식으로 투과율과 개구율 등의 특성이 우수하지만, 수직전계에 의한 액정구동은 시야각 특성이 우수하지 못한 단점을 가지고 있다. 시야각의 단점을 극복하기 위해 시야각 특성이 우수한 횡전계형 액정표시장치가 제안되었다. 그러나, 횡전계형 액정표시장치는 시야각을 향상시키는 장점을 가지고 있지만, 개구율 및 투과율이 낮은 단점이 있다. 횡전계형 액정표시장치의 단점을 개선하기 위하여 프린지 필드(fringe field)에 의해 액정이 동작하는 것을 특징으로 하는 프린지 필드 스위칭 모드 액정표시장치(fringe field switching mode LCD)가 개발되었다.

[0005] 도면을 참조하여 종래기술에 따른 액정표시장치의 어레이 기판에 대하여 상세하게 설명하면 다음과 같다.

[0006] 도 1은 종래기술에 따른 액정표시장치의 어레이 기판에 대한 평면도이다. 도 1은 화소전극과 공통전극 사이에서 발생하는 수직 전계에 의해서 액정이 구동하는 프린지 필드 스위칭 모드 액정표시장치의 어레이 기판을 도시한다.

[0007] 액정표시장치의 어레이 기판(10)은, 다수의 게이트 배선(12), 다수의 데이터 배선(14), 다수의 게이트 배선(12) 및 데이터 배선(14)의 교차에 의해서 정의되는 다수의 화소영역(PA), 다수의 화소영역(PA) 각각에 위치하고 게이트 및 데이터 배선(12, 14)과 연결되고 스위칭 기능을 하는 박막 트랜지스터(16), 박막 트랜지스터(16)에 연결되는 화소전극(18), 및 화소전극(18)과 함께 수직전계를 발생시켜 액정을 구동시키는 공통전극(20)을 포함하여 구성된다.

- [0008] 박막 트랜지스터(16)는, 게이트 배선(12)과 연결되는 게이트 전극(22), 게이트 전극(22) 상에 게이트 절연층(도시하지 않음)을 개재하여 형성되는 활성층(24), 및 활성층(24)의 일단 및 타단과 연결되는 소스 및 드레인 전극(26a, 26b)을 포함하여 구성된다. 소스 및 드레인 전극(26a, 26b)은 서로 이격되어 형성되고, 소스전극(26a)은 데이터 배선(14) 및 활성층(24)의 일단과 연결되고, 드레인 전극(26b)은 화소전극(18)과 연결된다.
- [0009] 화소전극(18)은 화소영역(PA)의 내부에 형성되고, 게이트 및 데이터 배선(12, 14)과 이격되며 관형으로 형성된다. 공통전극(20)은 어레이 기관(110) 전체에 걸쳐서 형성되고, 화소전극(18)과 중첩되는 부분에 다수의 개구부(20a)가 형성된다. 공통전극(20)은 어레이 기관(10) 전체에 걸쳐 형성되어 있어, 동일한 전압이 인가된다. 수직으로 배열되는 화소전극(18)과 공통전극(20) 사이에서 발생하는 프린지 필드(fringe field)가 다수의 개구부(20a)에 유기되어 액정층(도시하지 않음)을 구동시킨다.
- [0010] 도 2는 종래기술에 따른 액정표시장치용 어레이 기관의 단면도이다. 도 2는 도 1의 어레이 기관(10)을 I-I'로 절단한 단면도를 도시한다.
- [0011] 절연기관(40) 상에 게이트 배선(12)과 게이트 배선(12)로부터 연장된 게이트 전극(22)이 형성되고, 게이트 배선(12) 및 게이트 전극(22)을 포함한 절연기관(40) 상에 게이트 절연층(30)이 형성된다. 게이트 절연층(30) 상에 게이트 배선(12)과 수직으로 교차하는 데이터 배선(14), 활성층(24), 활성층(24)와 연결되고 데이터 배선(14)으로부터 연장되는 소스전극(26a), 소스전극(26a)과 이격되고 활성층(24)에 연결되는 드레인 전극(26b)이 형성된다. 활성층(24)은 게이트 전극(22)에 대응되는 게이트 전극(22) 상에 형성된다. 드레인 전극(26b)과 연결되는 화소전극(18)은 도 1의 화소영역(PA)에 대응되는 게이트 절연층(30) 상에 형성된다.
- [0012] 데이터 배선(14), 활성층(24), 소스 및 드레인 전극(26a, 26b), 및 화소전극(18)을 포함하는 게이트 절연층(30) 상에 보호층(32)을 형성하고, 보호층(32) 상에 공통전극(20)을 형성한다. 공통전극(20)은 절연기관(40) 전체에 걸쳐서 형성되고, 화소전극(18)과 중첩되는 부분에 다수의 개구부(20a)가 형성된다. 수직으로 배열되는 화소전극(18)과 공통전극(20) 사이에서 발생하는 프린지 필드(fringe field)가 다수의 개구부(20a)에 유기되어 액정층(도시하지 않음)을 구동시킨다.
- [0013] 도 1 및 도 2와 같은 종래기술의 액정표시장치용 어레이 기관(10)에서, 데이터 배선(14)과 공통배선(20)이 중첩되어 있어, 데이터 배선(14)과 공통배선(20) 사이에 발생하는 정전용량(capacitance)에 의해 데이터 배선(14)을 통하여 화소전극(18)에 전달되는 화상신호의 속도가 지연되어 고속구동에 불리한 요인으로 작용한다. 데이터 배선(14)과 공통배선(20) 사이에서 발생하는 정전용량을 감소시키기 위하여, 보호층(32)의 두께를 증가시킬 수 있지만, 이러한 경우 투과율이 감소하는 문제가 발생한다.

발명의 내용

해결하려는 과제

- [0014] 상기와 같은 문제를 해결하기 위해, 본 발명은 정전용량에 의한 데이터 배선의 저항성분을 감소시키기 위하여 데이터 배선에 화소전극을 연결하고, 공통배선과 공통전극 사이에 스위칭 트랜지스터를 설치하여, 스위칭 트랜지스터의 동작에 의해 공통전극에 공통전압이 인가되면, 공통전극과 화소전극 사이의 전압차에 의해 액정층이 구동하고, 공통전극에 공통전압이 차단되면 스토리지 캐패시턴스에 의해 다음 프레임까지 공통전극과 화소전극 사이의 전압차가 유지되는 액정표시장치용 어레이 기관 및 그의 제조방법을 제공하는 것을 목적으로 한다.

과제의 해결 수단

- [0015] 상기와 같은 목적을 달성하기 위해, 본 발명은 기관 상의 다수의 데이터 배선; 상기 다수의 데이터 배선에 연결되는 다수의 화소전극; 상기 다수의 데이터 배선과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선; 상기 다수의 데이터 배선과 평행한 다수의 공통배선; 상기 다수의 화소전극과 중첩되는 다수의 공통전극; 및 상기 다수의 공통배선과 상기 다수의 공통전극 사이에 개재되어 상기 다수의 공통배선의 공통전압을 상기 다수의 공통전극에 인가하거나 차단하는 다수의 박막 트랜지스터;를 포함하는 액정표시장치용 어레이 기관을 제공한다.
- [0016] 상기 다수의 데이터 배선과 대향하는 상기 다수의 화소영역에 인접한 화소영역의 전계를 차단하기 위한 전계 차단전극을 더욱 포함하는 액정표시장치용 어레이 기관을 제공한다.
- [0017] 상기 다수의 공통배선 각각은 다수의 공통배선패턴과 상기 다수의 공통배선패턴을 연결하는 다수의 연결패턴을 포함하는 액정표시장치용 어레이 기관을 제공한다.
- [0018] 상기 다수의 박막 트랜지스터 각각은, 상기 다수의 게이트 배선에 연결되는 게이트 전극; 상기 게이트 전극과 대응되는 게이트 절연층 상의 활성층; 상기 활성층의 일단과 연결되고 상기 다수의 공통배선에서 연장되는 소스전극과, 상기 소스전극과 이격되고 상기 다수의 공통전극과 연결되는 드레인 전극;을 포함하는 액정표시장치용 어레이 기관을 제공한다.
- [0019] 상기와 같은 목적을 달성하기 위해, 본 발명은 기관 상에 다수의 데이터 배선 및 상기 다수의 데이터 배선에 연결되는 다수의 화소전극을 형성하는 단계; 상기 다수의 데이터 배선과 평행한 다수의 공통배선, 상기 다수의 데이터 배선과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선 및 상기 다수의 공통배선과 상기 다수의 게이트 배선과 연결되는 다수의 박막 트랜지스터를 형성하는 단계; 및 상기 다수의 박막 트랜지스터와 연결되는 다수의 공통전극을 형성하는 단계;를 포함하는 액정표시장치용 어레이 기관의 제조방법을 제공한다.
- [0020] 상기 다수의 데이터 배선과 대향하는 상기 다수의 화소영역에 다수의 전계차단전극을 형성하는 단계를 포함하는 액정표시장치용 어레이 기관의 제조방법을 제공한다.
- [0021] 상기 다수의 박막 트랜지스터를 형성하는 단계는, 상기 기관 상에 게이트 전극을 형성하는 단계; 상기 게이트 전극 상에 게이트 절연층을 형성하는 단계; 상기 게이트 전극에 대응되는 상기 게이트 절연층 상에 활성층과, 상기 활성층의 일단과 연결되고 상기 다수의 공통배선에서 연장되는 소스전극과 상기 소스전극과 이격되고 상기 다수의 공통전극과 연결되는 드레인 전극을 형성하는 단계; 상기 활성층 및 상기 소스 및 드레인 전극을 포함한 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및 상기 보호층 및 상기 게이트 절연층에 콘택홀을 형성하고, 상기 콘택홀을 통하여 상기 게이트 배선과 상기 게이트 전극을 연결시키는 연결패턴을 형성하는 단계;를 포함하는 액정표시장치용 어레이 기관의 제조방법을 제공한다.
- [0022] 상기 다수의 공통배선을 형성하는 단계는, 상기 기관 상에 다수의 공통배선패턴을 형성하는 단계; 상기 다수의 공통배선패턴을 포함하는 상기 기관 상에 보호층을 형성하는 단계; 및 상기 보호층에 다수의 콘택홀을 형성하고 상기 다수의 콘택홀을 상기 다수의 공통배선패턴을 연결시키는 다수의 연결패턴을 형성하는 단계;를 포함하는 액정표시장치용 어레이 기관의 제조방법을 제공한다.
- [0023] 상기와 같은 목적을 달성하기 위해, 본 발명은 기관 상에 다수의 데이터 배선, 다수의 게이트 전극 및 상기 다수의 데이터 배선에 연결되는 다수의 화소전극을 형성하는 단계; 상기 다수의 데이터 배선, 상기 다수의 게이트 전극 및 상기 다수의 화소전극을 포함한 상기 기관 상에 게이트 절연층을 형성하는 단계; 상기 게이트 절연층 상에 상기 다수의 데이터 배선과 평행한 다수의 공통배선패턴, 상기 다수의 데이터 배선과 수직으로 교차하여 다수의 화소영역을 정의하는 다수의 게이트 배선, 및 상기 다수의 공통배선패턴과 상기 다수의 게이트

트 배선과 연결되고, 다수의 활성층, 다수의 소스 및 드레인 전극 및 상기 다수의 게이트 전극으로 구성되는 다수의 박막 트랜지스터를 형성하는 단계; 상기 다수의 공통배선패턴, 상기 다수의 게이트 배선 및 상기 다수의 박막 트랜지스터를 포함하는 상기 게이트 절연층 상에 보호층을 형성하는 단계; 및 상기 보호층 상에 상기 다수의 박막 트랜지스터와 연결되는 다수의 공통전극, 상기 다수의 공통배선패턴을 연결시키는 다수의 제 1 연결패턴, 및 상기 다수의 게이트 전극과 상기 다수의 게이트 배선을 연결시키는 다수의 제 2 연결패턴을 형성하는 단계;를 포함하는 액정표시장치용 어레이 기판의 제조방법을 제공한다.

발명의 효과

[0024] 본 발명에 따른 액정표시장치용 어레이 기판은 데이터 배선에 화소전극을 연결하고, 공통배선과 공통전극 사이에 스위칭 트랜지스터를 설치하여, 스위칭 트랜지스터의 동작에 의해 공통전극에 공통전압이 인가되면, 공통전극과 화소전극 사이의 전압차에 의해 액정층이 구동하고, 공통전극에 공통전압이 차단되면 스토리지 캐패시턴스에 의해 다음 프레임까지 공통전극과 화소전극 사이의 전압차가 유지되는 구동방식을 이용하여, 데이터 배선의 저항성분을 최소화하여 고속구동이 가능하고, 보호층의 두께를 감소시킬 수 있어 투과율이 개선된다.

도면의 간단한 설명

- [0025] 도 1은 종래기술에 따른 액정표시장치의 어레이 기판에 대한 평면도
- 도 2는 종래기술에 따른 액정표시장치용 어레이 기판의 단면도
- 도 3은 본 발명의 실시예에 따른 액정표시장치의 단위화소에 대한 회로도
- 도 4는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 평면도
- 도 5는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 단면도

발명을 실시하기 위한 구체적인 내용

[0026] 이하에서는 도면을 참조하여 본 발명의 다양한 실시예를 상세히 설명하기로 한다.

[0027] 도 3은 본 발명의 실시예에 따른 액정표시장치의 단위화소에 대한 회로도이다.

[0028] 단위화소(P)는 제 1 방향으로 배열되는 게이트 배선(GL), 제 1 방향과 수직인 제 2 방향으로 배열되는 데이터 배선(DL), 제 2 방향으로 배열되는 공통배선(CL), 및 게이트 배선(GL)과 공통배선(CL)에 연결되고 액정층(도시하지 않음)에 인가되는 공통전압을 스위칭하는 스위칭 트랜지스터(STr)를 포함하여 구성된다. 게이트 배선(GL)을 통해 신호가 인가되어 스위칭 트랜지스터(STr)가 턴온(turn-on)되면, 공통배선(CL)의 전압신호가 스위칭 트랜지스터(STr)를 통하여 인가된 공통전압과 데이터 배선(DL)을 통한 화상신호에 의해 액정층이 구동하게 된다. 스위칭 트랜지스터(STr)이 턴오프(turn-off)되면, Cst 및 Clc에 의해 다음 프레임(frame)까지 공통전압과 화상신호 사이의 전위차가 유지된다.

[0029] 도 4는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 평면도이다.

[0030] 액정표시장치의 어레이 기판(110)은, 게이트 배선(112), 공통배선(114), 데이터 배선(116), 화소영역(PA), 박막 트랜지스터(156), 화소전극(118), 공통전극(120) 및 전계차단전극(128)을 포함하여 구성된다.

[0031] 게이트 배선(112)은 제 1 방향으로 배열되고, 공통배선(114) 및 데이터 배선(116)은 제 1 방향과 수직인 제 2 방향으로 배열된다. 화소영역(PA)은 게이트 배선(112) 및 데이터 배선(116)의 교차에 의해 정의된다. 공통배선(114)은 다수의 공통배선패턴(114a) 및 다수의 공통배선패턴(114a)을 연결하는 다수의 제 1 연결패턴(114b)을 포함하여 구성된다. 다수의 공통배선패턴(114a)은 다수의 제 1 콘택홀(CNT1)을 통하여 다수의 제 1 연결패턴(114b)에 연결된다. 다수의 제 1 콘택홀(CNT1)은 다수의 공통배선패턴(114a)의 양단부에 형성된다.

- [0032] 데이터 배선(116)에는 다수의 화소전극(118)이 연결되어, 항상 데이터 배선(116)의 화상신호가 다수의 화소전극(118) 각각에 인가된다. 전계차단전극(128)은 데이터 배선(116)과 대향하는 화소영역(PA)에 형성되며, 인접한 화소영역(PA)에서 생성되는 전계를 차단하는 기능을 한다. 전계차단전극(128)은 화소전극(118)과 전기적으로 연결된다.
- [0033] 박막 트랜지스터(156)는 게이트 배선(112)과 공통배선(114) 사이에 연결되어, 공통배선(114)의 공통전압을 공통전극(120)에 인가하거나 또는 차단시키는 스위칭 기능을 한다, 박막 트랜지스터(156)는 게이트 전극(122), 게이트 절연층(도시하지 않음), 활성층(124), 소스 및 드레인 전극(126a, 126b)을 포함하여 구성된다. 게이트 전극(122)은 고립패턴으로 형성되고 데이터 배선(116)과 동시에 형성된다.
- [0034] 게이트 전극(122)은 제 2 및 제 3 콘택홀(CNT2, CNT3)을 통하여 제 2 연결패턴(122a)에 의해 게이트 배선(112)에 연결된다. 제 2 콘택홀(CNT2)은 게이트 전극(122)에 형성되고, 제 3 콘택홀(CNT3)은 게이트 배선(112)에 형성된다. 활성층(124)은 게이트 전극(122)에 대응되는 게이트 절연층 상에 형성되고, 활성층(124)의 일단 및 타단에는 서로 이격되어 형성되는 소스 및 드레인 전극(126a, 126b)이 연결된다. 소스전극(126a)은 공통배선(114)의 공통배선패턴(114a)로부터 연장되고 형성되고, 드레인 전극(126b)은 제 4 콘택홀(CNT4)을 통하여 공통전극(120)에 연결된다.
- [0035] 화소전극(118)은 데이터 배선(116)과 전기적으로 직접 연결되고 화소영역(PA)에 형성된다. 공통전극(114)은 화소전극(118)과 중첩되어 형성되며, 다수의 개구부(120a)를 가진다. 화소전극(118)과 공통전극(120) 사이에는 액정층(도시하지 않음)을 구동시키는 수직전계가 발생한다.
- [0036] 도 5는 본 발명의 실시예에 따른 액정표시장치용 어레이 기판의 단면도이다. 도 5에서는 도 4의 어레이 기판(110)을 II-II'로 절단한 제 1 영역(R1)과 III-III'로 절단한 제 2 영역(R2)을 구분하여 도시한다.
- [0037] 절연기판(140) 상에 데이터 배선(116), 게이트 전극(122), 화소전극(118) 및 전계차단전극(128)을 형성한다. 데이터 배선(116)과 화소전극(118)이 연결되어, 항상 데이터 배선(116)의 화상신호가 화소전극(118) 각각에 인가되고, 전계차단전극(128)은 데이터 배선(116)과 대향하는 화소영역(PA)에 형성되며, 인접한 화소영역(PA)에서 발생하는 화소전극(118)과 공통전극(120) 사이에서 발생하는 수직전계의 영향을 차단하는 기능을 한다. 그리고, 게이트 전극(122)은 고립패턴으로 형성되고 데이터 배선(116)과 동시에 형성된다.
- [0038] 데이터 배선(116), 게이트 전극(122) 및 전계 차단전극(128)은 투명 도전성 산화물인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 사용하는 제 1 하부 금속 물질층(도시하지 않음)과 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물질을 사용하여, 단일층 또는 이중층으로 형성되는 제 1 상부 금속 물질층(도시하지 않음)으로 이루어진다. 화소전극(118)은 투명 도전성 산화물인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 사용하는 제 1 하부 금속 물질층으로 구성된다.
- [0039] 데이터 배선(116), 게이트 전극(122), 화소전극(118) 및 전계차단전극(128)을 포함하는 절연기판(140) 상에 게이트 절연층(130)이 형성되고, 게이트 절연층(130) 상에 공통배선패턴(114a), 활성층(124) 및 소스 및 드레인 전극(126a, 126b)이 형성된다. 게이트 절연층(130)은 실리콘 산화물(SiO₂) 또는 실리콘 질화물(SiN_x)으로 형성한다. 활성층(124)은 게이트 전극(122)에 대응되는 게이트 절연층(124)에 형성되고, 활성층(124)의 일단 및 타단에는 서로 이격되어 형성되는 소스 및 드레인 전극(126a, 126b)이 연결된다. 소스전극(126a)은 공통배선패턴(114a)로부터 연장되고 형성된다.

- [0040] 공통배선패턴(114a) 및 소스 및 드레인 전극(126a, 126b)은 불순물이 도핑되지 않은 제 1 비정질 실리콘층(도시하지 않음)과 제 1 비정질 실리콘층 상에 적층되고 N 형 불순물이 도핑된 제 2 비정질 실리콘층(도시하지 않음)을 포함하는 반도체층(도시하지 않음)과, 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물질을 사용하여, 단일층 또는 이중층으로 형성되는 제 2 금속 물질층(도시하지 않음)으로 구성된다.
- [0041] 공통배선패턴(114a), 활성층(124) 및 소스 및 드레인 전극(126a, 126b)을 포함한 게이트 절연층(130) 상에 보호층(132)이 형성되고, 보호층(132)의 선택적 식각에 의해 제 1 내지 제 4 콘택홀(CNT1, CNT2, CNT3, CNT4)이 형성된다. 보호층(132)은 실리콘 산화물(SiO₂) 및 실리콘 질화물(SiN_x)을 포함하는 무기 절연물질 또는 포도아크릴과 벤조싸이클로부텐을 포함하는 유기절연물질을 선택하여 사용할 수 있다.
- [0042] 제 1 콘택홀(CNT1)은 보호층(132)의 선택적 식각에 의해 공통배선패턴(114a)의 양단부를 노출시키고, 제 2 콘택홀(CNT2)은 게이트 절연층(130) 및 보호층(132)의 선택적 식각에 의해 게이트 전극(122)을 노출시키고, 제 3 콘택홀(CNT3)은 보호층(132)의 선택적 식각에 의해 게이트 배선(112)을 선택적으로 노출시키고, 제 4 콘택홀(CNT4)은 보호층(132)의 선택적 식각에 의해 드레인 전극(126b)을 선택적으로 노출시킨다.
- [0043] 보호층(132) 상에 다수의 개구부(120a)를 가지는 공통전극(120)과 제 1 및 제 2 연결패턴(114b, 122a)이 형성된다. 공통전극(120)과 제 1 및 제 2 연결패턴(114b, 122a)은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)를 사용하여 형성한다. 제 1 연결패턴(114b)은 제 1 콘택홀(CNT1)을 통하여 공통배선패턴(114a)을 연결시키고, 제 2 연결패턴(122a)은 제 2 및 제 3 콘택홀(CNT2, CNT3)을 통하여 게이트 전극(122)과 게이트 배선(112)을 연결시킨다. 그리고, 공통전극(120)은 제 4 콘택홀(CNT4)을 통하여 드레인 전극(126b)에 연결된다.
- [0044] 도 5와 같은 본 발명에 따른 액정표시소자의 어레이 기관(110)에 있어서, 데이터 배선(116)은 공통배선(114) 또는 공통전극(120)과 중첩되지 않으므로, 데이터 배선(116)의 전송속도를 지연시키는 정전용량(capacitance)이 발생하지 않는다. 따라서, 보호층(132)의 두께를 감소시킬 수 있다. 도 2와 같은 액정표시소자의 어레이 기관(10)에서 데이터 배선(14)과 공통전극(20)이 중첩되어 있는 경우, 보호층(32)은 대략적으로 6000Å 정도의 두께로 형성하였지만, 도 5와 같이, 데이터 배선(116)과 공통전극(120)이 중첩되지 않은 본 발명의 경우, 보호층(132)은 대략적으로 2000Å 정도의 두께로 형성하여도 충분하다.
- [0045] 도 6a 내지 도 6d는 본 발명의 실시예에 따른 액정표시장치용 어레이 기관의 제조방법을 단계적으로 도시한 공정 단면도이다. 도 6a 내지 도 6d에서는 도 4의 어레이 기관(110)을 II-II'로 절단한 제 1 영역(R1)과 III-III'로 절단한 제 2 영역(R2)을 구분하여 도시한다.
- [0046] 도 6a와 같이, 절연기관(140) 상에 데이터 배선(116), 게이트 전극(122), 화소전극(118) 및 전계 차단전극(128)을 형성한다.
- [0047] 데이터 배선(116), 게이트 전극(122), 화소전극(118) 및 전계차단전극(128)을 형성하는 방법은, 절연기관(140) 상에 제 1 하부 금속물질층(도시하지 않음) 및 제 1 상부 금속물질층(도시하지 않음)을 포함하는 제 1 금속 물질층(도시하지 않음)을 형성하는 단계, 제 1 금속 물질층 상에 제 1 감광층(도시하지 않음)을 형성하는 단계, 하프톤 영역을 가지는 제 1 마스크(도시하지 않음)를 적용한 제 1 감광층의 노광 및 현상에 의해 제 1 감광층의 제 1 패턴(도시하지 않음)과 제 1 감광층의 제 1 패턴보다 얇은 두께를 가지는 제 1 감광층의 제 2 패턴(도시하지 않음)을 포함하는 제 1 감광층 패턴을 형성하는 단계, 제 1 감광층 패턴을 식각 마스크로 제 1 금속 물질층을 식각하는 단계를 포함한다.

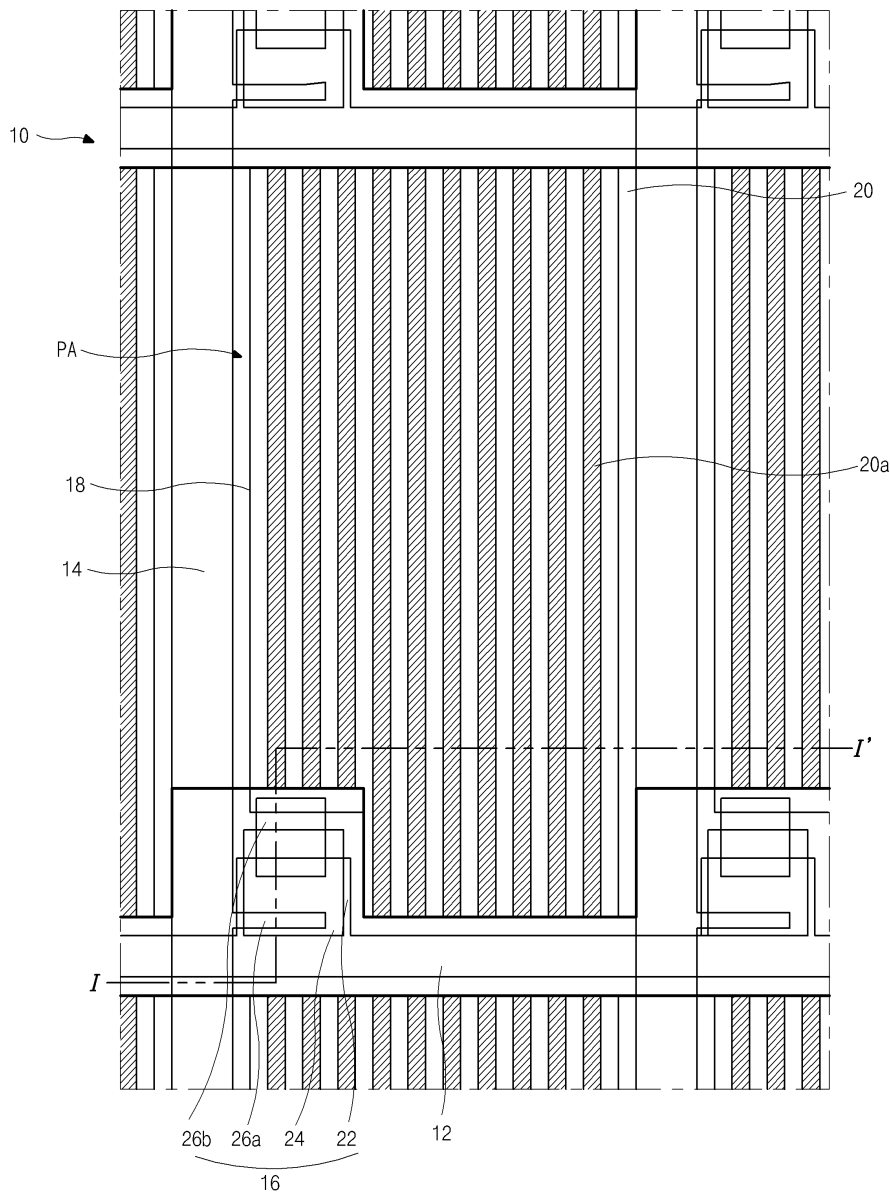
- [0048] 제 1 하부 금속 물질층은 투명 도전성 산화물인 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)을 사용하고, 제 1 상부 금속 물질층은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물질을 사용하여, 단일층 또는 이중층으로 형성한다.
- [0049] 제 1 마스크는 조사광을 모두 투과시키는 제 1 투과영역, 조사광의 일부를 투과시키는 제 1 반투과 영역 및 조사광을 모두 차폐시키는 제 1 차폐영역을 포함하고, 제 1 감광층의 제 1 패턴은 데이터 배선(116), 게이트 전극(122) 및 전계차폐전극(128)에 대응되고, 제 1 감광층의 제 2 패턴은 화소전극(118)에 대응되고, 데이터 배선(116), 게이트 전극(122) 및 전계 차폐전극(128)을 제외한 다른 영역은 투과영역에 대응된다.
- [0050] 제 1 감광층의 제 1 및 제 2 패턴을 식각 마스크로 제 1 금속 물질층을 식각하여, 데이터 배선(116), 게이트 전극(122) 및 제 1 임시패턴(도시하지 않음)을 형성한다. 제 1 금속 물질층을 식각하는 동안, 제 1 감광층의 제 1 패턴의 두께보다 얇은 두께를 가지는 제 1 감광층의 제 2 패턴은 제거되어 제 1 감광층의 제 2 패턴의 하부에 위치한 제 1 금속 물질층의 제 1 상부 금속 물질층이 노출되고, 연속해서 제 1 감광층의 제 1 패턴을 식각 마스크로 제 2 상부 금속 물질층을 식각하여, 화소전극(118)을 형성한다.
- [0051] 데이터 배선(116), 게이트 전극(122) 및 전계차단전극(128)은 제 1 하부 및 상부 금속 물질층으로 구성되고, 화소전극(118)은 제 1 하부 금속 물질층으로 구성된다. 데이터 배선(116)과 화소전극(118) 및 전계차단전극(128)은 서로 연결되어 통전상태이지만, 게이트 전극(122)은 이들과 격리된 고립패턴으로 형성된다.
- [0052] 도 6b와 같이, 데이터 배선(116), 게이트 전극(122), 화소전극(118) 및 전계 차단전극(128)을 포함한 절연기판(140) 상에 게이트 절연층(130) 형성하고, 게이트 절연층(130) 상에 게이트 배선(112), 공통배선패턴(114a), 활성층(124), 소스 및 드레인 전극(126a, 126b)을 형성한다.
- [0053] 게이트 절연층(130)은 실리콘 산화물(SiO₂) 또는 실리콘 질화물(SiN_x)과 같은 무기 절연물질을 일례로 PECVD와 같은 방법을 사용하여 형성한다.
- [0054] 게이트 배선(112), 공통배선패턴(114a), 활성층(124), 소스 및 드레인 전극(126a, 126b)을 형성하는 방법은, 게이트 절연층(130) 상에 반도체층(도시하지 않음)과 반도체층 상에 제 2 금속 물질층(도시하지 않음)을 형성하는 단계, 제 2 금속 물질층 상에 제 2 감광층(도시하지 않음)을 형성하는 단계, 하프톤 영역을 가지는 제 2 마스크(도시하지 않음)를 적용한 제 2 감광층의 노광 및 현상에 의해 제 2 감광층의 제 1 패턴(도시하지 않음)과 제 2 감광층의 제 1 패턴보다 얇은 두께를 가지는 제 2 감광층의 제 2 패턴(도시하지 않음)을 포함하는 제 2 감광층 패턴을 형성하는 단계, 제 2 감광층 패턴을 식각 마스크로 반도체층 및 제 2 금속 물질층을 식각하는 단계를 포함한다.
- [0055] 반도체층은 불순물이 도핑되지 않은 제 1 비정질 실리콘층(도시하지 않음)과 제 1 비정질 실리콘층 상에 적층되고 N 형 불순물이 도핑된 제 2 비정질 실리콘층(도시하지 않음)을 포함한다. 제 2 금속 물질층은 구리(Cu), 몰리브덴(Mo), 알루미늄(Al), 알루미늄 합금(AlNd) 및 크롬(Cr)과 같은 도전성 금속물질을 사용하여, 단일층 또는 이중층으로 형성한다.
- [0056] 제 2 마스크는 조사광을 모두 투과시키는 제 2 투과영역, 조사광의 일부를 투과시키는 제 2 반투과 영역 및 조사광을 모두 차폐시키는 제 3 차폐영역을 포함하고, 제 2 감광층을 포지티브 타입을 사용하는 경우, 제 2 감광층의 제 1 패턴은 게이트 배선(112), 공통배선패턴(114a), 소스 및 드레인 전극(126a, 126b)에 대응되고, 제 2 감광층의 제 2 패턴은 활성층(124)의 채널영역(CH)에 대응되고, 게이트 배선(112), 공통배선 패턴(114a), 활성층(124), 소스 및 드레인 전극(126a, 126b)을 제외한 다른 영역은 투과영역에 대응된다.

- [0057] 제 2 감광층의 제 1 및 제 2 패턴을 식각 마스크로 반도체층 및 제 2 금속 물질층을 식각하여, 게이트 배선(112), 공통배선패턴(114a) 및 제 2 임시패턴(도시하지 않음)을 형성한다. 반도체층 및 제 2 금속 물질층을 식각하는 동안, 제 2 감광층의 제 1 패턴의 두께보다 얇은 두께를 가지는 제 2 감광층의 제 2 패턴은 제거되어 제 2 감광층의 제 2 패턴의 하부에 위치한 제 2 금속 물질층이 노출되고, 연속해서 제 2 감광층의 제 1 패턴을 식각 마스크로 제 2 금속 물질층을 식각하여, 소스 및 드레인 전극(126a, 126b)을 형성한다. 그리고, 소스 및 드레인 전극(126a, 126b)을 형성한 후, 추가적으로 제 2 감광층의 제 1 패턴을 식각 마스크로, 반도체층의 제 2 비정질 실리콘층을 식각한다.
- [0058] 게이트 배선(112), 공통배선패턴(114a), 소스 및 드레인 전극(126a, 126b)은 반도체층 및 제 2 금속 물질층으로 구성되고, 활성층(124)은 반도체층으로 구성된다.
- [0059] 도 6c와 같이, 게이트 배선(112), 공통배선 패턴(114a), 활성층(124), 소스 및 드레인 전극(126a, 126b)을 포함한 게이트 절연층(130) 상에 보호층(132)을 형성하고, 보호층(132)을 선택적으로 식각하여 제 1 내지 제 4 콘택홀(CNT1, CNT2, CNT3, CNT4)을 형성한다.
- [0060] 보호층(132)은 실리콘 산화물(SiO₂) 및 실리콘 질화물(SiN_x)을 포함하는 무기 절연물질 또는 포토 아크릴과 벤조싸이클로부텐을 포함하는 유기절연물질을 선택하여 사용할 수 있다. 보호층(132)으로 무기절연물질을 사용하는 경우, 제 1 내지 제 4 콘택홀(CNT1, CNT2, CNT3, CNT4)을 형성하는 방법은, 보호층(132) 상에 제 3 감광층(도시하지 않음)을 형성하는 단계, 제 3 마스크(도시하지 않음)를 적용한 제 3 감광층의 노광 및 현상에 의해 제 3 감광층 패턴(도시하지 않음)을 형성하는 단계, 및 제 3 감광층 패턴을 식각 마스크로 게이트 절연층(130) 및 보호층(132)을 선택적으로 식각하는 단계를 포함한다.
- [0061] 제 1 콘택홀(CNT1)은 보호층(132)의 선택적 식각에 의해 공통배선패턴(114a)의 양단부를 노출시키고, 제 2 콘택홀(CNT2)은 게이트 절연층(130) 및 보호층(132)의 선택적 식각에 의해 게이트 전극(122)을 노출시키고, 제 3 콘택홀(CNT3)은 보호층(132)의 선택적 식각에 의해 게이트 배선(112)을 선택적으로 노출시키고, 제 4 콘택홀(CNT4)은 보호층(132)의 선택적 식각에 의해 드레인 전극(126b)을 선택적으로 노출시킨다.
- [0062] 도 6d와 같이, 제 1 내지 제 4 콘택홀(CNT1, CNT2, CNT3, CNT4)을 포함한 보호층(132) 상에 공통전극(120)과 제 1 및 제 2 연결패턴(114b, 122a)을 형성한다.
- [0063] 공통전극(120), 제 1 연결패턴(114b) 및 제 2 연결패턴(122a)을 형성하는 방법은, 제 1 내지 제 4 콘택홀(CNT1, CNT2, CNT3, CNT4)을 포함한 보호층(132) 상에 제 3 금속 물질층(도시하지 않음)을 형성하는 단계, 제 3 금속 물질층 상에 제 4 감광층(도시하지 않음)을 형성하는 단계, 제 4 마스크(도시하지 않음)를 적용한 제 4 감광층의 노광 및 현상에 의해 제 4 감광층 패턴(도시하지 않음)을 형성하는 단계, 및 제 4 감광층 패턴을 식각 마스크로 제 3 금속 물질층을 식각하는 단계를 포함한다.
- [0064] 제 3 금속 물질층은 ITO(indium tin oxide) 또는 IZO(indium zinc oxide)을 사용한다. 다수의 제 1 연결패턴(114b)은 다수의 제 1 콘택홀(CNT1)을 통하여 다수의 공통배선패턴(114a)을 연결시키고, 제 2 연결패턴(122a)은 제 2 및 제 3 콘택홀(CNT2, CNT3)을 통하여 게이트 전극(122)과 게이트 배선(112)을 연결시킨다. 그리고, 공통전극(120)은 다수의 개구부(120a)를 포함하고, 제 4 콘택홀(CNT4)을 통하여 드레인 전극(126b)에 연결된다.
- [0065] 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른

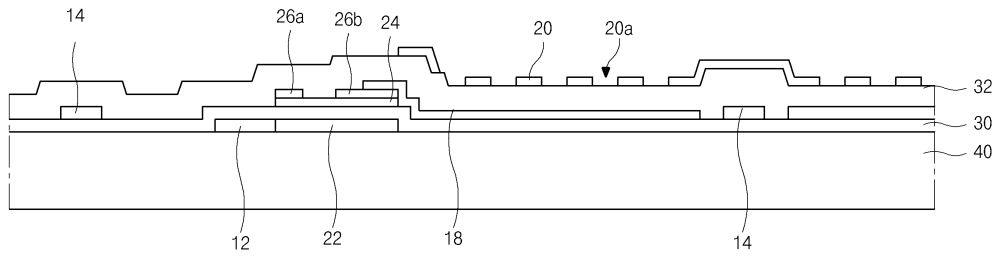
구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로, 이상에서 기술한 실시 예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가 개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

도면

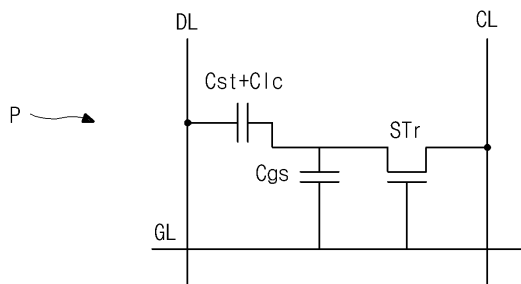
도면1



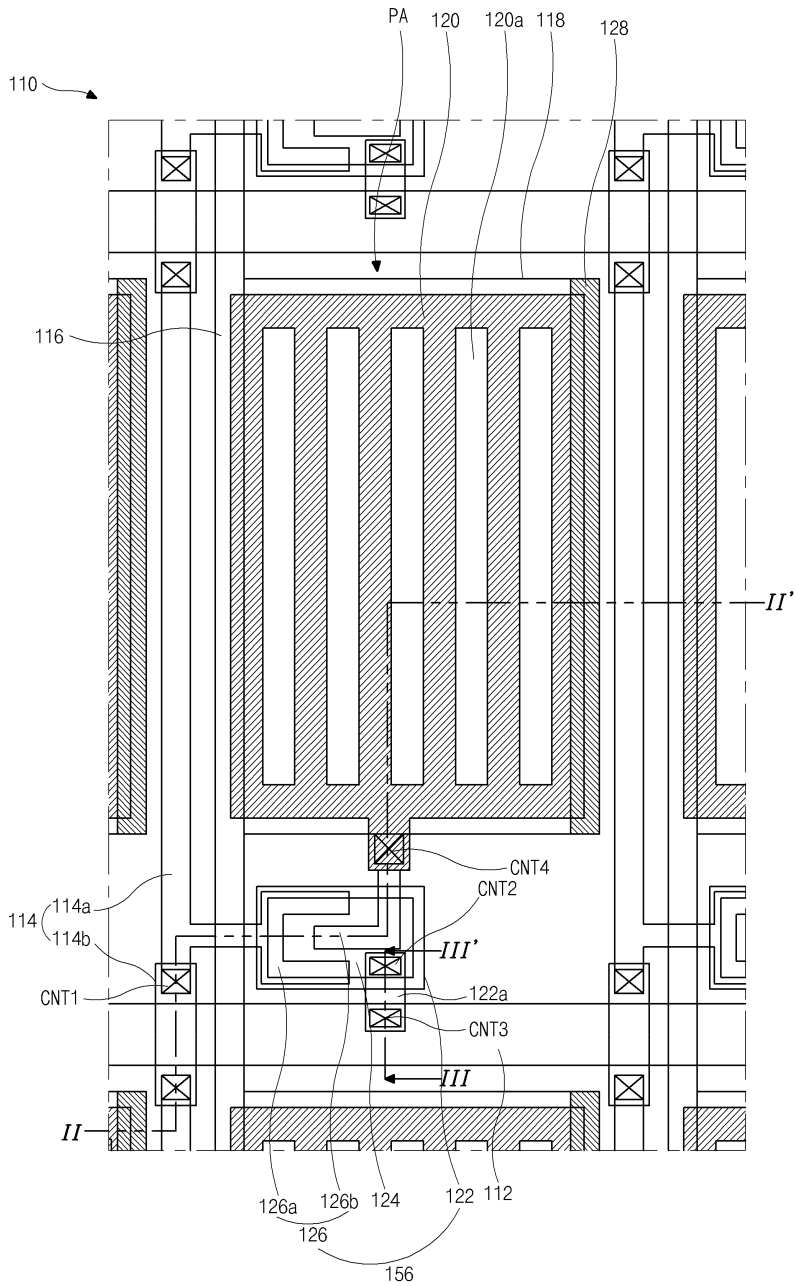
도면2



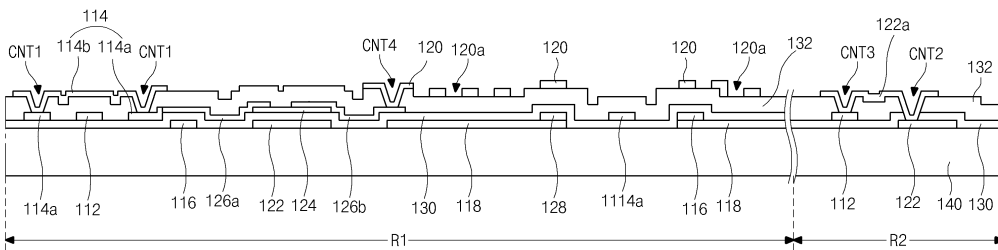
도면3



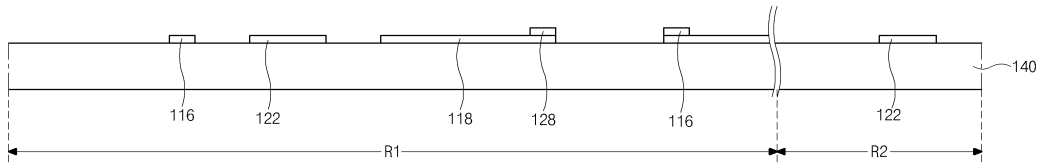
도면4



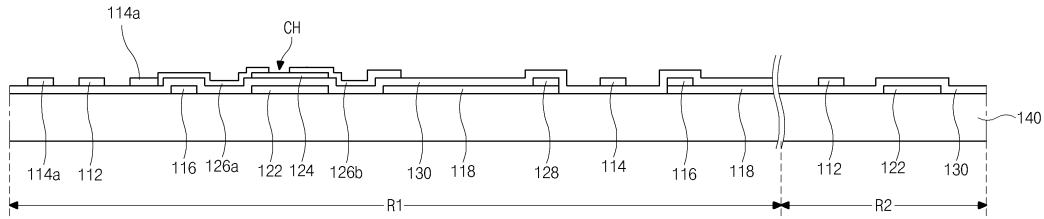
도면5



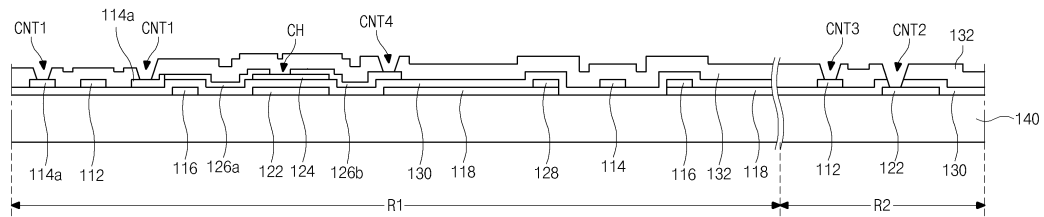
도면6a



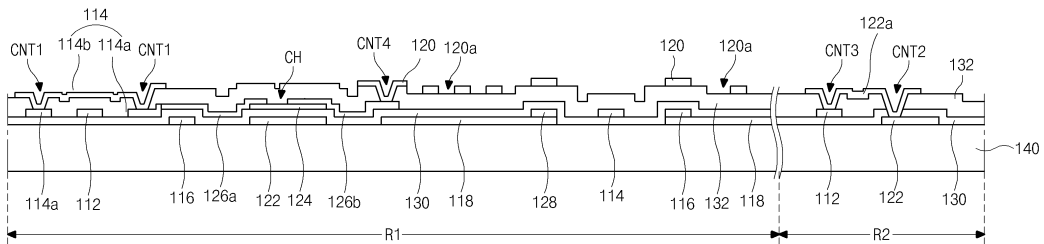
도면6b



도면6c



도면6d



专利名称(译)	标题：液晶显示装置的阵列基板及其制造方法		
公开(公告)号	KR1020120063362A	公开(公告)日	2012-06-15
申请号	KR1020100124492	申请日	2010-12-07
[标]申请(专利权)人(译)	乐金显示有限公司		
申请(专利权)人(译)	LG显示器有限公司		
当前申请(专利权)人(译)	LG显示器有限公司		
[标]发明人	HONG HYUN SEOK 홍현석 LEE DO YOUNG 이도영		
发明人	홍현석 이도영		
IPC分类号	G02F1/1343 G02F1/136		
CPC分类号	G02F1/136286 G02F1/1343 H01L29/786		
外部链接	Espacenet		

摘要(译)

本发明涉及一种液晶显示装置的阵列基板及其制造方法，其中开关晶体管介于公共布线和公共电极之间，其中液晶显示装置的阵列基板包括多条数据线;多个像素电极连接到多条数据线;多条栅极线垂直地与多条数据线交叉以限定多个像素区域;多条公共线与多条数据线平行;多个公共电极与多个像素电极重叠;并且多个薄膜晶体管插入在多个公共布线和多个公共电极之间，以将多个公共布线的公共电压施加或切断到多个公共电极。

